

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-124215

(P2012-124215A)

(43) 公開日 平成24年6月28日 (2012.6.28)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 G	4 M 1 0 4
HO 1 L 21/336 (2006.01)	HO 1 L 27/08 3 2 1 D	5 F 0 4 8
HO 1 L 27/092 (2006.01)	HO 1 L 21/28 3 O 1 R	5 F 1 4 0
HO 1 L 21/8238 (2006.01)	HO 1 L 21/285 C	
HO 1 L 21/28 (2006.01)		

審査請求 未請求 請求項の数 13 O L (全 18 頁) 最終頁に続く

(21) 出願番号	特願2010-271513 (P2010-271513)	(71) 出願人	000005821 パナソニック株式会社
(22) 出願日	平成22年12月6日 (2010.12.6)		大阪府門真市大字門真1006番地
		(74) 代理人	100077931 弁理士 前田 弘
		(74) 代理人	100110939 弁理士 竹内 宏
		(74) 代理人	100110940 弁理士 嶋田 高久
		(74) 代理人	100113262 弁理士 竹内 祐二
		(74) 代理人	100115059 弁理士 今江 克実
		(74) 代理人	100117581 弁理士 二宮 克也

最終頁に続く

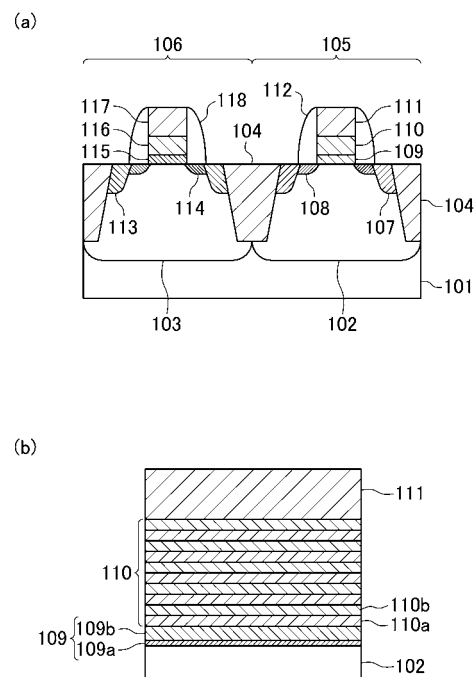
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】ゲートメタル電極とHigh-k膜とを用いた半導体装置において、低抵抗なゲートメタル電極により仕事関数を調整できるようにする。

【解決手段】半導体装置は、Nウェル102の上に形成された第1のゲート絶縁膜109と、該第1のゲート絶縁膜109の上に形成された第1のゲート電極とを備えている。第1のゲート絶縁膜109は、第1の高誘電体膜109bを含み、第1のゲート電極は、第1の高誘電体膜109bの上に形成され、TiN層110aとAlN層110bとが交互に積層された第1の実効仕事関数調整層110を含む。TiN層110aはAlN層110bよりも抵抗が小さく、且つ、AlN層110bはTiN層110aよりも実効仕事関数の調整量大きい。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 導電型の半導体領域の上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜の上に形成されたゲート電極とを備え、
前記ゲート絶縁膜は、高誘電体膜を含み、
前記ゲート電極は、前記高誘電体膜の上に形成され、第 1 の金属窒化膜と第 2 の金属窒化膜とが交互に積層された実効仕事関数調整層を含み、
前記第 1 の金属窒化膜は前記第 2 の金属窒化膜よりも抵抗が小さく、且つ、前記第 2 の金属窒化膜は前記第 1 の金属窒化膜よりも実効仕事関数の調整量が大きいことを特徴とする半導体装置。

10

【請求項 2】

前記ゲート電極は、前記実効仕事関数調整層の上に形成され、第 2 導電型のシリコンからなる上部電極を有していることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記実効仕事関数調整層は、前記第 1 の金属窒化膜と前記第 2 の金属窒化膜とを交互に積層してなる積層構造の上に形成され、その主成分が前記第 1 の金属窒化膜と同一で且つその膜厚が前記第 1 の金属窒化膜よりも大きい第 3 の金属窒化膜を有していることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記第 1 の金属窒化膜の第 1 層は、前記ゲート絶縁膜の上に形成され、
前記第 2 の金属窒化膜の第 1 層は、前記第 1 層の第 1 の金属窒化膜の上に形成されていることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置。

20

【請求項 5】

前記第 1 の金属窒化膜は、その組成にチタンと窒素とを含み、
前記第 2 の金属窒化膜は、その組成にアルミニウムと窒素とを含むことを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記第 1 の金属窒化膜及び第 2 の金属窒化膜は、不純物として、炭素、塩素、フッ素、酸素及びシリコンの少なくとも 1 つを含むことを特徴とする請求項 5 に記載の半導体装置。

30

【請求項 7】

前記第 1 の金属窒化膜の膜厚は、1.5 nm 以上且つ 2.5 nm 以下であり、
前記第 2 の金属窒化膜の膜厚は、0.5 nm 以上且つ 1.0 nm 以下であることを特徴とする請求項 5 又は 6 に記載の半導体装置。

【請求項 8】

前記第 1 導電型は p 型であり、
前記高誘電体膜は、その組成にハフニウム、ランタン及び酸素を含むことを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】

前記第 1 導電型は n 型であり、
前記高誘電体膜は、その組成にハフニウム及び酸素を含むことを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の半導体装置。

40

【請求項 10】

第 1 導電型の半導体領域の上に、高誘電体膜を含むゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜の上にゲート電極を形成する工程とを備え、
前記ゲート電極を形成する工程は、前記ゲート絶縁膜の上に、第 1 の金属窒化膜と第 2 の金属窒化膜とを交互に積層することにより、実効仕事関数調整層を形成する工程を含み、
前記第 1 の金属窒化膜は、前記第 2 の金属窒化膜よりも抵抗が小さく、
前記第 2 の金属窒化膜は、前記第 1 の金属窒化膜よりも実効仕事関数の調整量が大きい

50

ことを特徴とする半導体装置の製造方法。

【請求項 1 1】

前記ゲート電極を形成する工程は、前記実効仕事関数調整層の上に、第 2 導電型のシリコンからなる上部電極を形成する工程を含むことを特徴とする請求項 1 0 に記載の半導体装置の製造方法。

【請求項 1 2】

前記実効仕事関数調整層を形成する工程は、前記第 1 の金属窒化膜及び第 2 の金属窒化膜の形成に原子層堆積法を用い、

前記第 1 の金属窒化膜は、チタンを含む第 1 のガスと窒素原子を含む第 1 の窒化材とを用いて形成し、

前記第 2 の金属窒化膜は、アルミニウムを含む第 2 のガスと窒素原子を含む第 2 の窒化材とを用いて形成することを特徴とする請求項 1 1 に記載の半導体装置の製造方法。

【請求項 1 3】

前記実効仕事関数調整層において、前記第 1 の金属窒化膜の膜厚は、1.5 nm 以上且つ 2.5 nm 以下であり、前記第 2 の金属窒化膜の膜厚は、0.5 nm 以上且つ 1.0 nm 以下であることを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関し、特に、ゲートメタル電極及び高誘電体ゲート絶縁膜を有する半導体装置及びその製造方法に関する。

【背景技術】

【0002】

金属 - 酸化物 - 半導体電界効果トランジスタ (MOSFET: Metal Oxide Semiconductor Field Effect Transistor) の高速化に伴い、電界一定のスケーリングのため、トランジスタの微細化が進行している。MOSFET には、電子の移動によって電流のオン及びオフを制御する N チャネル型 MOSFET (以下、NMOS と略記する。) と、正孔の移動によって電流のオン及びオフを制御する P チャネル型 MOSFET (以下、PMOS と略記する。) の 2 つのトランジスタがある。MOSFET の性能は、電流駆動能力 G_m で表すことができ、該電流駆動能力 G_m は、キャリアの移動度 (μ) と、ゲート幅 (W) と、ゲート電極、ゲート絶縁膜及びシリコン基板により生じるキャパシタの静電容量 (ゲート容量) (C_{ox}) とに比例し、また、ゲート長 (L) に反比例する。そこで、MOSFET の高速化は、酸化シリコン (SiO_2) 又は酸窒化シリコン ($SiON$) 等からなるゲート絶縁膜の薄膜化と、ポリシリコン等からなるゲート電極のゲート長の縮小とによって実現されている。

【0003】

しかしながら、MOSFET の高性能化を実現するには、以下のような課題がある。

【0004】

ゲート絶縁膜の膜厚が 2 nm 以下にまで薄膜化した場合は、直接トンネルリーク電流が増加し、ゲート電圧を印加した際の絶縁耐性が著しく劣化する。このため、MOSFET の消費電力が増大して、該 MOSFET の高性能化及び低消費電力化の妨げとなる。ゲート容量 C_{ox} は、比誘電率 (ϵ_r) に比例し且つゲート絶縁膜の膜厚 (d) に反比例し、すなわち、 $C_{ox} = \epsilon_0 \cdot \epsilon_r / d$ (ϵ_0 : 真空の比誘電率、 S : ゲート面積) の式で表せる。従って、従来 of 酸化シリコン (ϵ_r : 3.9) 又は酸窒化シリコンからなるゲート絶縁膜 (ϵ_r : 3.9 ~ 7) よりも比誘電率が大きい高誘電率ゲート絶縁膜 (High-k 膜) を用いることにより、実効ゲート容量を維持しつつ、物理的膜厚を大きくすることができるので、直接トンネルリーク電流を抑制することができる。

【0005】

High-k 膜に用いる材料として、酸化ハフニウム (HfO_2)、酸化ジルコニウム (ZrO_2)、アルミナ (Al_2O_3) 若しくはこれらのシリケートかアルミネート又は

10

20

30

40

50

希土類酸化物等が注目されている。これらの候補のなかでも、 HfO_2 及び HfSiO は、比誘電率が比較的が高く、且つ 5 eV 以上のバンドギャップを持ち、従って、シリコン基板との電子障壁高さが高いことから、次世代の高誘電率ゲート絶縁膜として最も有力である。

【0006】

次に、ゲート電極として、従来のように、ポリシリコン電極を用いた場合には、空乏層の影響が顕在化するため、ゲート絶縁膜を薄膜化しても、ポリシリコン電極の空乏層容量によって、シリコン酸化膜換算膜厚 (EOT: equivalent oxide thickness) の薄膜化を効率的に行うことができない。なお、シリコン酸化膜換算膜厚とは、ゲート絶縁膜の材料がシリコン酸化物であると仮定して、ゲート容量から逆算して得られるゲート絶縁膜の膜厚をいう。さらに、ポリシリコン電極の仕事関数は、ポリシリコンにホウ素又はリン等の不純物をイオン注入し、注入された不純物を熱処理によって活性化することにより、ポリシリコン電極とゲート絶縁膜である SiO_2 膜との積層構造において、ドーブトポリシリコンの仕事関数をノンドープ状態の 4.65 eV から、例えばホウ素をイオン注入することにより 5.15 eV にまで向上できる。すなわち、NMOS と PMOS とのしきい値電圧を制御することが可能である。

10

【0007】

しかしながら、ポリシリコン電極と High-k 膜との積層構造においては、フェルミレベルピニングと呼ばれる現象によって、特に PMOS の実効仕事関数 (eWF: effective work function) の値が低下することにより、しきい値電圧が上昇して、PMOS の低電圧動作が困難となる。ここで、実効仕事関数 (eWF) とは、ゲートメタル電極のシリコン基板側に作用している実効的な仕事関数をいう。

20

【0008】

そこで、ゲート電極材料として、ポリシリコン電極から、空乏層の影響を無視でき、且つフェルミレベルピニングの影響も小さい、ゲートメタル電極への置換が図られている。ゲートメタル電極材料として、チタン若しくはタンタルの窒化物、又はチタン若しくはタンタルの窒化物にアルミニウムを添加した材料が検討されているが、ゲートメタル電極とした場合の仕事関数は、金属固有の仕事関数が支配的となるため、PMOS 用のゲートメタル電極としては、実効仕事関数 (eWF) がシリコン (Si) の価電子帯準位に近い窒化チタンアルミニウム (TiAlN) 膜が最も注目されている。

30

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2007-184594号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

半導体製造プロセスの 32 nm 以細の世代における CMOS (Complementary Metal Oxide Semiconductor) 構造において、ゲートメタル電極と High-k 膜との積層構造を用いることが有力となっているなか、低電圧動作を実現するには、PMOS 及び NMOS は共に、シリコン (Si) のエネルギーギャップにおけるバンド端に相当する実効仕事関数 (eWF) が必要であり、例えば NMOS には $eWF = 4.2\text{ eV}$ 以下を、また、PMOS には $eWF = 4.9\text{ eV}$ 以上を達成することが望ましい。そこで、所望の実効仕事関数を得るために、NMOS 用としては、ゲートメタル電極と High-k 膜との界面にキャップ (Cap) 層として La_2O_3 膜を挿入したり、High-k 膜中にランタン (La) 原子を拡散させたりすることにより、実効仕事関数を制御している。また、PMOS には、メタルゲート電極と High-k 膜との界面にキャップ層として Al_2O_3 膜を挿入して、実効仕事関数を制御する手法がある。しかし、 Al_2O_3 膜はその誘電率が9程度と、High-k 膜の $15 \sim 25$ と比べると低いため、Al 原子を多く含む厚い Al_2O_3 膜を用いると、High-k 膜であるゲート絶縁膜が厚膜化してしまい、高誘電体膜

40

50

を用いて電氣的膜厚を薄膜化した効果が失われてしまう。このため、厚い Al_2O_3 膜をキャップ膜として用いることはできず、その結果、 $eWF = 4.9 eV$ 以上を達成することは困難である。

【0011】

従って、ゲート電極に用いる金属材料として、実効仕事関数が高い材料を選択することにより、 Al_2O_3 膜によって変調される仕事関数の値を小さくすることができる。その結果、膜厚が小さい Al_2O_3 膜によって所望の、高い実効仕事関数を有するゲートメタル電極を実現できる。そこで、上述したように、ゲートメタル電極として、シリコン(Si)の価電子帯準位に近い窒化チタンアルミニウム(TiAlN)膜、又は炭窒化タンタル(TaCN)膜が次世代のゲートメタル電極材料として注目されている。

10

【0012】

しかしながら、ゲートメタル電極として、TiAlN膜又はTaCN膜を用いた場合は、物理的気相堆積(PVD: Physical Vapor Deposition)法により成膜されたTiAlN膜の比抵抗は、 $\sim 2300 \mu \cdot cm$ 程度と高抵抗であるため、トランジスタのスイッチング応答速度が低下してしまい、高速動作を実現できない。また、TaCN膜の場合も、炭素の存在により高抵抗である。このような高抵抗なゲートメタル電極の場合は、たとえ実効仕事関数の値に所望の値を得られたとしても、ゲート電極の抵抗値及びその上層のポリシリコン電極との界面抵抗の上昇により、MOSFETにおける駆動能力の低下が避けられない。

20

【0013】

従って、金属自体が高い実効仕事関数を持ち、且つ、低抵抗を実現可能な材料、組成及び構造を有するゲートメタル電極の実現が望まれる。

【0014】

本発明は、前記の問題を解決し、ゲートメタル電極とHigh-k膜とを用いた半導体装置において、低抵抗なゲートメタル電極により仕事関数を制御(調整)できるようにすることを目的とする。

【課題を解決するための手段】

【0015】

前記の目的を達成するため、本発明は、半導体装置を、第1導電型の半導体領域の上に形成されたゲート絶縁膜と、ゲート絶縁膜の上に形成されたゲート電極とを備え、ゲート絶縁膜は、高誘電体膜を含み、ゲート電極は、高誘電体膜の上に形成され、第1の金属窒化膜と第2の金属窒化膜とが交互に積層された実効仕事関数調整層を含み、第1の金属窒化膜は第2の金属窒化膜よりも抵抗が小さく、且つ、第2の金属窒化膜は第1の金属窒化膜よりも実効仕事関数の調整量が大きい構成とする。

30

【0016】

本発明の半導体装置によると、ゲートメタル電極を構成する実効仕事関数調整層が、第1の金属窒化膜と第2の金属窒化膜とが交互に積層されてなり、第1の金属窒化膜は第2の金属窒化膜よりも抵抗が小さく、且つ、第2の金属窒化膜は第1の金属窒化膜よりも実効仕事関数の調整量が大きいため、ゲートメタル電極の低抵抗化を図りながら、実効仕事関数を調整することができる。その結果、低抵抗且つ低しきい値動作を実現できるので、トランジスタの高速動作が可能となる。

40

【0017】

本発明の半導体装置において、ゲート電極は、実効仕事関数調整層の上に形成され、第2導電型のシリコンからなる上部電極を有していることが好ましい。

【0018】

本発明の半導体装置において、実効仕事関数調整層は、第1の金属窒化膜と第2の金属窒化膜とを交互に積層してなる積層構造の上に形成され、その主成分が第1の金属窒化膜と同一で且つその膜厚が第1の金属窒化膜よりも大きい第3の金属窒化膜を有していてもよい。

50

【0019】

本発明の半導体装置において、第1の金属窒化膜の第1層は、ゲート絶縁膜の上に形成され、第2の金属窒化膜の第1層は、第1層の第1の金属窒化膜の上に形成されていてもよい。

【0020】

本発明の半導体装置において、第1の金属窒化膜は、その組成にチタンと窒素とを含み、第2の金属窒化膜は、その組成にアルミニウムと窒素とを含んでもよい。

【0021】

この場合に、第1の金属窒化膜及び第2の金属窒化膜は、不純物として炭素、塩素、フッ素、酸素及びシリコンの少なくとも1つを含んでもよい。

10

【0022】

また、この場合に、第1の金属窒化膜の膜厚は、1.5nm以上且つ2.5nm以下であり、第2の金属窒化膜の膜厚は、0.5nm以上且つ1.0nm以下であることが好ましい。

【0023】

本発明の半導体装置において、第1導電型はp型であり、高誘電体膜はその組成にハフニウム、ランタン及び酸素を含むことが好ましい。

【0024】

また、本発明の半導体装置において、第1導電型はn型であり、高誘電体膜はその組成にハフニウム及び酸素を含むことが好ましい。

20

【0025】

本発明に係る半導体装置の製造方法は、第1導電型の半導体領域の上に、高誘電体膜を含むゲート絶縁膜を形成する工程と、ゲート絶縁膜の上にゲート電極を形成する工程と備え、ゲート電極を形成する工程は、ゲート絶縁膜の上に、第1の金属窒化膜と第2の金属窒化膜とを交互に積層することにより、実効仕事関数調整層を形成する工程を含み、第1の金属窒化膜は、第2の金属窒化膜よりも抵抗が小さく、第2の金属窒化膜は、第1の金属窒化膜よりも実効仕事関数の調整量が大きい。

【0026】

本発明の半導体装置の製造方法によると、ゲートメタル電極を構成する実効仕事関数調整層を、第1の金属窒化膜と第2の金属窒化膜とを交互に積層し、第1の金属窒化膜は第2の金属窒化膜よりも抵抗が小さく、且つ、第2の金属窒化膜は第1の金属窒化膜よりも実効仕事関数の調整量が大きい。このため、ゲートメタル電極の低抵抗化を図りながら、実効仕事関数を調整することができ、低抵抗且つ低しきい値動作を実現できるので、トランジスタの高速動作が可能となる。

30

【0027】

本発明の半導体装置の製造方法において、ゲート電極を形成する工程は、実効仕事関数調整層の上に、第2導電型のシリコンからなる上部電極を形成する工程を含むことが好ましい。

【0028】

本発明の半導体装置の製造方法において、実効仕事関数調整層を形成する工程は、第1の金属窒化膜及び第2の金属窒化膜の形成に原子層堆積法を用い、第1の金属窒化膜は、チタンを含む第1のガスと窒素原子を含む第1の窒化材とを用いて形成し、第2の金属窒化膜は、アルミニウムを含む第2のガスと窒素原子を含む第2の窒化材とを用いて形成することが好ましい。

40

【0029】

この場合に、実効仕事関数調整層において、第1の金属窒化膜の膜厚は、1.5nm以上且つ2.5nm以下であり、第2の金属窒化膜の膜厚は、0.5nm以上且つ1.0nm以下であることが好ましい。

【発明の効果】

【0030】

50

本発明に係る半導体装置及びその製造方法によると、高誘電体膜の上に形成されたゲートメタル電極を有する半導体装置において、ゲートメタル電極の低抵抗化によるスイッチング応答速度の向上及び高い実効仕事関数値を得られ、低しきい値動作が可能となるため、MOSトランジスタの高機能化及び低消費電力化を実現できる。

【図面の簡単な説明】

【0031】

【図1】図1(a)は本発明の一実施形態に係る半導体装置を示す模式的な断面図である。図1(b)はPMOSにおけるゲート絶縁膜及びゲート電極の構成を示す部分的な拡大断面図である。

【図2】図2(a)～図2(e)は本発明の一実施形態に係る半導体装置のゲート絶縁膜及びゲート電極の形成方法を示す工程順の断面図である。

【図3】本発明の一実施形態に係る半導体装置のゲートメタル電極である実効仕事関数調整層の形成方法の原料(ソース)投入タイミングを示すチャート図である。

【図4】図4(a)は本発明の一実施形態に係る半導体装置のゲートメタル電極である実効仕事関数調整層の形成メカニズムを説明する断面図である。図4(b)は比較用であって、単層のTiAlNからなるゲートメタル電極の形成メカニズムを説明する断面図である。

【図5】図5は本発明の一実施形態に係る半導体装置のゲートメタル電極である実効仕事関数調整層の各層の厚さとシート抵抗との関係を示すグラフである。

【図6】図6(a)は本発明の一実施形態に係る半導体装置のゲートメタル電極である実効仕事関数調整層の各層の厚さとEOTとの関係を、AlN層とTiN層との先付けの順序による影響と共に示すグラフである。図6(b)は本発明の一実施形態に係る半導体装置のゲートメタル電極である実効仕事関数調整層の各層の厚さとeWFとの関係を、AlN層とTiN層との先付けの順序による影響と共に示すグラフである。

【図7】図7は本発明の一実施形態に係るPMOSにおけるゲート絶縁膜及びゲート電極の構成を示す拡大断面図である。

【図8】図8(a)～図8(d)は本発明の一実施形態に係る半導体装置の製造方法の要部を示す工程順の断面図である。

【図9】図9(a)～図9(d)は本発明の一実施形態に係る半導体装置の製造方法の要部を示す工程順の断面図である。

【図10】図10(a)～図10(c)は本発明の一実施形態に係る半導体装置の製造方法の要部を示す工程順の断面図である。

【発明を実施するための形態】

【0032】

(一実施形態)

本発明の一実施形態について図1を参照しながら説明する。

【0033】

図1(a)に示すように、一実施形態に係る半導体装置は、例えばシリコン(Si)からなる半導体基板101の上部に選択的に形成された素子分離(STI:Shallow Trench Isolation)104によって区画されたPMOS領域105及びNMOS領域106を有している。

【0034】

半導体基板101における、PMOS領域105の上部には、n型拡散層からなるNウェル102が形成され、NMOS領域106の上部には、p型拡散層からなるPウェル103が形成されている。

【0035】

図1(b)の部分拡大図に示すように、PMOSを構成する第1のゲート絶縁膜109は、例えば、厚さが1.0nmの酸化シリコン(SiO₂)からなる界面酸化層(IL:interfacial layer)109aと、厚さが1.7nmのハフニウムシリケート(HfSiO)又は酸化ハフニウム(HfO_x)等からなる第1の高誘電体膜109bとにより構成

10

20

30

40

50

される。さらに、第1の高誘電体膜109bは、しきい値電圧調整用の不純物としてアルミニウム(Al)原子を含んでいる。

【0036】

第1のゲート絶縁膜109の上には、本実施形態の特徴である、ゲートメタル電極であり、且つ自身の実効仕事関数をp型のポリシリコンの仕事関数の値に近づくように調整する第1の実効仕事関数調整層110が形成されている。

【0037】

第1の仕事関数調整層110は、TiN層110aとAlN層110bとから構成される。TiN層110aは、厚さが1.5nm以上且つ2.5nm以下であり、AlN層110bは、厚さが0.5nm以上且つ1.0nm以下である。本実施形態においては、TiN層110a及びAlN層110bを1サイクルとして、6サイクル分を繰り返して堆積することにより、第1の実効仕事関数調整層110が形成されている。

【0038】

なお、TiN層110aとAlN層110bとには、不純物として炭素(C)、塩素(Cl)、フッ素(F)、酸素(O)及びシリコン(Si)の少なくとも1つを含んでいてもよい。

【0039】

第1の実効仕事関数調整層110の上には、p型のポリシリコンからなり、比較的厚い第1の上部ゲート電極111が形成されている。また、図1に示すように、Nウェル102の上部で且つ第1のゲート絶縁膜109の両側方には、p型の第1のエクステンション領域108とp型の第1のソースドレイン領域107が形成されている。また、第1のゲート絶縁膜109、第1の実効仕事関数調整層110及び第1の上部ゲート電極111の両側面上には、絶縁膜からなる第1のサイドウォール112が形成されている。

【0040】

これに対し、NMOS領域106に形成されるNMOSは、第2のゲート絶縁膜115、第2の実効仕事関数調整層116及びn型のポリシリコンからなる第2の上部ゲート電極117、第2のサイドウォール118、n型の第2のエクステンション領域114及びn型の第2のソースドレイン領域113により構成される。

【0041】

ここで、第2のゲート絶縁膜115は、詳細な構成は図示していないが、厚さが1.0nmの酸化シリコン(SiO₂)からなる界面酸化層と、厚さが1.7nmのハフニウムシリケート(HfSiO)又は酸化ハフニウム(HfO_x)等からなる第2の高誘電体膜とにより構成される。さらに、第2の高誘電体膜は、しきい値電圧調整用の不純物としてランタン(La)原子を含んでいる。

【0042】

なお、第2の実効仕事関数調整層116の構成は、PMOSの第1の実効仕事関数調整層111と同一である。

【0043】

すなわち、本実施形態に係るPMOS及びNMOSを構成するゲート電極は、TiN層110aとAlN層110bとを交互に積層してなる実効仕事関数調整層110、115と、その上に形成されたポリシリコンからなる上部ゲート電極111、117とが積層されてなる。また、各実効仕事関数調整層110、116におけるTiN層110aの厚さは1.5nm以上且つ2.5nm以下であり、AlN層110bの厚さは0.5nm以上且つ1.0nm以下である。

【0044】

なお、TiN層110aとAlN層110bとは、必ずしも1層ごとに交互に積層される必要はなく、所望の実効仕事関数に必要なAl量に応じて、例えば、2層のAlN層110bに対して1層のTiN層110aを設ける構成としてもよい。また、TiN層110aとAlN層110bとの積層構造は、所望の厚さを得られるまで、繰り返して積層すればよい。

10

20

30

40

50

【 0 0 4 5 】

以下、PMOS領域105を中心に、第1のゲート絶縁膜109、第1の実効仕事関数調整層110及び第1の上部ゲート電極111の形成方法について図2及び図3を参照しながら説明する。

【 0 0 4 6 】

まず、図2(a)に示すように、Siからなる半導体基板101の全面、すなわちNウェル102の上に、厚さが1.0nmのSiO₂からなる界面酸化層109aを形成する。ここでは、界面酸化層109aは、半導体基板101の主面を洗浄した後、熱酸化法により、温度が800の酸化性雰囲気により形成する。

【 0 0 4 7 】

次に、図2(b)に示すように、界面酸化層109aの上に、第1の高誘電体膜109bを形成する。

【 0 0 4 8 】

本実施形態においては、原子層堆積(ALD: atomic layer deposition)法を用い、ハフニウム(Hf)ソースであるTDMAHf(テトラキスジメチルアミノハフニウム)と、シリコン(Si)ソースである3DMAS(トリスジメチルアミノシラン)と、酸化材であるオゾン(O₃)とを交互に基板表面に暴露することにより、物理膜厚が1.7nmのHfSiO(ハフニウムシリケート)膜を形成する。このときのHfとSiとの組成比は6:4である。

【 0 0 4 9 】

続いて、第1のゲート絶縁膜109の表面に対してプラズマ窒化により、結晶化層の分離を抑制するための窒化処理を施し、その後、減圧酸素雰囲気中で温度が1000で、15秒間のアニールを行う。これにより、HfSiO膜の表面近傍には窒素が導入されて、窒素添加ハフニウムシリケート(HfSiON)膜が形成される。この後、導入された窒素の安定化を図るために、温度が800~1100程度で熱処理を行ってもよい。続いて、第1の高誘電体膜109bにおけるPMOS領域105には、しきい値電圧調整用のアルミニウム(Al)を導入し、図示しないNMOS領域106の第2の高誘電体膜には、しきい値電圧調整用のランタン(La)を導入する。すなわち、第1のゲート絶縁膜109は、HfAlSiON膜となり、第2のゲート絶縁膜115は、HfLaSiON膜となる。

【 0 0 5 0 】

第1のゲート絶縁膜109におけるAlの導入方法は、例えば、HfSiO膜等の第1の高誘電体膜の上に、厚さが0.7nmのいわゆるキャップ膜であるAl酸化(AlO_x)膜を堆積して、HfAlSiON膜を形成する。また、後述するように、Al酸化膜の上に厚さが10nmのTiN膜を堆積し、温度が600~1000の熱処理を施して、HfSiON膜中にAlを拡散した後、堆積したTiN膜をウェットエッチングで除去することにより、HfAlSiON膜を形成してもよい。

【 0 0 5 1 】

一方、第2のゲート絶縁膜115におけるLaの導入方法は、例えば、HfSiO膜等の第2の高誘電体膜の上に、厚さが2nmのキャップ膜であるLa酸化(LaO_x)膜を堆積し、その後、温度が600~1000の熱処理を施して、第2の高誘電体膜中にLa原子を拡散する。続いて、第2の高誘電体膜中に拡散していない余剰のLa酸化膜をウェットエッチングで除去することにより、HfLaSiON膜を形成する。

【 0 0 5 2 】

このように、実効仕事関数を変調するLa又はAlのHigh-k膜中への拡散量は、High-k膜の上に堆積したキャップ膜の膜厚と、その後の熱処理における熱処理温度と時間とにより制御することができる。

【 0 0 5 3 】

次に、ゲート電極の一部、すなわちゲートメタル電極である第1の実効仕事関数調整層110を形成する。なお、NMOSを構成する第2の実効仕事関数調整層116は、PM

10

20

30

40

50

OSを構成する第1の実効仕事関数調整層110と同時に形成される。

【0054】

上述したように、各実効仕事関数調整層110、116は、少なくともチタン(Ti)、アルミニウム(Al)及び窒素(N)を含む金属層ではあるが、窒化チタンアルミニウム(TiAlN)ではない。

【0055】

まず、図2(c)及び図3に示すように、第1のゲート絶縁膜109に対して、基板温度が300~400で、チタン(Ti)ソースである四塩化チタン(TiCl₄)ガスをT1秒間暴露した後、窒素(N₂)ガスによるパージをT2秒間行う。その後、アンモニア(NH₃)ガスをT3秒暴露し、最後に、NH₃ガスをN₂ガスでT4秒間パージする。この工程により、第1の高誘電体膜109bの上に、物理膜厚が0.4nm程度のTiN層110aが形成される。従って、TiN層110aを所望の厚さとするには、図2(c)に示す工程を少なくとも4回程度は繰り返す必要がある。

10

【0056】

次に、図2(d)及び図3に示すように、TiN層110aに対して、アルミニウム(Al)ソースであるTMA(トリメチルアルミニウム)ガスをT5秒間暴露する。さらに、このTMAガスをN₂ガスでT6秒間パージする。その後、再びNH₃ガスにT7秒間暴露し、最後にNH₃ガスをN₂ガスによりT8秒間パージする。これにより、TiN層110aの上に膜厚が0.1nm程度のAlN層110bが形成される。従って、図2(e)に示すように、AlN層110bを所望の厚さとするには、図2(d)に示す工程を少なくとも5回程度は繰り返す必要がある。この図3に示す一連の工程を1サイクルとして、TiN層110a及びAlN層110bを6サイクル繰り返すことにより、物理膜厚が20nmの各実効仕事関数調整層110、116が形成される。

20

【0057】

なお、図3に示すように、各ガスの暴露時間T1~T8は、ALD装置により異なり、枚葉機の一例としては、T1が50ms、T2が3s、T3が3s及びT4が1.5sである。また、T5は100ms、T6は3s、T7は3s及びT8は1.5sである。なお、バッチ装置のように、チャンパ内の内容積が大きい場合は、T1が5s、T2が30s、T3が10s及びT4が30sのように、各ガス及びパージの暴露時間はそれぞれ長くなる。

30

【0058】

また、本実施形態においては、各実効仕事関数調整層110、116を構成する、AlとTiとの組成比を1:1としたが、AlとTiとの組成比は、実効仕事関数を決定するパラメータであり、所望の実効仕事関数によってその組成を変化させればよい。また、TiN層110aとAlN層110bとのALDの1サイクルにおける膜厚は、それぞれ原子の吸着率により決定されるため、必ずしも同一の膜厚とはならない。各実効仕事関数調整層110、116の組成比を変更するには、例えば、TiN層110aを1層形成した後に、AlN層110bを2層形成すれば、TiとAlとの比は1:2となる。

【0059】

なお、本実施形態においては、例えば、第1の高誘電体膜109bの上に、先にTiN層110aを形成する方法を説明したが、先にAlN層110bを形成し、その後、TiN層110aを形成してもよい。

40

【0060】

その後、第1の実効仕事関数調整層110の上に、ポリシリコンからなる第1の上部ゲート電極111を形成する。

【0061】

以上のように、本実施形態に係るゲート金属電極である実効仕事関数調整層を有するPMOS及びNMOSによると、従来のようにゲート金属電極にTiAlN膜を用いる構成においては、ゲート電極が高抵抗となってRC遅延が発生して、トランジスタの電気的特性が劣化するのに対し、本実施形態においては、所望の実効仕事関数を維持したまま

50

、TiAlNからなるゲートメタル電極よりも低抵抗化が可能となるため、トランジスタの電気的特性が向上する。

【0062】

図4(a)及び図4(b)に第1の仕事関数調整層110の製造方法の詳細及びメカニズムを説明する。これは、第2の仕事関数調整層116においても、同様である。

【0063】

上述したように、本実施形態の特徴は、実効仕事関数調整層110、116が、従来のようにTiAlNの単層膜ではなく、TiNとAlNとの積層膜であり、さらに、本願発明者らは、種々の検討の結果、TiN層110aとAlN層110bとの厚さを変化させることにより、積層構造の形成が可能であるという知見を得ている。

10

【0064】

具体的には、比較用の図4(b)に示すように、形成時に、TiN層110a及びAlN層110bの1層当たりのそれぞれの厚さが1.5nm未満、及び0.5nm未満の場合は、膜の形成中にTi原子とAl原子とが相互拡散することにより、TiAlNからなる単層膜110Aが形成されてしまう。これに対し、それぞれ1層当たりのTiN層110aの厚さが1.5nm以上且つ2.5nm以下で、その上AlN層110bの厚さが0.5nm以上且つ1.0nm以下で積層する場合は、TiN層110aとAlN層110bとで、相互拡散が独立して進行する。従って、TiN層110aとAlN層110bとの積層構造を実現できることを突き止めている。

【0065】

なお、図4(a)に示すように、TiN/AlNの積層構造を形成した後のTiの濃度及びAlの濃度は、TiN層110aの内部及びAlN層110bの内部においても濃度勾配を有している。すなわち、TiN層110aとAlN層110bとのそれぞれの厚さ方向の中央部分において最も高濃度であり、且つ、TiN膜110aとAlN層110bとの界面において急激に変化する。このとき、TiN層110aがAlを含み、逆に、AlN層110bがTiを含んでいてもよい。

20

【0066】

図5は、TiN層110aとAlN層110bとの各厚さを変化させた場合のシート抵抗を示している。図5からは、TiAlNの単層領域においては、1層当たりのTiN層及びAlN層の厚さが厚膜化するに従い、シート抵抗 R_s が単調増加する。これに対し、TiN/AlNの積層領域に相が変化すると、低抵抗なTiN層110aによって、シート抵抗 R_s が減少することが分かる。

30

【0067】

すなわち、本実施形態に係る半導体装置、すなわちMOSトランジスタは、従来のMOSトランジスタと比較して、Siの価電子帯付近の実効仕事関数(eWF)値を得ながら、ゲート電極のシート抵抗 R_s の低抵抗化を実現することができる。さらに、仕事関数調整層(ゲートメタル電極)にAlN層を有することにより、上部ゲート電極からの酸素の拡散を抑制することができる。このため、拡散工程時におけるゲート絶縁膜109、115の膜厚の増大を抑制することができる。

【0068】

図6(a)及び図6(b)は、1層当たりのTiN層とAlN層との各厚さを変化させた場合の、図4(a)の構造におけるシリコン酸化膜換算膜厚(EOT)及び実効仕事関数(eWF)との関係を示すグラフである。なお、ゲートメタル電極の厚さは20nmとしている。参考用として、TiNからなる単層膜の場合の結果と、第1の高誘電体膜109bの上に、TiN層110aから先に形成した場合の結果(TiN先付け)と、AlN層110bから先に形成した場合の結果(AlN先付け)とを示している。TiN/AlNからなる積層構造によって実効仕事関数(eWF)の値を制御するには、TiN/AlNの積層構造を有さない構造と比べて、EOTの増大を抑制しつつ、実効仕事関数を高くすることが望ましい。なお、TiNの単層膜においては、膜厚が20nmにおいて、EOTは1.7nm値度で、eWFは4.78eV程度である。

40

50

【0069】

図6(a)に示すEOTの結果から、AlNを先付けするAlN先付け構造と比較して、TiNを先付けするTiN先付け構造の方がEOTの薄膜化が実現できることが分かる。さらに、1層当たりのTiN層110aの厚さ及びAlN層110bの厚さが0.8nm以上且つ2.5nm以下、及び0.3nm以上且つ1.0nm以下の各領域において、EOTが極小領域を持つことが分かる。ここで、AlNを先付けにすることによるEOTの増大は、ゲート金属電極と第1の高誘電体膜109bとの界面におけるAlN層110bが絶縁膜として機能するため、又は1層目のAlN層110bの形成時に、第1の高誘電体膜109bにAl原子が拡散した結果、その誘電率が低下したためと考えられる。

【0070】

さらに、図6(b)に示すeWFの結果から、TiN/AlNの積層構造及びTiAlNの単層構造のいずれにおいても、 $eWF = 4.94 eV$ 以上の高eWF値を達成できることが分かる。

【0071】

以上の結果と、図5に示すシート抵抗の結果とを考慮すると、1層当たりのTiN層110aの厚さ及びAlN層110bの厚さが1.5nm以上且つ2.5nm以下、及び0.5nm以上且つ1.0nm以下のTiN/AlNからなる積層構造となる領域において、低シート抵抗値、EOT値の薄膜化及び高eWF値を実現できるため、MOSトランジスタの高速動作が可能となる。

【0072】

(一実施形態の第1変形例)

上述の一実施形態においては、実効仕事関数調整層であるゲート金属電極の構造が、TiN層110aとAlN層110bとからなる積層膜を所望の膜厚に達するまで積層を繰り返す構造であったのに対し、本変形例においては、実効仕事関数値に大きく影響するのは、第1の高誘電体膜109b膜の直上又はその近傍のAlN層110bであること、且つ、ゲート金属電極全体の抵抗を低抵抗化するのには、TiN層110aであることに着目した構造である。

【0073】

すなわち、本変形例においては、実効仕事関数の値の変調層として、高誘電体膜上において、少なくとも所定の実効仕事関数を得ることができる積層数を持つAlN/TiNからなる積層膜を形成し、その後、ゲート金属電極全体の低抵抗化を図るために、AlN/TiNの積層構造の上に、比較的厚いTiN層110Bを堆積した構造を持つ。ここで、上部のTiN層110Bの厚さは、所望のゲート金属電極の厚さから実効仕事関数値の変調に必要なTiN/AlNの積層構造の厚さの差分となる。

【0074】

このように、本変形例は、ゲート金属電極をTiN/AlNの積層膜を1サイクル又は2サイクル分繰り返し、物理膜厚が最大で7nm程度のTiN/AlNを対とする積層膜を形成した後、形成された積層膜の上に、厚さが13nmで低抵抗のTiN層110Bを堆積することにより、厚さが20nmのゲート金属電極を形成する。

【0075】

このように、本変形例によると、一実施形態よりもさらにゲート金属電極部分の低抵抗化を図れるため、トランジスタ能力の向上を実現することができる。

【0076】

(製造方法)

以下、本発明の一実施形態に係る半導体装置(CMOSトランジスタ)の製造方法の要部を図8~図10に基づいて説明する。

【0077】

まず、図8(a)に示すように、例えばシリコン(Si)からなる半導体基板101の上部に、STI法による素子分離104を選択的に形成する。その後、半導体基板101におけるPMOS領域105にNウェル102を形成し、そのNMOS領域106にPウ

10

20

30

40

50

エル102を形成する。

【0078】

続いて、PMOS領域105及びNMOS領域106を含む半導体基板101の上に、厚さが1.5nm以下の酸化シリコン又は酸窒化シリコンからなる界面酸化層109aを形成する。界面酸化層109aは、酸素(O_2)又は一酸化二窒素(N_2O)ガスを含む雰囲気中で、処理温度を700 ~ 1000 として形成できる。また、界面酸化層109aとして、シリコン酸窒化膜を形成する場合には、シリコン酸化膜を窒素含有プラズマ照射により窒化処理を行った後、膜質の緻密化を図るために、温度が800 ~ 1100 の酸素を含む雰囲気又は窒素を含む雰囲気中で熱処理することが望ましい。

【0079】

次に、図8(b)に示すように、界面酸化層109aの上に、膜厚が3nm以下の高誘電体膜109Bを形成する。高誘電体膜には、酸化ハフニウム(HfO_2)、酸窒化ハフニウム($HfON$)及び窒素添加ハフニウムシリケート($HfSiON$)の群から選ばれる少なくとも1つを含むことが好ましい。また、高誘電体膜109Bには、ジルコニウム(Zr)、ランタン(La)、アルミニウム(Al)、チタン(Ti)、タンタル(Ta)、炭素(C)、塩素(Cl)、イットリウム(Y)及びゲルマニウム(Ge)の群から選ばれる少なくとも1つを不純物として含めてもよい。

【0080】

次に、図8(c)に示すように、高誘電体膜109Bの上に、例えば膜厚が10nm程度のTiNからなるハードマスク膜201を形成する。ハードマスク膜201は、四塩化チタン($TiCl_4$)ガスとアンモニア(NH_3)ガスを用いたALD法又はPVD法により形成することが望ましい。その後、図示はしていないが、ハードマスク膜201の上にその全面を覆うようにレジストを塗布し、リソグラフィ法により、NMOS領域106を開口するレジストパターンを形成する。

【0081】

次に、図8(d)に示すように、レジストパターンをマスクとして、例えば過酸化水素(H_2O_2)を主成分とする薬液を用いたウェットエッチングにより、レジストパターンのNMOS領域106に露出するハードマスク膜201を選択的に除去する。

【0082】

次に、図9(a)に示すように、PVD法又はALD法により、PMOS領域105におけるハードマスク膜201の上と、NMOS領域106における、露出した高誘電体膜109Bの上とに、La酸化物(LaO_x)又はLaからなるLa含有層202を形成する。続いて、形成されたLa含有層202に対して、温度が600 ~ 1000 程度の熱処理を行う。これにより、高誘電体膜109BにおけるNMOS領域には、La原子を拡散した第2の高誘電体膜と、界面酸化層109aとからなる第2のゲート絶縁膜115が形成される。

【0083】

次に、図9(b)に示すように、例えば塩化水素(HCl)を主成分とする薬液を用いたウェットエッチングにより、熱処理後に残留したLa含有層202を除去する。

【0084】

次に、図9(c)に示すように、例えば H_2O_2 を主成分とする薬液を用いたウェットエッチングにより、PMOS領域105に残るハードマスク膜201を除去する。なお、図示はしていないが、高誘電体膜109BにおけるPMOS領域105に、Al原子を拡散する場合は、高誘電体膜109Bを形成した後(図8(b))に、Al含有層を形成する。その後、ハードマスク層を高誘電体109Bの上の全面に形成し、NMOS領域106のハードマスク層及びAl含有層をウェットエッチングにより除去することにより、PMOS領域105に、Alを含む第1の高誘電体膜109bを形成する。これにより、PMOS領域105においては、Al原子を拡散した第1の高誘電体膜109bと界面酸化層109aとからなる第1のゲート絶縁膜109が形成される。

【0085】

10

20

30

40

50

次に、図9(d)に示すように、 $TiCl_4$ と NH_3 とを用いたALD法により、第1のゲート絶縁膜109及び第2のゲート絶縁膜115の上に、膜厚が1.5nm以上且つ2.5nm以下のTiN層110aを形成する。

【0086】

次に、図10(a)に示すように、TMAと NH_3 とを用いたALD法により、TiN層110aの上の全面に、膜厚が0.5nm以上1.0nm以下のAlN層110bを形成する。

【0087】

次に、図10(b)に示すように、AlN層110bの上に、さらに、TiN層110aとAlN層110bとを交互に堆積することにより、膜厚が15nm以上且つ20nm以下のTiN/AlNの積層構造を持つ実効仕事関数調整層110cを形成する。

10

【0088】

次に、図10(c)に示すように、形成された実効仕事関数調整層110cの上にポリシリコン膜を形成し、形成したポリシリコン膜のPMOS領域105には、ホウ素(B)等のp型の不純物を選択的にドーピングし、また、形成したポリシリコン膜のNMOS領域106には、ヒ素(As)又は燐(P)等のn型の不純物を選択的にドーピングする。続いて、リソグラフィ法及びエッチング法により、PMOS領域105において、p型不純物がドーピングされたポリシリコン膜、実効仕事関数調整層110c、第1のゲート絶縁膜109に対して、また、NMOS領域106においては、n型不純物がドーピングされたポリシリコン膜、実効仕事関数調整層110c、第2のゲート絶縁膜115に対して、それぞれゲート電極を得るパターンニングを行う。これにより、PMOS領域105においては、第1の実効仕事関数調整層110及びその上のTiN/AlNの積層構造を持つ第1の実効仕事関数調整層110からなるゲート電極が形成され、NMOS領域106においては、第2の実効仕事関数調整層116及びその上のTiN/AlNの積層構造を持つ第2の実効仕事関数調整層116からなるゲート電極が形成される。

20

【0089】

続いて、通常のCMOS製造フローに従って、PMOS領域105においては、p型の第1のエクステンション領域108、第1のサイドウォール112及びp型の第1のソースドレイン領域107を形成する。また、NMOS領域106においては、n型の第2のエクステンション領域114、第2のサイドウォール118及びn型の第2のソースドレイン領域113を形成して、図1(a)に示す、PMOS及びNMOSからなるCMOSトランジスタを得る。

30

【産業上の利用可能性】

【0090】

本発明に係る半導体装置及び半導体装置の製造方法は、ゲートメタル電極の低抵抗化によるスイッチング応答速度の向上及び高い実効仕事関数値を得られる結果、MOSトランジスタの高機能化及び低消費電力化を実現でき、特に、ゲートメタル電極及び高誘電体ゲート絶縁膜を有する半導体装置及びその製造方法等に有用である。

【符号の説明】

【0091】

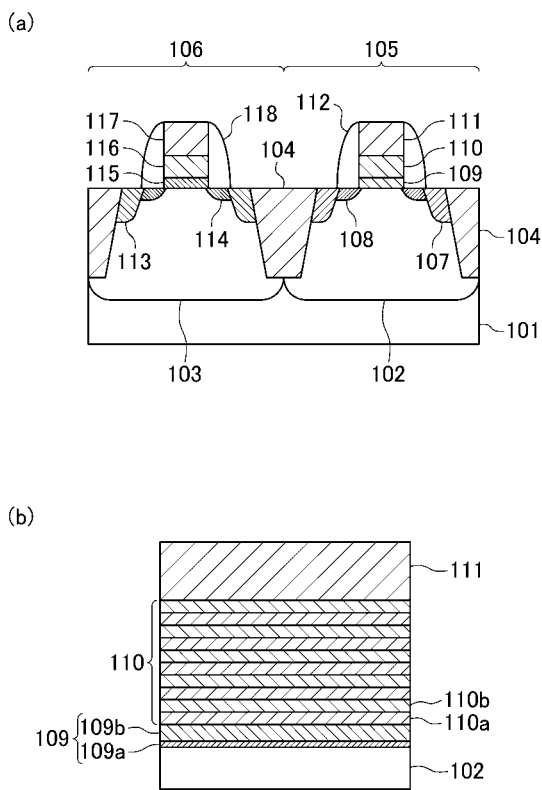
40

- 101 半導体基板
- 102 Nウェル
- 103 Pウェル
- 104 素子分離
- 105 PMOS領域
- 106 NMOS領域
- 107 第1のソースドレイン領域
- 108 第1のエクステンション領域
- 109 第1のゲート絶縁膜
- 109a 界面酸化層

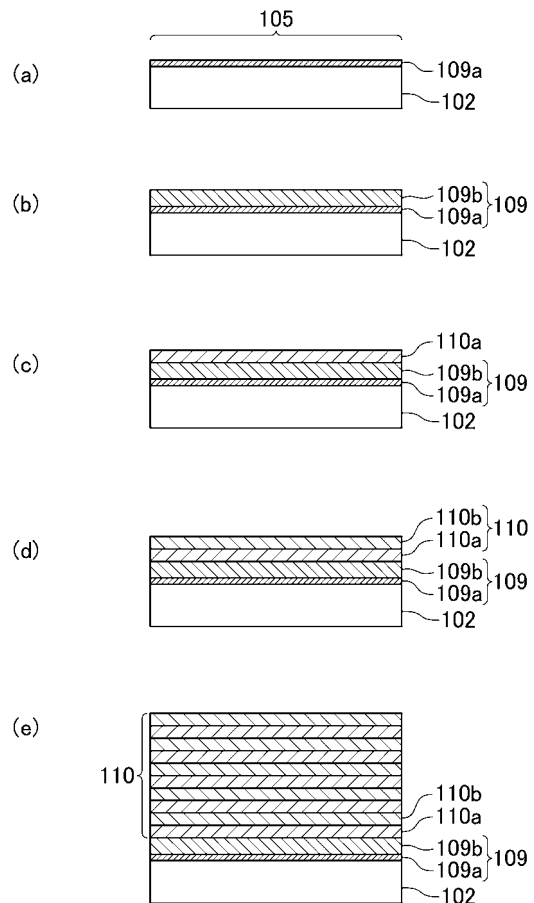
50

- 1 0 9 b 第 1 の高誘電体膜
- 1 0 9 B 高誘電体膜
- 1 1 0 第 1 の実効仕事関数調整層
- 1 1 0 A 単層膜
- 1 1 0 B T i N 層 (第 3 の金属窒化膜)
- 1 1 0 C 仕事関数調整層
- 1 1 0 a T i N 層 (第 1 の金属窒化膜)
- 1 1 0 b A l N 層 (第 2 の金属窒化膜)
- 1 1 1 第 1 の上部ゲート電極
- 1 1 2 第 1 のサイドウォール
- 1 1 3 第 2 のソースドレイン領域
- 1 1 4 第 2 のエクステンション領域
- 1 1 5 第 2 のゲート絶縁膜
- 1 1 6 第 2 の実効仕事関数調整層
- 1 1 7 第 2 の上部ゲート電極
- 1 1 8 第 2 のサイドウォール
- 2 0 1 ハードマスク膜
- 2 0 2 L a 含有層

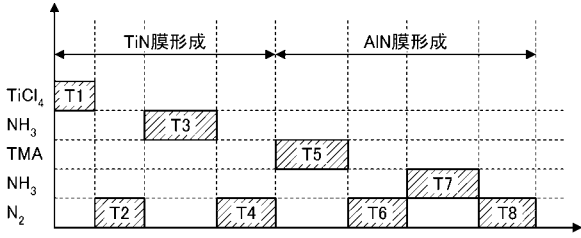
【 図 1 】



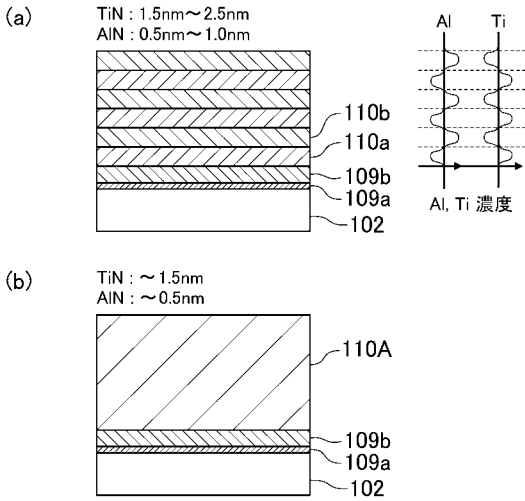
【 図 2 】



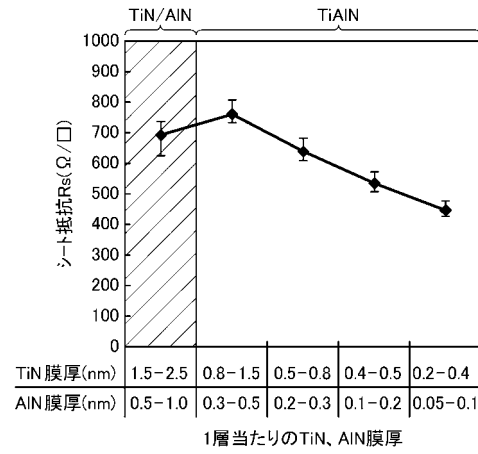
【 図 3 】



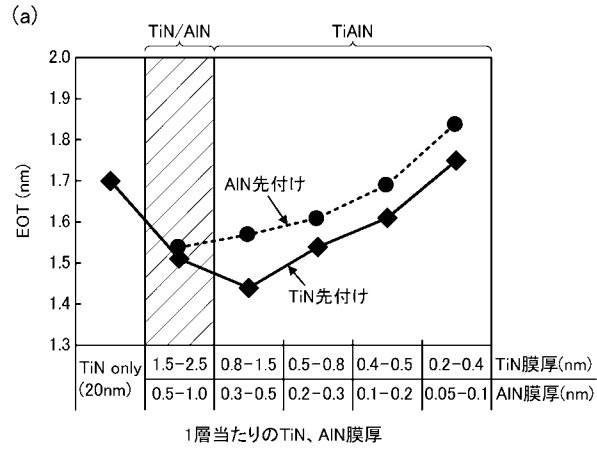
【 図 4 】



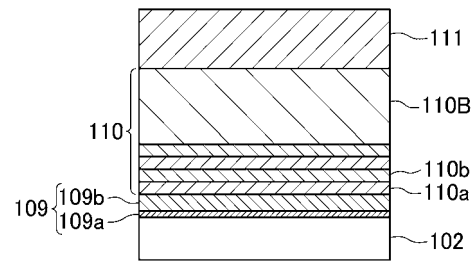
【 図 5 】



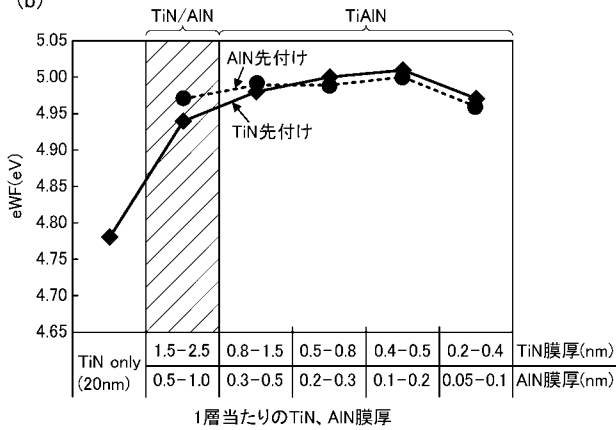
【 図 6 】



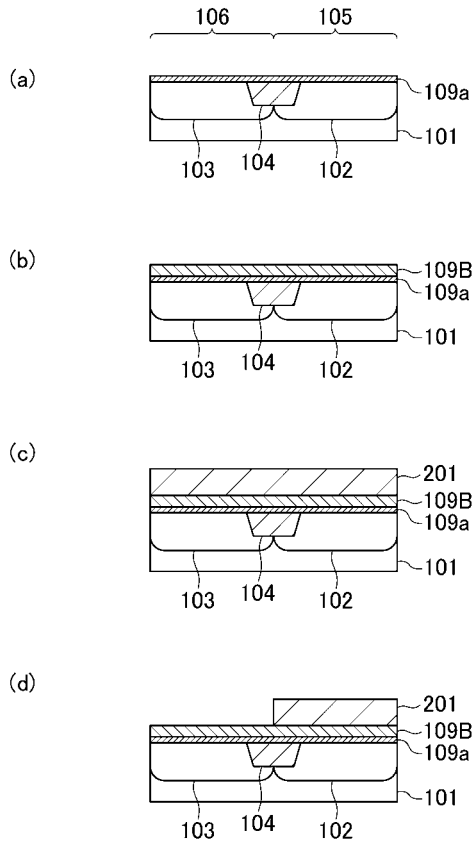
【 図 7 】



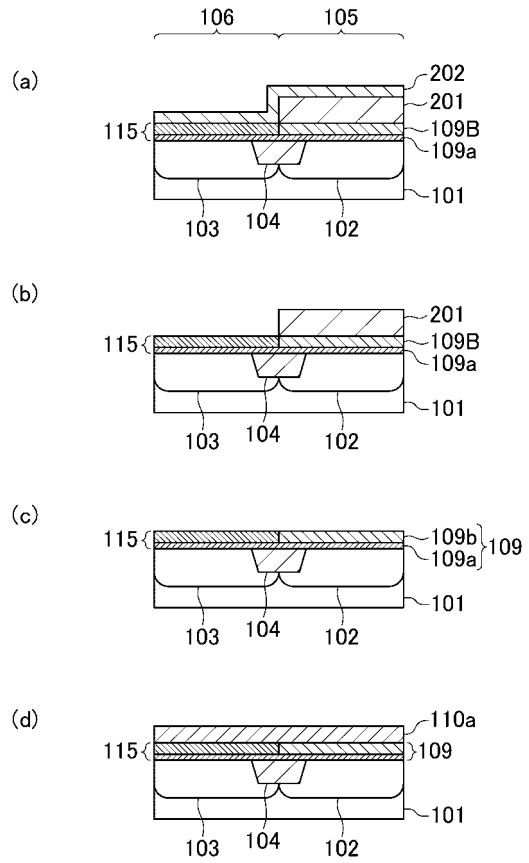
(b)



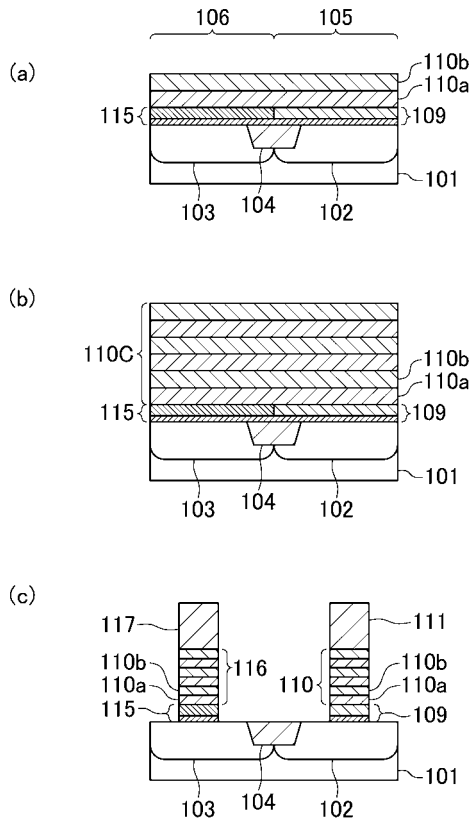
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 21/285 (2006.01)

- (74)代理人 100117710
 弁理士 原田 智雄
- (74)代理人 100121728
 弁理士 井関 勝守
- (74)代理人 100124671
 弁理士 関 啓
- (74)代理人 100131060
 弁理士 杉浦 靖也
- (74)代理人 100131200
 弁理士 河部 大輔
- (74)代理人 100131901
 弁理士 長谷川 雅典
- (74)代理人 100132012
 弁理士 岩下 嗣也
- (74)代理人 100141276
 弁理士 福本 康二
- (74)代理人 100143409
 弁理士 前田 亮
- (74)代理人 100157093
 弁理士 間脇 八蔵
- (74)代理人 100163186
 弁理士 松永 裕吉
- (74)代理人 100163197
 弁理士 川北 憲司
- (74)代理人 100163588
 弁理士 岡澤 祥平
- (72)発明者 中川 博
 大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内
- (72)発明者 遠藤 健一
 京都府長岡京市神足焼町 1 番地 パナソニックセミコンダクターエンジニアリング株式会社内
- (72)発明者 米田 健司
 大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内
- (72)発明者 鈴木 純
 大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内
- F ターム(参考) 4M104 AA01 BB30 BB36 CC05 DD43 DD45 EE03 EE12 EE14 EE16
 FF13 GG09 GG10 GG14 HH16 HH20
 5F048 AA00 AB10 AC03 BA01 BB06 BB07 BB09 BB11 BB13 BB17
 BB18 BC06 BE03 BG13
 5F140 AA01 AA02 AB03 AC01 BA01 BD01 BD04 BD05 BD09 BD11
 BD13 BD17 BE02 BE07 BE08 BE10 BE13 BE16 BE17 BF10
 BF20 BF22 BF24 BF30 BF32 BF38 BG08 BH14 BK02 BK12
 CB04 CB08 CF07