公告本

申請日期	83 年 7 月 19 日
案號	83106590
類別 Int.Cl[6]	H04B 3/00

（以上各欄由本局填註）

A4
C4

318299

318299

發明 新型 專利說明書

一、發明新型名稱	中文	快速信號傳輸用之信號傳輸裝置，電路組及積體電路
	英文	Signal transmitting device, circuit block and integrated circuit suited tofast signal transmission
二、發明創作人	姓名	(1) 武隈俊次 (2) 栗原良一 (3) 山際明
	國籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國海老名市河原口二三七－一日立厚木寮 (2) 日本國神奈川縣秦野市戶川八〇－二 (3) 日本國神奈川縣秦野市南が丘二－二－二－三〇三
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代表人姓名	(1) 金井務

裝 訂 線

經濟部中央標準局員工消費合作社印製

318299

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有 □無主張優先權
日本	1993 年 12 月 28 日	05-334631	☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（1）

發明背景

本發明係有關用以傳送信號於諸如ＣＰＵ及記憶裝置或記憶器ＩＣ等元件之間（例如，各由ＣＭＯＳ元件或ＣＭＯＳ元件之功能組所構成之數位電路之間）之信號之技術，且更明確言之，係有關用以快速傳送信號通過匯流排之技術，其中，一主傳輸線具有多個元件連接於其上。

作爲迅速傳送信號於各由半導體積體電路所構成之數位電路之間之一技術，有提出一種低幅度介面之技術，用以播送具有信號幅度低至約1伏之信號。

作爲此一低幅度介面之一代表性實例，前此已提出一ＧＴＬ（射擊收發邏輯電路）介面或一ＣＴＴ（中心分接端）介面。此等低幅度介面詳細討論於日經電子，１９９３年９月２７日板，第２６９至２９０頁。

圖1顯示先行技藝之此種低幅度介面之安排，其中，一主傳輸線具有多條支線。

號碼１００標示一傳輸線，由終端電源６０及６１及終端電阻器５０及５１終接。傳輸線１００連接至一驅動電路組1及接受電路組2，3，及4。

傳輸線１００具有阻抗５０Ω。支線１１至１４各具有阻抗５０Ω。終接電阻器５０及５１各具有阻抗５０Ω。終接電源６０及６１之電壓各爲０．５Ｖ。發送或驅動電路２１具有通電阻１０Ω。

當驅動電路２１在邏輯〝高〞輸出時，電路２１作用，以連接傳輸線１１至1伏電源（未顯示）。當驅動電路

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（2）

21在邏輯"低"輸出時，電路21作用，以連接傳輸線至地，即0伏電源（未顯示）。號碼32至34標示接受電路，分別包含於一接受電路組中。接受電路比較所接受之信號及參考電壓V_{ref}，以決定所接受之信號爲高或低位準。在本安排中V_{ref}設定於0.5V。

其次，說明當驅動電路21自低輸出轉換至高輸出時，信號如何傳送至圖1中此匯流排上各點處。首先，當驅動電路21在低輸出時，獲得傳輸匯流排100之一電位。此時，在傳輸線上點A處之電壓等於由終接電阻50及51及發送電路21之通電阻除終接電源0.5伏所獲得之電壓。即是，該電壓如下獲得

$$0.5V \times 10\Omega / (10\Omega + 50\Omega / 2) = 0.14(V)$$

其次，當發送電路21自低輸出轉換至高輸出時，故信號傳送至圖1之一點A，獲得傳輸線之電位如下。在發送電路21之輸出轉換後，電源電壓即時由發送電路之通電阻及傳輸線11之阻抗50Ω除。故此，由如下獲得點A處之電位升高：

$$1V \times 50\Omega / (50\Omega + 10\Omega) = 0.83(V)$$

原先電壓0.14V及電壓升高之相加，即是，0.97V等於在點A處之電位。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（3）

當０．８３Ｖ幅度之波形到達分支點Ｂ時所發生之電位如下獲得。如自傳輸線１１上來看傳輸線１００，由於傳輸線１００分爲二，即左及右部，如自傳輸線１１上觀之，傳輸線１００之實在阻抗變爲其阻抗５０Ω之一半，即２５Ω。另一方面，由於傳輸線１１之阻抗爲５０Ω，阻抗之失配導致點Ｂ處之信號反射。

反射係數如下獲得。

（５０Ω－２５Ω）／（５０Ω＋２５Ω）＝０．３３

此意爲０．８３Ｖ之信號幅度之三分之一傳送至點Ａ，即是，幅度０．２８Ｖ之信號反射回至發送電路方面。留下之幅度０．５５Ｖ之信號發送至傳輸線１００，作爲第一傳送波。故此，傳送之信號之電位等於０．５５Ｖ及原先電位之和，即０．６９Ｖ。

當具有還回至發送電路之０．２８Ｖ之幅度之信號到達發送電路時，信號成鏡影反射，並再度到達點Ｂ。信號之三分之二通過傳輸線１００，而信號之其餘三分之一則回至傳輸線１１。依據此行動，信號重覆往回於傳輸線１１上。每次信號波形到達點Ｂ時，波形之三分之二輸出至傳輸線１００。由此作用，原在點Ａ處之０．８３Ｖ之幅度逐塊分割傳送至傳輸線１００。

通過點Ｂ並傳送至傳輸線１００之０．６９Ｖ之信號到達點Ｃ。在此點，在信號通過之前，二傳輸線各製成具

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（4）

有５０Ω之阻抗。故此，向前合成之阻抗２５Ω與傳輸線（信號已通過其上）之５０Ω之阻抗之失配引起信號反射。

反射係數如下：

（５０Ω－２５Ω）／（５０Ω＋２５Ω）＝０．３３

通過點Ｃ之波形之電位等於由點Ｂ處之０．５５Ｖ之信號幅度乘互導２／３（＝１－１／３），並加原先電位於此乘積所獲之電位。即是，

０．５５Ｖ×２／３＋０．１４Ｖ＝０．５０（Ｖ）

相似之反射發生於點Ｅ或點Ｇ。在點Ｅ處之電位爲０．３８Ｖ，及在點Ｇ處之電位爲０．３０Ｖ。

此結果顯示於圖２Ａ至２Ｃ。圖２Ａ顯示進出於點Ｃ上之信號，即是，往向點Ｃ之點Ｂ上之信號，及自點Ｃ出來之點Ｄ及點Ｅ之信號。爲清楚說明起見，亦顯示在點Ａ上之信號。同樣，圖２Ｂ顯示進出點Ｅ之信號。圖２Ｃ顯示進出點Ｇ之信號。在圖２Ａ至２Ｃ中，號碼２０１標示在圖１中點Ａ處之信號波形。號碼２０２標示在點Ｂ處之波形。號碼２０３標示在點Ｃ處之波形。號碼２０４標示在點Ｄ處之波形。號碼２０５標示在點Ｅ處之波形。號碼２０６標示在點Ｆ處之波形。號碼２０７標示在點Ｇ處之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（5 ）

波形。號碼２０８標示在點H處之波形。當信號下降時，發生相同之情形。信號下降時之波形顯示於圖３Ａ至３Ｃ。在圖３中，號碼２０１至２０８分別標示圖１中所示之點Ａ至點H處之信號波形。

自上述之情形，知道使用普通信號傳送電路不能使點Ａ上之來自驅動電路２１之指示一高位準之第一信號在所有接受電路組處均超過參考電壓V_{ref}（在以上情形中爲０．５Ｖ），以確定該信號係在高位準上。換言之，由於在各點Ｂ，Ｃ，Ｅ，及Ｇ處之大量反射，在Ａ點處之第一信號之原先高位準電壓衰減至非常低位準之電壓，致不超過在接受器處之參考電壓V_{ref}。故此，即使發送單位２１指示一高位準，接受器３２，３３，及３４並不能辨認該第一信號爲高位準。最後，在重覆之信號後，在點Ｂ，Ｃ，及Ｄ處之電壓位準將增加至非常接近點Ａ處之位準，但在此之前，接受器不能認出此高位準。

在分支點Ｃ，Ｅ，或Ｇ處進入每一支線（如傳輸線１１）之信號在該支線內一再反射。當反射之波形回至分支點時，信號之三分之二進入傳輸線１００。此引起傳輸線１００上波形失眞。

如上述，在以上之先行技藝中，在每一分支點上發生反射。由反射所引起之電位降相互重疊。信號電位之上升受延遲於驅動電路之遠處。此導致不利之延遲時間增加，從而阻止迅速傳輸信號。

而且，進入接受電路組中之信號在接受電路部份中被

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（6）

反射，然後進入傳輸線１００，此亦導致不利之信號波形失眞，從而降低信號傳輸之可靠性。

爲加速信號傳輸，並減小線１００上之信號幅度，以上之先行技藝經安排，俾電源電壓爲１Ｖ。在上述文件所討論之電路中，爲在普通使用之３．３Ｖ電源中達成１Ｖ之幅度，驅動電路經安排，俾其通電阻具有１００Ω之特定值，以達成小幅度。

然而，如該文件中所述之通電阻之特定值使具有約１０Ω之通電阻之多量供應之電晶體不能使用。換言之，需要特殊設計之電晶體。

而且，訂定給發送電路２１之此種較高之通電阻導致增加驅動電路之功率消耗，從從增加整個不利之功率消耗。

作爲有關本發明之已知之另一先行技藝裝置，可提出發給唐納遜等之美專利４，９２２，４４９號。此美國利發表一種技術，在具有多個電路組（包含驅動電路及接受電路）及組間信號傳輸線（用以播送信號於各電路組之間）之一電路線結構中，設置電阻器於電路組及組間信號傳輸線之間。設置電阻器於其間之目的在降低由電源轉換操作在信號碰撞時所出現之通過電流，即降低組間信號傳輸匯流排上之信號幅度。電阻設定於２０Ω至４０Ω。此電阻引起信號在電路組內之傳輸線及組間傳輸線間之一分支點上反射。信號反射會抑制快速信號傳輸之達成。即是，此技術並未依據組間信號傳輸線及組內信號傳輸線間之阻

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（7）

抗關係來設定任一電阻。

而且ＪＰ－Ｂ－５４－５９２９發表另一先行技藝之安排，此在組間信號傳輸線及電路組內之信號傳輸線之間設置一電阻器。在此先行技藝之安排中，僅在電路組之接受電路側及組間信號傳輸線之間設置一電阻器，發送電路及組間信號傳輸匯流排之間則無電阻器。與美專利４，９２２，４４９同樣，當發送電路輸出之信號傳送於組間信號匯流排上時，發生信號反射。與前述之安排同樣，此信號反射會抑制快速信號傳輸之達成。

發明概要

本發明之目的在提供一信號傳輸裝置，一電路組，及一積體電路，其安排在克服以上缺點，抑制具有支線之傳輸線上之信號電位下降，防止支線中之重覆反射，並保持線上之信號幅度小，俾可迅速傳送信號。

爲達成該目的，在一較宜之模式，一信號傳輸裝置包含一第一電路組，含有一驅動電路用以驅動信號，及一組內傳輸線用以傳輸信號自驅動電路至電路組外；一第二電路組，包含一接受電路用以接受信號，及一組內傳輸線用以傳送欲輸入之信號至接受電路；及一組間傳輸線，用以傳送信號於各電路組之間；其中，組間傳輸線由一或二元件終接，元件各具有一電阻等於或接近於組間傳輸線之特定阻抗值。而且，電阻器８０至８３各具有電阻等於或接近於由組內傳輸線之阻抗減組間傳輸線之阻抗之一半所獲

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（8 ）

得之值。

同樣，在具有多個組且每組具有驅動電路及接受電路二者之電路裝置中，組間傳輸線由一或元件終接，元件各具有電阻等於或接近於組間傳輸線之特性阻抗。設有組內傳輸線，具有電阻等於或接近於由組內傳輸線之阻抗減組間傳輸線之特性阻抗之一半所獲得之值。

在具有長引線框之一電路包，諸如方平包（ＱＦＰ）或銷柵行列（ＰＧＡ）使用於具有驅動或接受電路整合於其上之一積體電路中之情形，組間傳輸線有終接，設有電阻器，以匹配組間傳輸線及組內傳輸線間之阻抗，且引線框之阻抗及組內傳輸線之阻抗相匹配。

依據本發明，由插入具有電阻接近於由支線之阻抗減該線之阻抗之一半所獲得之值，則可防止支線內之重覆反射，及由插入電阻及終接電阻分除之傳輸線之幅度衰減，從而能迅速傳送信號。

在有大量之分支點存在於組間傳輸線之情形，由於電阻器之存在而引起電路，組間傳輸線不能直接看到分支線（即傳輸線負荷電容及驅動及接受電路之電容之和）。此可有效抑制線阻抗降低。而且，可抑制由於現插入所引起之波形失眞。

附圖簡述

圖１顯示普通單向傳輸線；

圖２Ａ至２Ｃ爲曲線圖，顯示在使用普通傳輸線之情

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

五、發明說明（9）

形中所呈現之信號波形（前緣波形）；

圖3A至3C爲曲線圖，顯示在使用普通傳輸線之情形中所呈現之信號波形（後緣波形）；

圖4爲方塊圖，顯示本發明之一實施例1；

圖5爲電路圖，顯示驅動電路之一例；

圖6爲電路圖，顯示差壓接受電路之一例；

圖7A至7C爲曲線圖，顯示本發明之實施例1中之信號波形（前緣波形）；

圖8A至8C爲曲線圖，顯示本發明之實施例1中之信號波形（後緣波形）；

圖9爲曲線圖，顯示在使用普通傳輸線之情形中，當執行現插入時所發生之波形失眞；

圖10爲曲線圖，顯示在使用本發明之實施例1之電路之情形中，由於現插入所引起之波形失眞；

圖11爲方塊圖，顯示本發明之一實施例2；

圖12A至12B爲曲線圖，顯示使用普通傳輸線轉換發送電路時所發生之波形；

圖13A至13B爲曲線圖，顯示由實施例2之驅動電路進行轉換操作之波形；

圖14爲方塊圖，顯示本發明之一實施例3；

圖15爲方塊圖，顯示實施例3之一修改；

圖16A至16C爲曲線圖，顯示本發明之實施例3之電路之情形中所發生之信號波形（前緣波形）；

圖17A至17C爲曲線圖，顯示本發明之實施例3

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（10）

之電路之情形中所發生之信號波形（後緣波形）；

圖18A至18C爲曲線圖，顯示在改變本發明之實施例1之傳輸線之阻抗之情形中所發生之信號波形（前緣波形）；

圖19A至19C爲曲線圖，顯示在改變本發明之實施例1之傳輸線之阻抗之情形中所發生之信號波形（後緣波形）；

圖20爲電路圖，顯示本發明之實施例3之一安排，其中使用一電容器來取代電阻器；

圖21爲電路圖，顯示本發明之實施例3之另一安排，其中使用一電容器來取代電阻器；

圖22A至22C爲曲線圖，顯示使用圖20中所示之安排之情形中所發生之信號波形（前緣波形）；

圖23A至23C爲曲線圖，顯示使用用圖20中所示之安排之情形中所發生之信號波形（後緣波形）；

圖24爲曲線圖，顯示圖4所示之電路安排中所發生之信號波形；

圖25爲曲線圖，顯示圖4所示之電路安排中之電阻器80至83具有較小之值之情形中所發生之信號波形；

圖26爲曲線圖，顯示圖4所示之電路安排中之電阻器80至83具有較大之值之情形中所發生之信號波形；

圖27爲方塊圖，顯示本發明之一實施例4；

圖28爲斷面圖，顯示一QFP包；

圖29爲斷面圖，顯示一PGA包；及

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（11）

圖３０顯示其上背有ＱＦＰ包之一裝置之一例。

較宜實施例之說明

參考附圖，詳細說明本發明之實施例。

圖４以基本方塊圖顯示應用本發明之單向傳輸線之第一實施例。

在圖４中，號碼１標示一驅動電路組（單位），具有驅動電路２１。號碼２至４標示接受電路組，設有各別之接受電路３２至３４。電路組分別包含電阻器８０至８３，及傳輸線１１至１４。一傳輸線１００連接至電路組１至４，及傳輸匯流排１００之二端由電阻器５０及５１終接，各具有電阻等於或接近於傳輸線１００之特性阻抗。

在圖４中，傳輸線１００具有阻抗５０Ω。支線１１至１４各具有阻抗１００Ω。終接電阻器５０及５１各具有電阻５０Ω。終接電源６０及６１用以供應１．５Ｖ之電壓。驅動電路２１具有通電阻爲１０Ω。

驅動電路２１在驅動電路２１保持高輸出時作用而連接一傳輸線至３Ｖ電源（諸如圖５中之６２），或當驅動電路２１保持低輸出時連接傳輸線至地電位（諸如圖５中之６３）。在圖４中，號碼３２至３４標示接受電路。

電阻器８０至８３各界定具有電阻７５Ω。界定該電阻之方法以後述之。

注意在本實施例中，傳輸線１００在二端處終接。然而，如喜愛，亦可在一端僅由一電阻器終接。而且，本實

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（12）

施例設有三接受電路組，各具有一接受電路。然而，本發明適用於包含至少一電路組（具有接受電路）之信號傳輸裝置。

圖5顯示圖4之裝置中所用之發送或驅動電路21。此驅動電路21爲一推挽式驅動電路，由一拉上電晶體70及一拉下電晶體71構成。

圖5所示之拉上電晶體70爲一N通道MOS場效電晶體（NMOS）。電晶體70之材料不限於NMOS。例如，可使用P通道MOS場效電晶體（PMOS）來製造電晶體70。

具有推挽式驅動電路之低幅度驅動電路詳細討論於日經電子文件中，前指爲先行技藝之裝置。然而，在此文件中，驅動電路使用具有約100Ω之高通電阻之一電晶體。反之，本發明使用具有約10Ω之通電阻之一電晶體，此現廣泛供應。本發明可使用普通之驅動電路，因爲本實施例中所加之電阻器80至83之通電阻及約10Ω之電晶體通電阻之和接近先行技藝裝置之100Ω之通電阻，數傳輸匯流排100上之幅度約與先行技藝者之幅度相同。

例如，假設傳輸線100之阻抗及終接電阻器爲50Ω，支線之阻抗爲100Ω，終接電源饋送1.5V之電壓，及驅動電路之電源饋送3V之電壓。由此等假設，在指示使用具有通電阻100Ω之電晶體之上述文件中所用之傳輸線上之信號幅度成爲0.6V，該幅度大致等於圖

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（13）

4所示之傳輸線100之0.68V之幅度。

由降低驅動電路21之通電阻自100Ω至10Ω，則可降低驅動電路中之功率消耗。例如，在以上之情形中，安排使用通電阻爲100Ω之先行技藝裝置消耗功率14.4mw，而本發明則可大爲降低功率消耗至1.9mw。而且，本實施例可使用具有通電阻10Ω或以上，具體言之，約50Ω之通電阻。此驅動電路可具有與以上相同之效果。

其次，圖4之接受電路之一例顯示於圖6，此接受電路爲一差壓接受電路，用以根據輸入電壓是高於或低於參考電壓V_{ref}，決定輸入信號爲邏輯高或低位準。此處所用之參考電壓可在積體電路內產生。然而，如雜訊呈現於積體電路內，或已自外部進入之雜訊使電源波動，則參考電壓會隨之波動。故此，由外部饋送參考電壓較佳。而且，接受電路宜爲NMOS式差壓接受電路，用以經由NMOS之作用接受輸入信號。如此式接受電路用作參考電壓，則使用終接電源之電壓。故此，可接受在參考電壓周圍1V或以下之小幅度波形。

例如，在以下之情形下，接受電路上之幅度爲0.68V。明確言之，如終接電阻器50，51之電阻各爲50歐，匹配電阻器80，81，82，及83之電阻各爲75歐，及驅動電路之通電阻爲10歐，驅動電路之電源電壓爲3V，及終接電源電壓爲1.5V，則當驅動電路在低輸出時，每一接受電路上之電壓爲1.16V

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（14）

（＝１．５Ｖ－（１．５Ｖ－０）×（５０Ω／２）／（５０Ω／２＋７５Ω＋１０）＝１．５－０．３４），及當驅動電路在高輸出時，每一接受電路上之電壓爲１．８４Ｖ（＝１．５Ｖ＋（３－１．５）×（５０／２）／（５０／２＋７５＋１０）＝１．５＋０．３４）。故此，在每一接受電路上之幅度爲０．６８Ｖ（＝１．８４－１．１６）。

在圖４中，僅說明一電路組之一接受電路３２至３４，作爲實例。然而，本發明不受接受電路數之限制。

在上述安排之信號傳輸電路中，電阻器８０至８３之電阻各等於由組內傳輸線１１之阻抗減線１００之阻抗之一半所獲得之一值。線１００之阻抗需要減半，因爲來自驅動電路組之信號在與匯流排１００接觸之點Ｂ處分爲二路。即是，以下表示式成立：

$$Rm = Zs - Z0/2 \qquad (1)$$

其中Ｚｓ表示傳輸線１１之阻抗，Ｚ０表示線１００之阻抗，及Ｒｍ表示電阻器８０之阻抗。

自此表示式可以明瞭，如自傳輸線１１上觀之，電阻器８０及線１００之總阻抗等於傳輸線１１本身之阻抗。如此可防止支線內重覆反射。

電阻器８１至８３可由相似之方式界定。如此，另一組可具有與上述組１相同之作用。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（15）

其次，說明由表示式（1）所獲得之電阻器之作用，以下參考圖4之電路圖，說明當驅動電路21自低輸出轉換至高輸出時，發送至圖4之每一點上之波形。

首先，需獲得在驅動電路21饋送一低輸出時所發生之傳輸線100之電位。使傳輸匯流排之電壓等於以終接電阻器50及51，電阻器80，及驅動電路21之通電阻除終接電源電壓1.5V所獲得之電壓。具體言之，當驅動電路21提供一低輸出時，在傳輸線上點B處之電壓如下：

$$1.5V\times(75\Omega+10\Omega)/(10\Omega+75\Omega+25\Omega)=1.16\ (V)$$

在圖4之電路中，由驅動電路21所驅動之信號並不反射於B點。故此，整個信號傳送至傳輸線100。當驅動電路之輸出自低轉換至高位準時，傳送至點B之信號之電位等於由終接電阻器50及51，電阻器80，及驅動電路21之通電阻除終接電源電壓1.5V及驅動電路21之電源電壓3V所獲得之電壓。故此，當驅動電路21提供高輸出時，B點處之信號電位如下獲得：

$$1.5V+(3V-1.5V)\times 25\Omega/(10\Omega+75\Omega+25\Omega)=1.84V$$

即是，傳送至點B之信號之幅度爲：

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（16）

1.84V－1.16V＝0.68V

當傳送至傳輸線100之0.68V幅度之信號到達點C時，雖50Ω之傳輸線，75Ω之電阻器，及100Ω之傳輸匯流排呈現於前方，但阻抗之先配引起反射，因爲此二線之總阻抗38.9Ω不等於信號通過之傳輸線之阻抗50Ω。互導係數爲：1－反射係數＝1－1－（50－38.9）／（50＋38.9）＝0.875。

通過點C之信號之電位等於以互導係數0.875乘點B處之信號幅度0.68V並加一原先電位於該乘積值所獲得之值。即是，該信號電位爲：

0.68×0.875＋1.16V＝1.76V

同樣之反射發生於點E或點G。E或G點處之電位分別爲1.68V及1.61V。

此等結果顯示於圖7A至7C。圖7A顯示進出點C之信號波形，即是，進入點C之點B處之信號波形，及自點C出來之點D及E處之信號波形。同樣，圖7B顯示進出點E之信號波形。圖7C顯示進出點G之信號波形。在圖7A－7C中，號碼702表示在圖4中點B處之信號波形。號碼703表示在點C處之信號波形。號碼704表示在點D處之信號波形。號碼705表示在點E處之信號波形。號碼706表示在點F處之信號波形。號碼

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（17）

707表示在點G處之信號波形。號碼708表示在點H處之信號波形。當信號下降時，發生相同情形。此時之各信號波形顯示於圖8A至8C。在圖8A至8C中，號碼702至708表示自點B至點H之信號波形，如在圖4中。

在使用本實施例中清楚說明之信號傳輸電路之情形，應明瞭在每一分支點處之來自驅動電路21之指示高位準之任一第一信號可超過參考電壓（以上情況中之1.5V）。故此，每一接受電路能辨認正送出中之高位準。

本發明之此作用由表示式（1）所獲得之電阻器80至83之電阻以及接近由表示式（1）所獲得之電阻之任一值充分引起。

此參考圖24至26加以說明。圖24顯示當圖4所示之電路安排中之發送電路21不斷輸出一脈波波形時，在圖4中點A，C，D，G，及H處之波形在時間及電壓間之關係，在該電路安排中，組間傳輸線（主傳輸線）100具有阻抗50Ω，組內傳輸線11至14各具有阻抗100Ω，終接電阻器50及51各具有電阻50Ω，終接電源電壓爲1.65V，及電阻器80至83各具有由表示式（1）所獲得之電阻75Ω。

在圖24中，號碼701表示在點A處之信號波形。號碼703表示在點C處之信號波形。號碼704表示在點D處之信號波形。號碼707表示在點G處之信號波形。號碼708表示在點H處之信號波形。甚難目視區分由

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（18）

707所示之曲線及708所示之曲線，因爲二曲線相互重疊。

另一方面，另一情形顯示於圖25。圖25顯示當電阻器80至83之電阻各改變爲50Ω，以獲得較大幅度時之波形。如在圖25中，號碼701，703，704，707，及708分別顯示在圖4中點A，C，D，G，及H處之波形。此處所用之電阻50Ω值爲由表示式（1）所獲得之電阻75Ω之66%。如自圖25中可見，可使用此等電阻值而無任何麻煩。

如組內線之阻抗爲75Ω，則電阻器80至83之電阻可各個定於75Ω，以保持信號幅度與圖24之值相同。此情形之波形顯示於圖26。在此情形中，電阻器80至83之電阻各較表示式（1）所獲得之50Ω之電阻大50%倍。關於此點，應注意如電阻器80至83之電阻各對表示式（1）所獲得之值上下移動約50%，則本申請書之作用仍可達成。

而且，爲提高本發明之作用，宜設定電阻器80至83之電阻高於主傳輸線100之阻抗之一值。而且，當傳輸線100具有許多支線時，來自驅動電路21之信號不能超過參考電壓，即使通過本實施例中所用之信號傳送電路之作用亦然。應付此缺點之一方法在實施例3中澄清。

在點C，E，及G上進入傳輸線12至14中之信號成鏡影反射於對應之接受電路上，然後返回至分支點。由

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（19）

於此電路保持阻抗適當匹配，故整個信號一次傳送至傳輸線１００上，而不反射信號於分支點上。

自此圖可見，插於本發明中之電阻器可大爲降低由反射所引起之電位降。而且，此等電阻器使遠離驅動電路之接受電路中之信號電位降可微不足道。

由插入具有預定電阻之一電阻器於電路組內之傳輸線及組間傳輸線間之一接觸點附近，則可保持傳輸匯流排上之信號幅度較小，並在高速上傳送信號。幅度小多少可由改變傳輸線１００及每一組內傳輸線之阻抗而自由設計。例如，如發送電路２１具有通電阻爲１０Ω，假設組內傳輸線具有阻抗１００Ω，及傳輸線１００具有阻抗２５Ω，則傳輸匯流排之信號幅度計算如下：

１．５Ｖ×１２．５Ω／（１２．５Ω＋８７．５Ω＋１０Ω）×２＝０．３４Ｖ，其中，電阻器８０至８３各具有電阻爲８７．５Ω。在此情形之波形顯示於圖１８Ａ至１８Ｃ及１９Ａ至１９Ｃ。在此等圖中，號碼７０２至７０８標示在圖４中Ｂ至Ｈ點之信號波形。由此圖可明瞭，獲得具有較小幅度及小幅下降之波形。

而且，電阻器８０至８３具有抑制傳輸線１００之阻抗由於電路組中之負荷電容所引起之下降之作用。即是，由插入一電阻器於傳輸線１００及每一電路組１至５之間，則組間傳輸線不能直接看見電路組中之電容（即傳輸線負荷電容及驅動及接受電路之電容之總和）。故此，可抑制傳輸線之阻抗之下降。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（20）

而且，在一新板加進使用中之傳輸匯流排或已裝之一板拉出之情形，即是，如執行一所謂現插入行動，本發明之信號傳送系統具有另一有利作用。例如，考慮充電至高位準之一板插進接受低信號傳送之傳輸線中。在此情形，由於板中電容之電位與傳輸線之電位不同，電流自板流至傳輸線。電流傳送至傳輸線。電流成失眞之波形進一步傳送至支線內之接受電路。如該波形失眞上升至較參考電壓爲高之電位，則接受電路認係傳送之高信號，且因而不適當作用。

爲說明波形失眞之作用，圖9顯示當普通傳輸線中執行現插入時所發生之波形，及圖10顯示當本發明所提供之傳送電路中執行現插入時所發生之波形。如圖9及10所示，本發明降低由現插入所引起之波形失眞。

實施例2

以下說明實施例2，其中，應用本發明於雙向傳輸線。

圖11爲顯示第二實施例之基本方塊圖。電路組1至4提供驅動電路21至24，接受電路31至34，電阻器80至83，及傳輸線11至14。一傳輸線100連接至電路組1至4，並由電阻器50及51終接，各具有電阻等於傳輸線100之特性阻抗值。

圖11顯示傳輸線在二端處由電阻器終接。然而，如需要，該傳輸匯流排可在一端處由一電阻器終接。而且，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（21）

圖１１顯示四組。在實際上，本發明可應用於接有二或更多組之任何傳輸線上。

圖１１中所示之電路組中所含之驅動電路２１至２４及接受電路３１至３４之安排與參考圖５及６時所述者相同。電阻器８０至８３之值可由圖４中所示之實施例１之方式界定。而且，假設電路組１工作而發送信號，則在點Ａ至Ｈ上之信號波形與實施例１中者相同。

在具有實施例２中所示之一電路組中驅動電路及接受電路之安排中，由使電阻等於或接近由前表示式（１）所獲得之電阻，則可降低驅動電路轉換所隨帶之等待時間。以後，在圖１１所示之電路安排中，以下說明當驅動電路轉換時所發生之信號波形之改變。

首先，驅動電路依以下程序轉換。

（１）驅動電路２１輸出一高信號。

（２）在（１）後１０ｍｓ，驅動電路２１轉換至高阻抗狀態。此時，驅動電路２１輸出一高信號。

在驅動電路２１轉換後，終接電位下降於驅動電路２１附近之傳輸線上之信號電位，直至來自驅動電路２４之高信號到達傳輸線之該部份爲止。下降之波形自此傳送通過傳輸線而至各支線。

在無電阻器之普通傳輸線之情形中發生於各點上之下降之波形顯示於圖１２Ａ及１２Ｂ，而在本發明之傳輸線之各點上之下降之波形則顯示於圖１３Ａ及１３Ｂ。此等圖中之波形在電路組２中所含之接受電路３２之輸入電路

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（22）

上，鄰近具有驅動電路21之電路組1。

自圖12A及12B可見，在普通傳輸線中，支線中重覆反射之重疊之不利影響及由轉換驅動電路所引起之下降之信號導致延遲接受電路讀出輸入信號之時間，即較驅動電路轉換之時間慢2Td。Td表示一信號自傳輸線之一端傳送至另一端之時間。在此，Td約爲6ms。

另一方面，本發明之傳輸線在驅動電路轉換後及接受電路讀出輸入信號之前，僅需一Td之延遲。即是，本發明能減少在驅動電路轉換後讀出輸入信號所需之等待時間自2Td至一Td。

以上以高至高轉換之情形說明該實施例。此作用對所有各種轉換，諸如低至低，低至高，高至低均係如此。而且，此效果作用於任何組合上，而不受欲轉換之驅動電路之影響。

實施例3

以下說明第三實施例，此在有許多支線之情形中，在支線之末端上有大電容之情形特別有效。圖14爲用以說明本實施例之單向傳輸匯流排之一基本方塊圖。圖15爲用以說明本實施例之雙向傳輸匯流排之一基本方塊圖。在圖14中，一電路組1包含一驅動電路21，及電路組2至4分別包含接受電路32至34。而且，電路組分別具有電阻器80至83及傳輸線11至14。在圖15中，電路組1至4提供發送電路21至24，接受電路31至

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（23）

34，電阻器80至83，及傳輸線11至14。在圖14及15中，傳輸線100連接至電路組1至4，並由電阻器50及51終接，二電阻器各具有電阻等於傳輸線100之特性阻抗值。

在圖14及15中，傳輸線在二端處由電阻器終接。然而，如喜愛，傳輸線可在一端上由一電阻器終接。而且，在圖14及15中，電路組之數爲4。在實際上，本發明亦適用於僅設置二或更多之組。

偶言之，在此等圖中，號數90至93標示開關。號數110至113標示電阻器。

在本實施例中，參考圖14及15之基本方塊圖，說明開關之作用及效果。本第三實施例之其他部份與實施例1及2相同。故此，此等其他部份不在此處說明，以免重覆。

如在支線之末端處之電容大，或如設有大量之支線，則在傳輸線之分支點處之信號電位之下降大至不可接受。即使實施例1及2亦不能抑制此電位降。

例如，考慮實施例1所示之情況，即是，電路安排使圖4中之傳輸線100具有阻抗爲50Ω，支線11至14各具有阻抗爲100Ω，終接電阻器50及51各具有電阻爲50Ω，終接電源各具有電壓爲1.5V，電阻器80至83各具有電阻爲75Ω，發送電路21之通電阻爲10Ω，驅動電路21在該電路21饋送一高信號時作用而連接傳輸匯流排至一3V電源，及當該電路饋送一

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（24）

低信號時作用而連接傳輸匯流排至地或0V電源。在此時刻，如設有t或或多之支線，則來自發送電路21之指示高位準之第一信號在第六分支點後不超過參考電壓（V_{ref}）。

爲克服此缺點，說明該第三實施例，作爲消除去由降落之信號電位所引起之延遲時間。此由通過較之用以補償在分支點上之信號電位降所需之電流量爲多之電流來達成。

先參考圖14，當驅動電路21工作時，電路1中之開關90閉合，以降低傳輸線100及組內信號傳輸線11間之電阻。此可增加匯流排100上之信號幅度。在圖15中之驅動電路21至24及其對應之開關90至93工作時，情形亦如此。

例如，在終接電阻器50及51各具有50Ω之值，匹配電阻器80至83各具有75Ω之值，發送電路21至25各具有通電阻爲10Ω，及開關電阻器80至83各具有10Ω之值之情形，由閉合開關90，傳輸線100及支線11間之電阻自75Ω降至8.8Ω，及傳輸匯流排100上之幅度自0.68V增加至1.3V。此導致消除去由分支點上之下降信號電位所引起之延遲時間。

如信號在次週期中反向，爲在高速上轉移該信號，開關受激發，較開始時間後0.3週期開斷，以輸出驅動電路之信號。由此，使信號幅度可回至預定值，即是，一適

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（25）

當小之幅度，俾能快速轉移。當然，如適當，該延遲可設定於與0．3週期不同之值。

圖16A至16C及17A至17C用以說明本發明之效果。此等圖中所示之波形係當驅動電路21由圖14及15中所示之電路激發時所發生者。圖16A至16C顯示上升中之波形。圖17A至17C顯示下例中之波形。在該例中，電阻器110至113之電阻設定於20Ω上，各供此等波形之來到。

圖16A及17A顯示進出圖14中所示之點C之信號波形，即是，在點B上進行至點C之波形，自點C出來之在點B及E上之波形。同樣，圖16B及17B顯示進出點E之信號波形。圖16C及17C顯示進出點G之信號波形。號碼1402表示在圖14中所示之點B處之信號波形。號碼1403表示在點C處之信號波形。號碼1404表示在點D處之信號波形。號碼1405表示在點E處之信號波形。號碼1406表示在點G處之信號波形。號碼1408表示在點H處之信號波形。

開關之使用可增加傳輸線100上之信號幅度，並消除由分支點上之降落之信號電位所引起之延遲時間。如上述，開關控制可在快速之速度上轉移小幅度之信號，即使在具有大負荷容量及大量之支線之傳輸線中亦然。雖未繪出開關控制器，但開關可由一控制單位控制，該控制單位包含於電路組中，具有依普通開關技術所製之驅動電路。

取代電阻器110至113者，使用電容器可達成相

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（26）

同之效果。安排使用電容器之實施例顯示於圖２０及２１。圖２０顯示與圖１４中所示相同之安排，其中使用電容器１２０來取代電阻器１１０。圖２１顯示與圖１５中所示相同之安排，其中使用電容器１２０至１２３來取代電阻器１１０至１１３。電容器普通宜約爲數十微微法。

如電容器驅動側上之電位在來自發送電路之信號上改變，則在傳輸線１００上之電容器之電位亦依電荷貯存律上升。故此，可獲得較之僅通過電阻器８０至８３之改變幅度爲大之一幅度。

至於該等開關，宜閉合驅動電路工作中之單位所含之開關，並開斷其他之開關。而且，在傳輸匯流排１００上之信號幅度經由電容器線之作用而增加，並在約數毫微秒中經由終接電阻器５０及５１之作用而回至原先幅度。故此，在驅動電路在工作之期間中，開關可保持閉合。

圖２２Ａ至２２Ｃ及２３Ａ至２３Ｃ顯示當圖２０之電路組中之驅動電路２１工作時，在各點處之上升波形及下降波形。在圖２２Ａ至２２Ｃ及２３Ａ至２３Ｃ中，圖２２Ａ及２３Ａ顯示進出圖２０之點Ｃ處之信號波形，即是，在點Ｂ上欲進入點Ｃ之信號波形，及自點Ｃ出來之在點Ｄ及Ｅ上之信號波形。同樣，圖２２Ｂ及２３Ｂ顯示進出點Ｅ之信號波形。圖２２Ｃ及２３Ｃ顯示進出點Ｇ之信號波形。在此等圖中，號碼２００２標示在圖２０之點Ｂ處之信號波形。號碼２００３標示在點Ｃ處之信號波形。號碼２００４標示在點Ｄ處之信號波形。號碼２００５標

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（27）

示在點E處之信號波形。號碼2006標示在點F處之信號波形。號碼2007標示在點G處之信號波形。號碼2008標示在點H處之信號波形。

如上述，傳輸線100上之信號幅度可經由電容器之作用而提高，從而消除去由分支點上之下降之信號電位所引起之延遲時間。

實施例4

圖27顯示一實施例，其中，驅動電路及接受電路整合，俾一電路組間傳輸線經一傳輸匯流排（像積體電路之引線）連接至一電路組內傳輸線。

在圖27中，號碼5標示一內電路組（一內單位，例如一積體電路），此裝於一電路組1（例如一板，其上裝一積體電路）上。號碼6至8標示內電路組，分別具有接受電路32至34，內電路組分別裝於電路組2至4內。電路組1至4分別具有電阻器80至83，及傳輸線11至14及41至44。傳輸線11至14設計具有與傳輸線41至44相同或幾乎相同之特性阻抗。而且，傳輸線100具有電路組1至4連接於其上，並在二端處由電阻器50及51終接，電阻器具有電阻等於或接近於傳輸線100之特性阻抗。

且在本實施例中，傳輸線可在一端處由一電阻器終接。所需之接受電路組數爲一或更多。

圖28顯示一QFP（方平包）包之一節段。圖29

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（28）

顯示一ＰＧＡ（銷柵行列）包之一節段。在圖２８中，當欲提供一驅動電路時，用作驅動電路之一晶方１３０工作，依次經結合線１４０，１４１及引線框１２０，１２１輸出信號。當接受信號時，晶方１３０依次經由引線框１２０，１２１及結合線１４０，１４１接受信號。在圖２９中，當提供驅動信號時，晶方１３１工作，依次經結合線１４２，１４３，包中線圖案１７０，１７１，及Ｉ／Ｏ銷１６０，１６１輸出信號。當接受信號時，晶方１３１依次經Ｉ／Ｏ銷１６０，１６１，包中線圖案１７０，１７１，及結合線１４２，１４３接受信號。在圖２８及２９中，引線框１２０，１２１，包中線圖案１７０，１７１及Ｉ／Ｏ銷１６０，１６１需具有本發明所述之特性阻抗匹配。

一般言之，板之特性阻抗常採用６０至１００Ω之值。故此，最宜之方法爲引線框１２０，１２１，及包中線圖案１７０，１７１設計各具有在６０至１００Ω範圍中之特性阻抗值。

說明以上組成件如何相當於圖２７所示之部份，發送電路２１及接受電路３２至３４相當於晶方１３０及１３１。傳輸線４１至４４相當於引線框１２０，１２１，包中線圖案１７０，１７１，及Ｉ／Ｏ銷１６０，１６１。內電路組５至８相當於ＱＦＰ包及ＰＧＡ包本身。除圖２８及２９所示之包形狀外，任何包形狀均可採用，只要有大致相同之組成件整合即可。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（29）

圖30顯示一模型，其上安裝圖28之QFP包。圖30之模型之安排情形爲：四板190至193經由連接線200至203裝於母板180上。作爲與圖27所示相當之部份，傳輸線11至14相當於傳輸線230至233，匹配電阻器80至83相當於匹配電阻器210至213。電路組間傳輸線100相當於資料匯流排240。終接電阻器50，51相當於終接電阻器220，221。而且，在圖30中，傳輸線230至233延伸於該板之外層上。，另一方面，此等線可構製於內層上。在圖30所示之安排中，安裝之板數並無限制。而且，相似之電路可裝於僅一板上，無需母板。

依據本實施例，爲相互匹配阻抗，具有較大包裝電容及電感之組成件（諸如邏輯LSI）較爲有效。

在本實施例中，內電路組各僅具有一驅動電路或接受電路。另一方面，與實施例2同樣，一內電路組可具有驅動電路及接受電路二者。

在諸如IC或LSI等積體電路或諸如記憶器等模組之設計或製造方法上，本發明提供新觀念。先前，在設計或製造此等裝置之過程中，欲安排之板上之傳輸線之阻抗全未加以考慮。依據本發明，在設計或製造此等裝置之過程中，採取以下新設計及製造方法：

（1）界定欲安裝之板之傳輸線之阻抗。

（2）界定欲安裝之板上之傳輸線之阻抗，諸如欲設計之積體電路之引線框等傳輸線欲連接於該板上。（界定

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（30）

每一引線框上之阻抗。如板上之傳輸線不變，則遵照之。

）

（3）依據所設計之傳輸阻抗製造傳輸匯流排，然後使用線結合法連接至積體電路晶方，例如。

（4）安裝傳輸線於板之正確位置。

根據此製造方法，可製出適於快速傳輸之積體電路或信號傳送電路。

應明瞭上述安排僅爲例解本發明原理之應用。精於本藝之人士可容易設計出具體表現本發明原理及在其精神及範圍內之許多其他安排。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A5
B5

四、中文發明摘要（發明之名稱：　　）

快速信號傳輸用之信號傳輸裝置，電路組及積體電路

一種信號傳輸電路包含一或更多之電路組，具有一驅動電路內傳送用在輸線；一或更多之電路組，具有一接受電路，及用以傳輸線，以播送信號至接受電路之一組內傳輸線；及一主組間傳輸線組件，一或二端處由一或二電組器終接，電組器具有一電阻元件，線本身相同之阻抗。組內傳輸線各設有一電阻減組間抑制沿主信具有電阻等於或接近於由組內傳輸線之阻抗減組間傳輸線之阻抗之一半所獲得之值，以降低信號幅度，並能高速轉上各分支點處之信號反射，從而能高速轉移信號。

英文發明摘要（發明之名稱：　　）

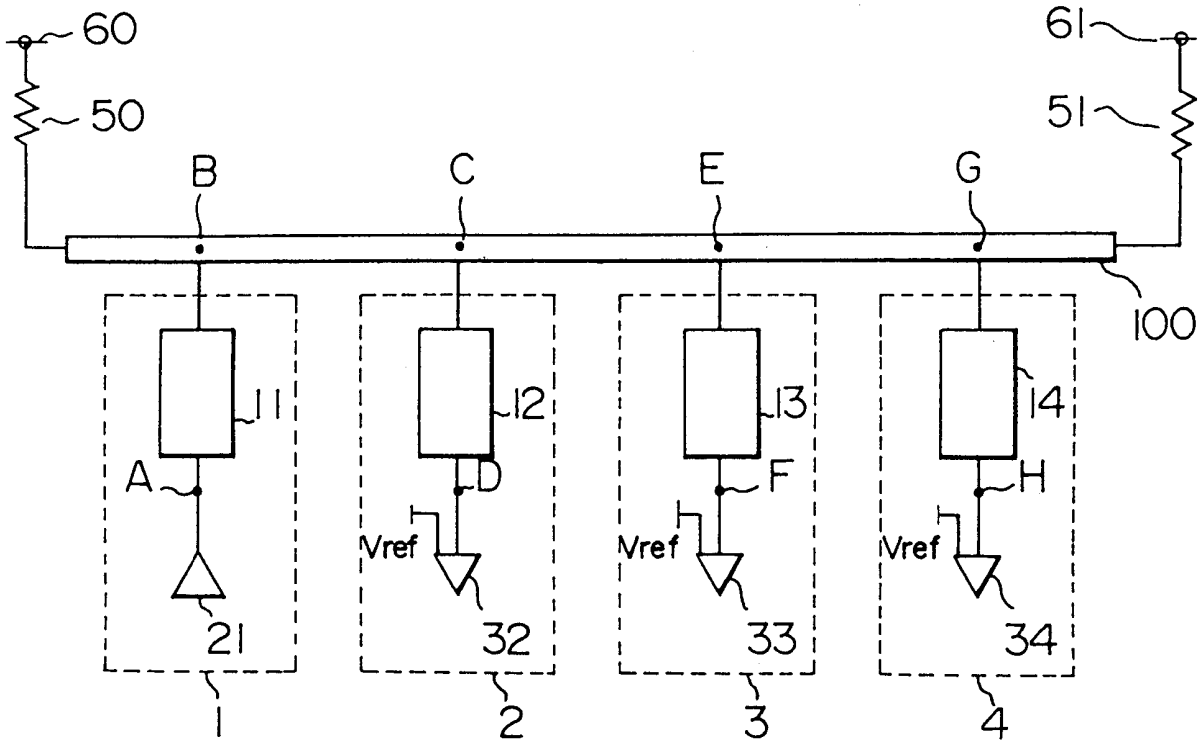
（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

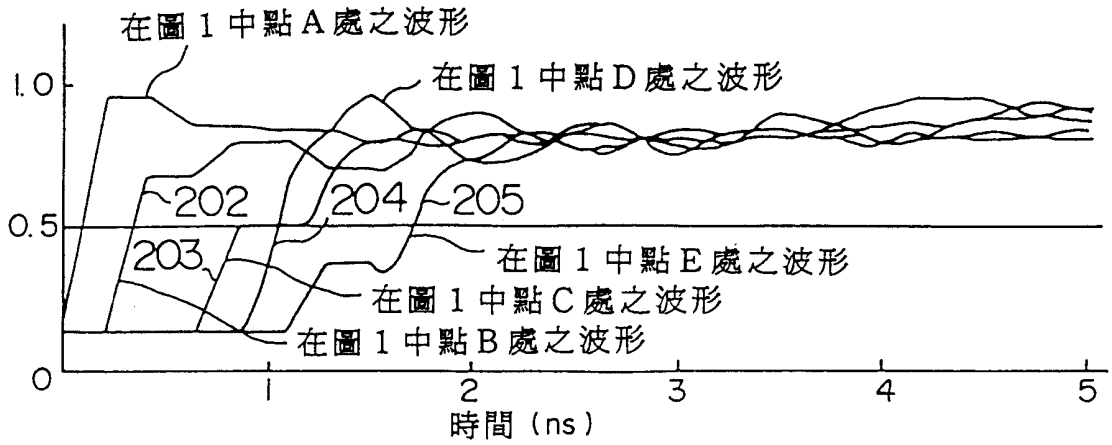
721164

第 1 圖


60
61
50
51
B
C
E
G
100
11
12
13
14
A
D
F
H
Vref
Vref
Vref
21
32
33
34
1
2
3
4

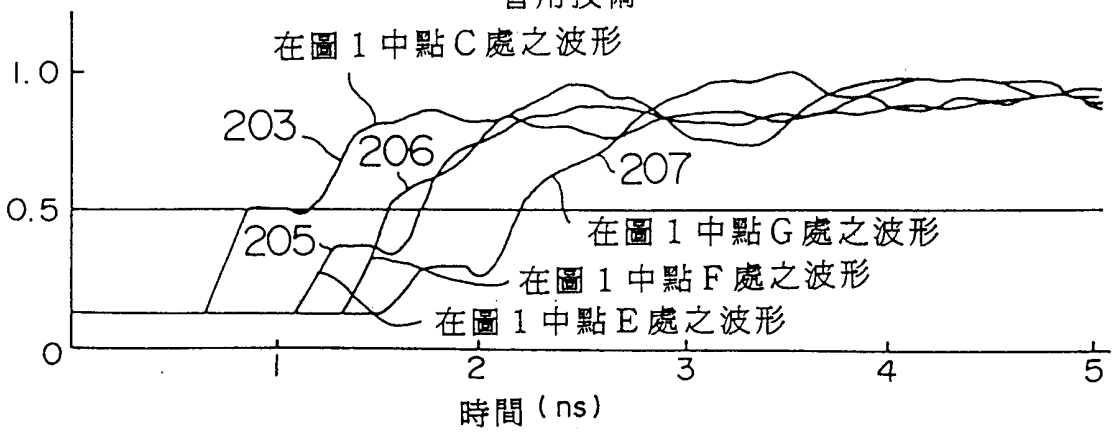
第2A圖

習用技術



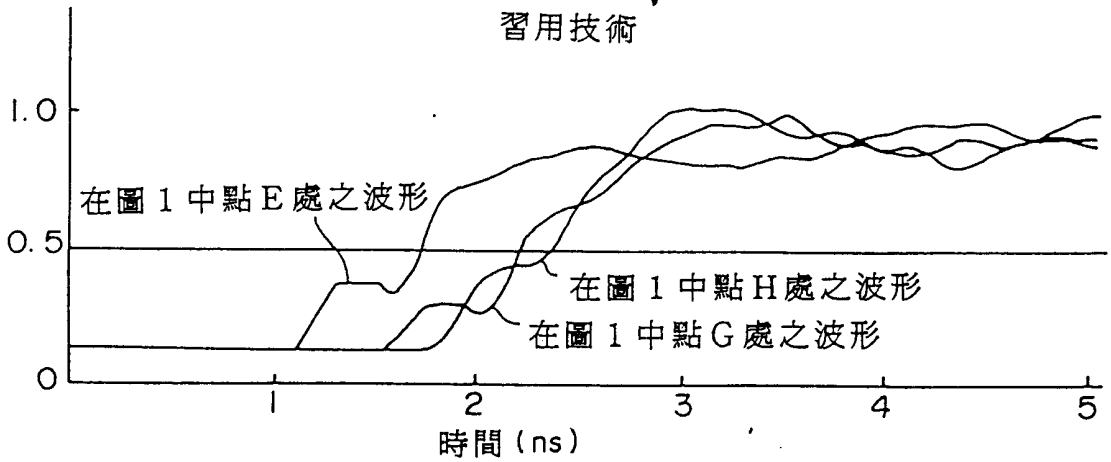
第2B圖

習用技術

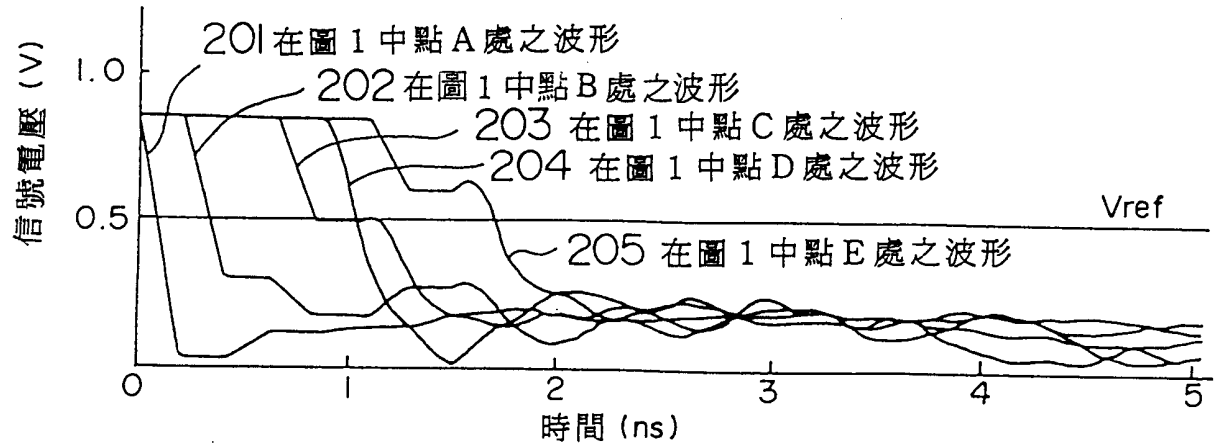


第2C圖

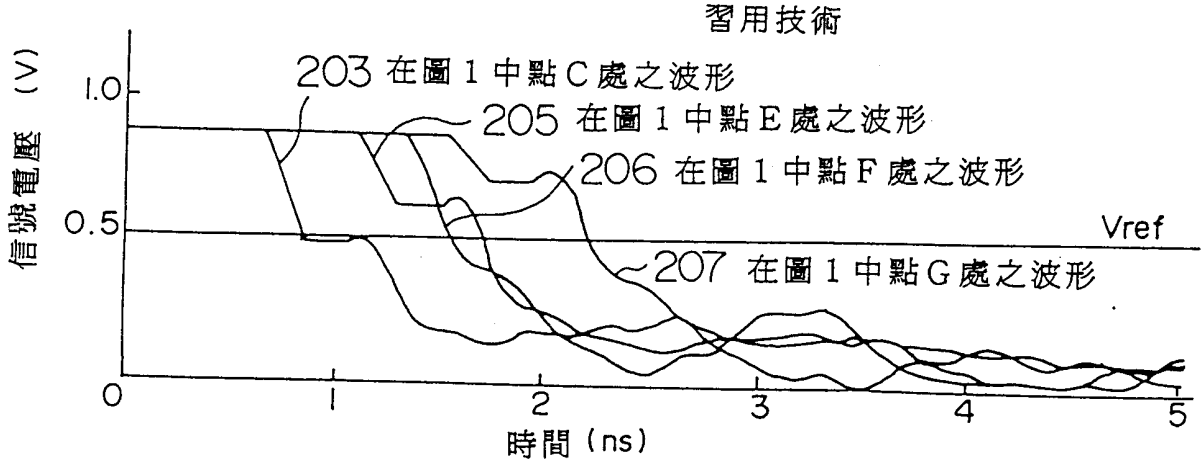
習用技術



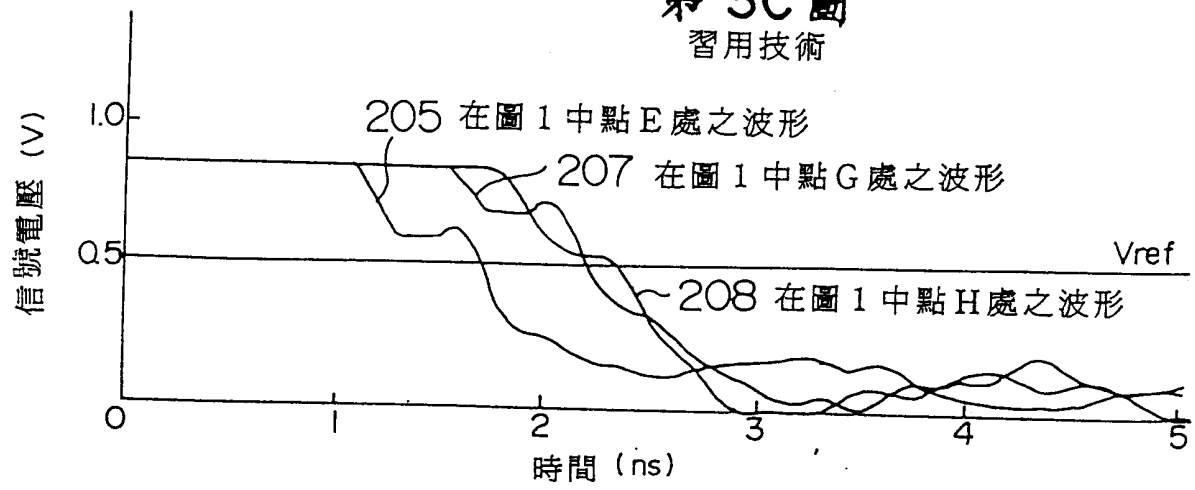
第 3A 圖
習用技術



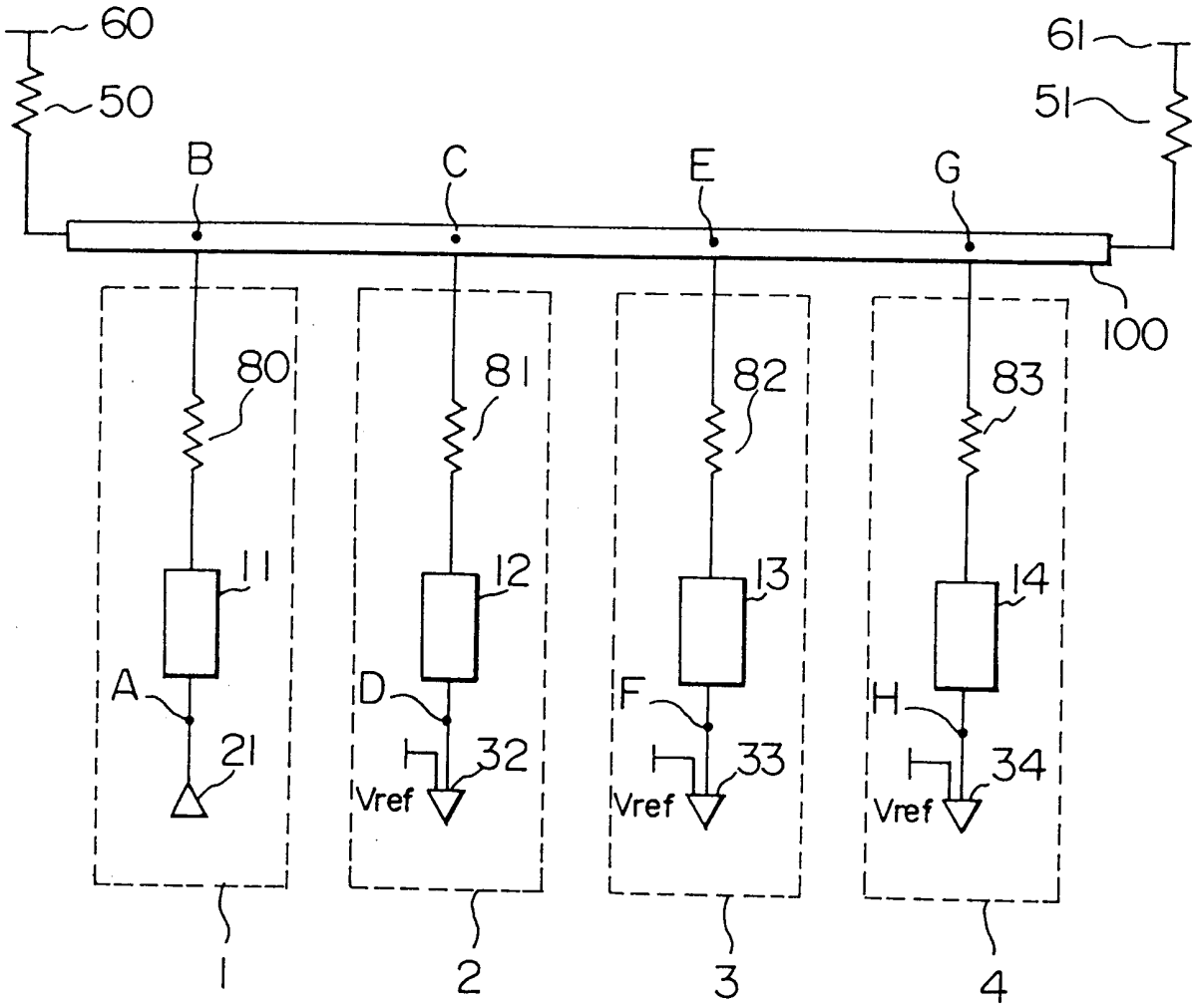
第 3B 圖
習用技術



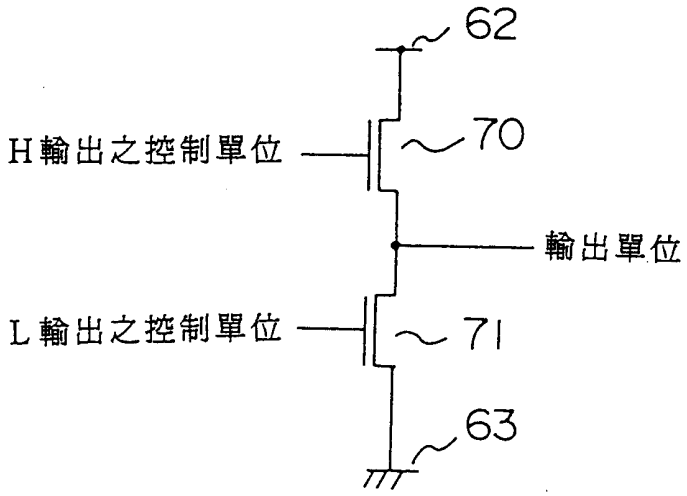
第 3C 圖
習用技術



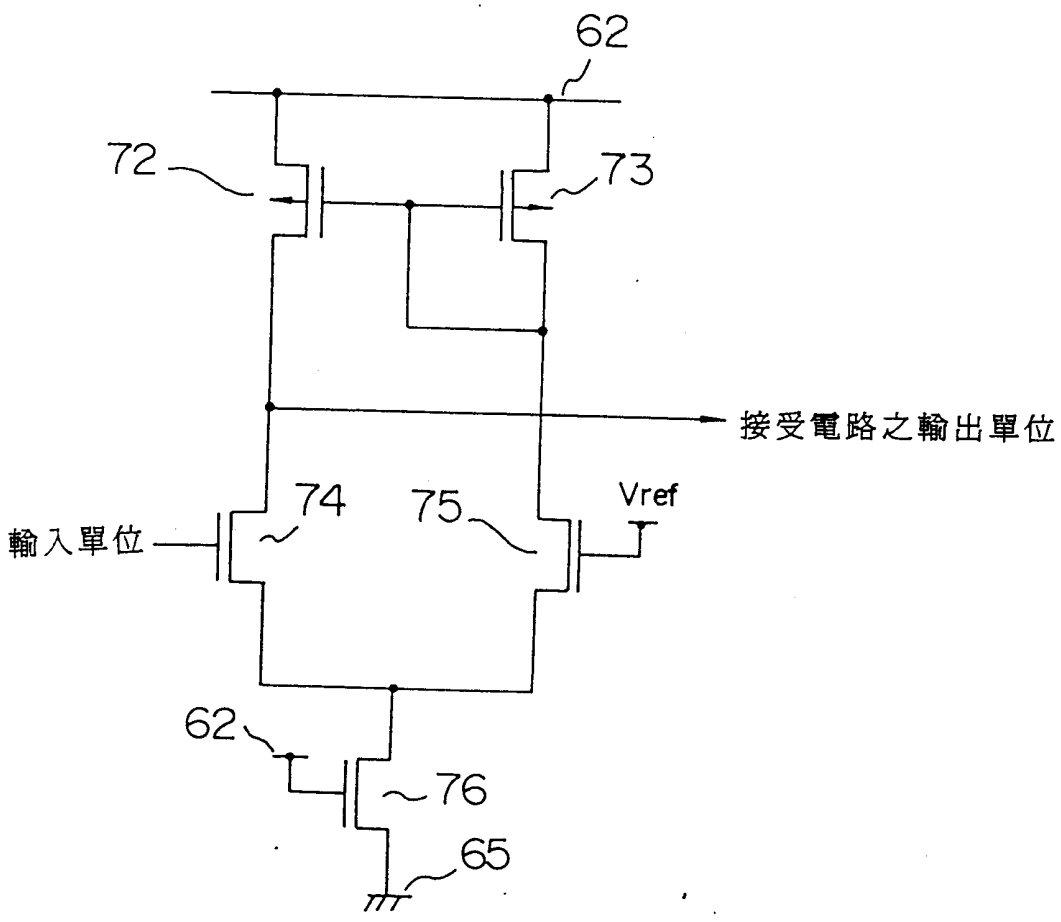
第 4 圖


60
50
61
51
B
C
E
G
100
80
81
82
83
11
12
13
14
A
D
F
H
21
32
33
34
Vref
Vref
Vref
1
2
3
4

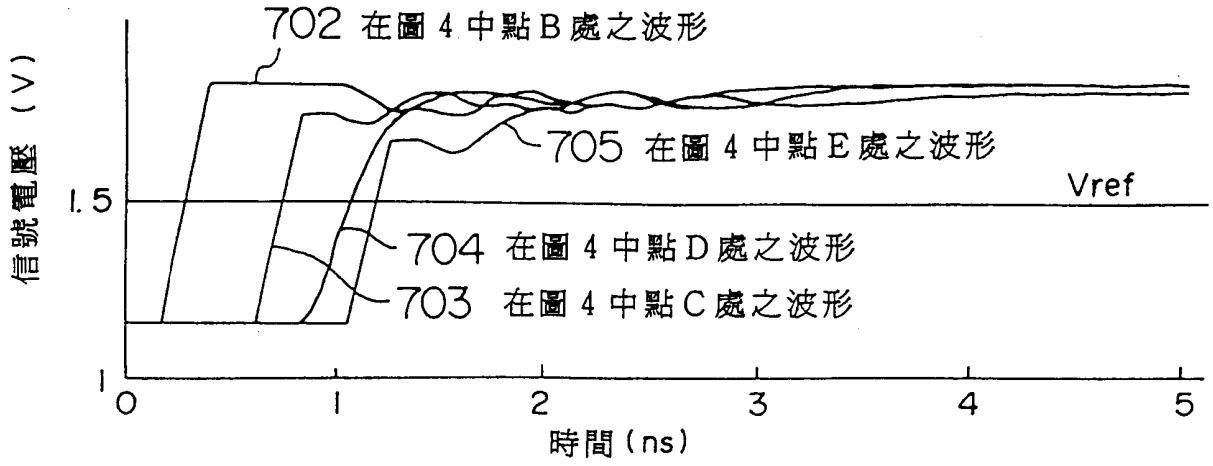
第 5 圖


62
H輸出之控制單位
70
輸出單位
L輸出之控制單位
71
63

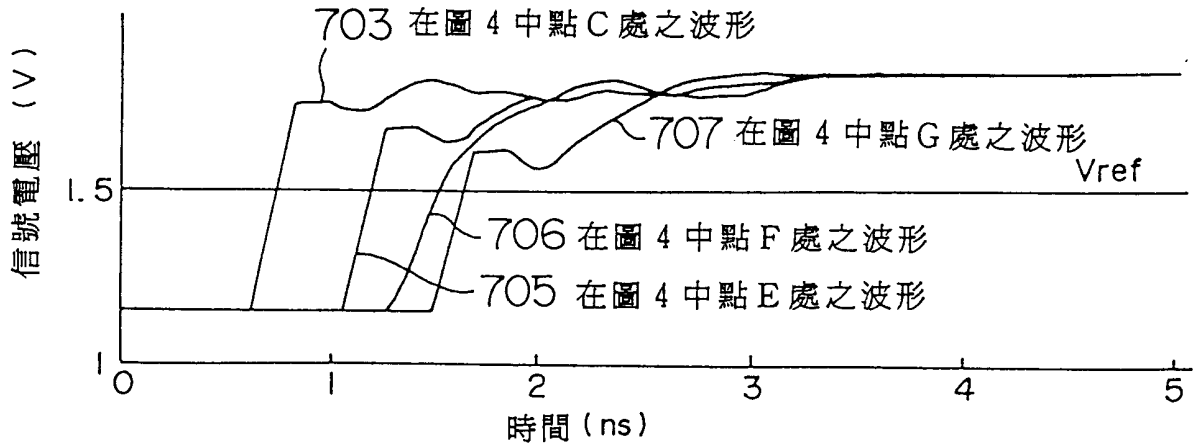
第 6 圖


62
72
73
接受電路之輸出單位
輸入單位
74
75
Vref
62
76
65

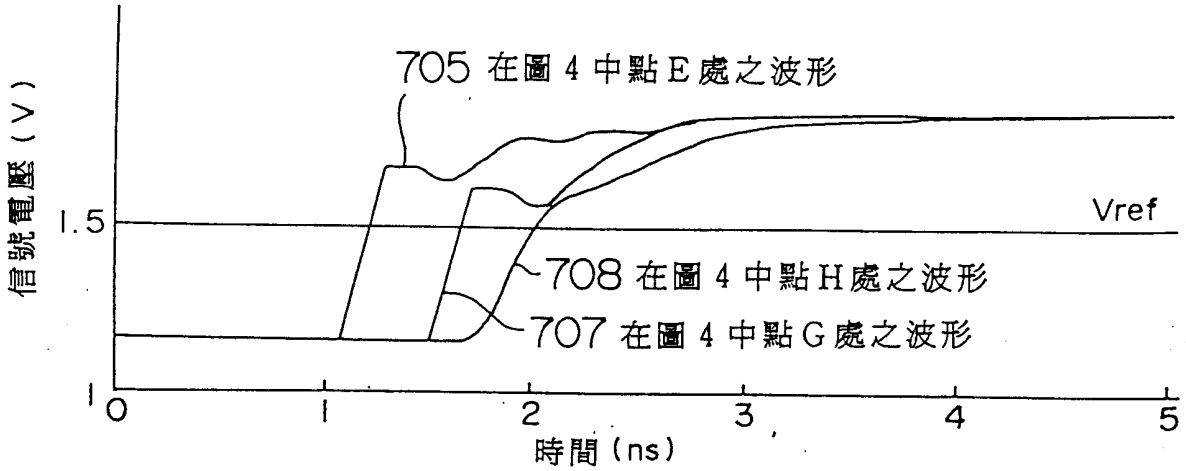
第7A圖



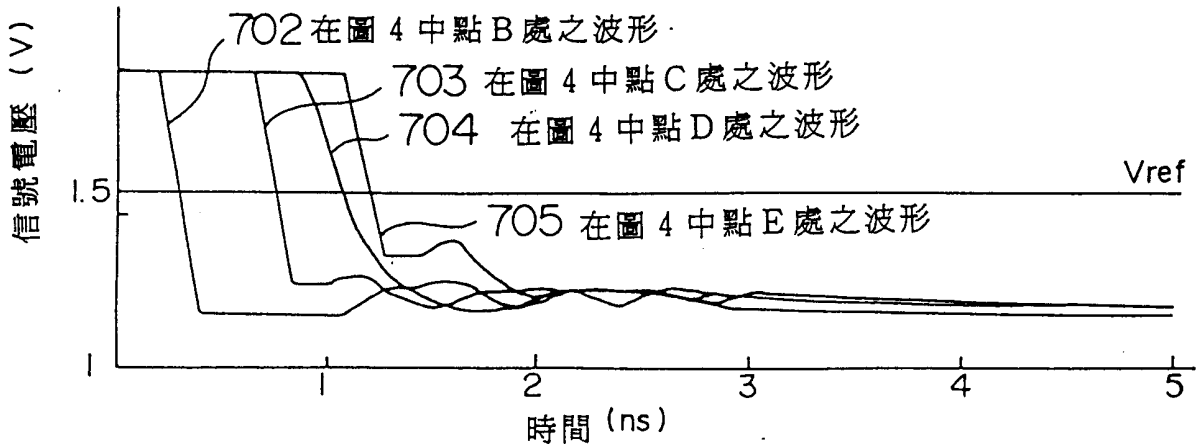
第7B圖



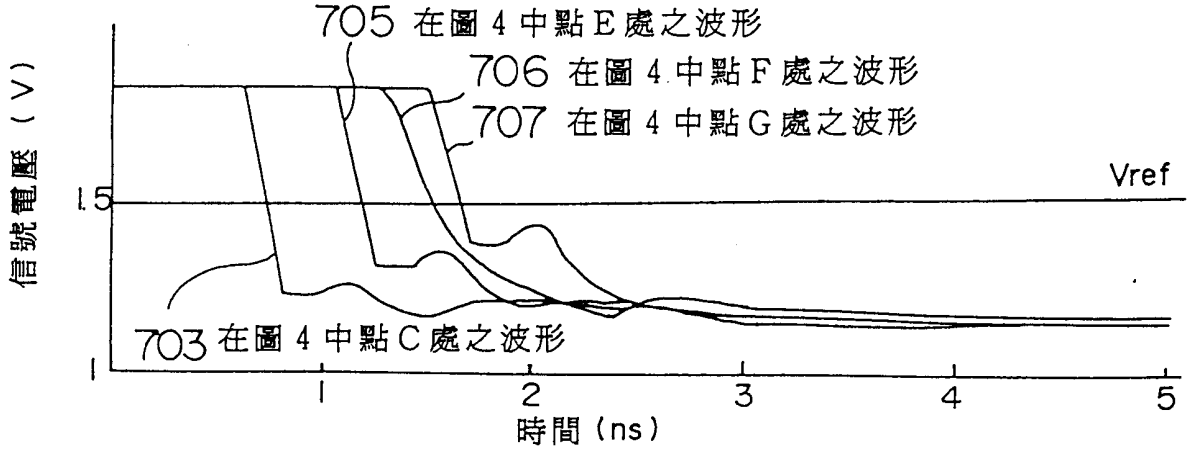
第7C圖



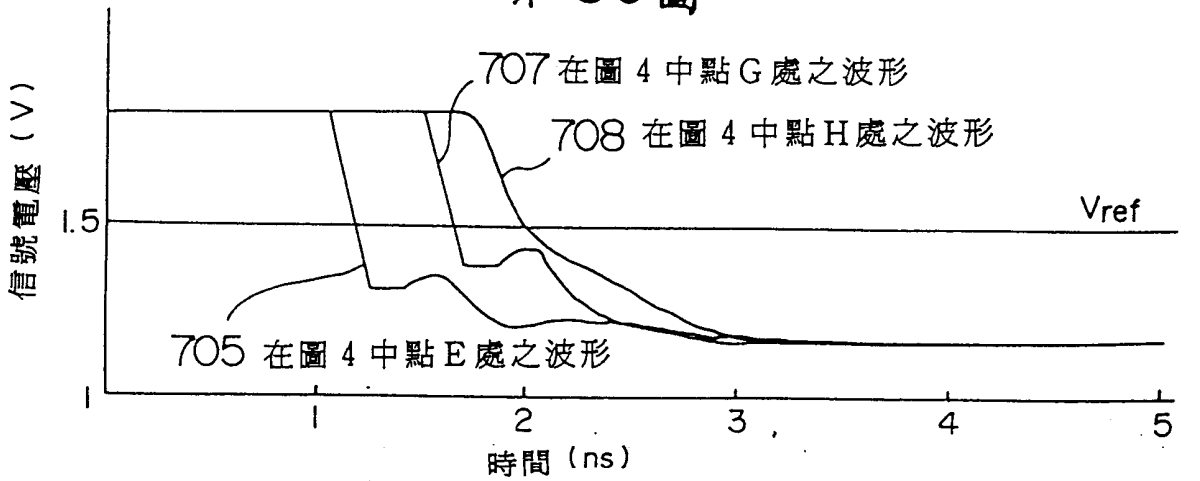
第8A圖



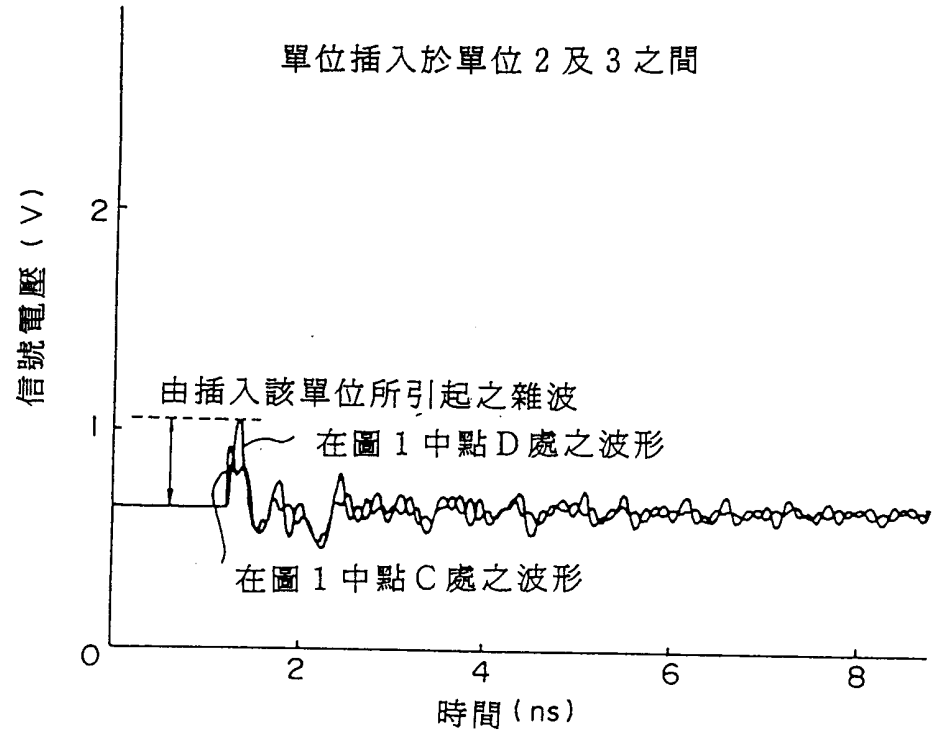
第8B圖



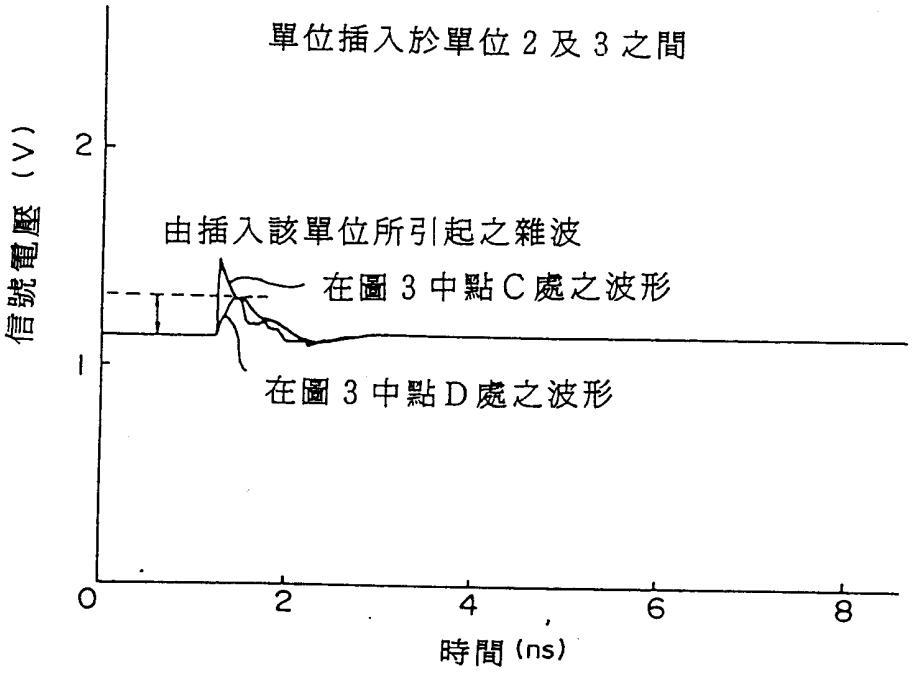
第8C圖



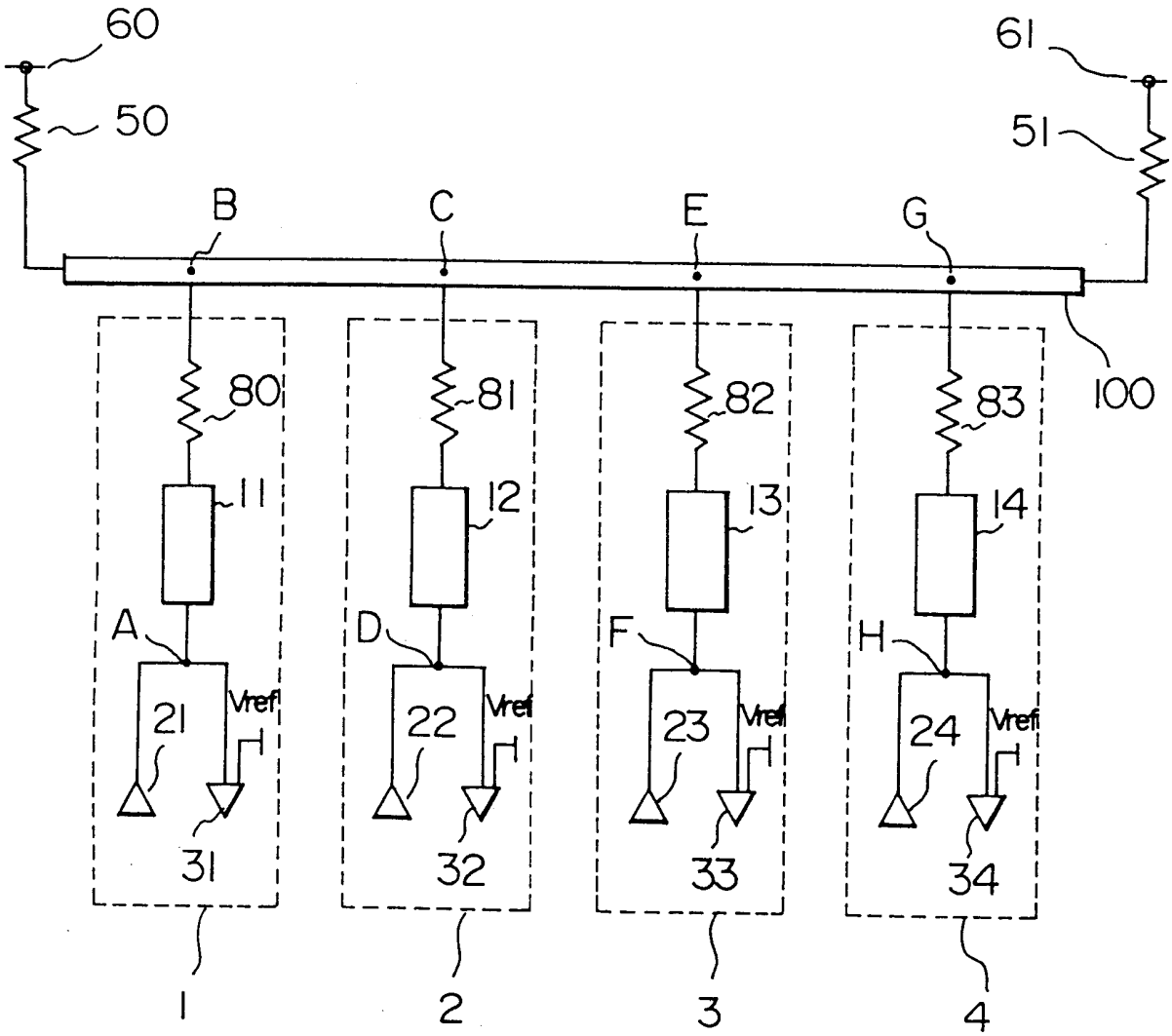
第 9 圖


單位插入於單位 2 及 3 之間
信號電壓（V）
2
1
0
由插入該單位所引起之雜波
在圖 1 中點 D 處之波形
在圖 1 中點 C 處之波形
2
4
6
8
時間（ns）

第 10 圖

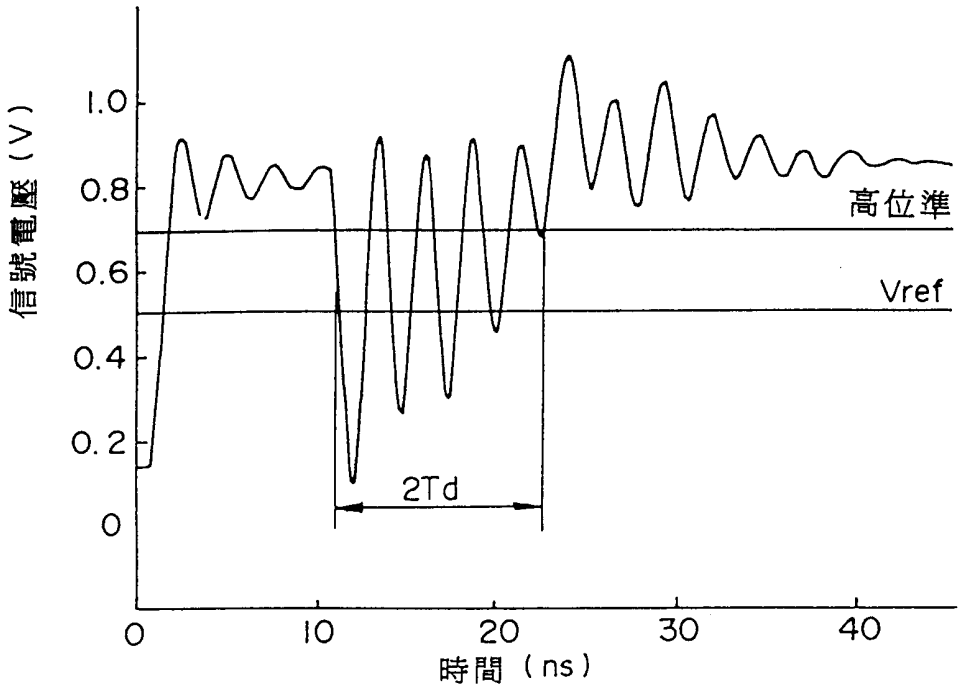

單位插入於單位 2 及 3 之間
信號電壓（V）
2
1
0
由插入該單位所引起之雜波
在圖 3 中點 C 處之波形
在圖 3 中點 D 處之波形
2
4
6
8
時間（ns）

第11圖


60
61
50
51
B
C
E
G
100
80
81
82
83
11
12
13
14
A
D
F
H
21
22
23
24
Vref
31
32
33
34
1
2
3
4

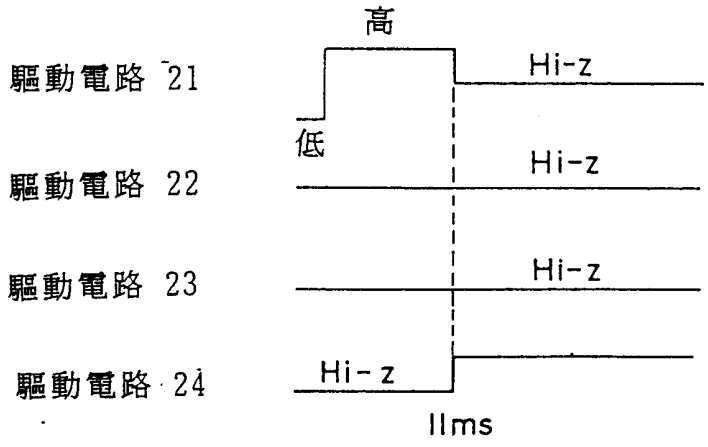
第12A圖

習用技術

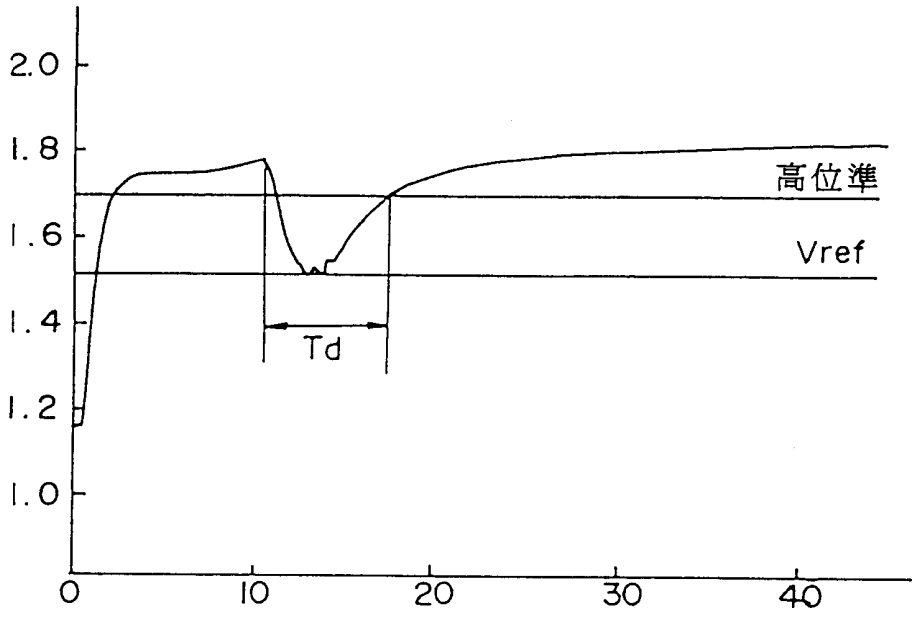


第12B圖

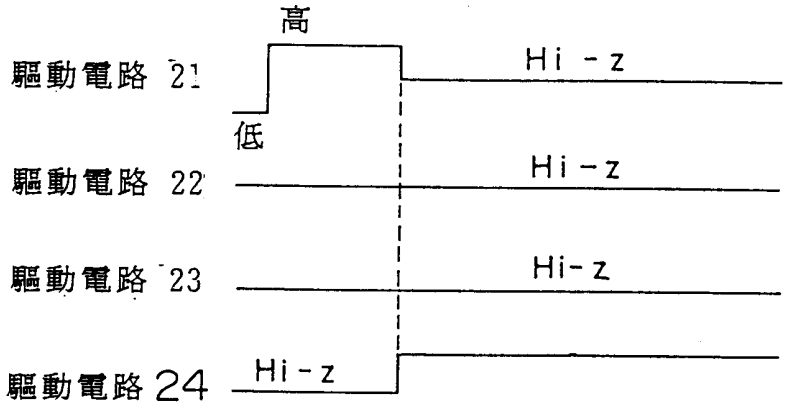
習用技術



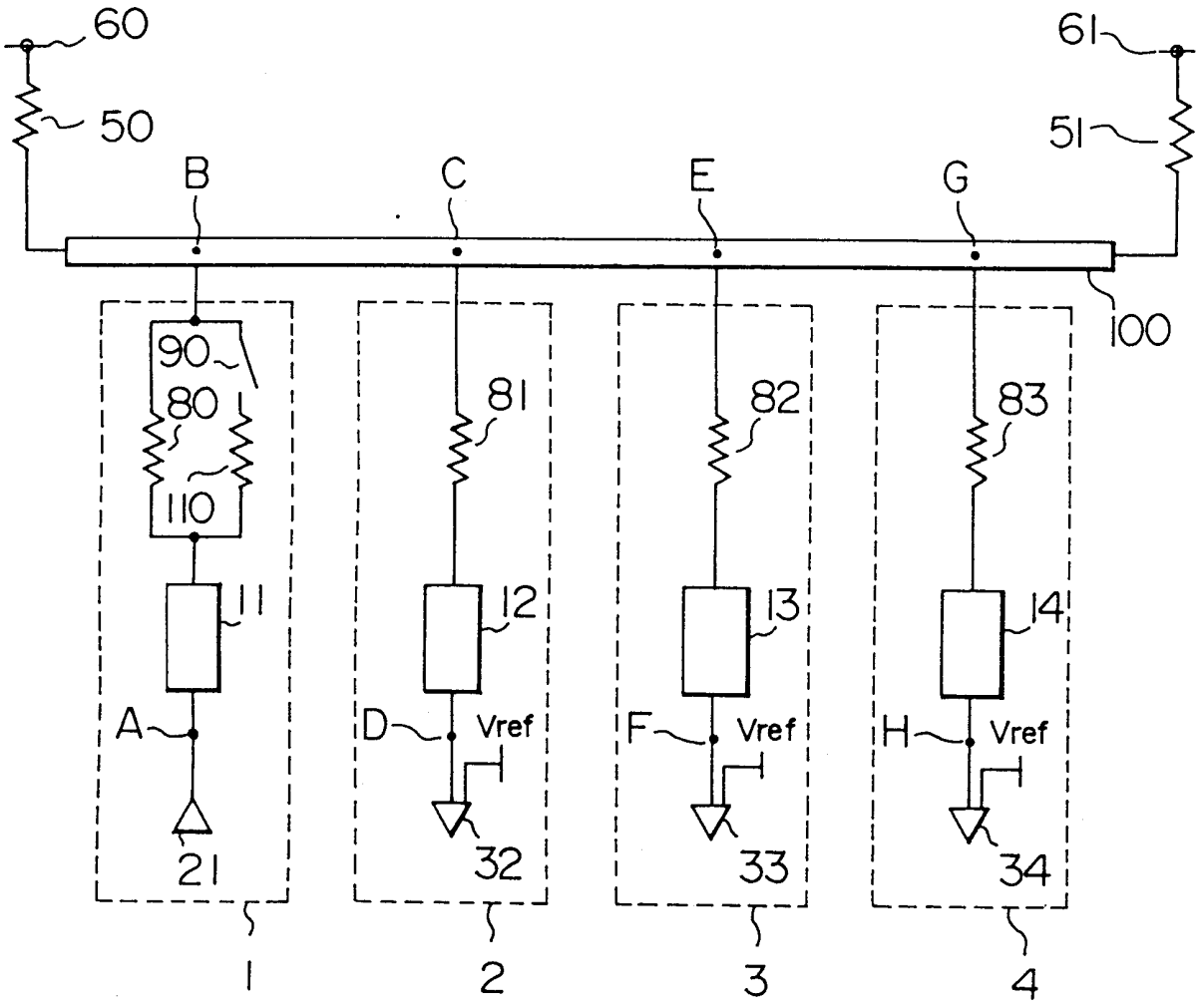
第13A圖


2.0
1.8
1.6
1.4
1.2
1.0
0
10
20
30
40
高位準
Vref
Td

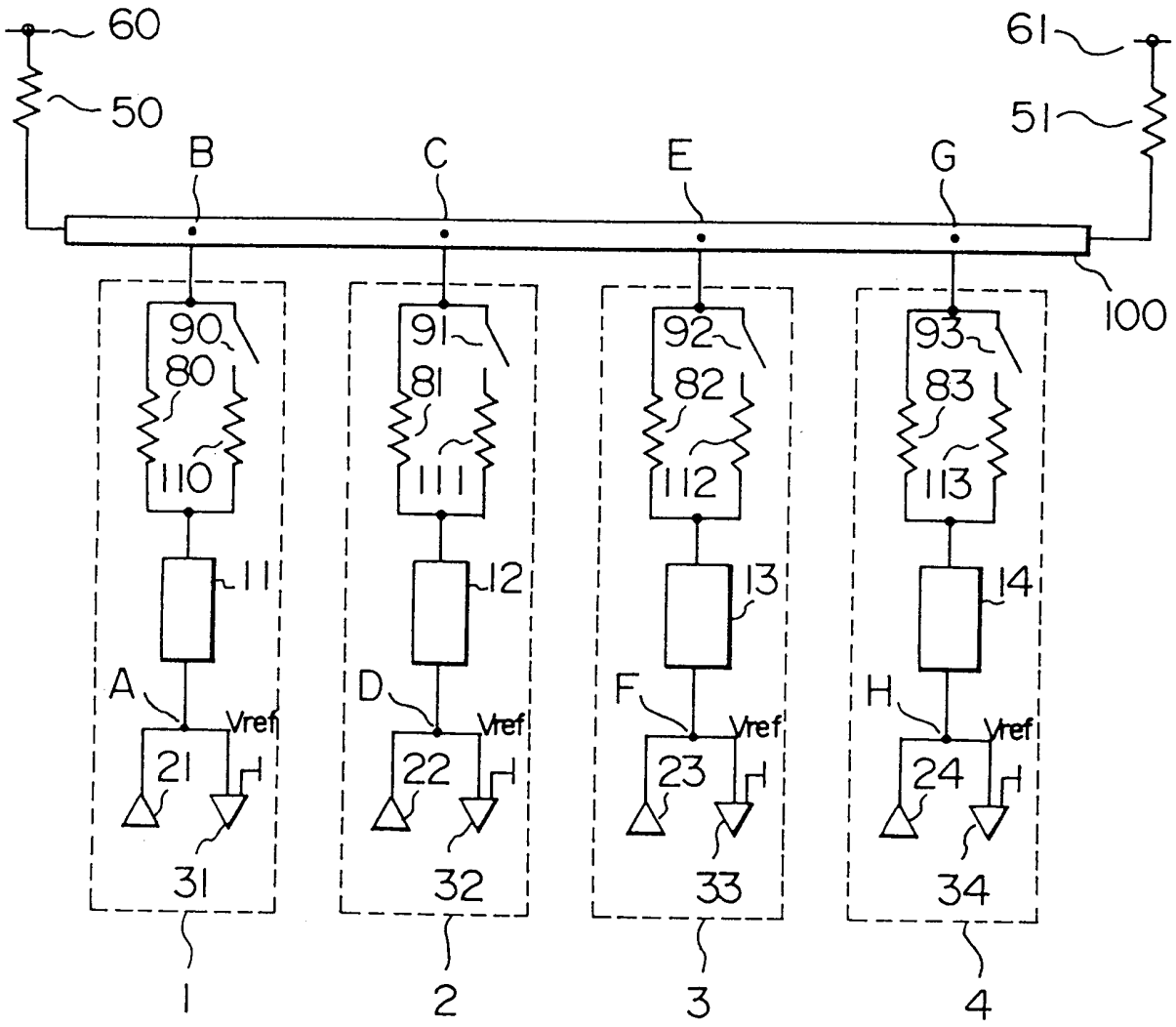
第13B圖


高
低
驅動電路 21
驅動電路 22
驅動電路 23
驅動電路 24
Hi - z
Hi - z
Hi - z
Hi - z

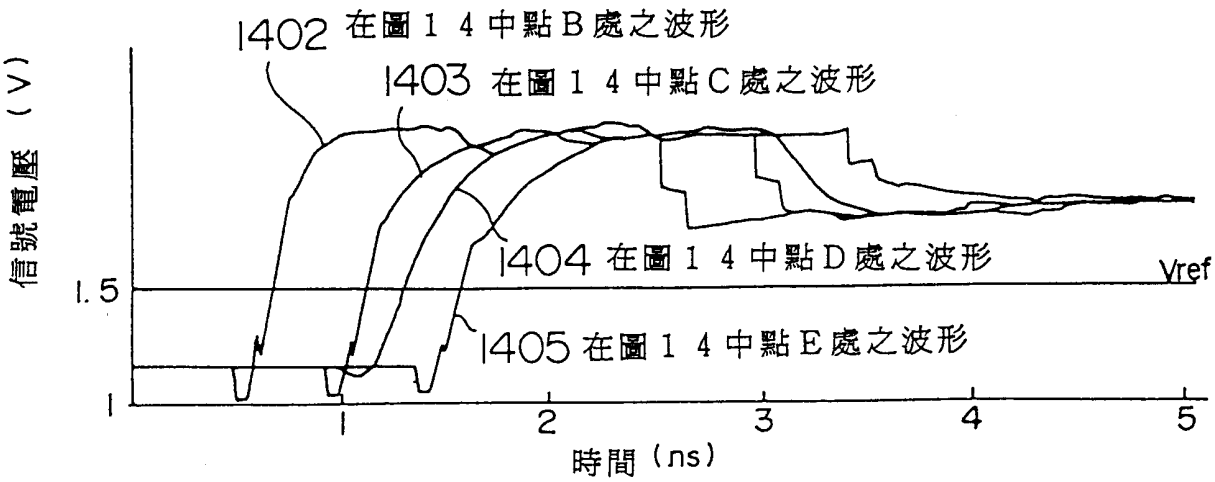
第 14 圖


60
61
50
51
B
C
E
G
100
90
80
110
11
A
21
1
81
12
D
Vref
32
2
82
13
F
Vref
33
3
83
14
H
Vref
34
4

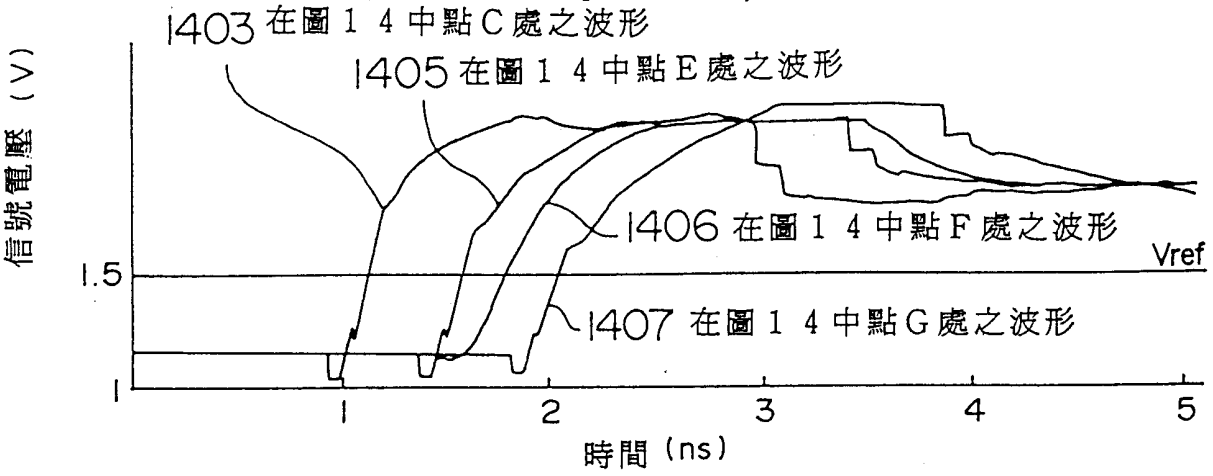
第15圖


60
50
61
51
B
C
E
G
100
90
80
110
11
A
Vref
21
H
31
1
91
81
111
12
D
Vref
22
H
32
2
92
82
112
13
F
Vref
23
H
33
3
93
83
113
14
H
Vref
24
H
34
4

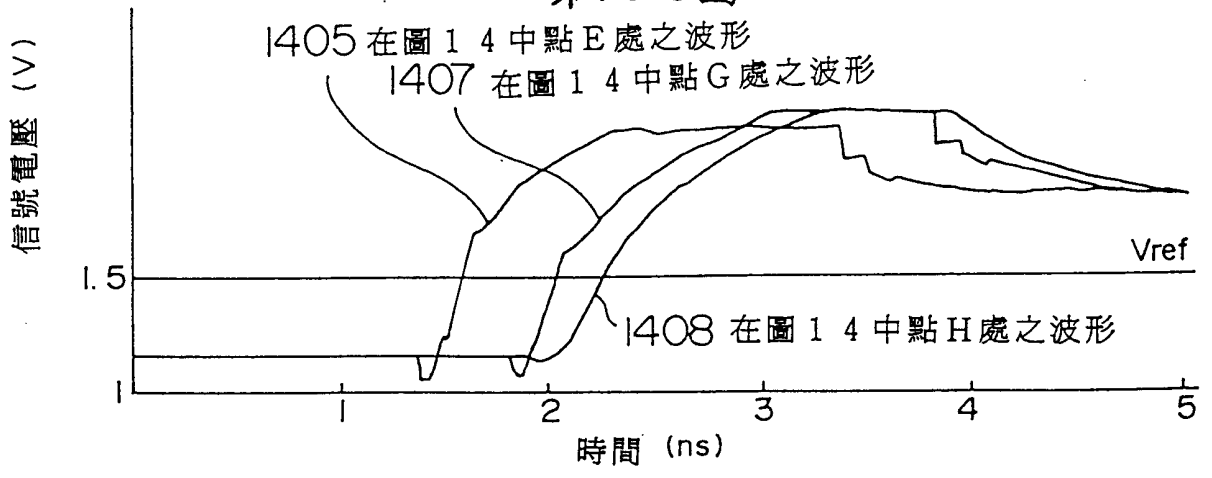
第16A圖



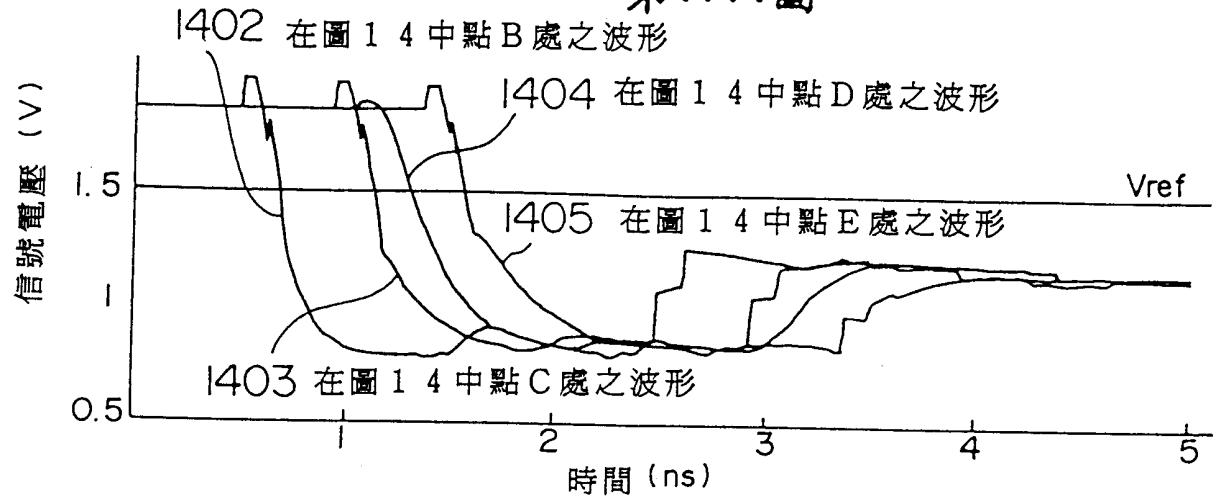
第16B圖



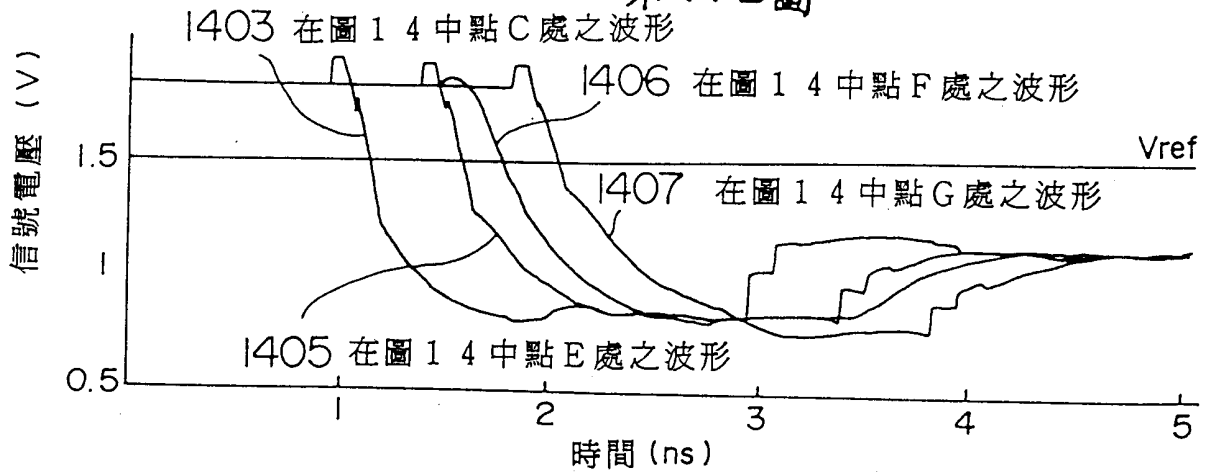
第16C圖



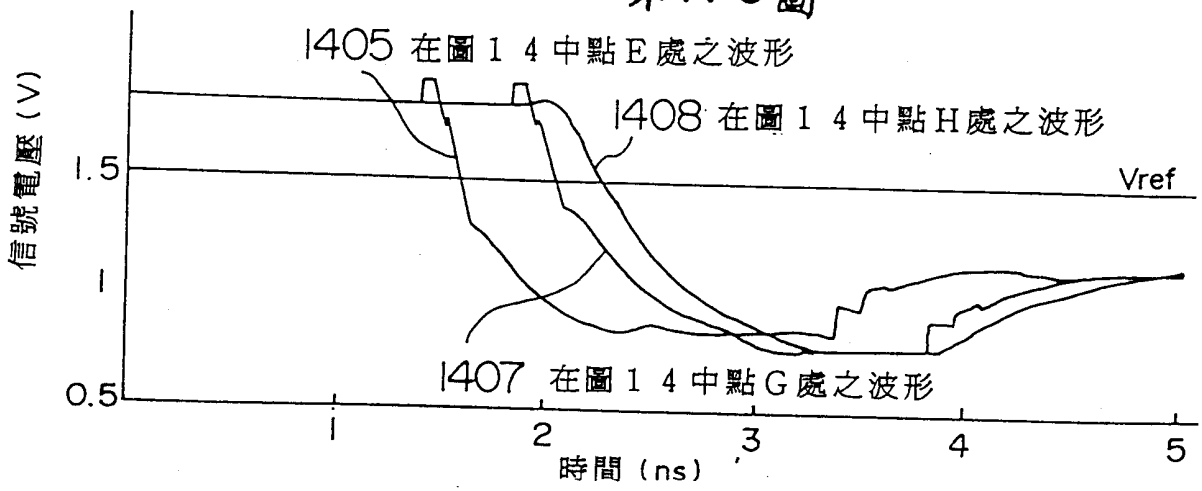
第17A圖



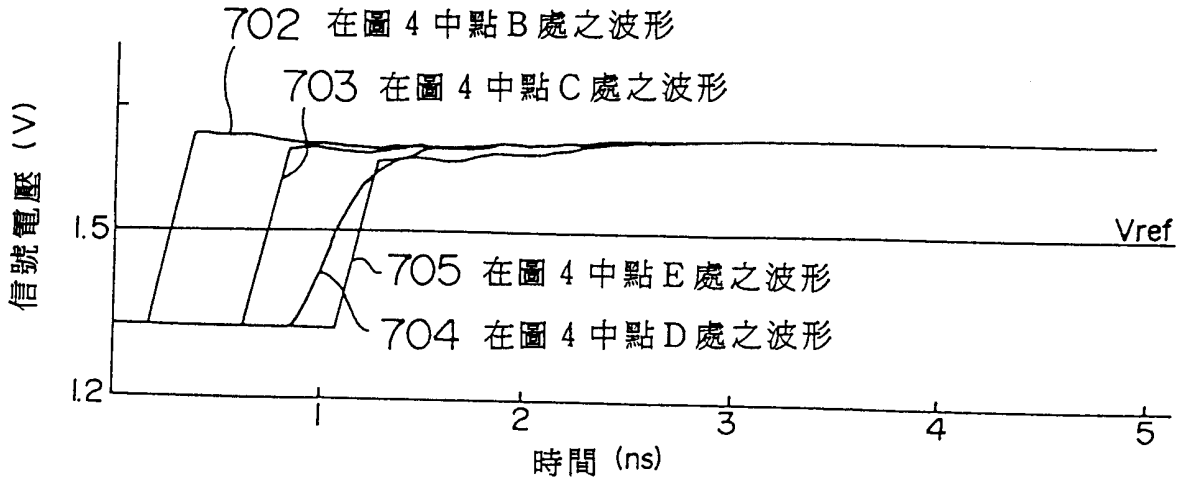
第17B圖



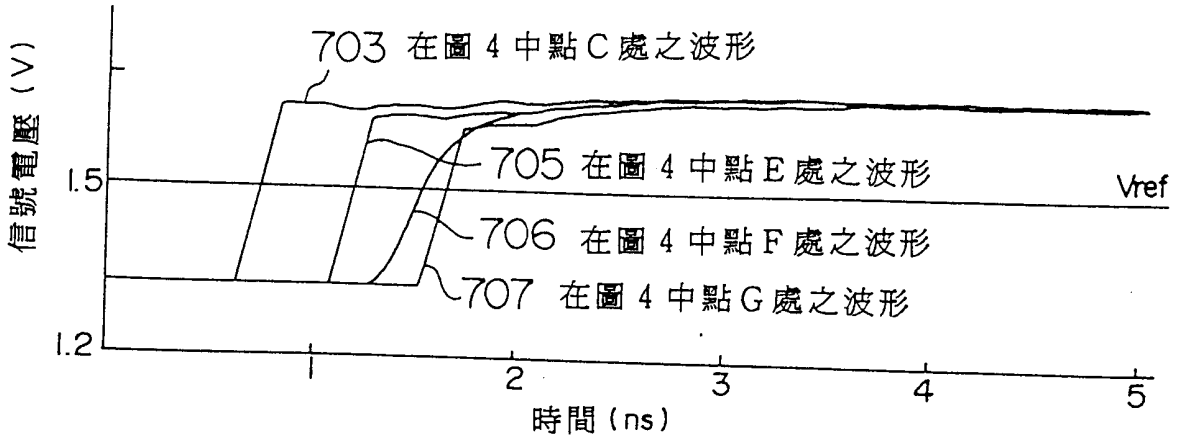
第17C圖



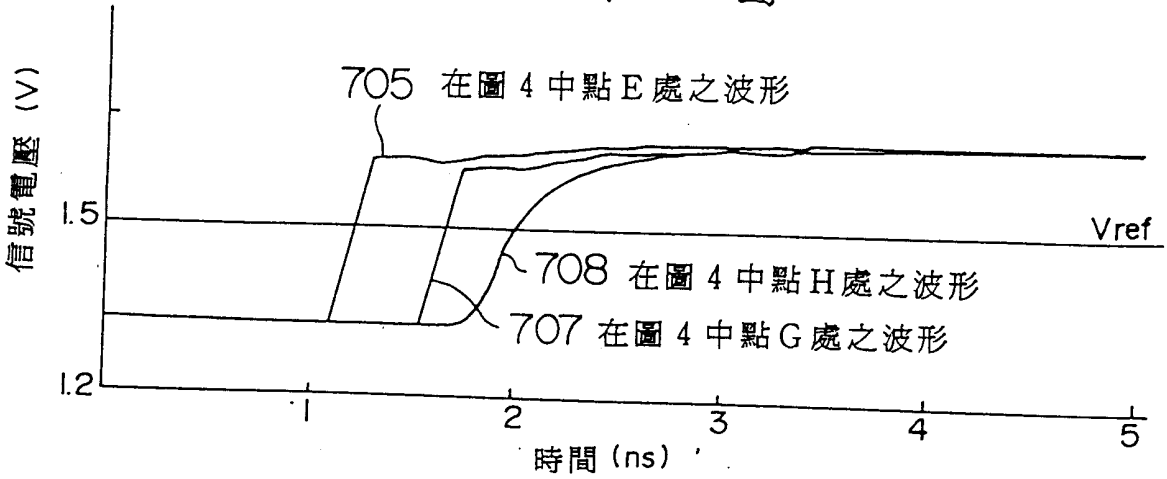
第18A圖



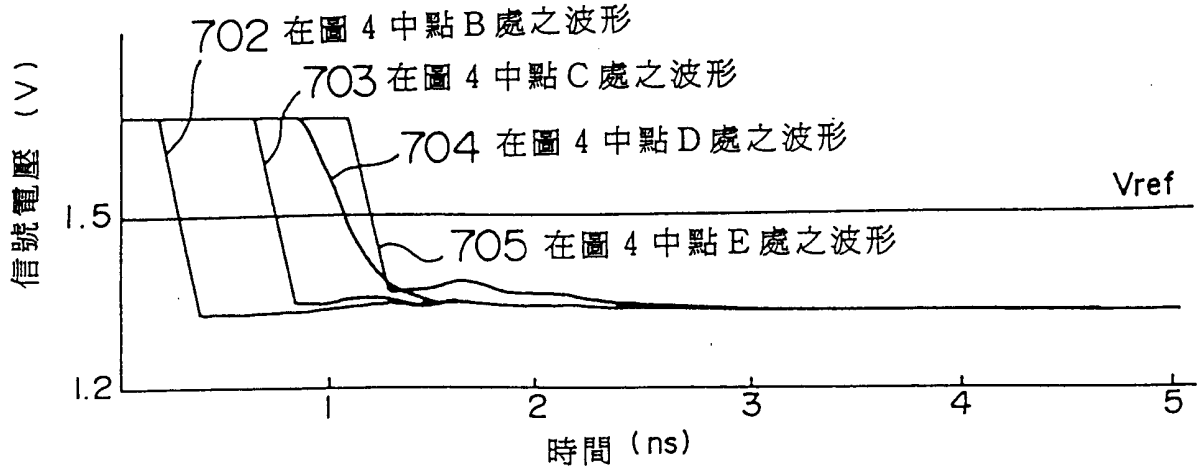
第18B圖



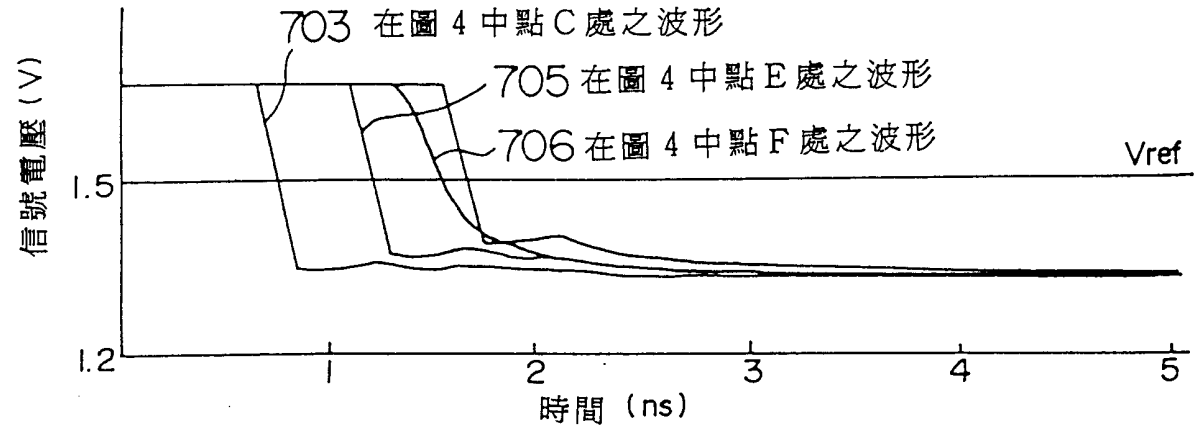
第18C圖



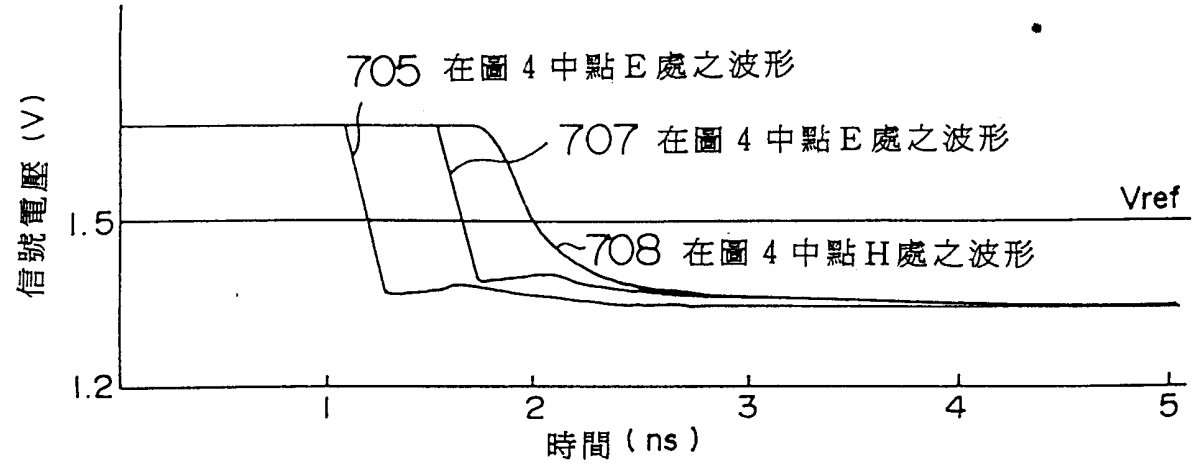
第19A圖



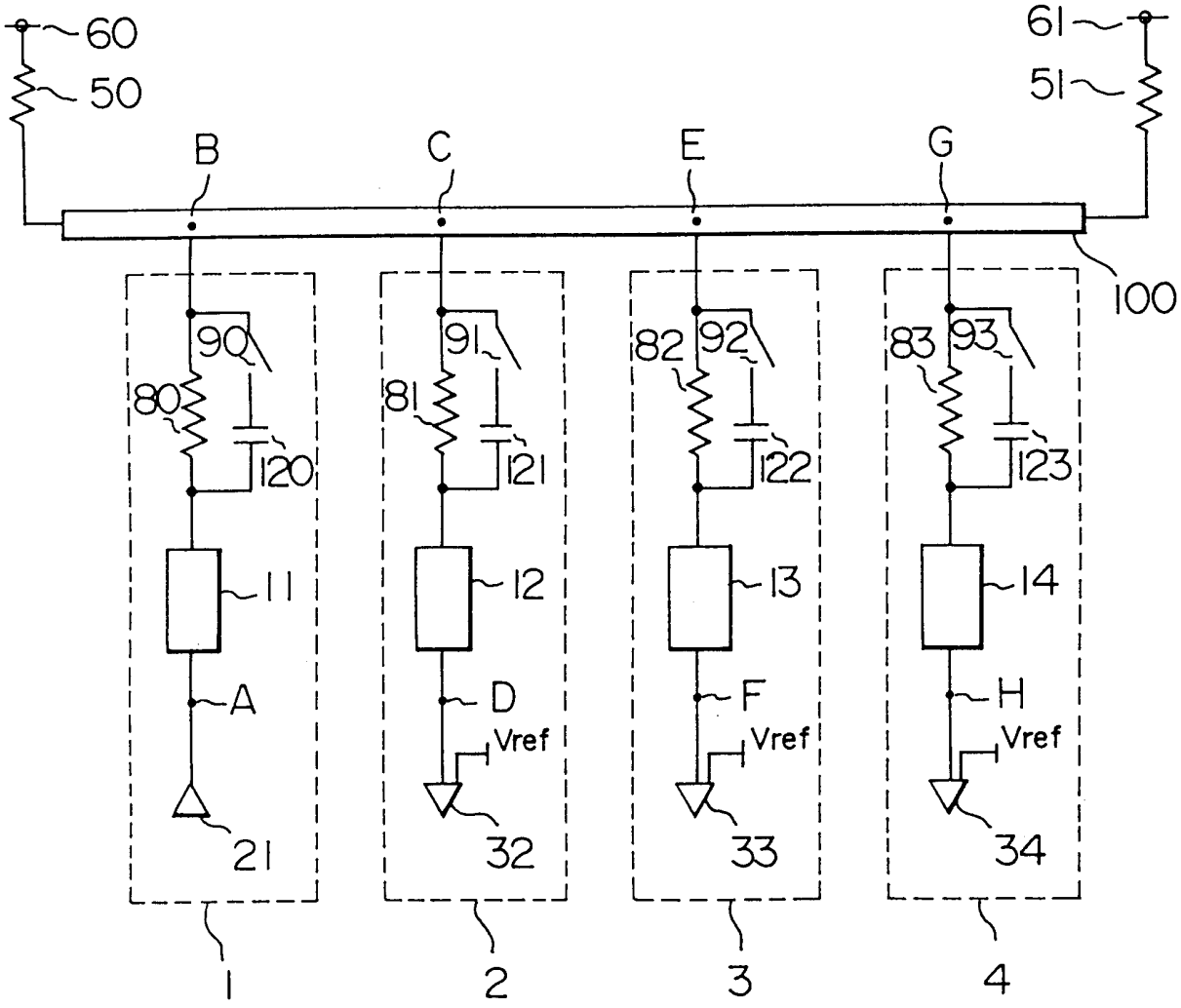
第19B圖



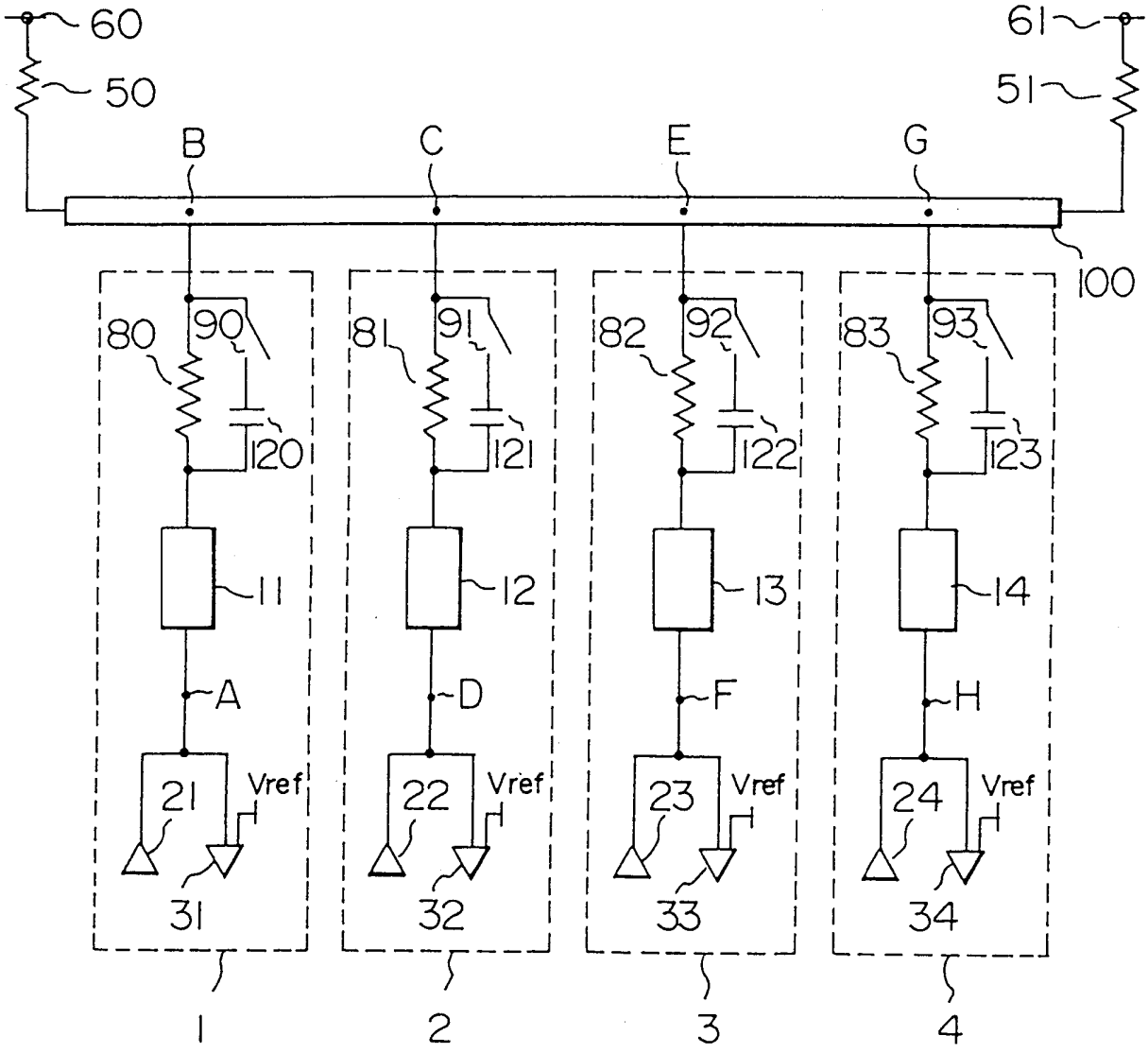
第19C圖



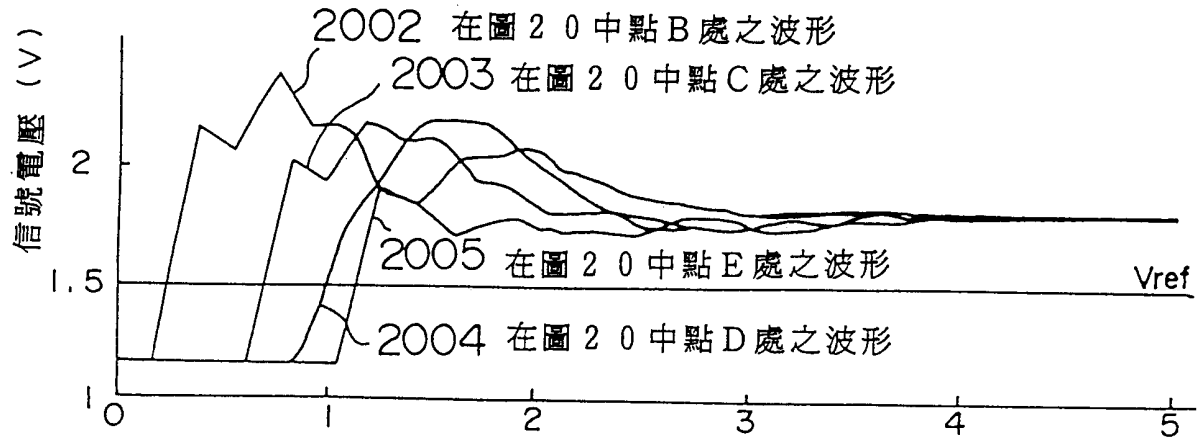
第 20 圖


60
50
61
51
B
C
E
G
100
90
91
82
92
83
93
80
81
120
121
122
123
11
12
13
14
A
D
F
H
Vref
Vref
Vref
21
32
33
34
1
2
3
4

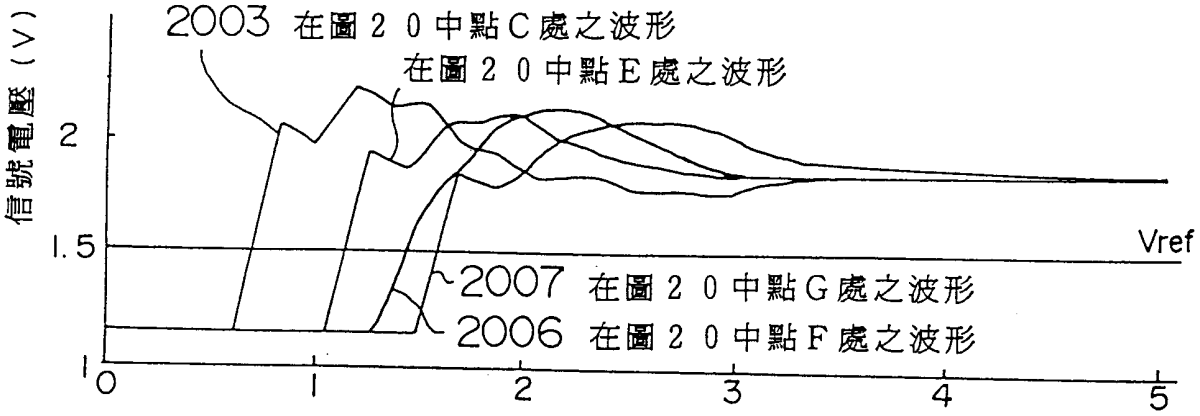
第 21 圖


60
50
61
51
B
C
E
G
100
80
90
120
81
91
121
82
92
122
83
93
123
11
12
13
14
A
D
F
H
21
22
23
24
Vref
31
32
33
34
1
2
3
4

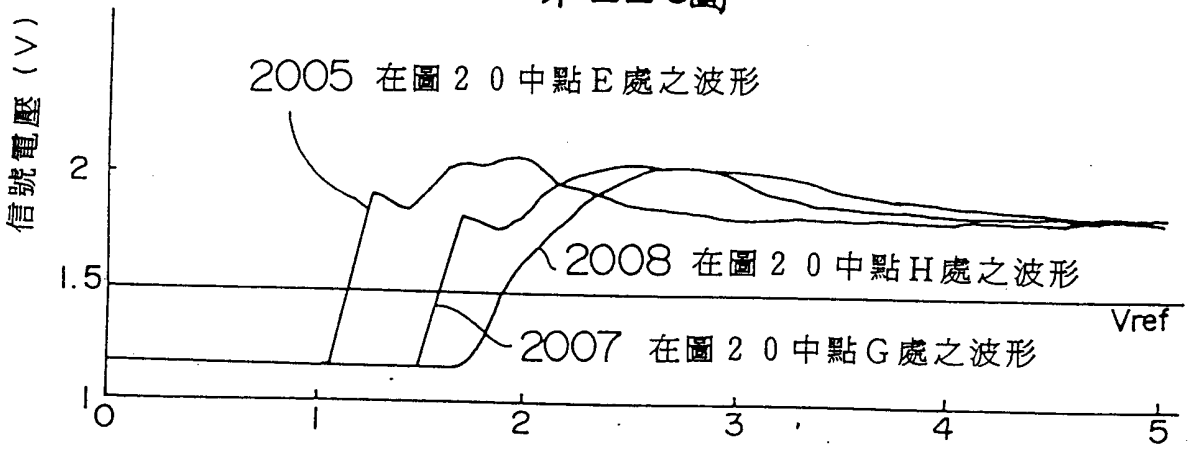
第22A圖



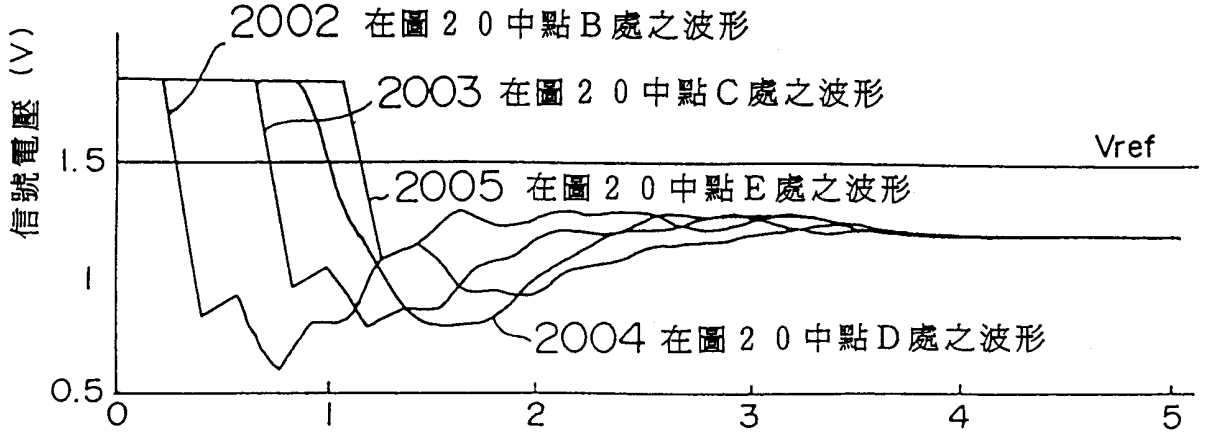
第22B圖



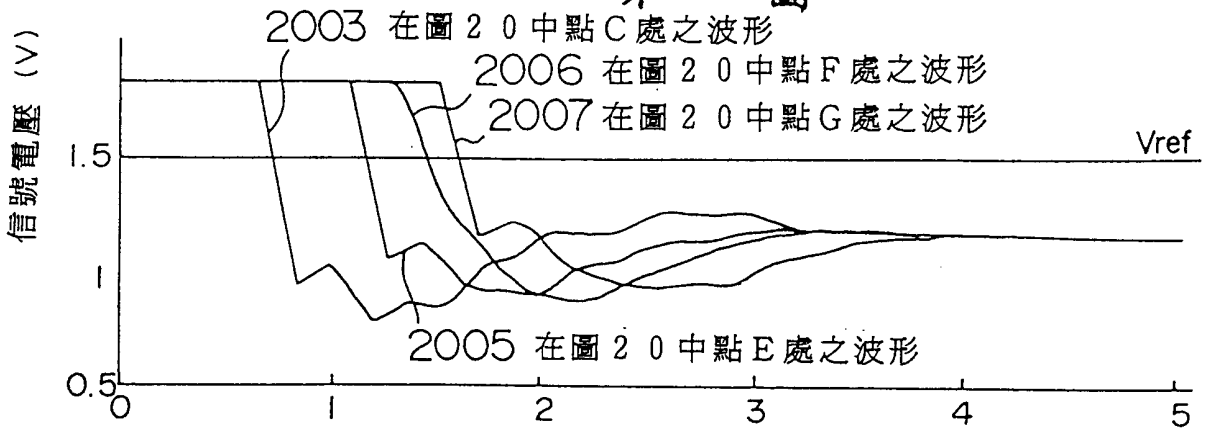
第22C圖



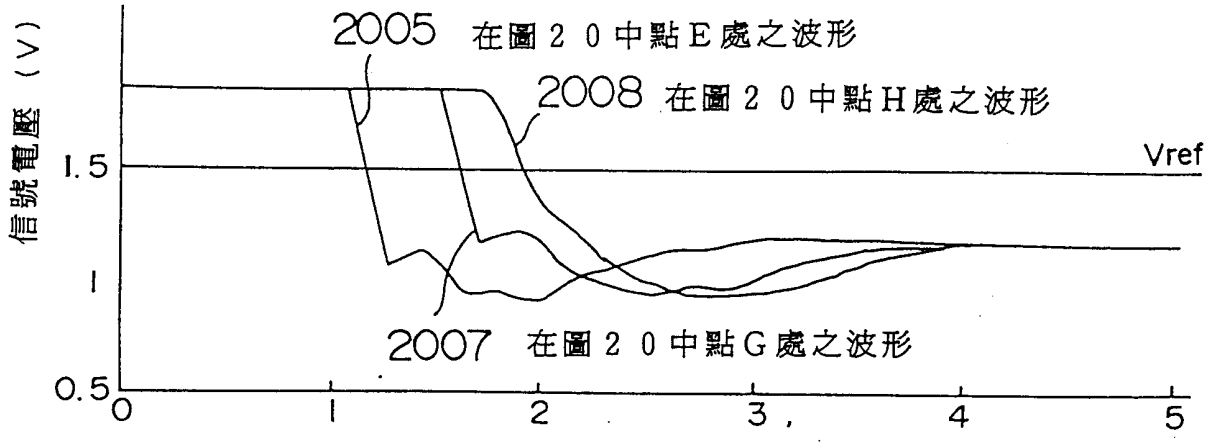
第23A圖



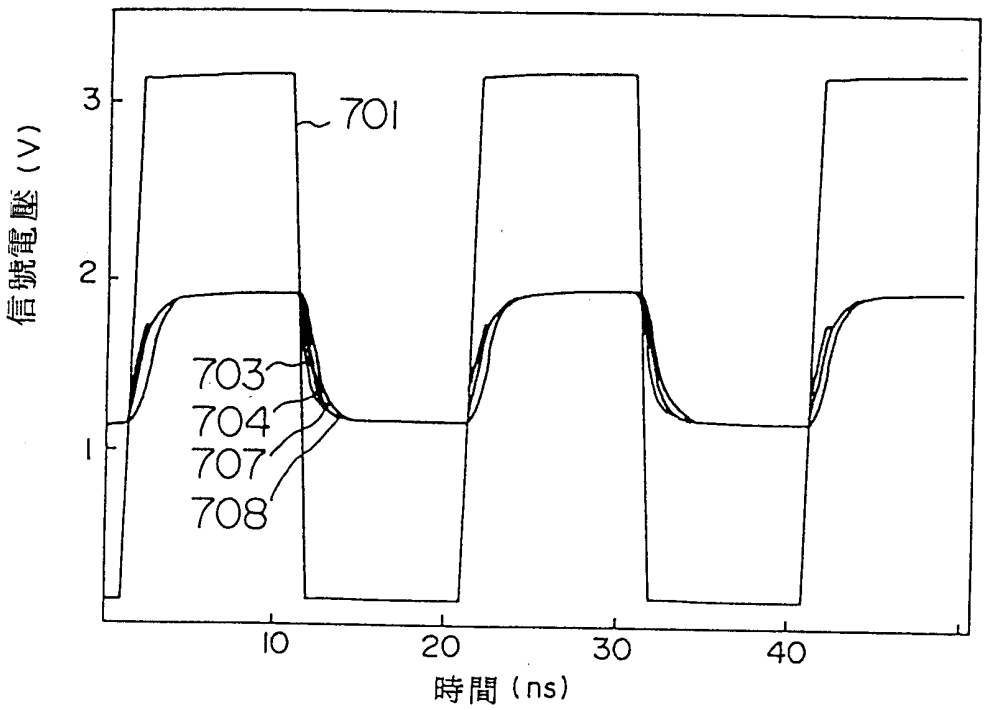
第23B圖



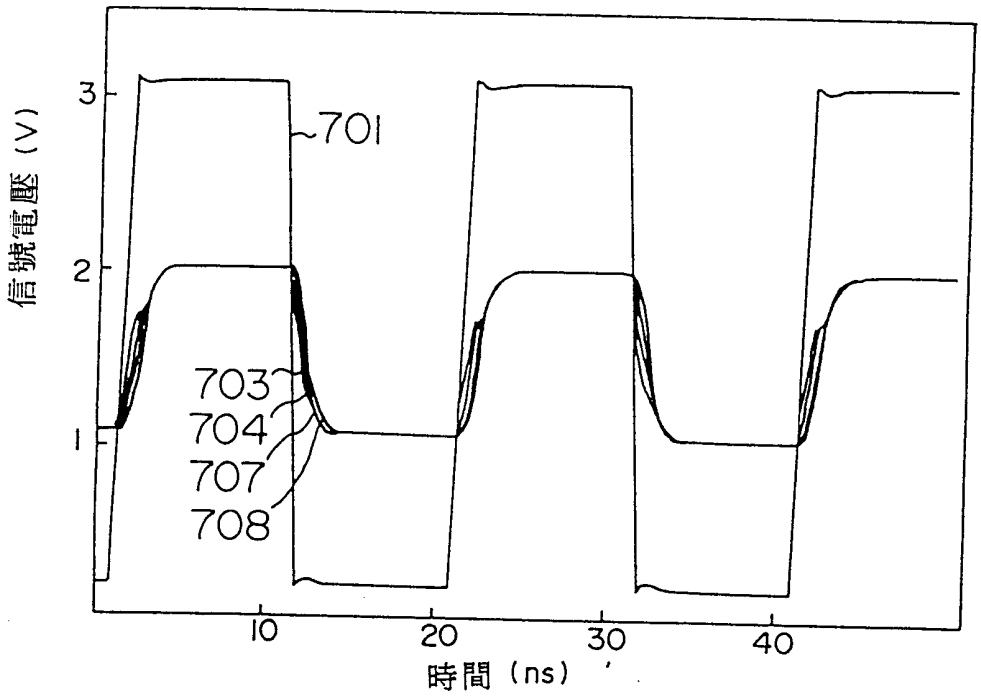
第23C圖



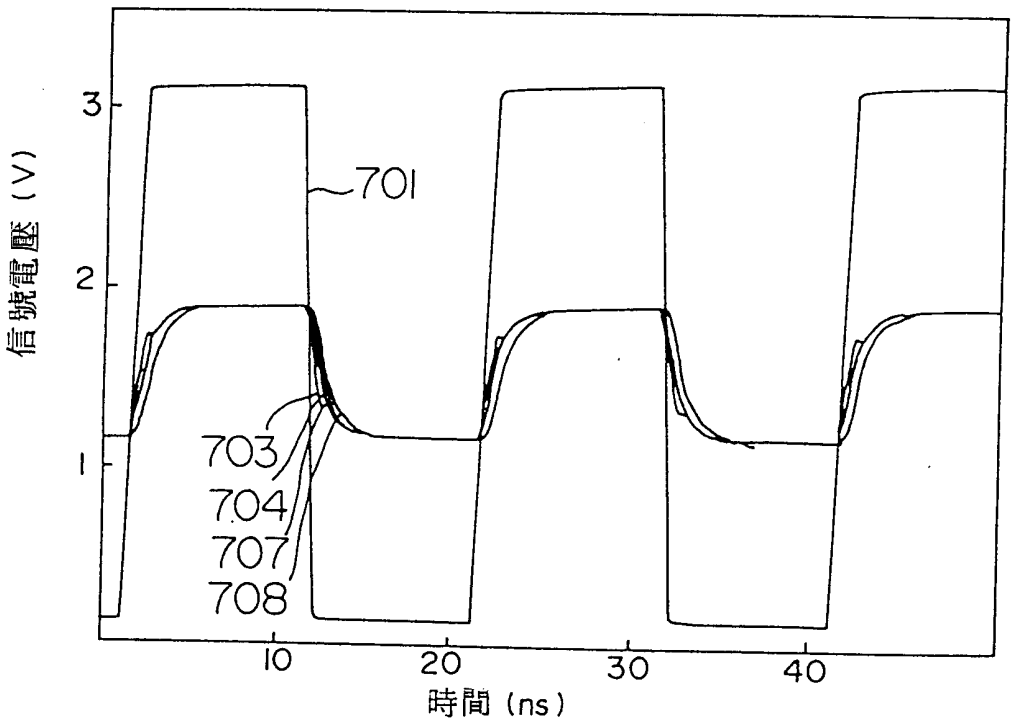
第 24 圖


信號電壓 (V)
3
2
1
701
703
704
707
708
10
20
30
40
時間 (ns)

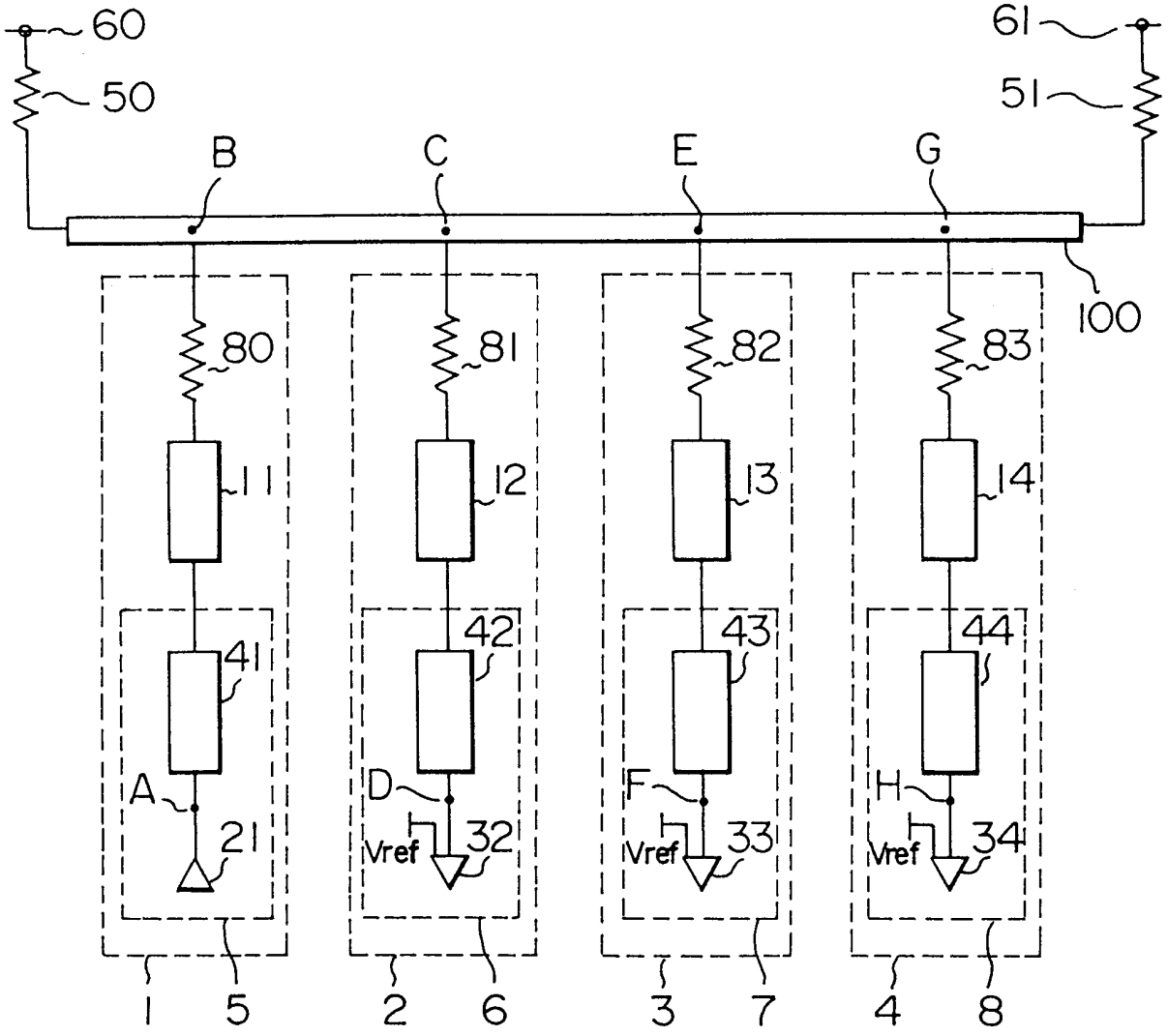
第 25 圖


信號電壓 (V)
3
2
1
701
703
704
707
708
10
20
30
40
時間 (ns)

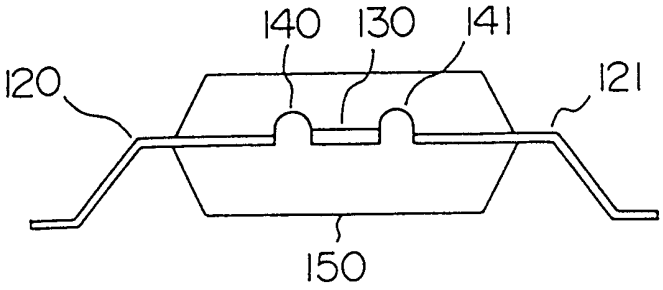
第 26 圖



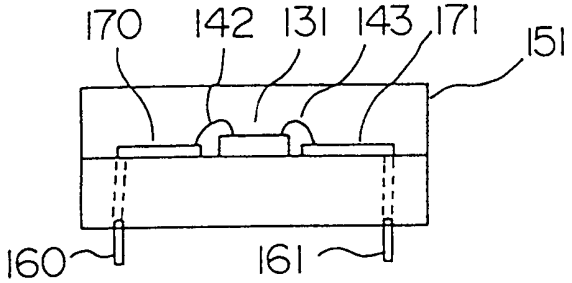
第27圖


60
61
50
51
B
C
E
G
100
80
81
82
83
11
12
13
14
41
42
43
44
A
D
F
H
21
Vref
32
Vref
33
Vref
34
1
5
2
6
3
7
4
8

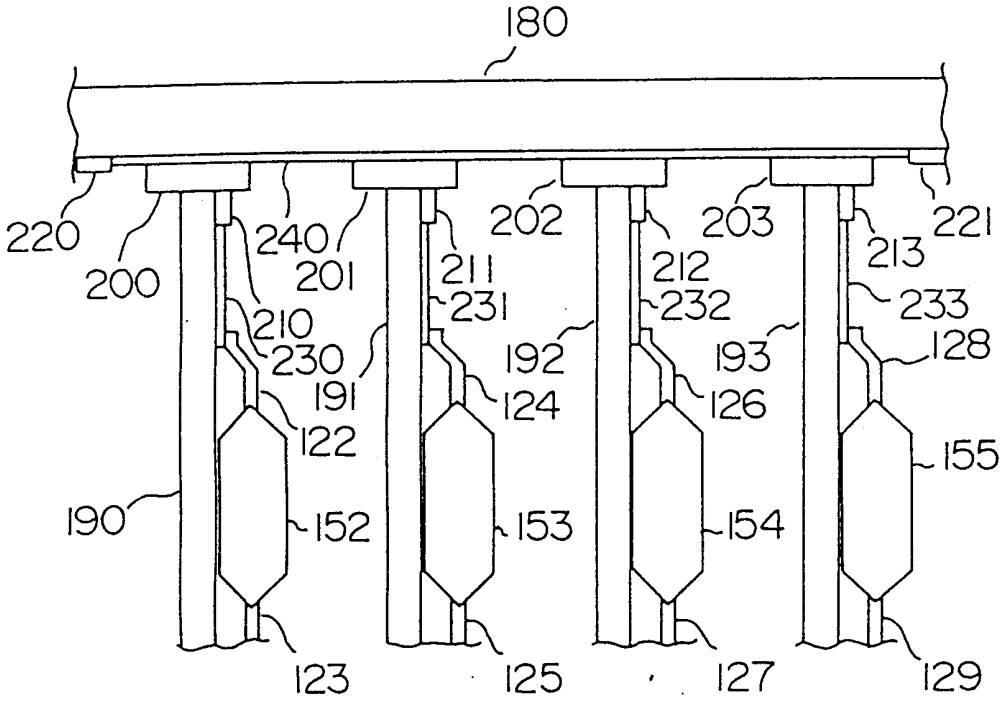
第 28 圖



第 29 圖



第 30 圖



修正 86.1.23
本年月日
補充

六、申請專利範圍

第83106590號專利申請案

中文申請專利範圍修正本

民國86年1月修正

1．一種信號傳輸裝置，包含一主傳輸線（100）傳輸一信號，一第一信號驅動電路（21），用以驅動一信號，一第一短截線（11），用以傳輸一信號於該第一信號驅動電路及該主傳輸線之間，一第一信號接收電路（32－34），用以接收一信號，及一第二短截線（81－83），用以傳輸一信號於該主傳輸線及該第一信號接收電路之間，其特徵在於：

該主傳輸線是由一第一元件（50、51）所終結，該第一元件具有一實際等於該主傳輸線阻抗值之電阻值；

一第二元件（80）係提供於該主傳輸線及該第一短截線之間，及該第二元件提供於該第一短截線及該主傳輸線間之阻抗匹配，以抑制於該主傳輸線及該第一短截線分支點間之反射。

2．如申請專利範圍第1項所述之信號傳輸裝置，其中，該第一元件具有等於或接近由該第一短截線之阻抗減去該主傳輸阻抗之一半之電阻值。

3．如申請專利範圍第1或2項所述之信號傳輸裝置，其中，一第二接收電路（31）除了該第一信號驅動電路外，係連接至該第一短截線。

4．如申請專利範圍第1項所述之信號傳輸裝置，其

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

中，更包含一母板安置於主傳輸線之上，一第一子板連接至該母板及安置該第一信號驅動電路及該第一短截線於其上，及一連接器連接該母板及該第一子板。

5．如申請專利範圍第2項所述之信號傳輸裝置，其中，該第二元件具有一電阻值等於由該第一短截線之阻抗減去該主傳輸線阻抗一半所得之值之0．5倍至1．5倍。

6．如申請專利範圍第1項所述之信號傳輸裝置，其中，包含一第三元件（12、13、14）提供於該主傳輸線及該第二短截線之間，以及，提供於該第二短截線及該主傳輸線間之阻抗匹配，以抑制於該主傳輸線及該第二短截線間之分支點上之信號反射。

7．如申請專利範圍第6項所述之信號傳輸裝置，其中，該第二元件具有一電阻值實質等於由該第一短截線之阻抗減去主傳輸線阻抗一半所得之值，以及，該第三元件具有一電阻值實質等於由該第二短截線之阻抗值減去該主傳輸線阻抗一半所得之值。

8．如申請專利範圍第6項所述之信號傳輸裝置，其中，該每一第一及第二元件具有一電阻值實質等於由該第一短截線之阻抗減去該主傳輸線阻抗之一半所得之值。

9．如申請專利範圍第6項所述之信號傳輸裝置，其中，該第一短截線之阻抗及該主傳輸線之阻抗間之比率係由供給至該信號驅動電路及該信號驅動電路之供給電壓與於該主傳輸線中信號振幅之比率加以決定。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

１０．如申請專利範圍第６項所述之信號傳輸裝置，其中，該第一信號驅動電路係經由一具有開關功能之元件連接至該電源供應器及該接地之間，以及，該具有開關功能元件之最小電阻值是５０歐姆或更少。

１１．如申請專利範圍第６項所述之信號傳輸裝置，其中，該第一信號驅動電路包含一推挽式驅動電路，以及，該信號接收電路包含一差分輸入電路。

１２．如申請專利範圍第６項所述之信號傳輸裝置，其中，該傳輸至主傳輸線之信號之振幅係低於該第一信號驅動電路之輸出信號。

１３．如申請專利範圍第６項所述之信號傳輸裝置，其中，係滿足以下關係：

$$V_{SS} \leq V_{oL} \leq V_{iL} \leq V_{ref} \leq V_{iH} \leq V_{cc}$$

$$V_{ss} \leq V_{oL} \leq V_{iL} \leq V_{tt} \leq V_{iH} \leq V_{cc}$$

其中，

V_{cc}：供給至該第一信號驅動電路之供給電壓，

V_{oH}：該第一信號驅動電路之〝高〞位準預定值，

V_{iH}：該第一接收電路之〝高〞位準預定值，

V_{ref}：該第一接收電路之參考電壓，

V_{tt}：終端電壓，

V_{iL}：該第一接收電路之〝低〞位準預定值，

V_{oL}：該第一驅動電路之〝低〞位準預定值，及

V_{ss}：接地電壓。

１４．如申請專利範圍第６項所述之信號傳輸裝置，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

其中，在該主傳輸線上之信號之振幅是實質等於一值，其係由主傳輸線之阻抗乘以一輸出自於其輸出端之該第一驅動電路信號之振幅而加以決定，該阻抗係由該第二短截線之阻抗之兩倍所除去。

15．如申請專利範圍第6項所述之信號傳輸裝置，其中，該第一及第二短截線之阻抗均高於主傳輸線之阻抗。

16．如申請專利範圍第6項所述之信號傳輸裝置，其中，更包含一母板放置該主傳輸線於其上，一第一子板連接至該母板及安置該第一信號驅動電路及該第一短截線於其上，一第二子板連接該母板及安置該第二接收電路及該第二短截線於其上，以及，一連接器連接該母板及該第一及第二子板。

17．如申請專利範圍第6項所述之信號傳輸裝置，其中，一被使用於該第一接收電路中之參考電壓係供給至該第一接收電路之外側。

18．如申請專利範圍第6項所述之信號傳輸裝置，其中，該使用於第一接收電路之參考電壓是產生於該第一接收電路之內部。

19．如申請專利範圍第7項所述之信號傳輸裝置，其中，該第一及第二元件均具有一由0．5倍至1．5倍該值之電阻值。

20．如申請專利範圍第6項所述之信號傳輸裝置，其中，該第一驅動及接收電路包含一第二接收電路，以及

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

，該第一信號驅動電路係連接至該第一短截線，及一第二驅動及接收電路包含一第二信號驅動電路及該第一接收電路係連接至該第二短截線。

２１．如申請專利範圍第２０項所述之信號傳輸裝置，其中，該第二元件具有一電阻值，其係實質等於由該第一及第二短截線之預定阻抗減去該主傳輸線阻抗之一半所得之值。

２２．如申請專利範圍第２０項所述之信號傳輸裝置，其中，該第一及第二驅動及接收電路均包含一推挽式之輸出電路及一差分輸入電路。

２３．如申請專利範圍第２０項所述之信號傳輸裝置，其中，傳輸至該主傳輸線之信號之振幅是低於輸出自該第一驅動及接收電路之信號之振幅。

２４．如申請專利範圍第２０項所述之信號傳輸裝置，其中，滿足以下之關係：

$$V_{ss} \leq V_{oL} \leq V_{iL} \leq V_{ref} \leq V_{iH} \leq V_{oH} \leq V_{cc}$$

$$V_{ss} \leq V_{oL} \leq V_{iL} \leq V_{tt} \leq V_{iH} \leq V_{oH} \leq V_{cc}$$

其中：

V_{cc}：供給至第一及第二驅動及接收電路之供給電壓，

V_{oH}：該第一及第二驅動及接收電路之〝高〞位準預定值，

V_{iH}：該第一及第二驅動及接收電路之〝高〞位準預定值，

V_{ref}：該第一及第二驅動及接收電路之參考電壓，

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

V_{tt}：終端電壓，

V_{iL}：該第一及第二驅動及接收電路之〝低〞位準預定值，

V_{oL}：該第一及第二驅動及接收電路之〝低〞位準預定值，及

V_{ss}：接地電壓。

２５．如申請專利範圍第２０項所述之信號傳輸裝置，其中，在該主傳輸線上信號之振幅是實質爲一值，該值係由將該主傳輸線之阻抗乘以由第一驅動電路之輸出端所輸出信號之振幅，該主傳輸線之阻抗係爲該第二短截線之阻抗之兩倍所除。

２６．一種適用以連接至一主傳輸線之電路方塊，該傳輸線係由一第一元件所終結，該元件具有一電阻值實質等於該主傳輸線之阻抗值，其特徵在於，更包含一信號驅動電路，用以驅動一信號；一方塊間傳輸線，用以傳輸一信號於該信號驅動電路及該主傳輸線間；及一第二元件（８０）提供於該第一方塊間傳輸線及該主傳輸線間之阻抗匹配，以抑制於該方塊間傳輸線及主傳輸線間之分支點之反射。

２７．如申請專利範圍第２６項所述之電路方塊，其中，該第一元件具有一電阻值實質等於由該第一方塊間傳輸線之阻抗減去該主傳輸線之阻抗之一半所得之值。

２８．如申請專利範圍第２６項所述之電路方塊，其中，更包含一接收電路，用以接收一信號，及一方塊間傳

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

輸線傳輸一信號於該接收電路及該主傳輸線之間。

２９．如申請專利範圍第２７項所述之電路方塊，其中，該第二元件具有一電阻值，其係由該方塊間傳輸線之阻抗減去該主傳輸線之阻抗一半所得值之０．５倍至１．５倍之範圍。

３０．如申請專利範圍第１項所述之信號傳輸裝置，其中，該短截線之阻抗係大於該主傳輸線之阻抗。

３１．如申請專利範圍第６項所述之信號傳輸裝置，其中，該短截線之阻抗係大於該主傳輸線之阻抗。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）