



(12) 发明专利申请

(10) 申请公布号 CN 103779197 A

(43) 申请公布日 2014. 05. 07

(21) 申请号 201210401337. 4

(22) 申请日 2012. 10. 19

(71) 申请人 北大方正集团有限公司

地址 100871 北京市海淀区成府路 298 号方
正大厦 9 层

申请人 深圳方正微电子有限公司

(72) 发明人 潘光燃 石金成 高振杰

(74) 专利代理机构 北京同达信恒知识产权代理
有限公司 11291

代理人 黄志华

(51) Int. Cl.

H01L 21/28(2006. 01)

权利要求书2页 说明书6页 附图3页

(54) 发明名称

一种制造 P 型轻掺杂漏区的方法

(57) 摘要

本发明公开了一种制造 P 型轻掺杂漏区的方法，应用于高压集成电路的制造过程中，所述方法包括：在第一高压集成电路半成品表面形成第一光刻胶层；将所述第一高压集成电路半成品表面的第一区域和第二区域上的所述第一光刻胶层去除；向所述第一高压集成电路半成品表面注入第一离子，获得第二高压集成电路半成品，所述第一离子用于形成所述 P 型轻掺杂漏区，及对所述低压 PMOS 和所述非对称型高压 PMOS 的阈值电压进行调节。

在第一高压集成电路半成品表面形成第一光刻胶层；
将所述第一高压集成电路半成品表面的第一区域和第二区域上的所述第一光刻胶层去除； 101

向所述第一高压集成电路半成品表面注入第一离子，获得第二高
压集成电路半成品，所述第一离子用于形成所述 P 型轻掺杂漏区；及
时所述低压 PMOS 和所述非对称型高压 PMOS 的阈值电压进行调节

去除所述第二高压集成电路半成品表面的所述第一光刻胶层；
在所述第二高压集成电路半成品表面制作侧墙，获得第三高压集成电路半成品 102

在所述第三高压集成电路半成品表面形成第二光刻胶层；
去除所述第一区域、所述第二区域、所述第三区域上的所述第二光
刻胶层，向所述第三高压集成电路半成品表面注入第二离子，获得
第四高压集成电路半成品 103

去除所述第四高压集成电路半成品表面的所述第二光刻胶层；
对所述第四高压集成电路半成品进行退火加工，以使所述 P 型轻
掺杂漏区和 P+掺杂区激活，并使所述 P 型轻掺杂漏区的碳离子发生微
量扩散，使所述 P 型轻掺杂漏区扩散到第七区域的氮氧化层下方，
获得第五高压集成电路半成品 104

1. 一种制造 P 型轻掺杂漏区的方法,应用于高压集成电路的制造过程中,其特征在于,所述方法包括:

在第一高压集成电路半成品表面形成第一光刻胶层;

将所述第一高压集成电路半成品表面的第一区域和第二区域上的所述第一光刻胶层去除;

向所述第一高压集成电路半成品表面注入第一离子,获得第二高压集成电路半成品,所述第一离子用于形成所述P型轻掺杂漏区,及对所述低压PMOS和所述非对称型高压PMOS的阈值电压进行调节;

其中,所述第一高压集成电路半成品已形成P阱、N阱、场氧化层、栅氧化层、多晶硅栅,所述第一高压集成电路半成品包含至少一个低压PMOS、至少一个对称型高压PMOS、至少一个非对称型高压PMOS,所述低压PMOS对应所述第一区域,所述非对称型高压PMOS对应所述第二区域。

2. 如权利要求1所述的方法,其特征在于,所述第一离子具体为:

硼离子或二氟化硼离子。

3. 如权利要求2所述的方法,其特征在于,所述向所述第一高压集成电路半成品注入第一离子,具体包括:

步骤201,向所述第一高压集成电路半成品表面注入能量为第一能量值、剂量为第一剂量值的所述硼离子或所述二氟化硼离子;

其中,所述第一能量值不能够使所述硼离子或所述二氟化硼离子穿透所述多晶硅栅、所述场氧化层、所述对称型高压PMOS对应的第三区域上的所述第一光刻胶层,但能够使所述硼离子或所述二氟化硼离子穿透没有被所述多晶硅栅、或所述场氧化层、或所述第三区域上的所述第一光刻胶层覆盖的第四区域的所述栅氧化层,以使在所述第四区域的所述栅氧化层下方形成P型轻掺杂漏区;

步骤202,向所述第一高压集成电路半成品表面注入能量为第二能量值、剂量为第二剂量值的所述硼离子或所述二氟化硼离子,用来对所述低压PMOS和所述非对称型高压PMOS的阈值电压进行调节;

其中,所述第二剂量值小于所述第一剂量值,所述第二能量值大于所述第一能量值,所述第二能量值不能够使所述硼离子或所述二氟化硼离子穿透所述第三区域的所述第一光刻胶层,但能够使所述硼离子或所述二氟化硼离子穿透所述第一区域和所述第二区域的所述多晶硅栅和所述栅氧化层、到达所述第一区域和所述第二区域的所述N阱的表面,以使在所述第一区域和所述第二区域的所述多晶硅栅对应的第五区域的所述栅氧化层的下方形成微量硼离子或二氟化硼离子掺杂。

4. 如权利要求3所述的方法,其特征在于,在执行所述步骤201和所述步骤202过程中,所述步骤201在所述步骤202之前;或所述步骤201在所述步骤202之后。

5. 如权利要求3所述的方法,其特征在于,在所述获得第二高压集成电路半成品之后,所述方法还包括:

去除所述第二高压集成电路半成品表面的所述第一光刻胶层;

在所述多晶硅栅的侧面制作侧墙,获得第三高压集成电路半成品。

6. 如权利要求5所述的方法,其特征在于,在获得第三高压集成电路半成品之后,所述

方法还包括：

在所述第三高压集成电路半成品表面形成第二光刻胶层；

去除所述第一区域、所述第二区域、所述第三区域上的所述第二光刻胶层，向所述第三高压集成电路半成品表面注入第二离子，获得第四高压集成电路半成品。

7. 如权利要求 6 所述的方法，其特征在于，所述向所述第三高压集成电路半成品表面注入第二离子，具体包括：

向所述第三高压集成电路半成品表面注入能量值为第三能量值的硼离子或二氟化硼离子；

其中，所述第三能量值不能够使所述硼离子或所述二氟化硼离子穿透所述多晶硅栅、所述场氧化层、所述侧墙、除所述第一区域、所述第二区域和所述第三区域以外的所述第二光刻胶层，但能够使所述硼离子或所述二氟化硼离子穿透没有被所述多晶硅栅、或所述场氧化层、或所述侧墙、或所述第二光刻胶层覆盖的第六区域的棚氧化层，以使在所述第六区域的棚氧化层下方形成 P+ 掺杂区。

8. 如权利要求 7 所述的方法，其特征在于，在所述获得第四高压集成电路半成品之后，所述方法还包括：

去除所述第四高压集成电路半成品表面的所述第二光刻胶层；

对所述第四高压集成电路半成品进行退火加工，以使所述 P 型轻掺杂漏区和 P+ 掺杂区激活，并使所述 P 型轻掺杂漏区的硼离子发生微量热扩散，使所述 P 型轻掺杂漏区扩散到第七区域的棚氧化层下方，获得第五高压集成电路半成品；

其中，所述第七区域属于所述第五区域。

一种制造 P 型轻掺杂漏区的方法

技术领域

[0001] 本发明涉及集成电路制造领域，尤其涉及一种制造 P 型轻掺杂漏区的方法。

背景技术

[0002] 金属 - 氧化物 - 半导体场效应晶体管 (MOSFET, 通常简称为 MOS 晶体管)，包括 N 沟道 MOS 晶体管 (NMOS) 和 P 沟道 MOS 晶体管 (PMOS)，当工作在饱和区时其部分沟道被夹断，流过夹断区的载流子被大电场加快到很高的速度，形成热载流子，一些热载流子与晶格发生撞击后弹出沟道，其中一部分进入衬底形成衬底电流，另一部分进入栅氧化层；如果 MOS 晶体管继续工作，热载流子会引起其阈值电压逐渐偏移，这就是 MOS 晶体管的热载流子效应。

[0003] 为避免 MOS 晶体管发生热载流子效应，通常都采用轻掺杂漏 (LDD) 结构：对于 NMOS，采用 N 型轻掺杂漏 (NLDD)，对于 PMOS，采用 P 型轻掺杂漏 (PLDD)，本发明主要针对高压集成电路中 PLDD 的制造方法进行创新。

[0004] 在高压集成电路中，通常至少包含三种结构的 PMOS：低压 PMOS，对称型高压 PMOS，非对称高压 PMOS。

[0005] 但本申请发明人在实现本申请实施例中发明技术方案的过程中，发现现有技术至少存在如下技术问题：

[0006] 在现有技术中，在制造高压集成电路 P 型轻掺杂漏区过程中，不能对高压集成电路低压 PMOS、非对称高压 PMOS 的阈值电压进行调节，而需要单独增加光刻层，对上述两种 PMOS 区域进行光刻，注入离子来调节阈值电压，导致工艺变得繁琐，工艺成本增加。

发明内容

[0007] 本申请实施例通过提供一种制造 P 型轻掺杂漏区的方法，解决了现有技术中在制造高压集成电路 P 型轻掺杂漏区过程中，不能对高压集成电路低压 PMOS、非对称高压 PMOS 的阈值电压进行调节，而需要单独增加光刻层，对上述两种 PMOS 区域进行光刻，注入离子来调节阈值电压的技术问题，实现了在制造高压集成电路 P 型轻掺杂漏区过程中，就对高压集成电路低压 PMOS、非对称高压 PMOS 的阈值电压进行调节，不需要再额外增加光刻层的技术效果。

[0008] 本申请实施例提供了一种制造 P 型轻掺杂漏区的方法，应用于高压集成电路的制造过程中，所述方法包括：

[0009] 在第一高压集成电路半成品表面形成第一光刻胶层；

[0010] 将所述第一高压集成电路半成品表面的第一区域和第二区域上的所述第一光刻胶层去除；

[0011] 向所述第一高压集成电路半成品表面注入第一离子，获得第二高压集成电路半成品，所述第一离子用于形成所述 P 型轻掺杂漏区，及对所述低压 PMOS 和所述非对称型高压 PMOS 的阈值电压进行调节；

[0012] 其中，所述第一高压集成电路半成品已形成 P 阵、N 阵、场氧化层、栅氧化层、多晶

硅栅，所述第一高压集成电路半成品包含至少一个低压 PMOS、至少一个对称型高压 PMOS、至少一个非对称型高压 PMOS，所述低压 PMOS 对应所述第一区域，所述非对称型高压 PMOS 对应所述第二区域。

[0013] 优选地，所述第一离子具体为：

[0014] 硼离子或二氟化硼离子。

[0015] 优选地，所述向所述第一高压集成电路半成品注入第一离子，具体包括：

[0016] 步骤 201，向所述第一高压集成电路半成品表面注入能量为第一能量值、剂量为第一剂量值的所述硼离子或所述二氟化硼离子；

[0017] 其中，所述第一能量值不能够使所述硼离子或所述二氟化硼离子穿透所述多晶硅栅、所述场氧化层、所述对称型高压 PMOS 对应的第三区域上的所述第一光刻胶层，但能够使所述硼离子或所述二氟化硼离子穿透没有被所述多晶硅栅、或所述场氧化层、或所述第三区域上的所述第一光刻胶层覆盖的第四区域的所述棚氧化层，以使在所述第四区域的所述棚氧化层下方形成 P 型轻掺杂漏区；

[0018] 步骤 202，向所述第一高压集成电路半成品表面注入能量为第二能量值、剂量为第二剂量值的所述硼离子或所述二氟化硼离子，用来对所述低压 PMOS 和所述非对称型高压 PMOS 的阈值电压进行调节；

[0019] 其中，所述第二剂量值小于所述第一剂量值，所述第二能量值大于所述第一能量值，所述第二能量值不能够使所述硼离子或所述二氟化硼离子穿透所述第三区域的所述第一光刻胶层，但能够使所述硼离子或所述二氟化硼离子穿透所述第一区域和所述第二区域的所述多晶硅栅和所述棚氧化层、到达所述第一区域和所述第二区域的所述 N 阵的表面，以使在所述第一区域和所述第二区域的所述多晶硅栅对应的第五区域的所述棚氧化层的下方形成微量硼离子或二氟化硼离子掺杂。

[0020] 优选地，在执行所述步骤 201 和所述步骤 202 过程中，所述步骤 201 在所述步骤 202 之前；或所述步骤 201 在所述步骤 202 之后。

[0021] 优选地，在所述获得第二高压集成电路半成品之后，所述方法还包括：

[0022] 去除所述第二高压集成电路半成品表面的所述第一光刻胶层；

[0023] 在所述多晶硅栅的侧面制作侧墙，获得第三高压集成电路半成品。

[0024] 优选地，在获得第三高压集成电路半成品之后，所述方法还包括：

[0025] 在所述第三高压集成电路半成品表面形成第二光刻胶层；

[0026] 去除所述第一区域、所述第二区域、所述第三区域上的所述第二光刻胶层，向所述第三高压集成电路半成品表面注入第二离子，获得第四高压集成电路半成品。

[0027] 优选地，所述向所述第三高压集成电路半成品表面注入第二离子，具体包括：

[0028] 向所述第三高压集成电路半成品表面注入能量值为第三能量值的硼离子或二氟化硼离子；

[0029] 其中，所述第三能量值不能够使所述硼离子或所述二氟化硼离子穿透所述多晶硅栅、所述场氧化层、所述侧墙、除所述第一区域、所述第二区域和所述第三区域以外的所述第二光刻胶层，但能够使所述硼离子或所述二氟化硼离子穿透没有被所述多晶硅栅、或所述场氧化层、或所述侧墙、或所述第二光刻胶层覆盖的第六区域的棚氧化层，以使在所述第六区域的棚氧化层下方形成 P+ 掺杂区。

- [0030] 优选地,在所述获得第四高压集成电路半成品之后,所述方法还包括:
- [0031] 去除所述第四高压集成电路半成品表面的所述第二光刻胶层;
- [0032] 对所述第四高压集成电路半成品进行退火加工,以使所述P型轻掺杂漏区和P+掺杂区激活,并使所述P型轻掺杂漏区的硼离子发生微量热扩散,使所述P型轻掺杂漏区扩散到第七区域的栅氧化层下方,获得第五高压集成电路半成品;
- [0033] 其中,所述第七区域属于所述第五区域。
- [0034] 本申请实施例中提供的一个或多个技术方案,至少具有如下技术效果或优点:
- [0035] 1、在本申请实施例中,由于采用对低压PMOS和非对称型高压PMOS进行光刻,分两次注入离子来形成P型轻掺杂漏区的方法,有效解决了现有技术中在制造高压集成电路P型轻掺杂漏区过程中,不能对高压集成电路低压PMOS、非对称高压PMOS的阈值电压进行调节的技术问题,进而实现了在制造高压集成电路P型轻掺杂漏区过程中,可以对高压集成电路低压PMOS、非对称高压PMOS的阈值电压进行调节的技术效果。
- [0036] 2、在本申请实施例中,由于在制造高压集成电路P型轻掺杂漏区过程中,就对高压集成电路低压PMOS、非对称高压PMOS的阈值电压进行调节,进而实现了不需要再额外增加光刻层对所述两种PMOS进行光刻,再注入离子来调节阈值电压的技术效果。

附图说明

- [0037] 图1为本申请实施例中一种制造P型轻掺杂漏区方法的流程图;
- [0038] 图2为本申请实施例中第一高压集成电路半成品的结构示意图;
- [0039] 图3为本申请实施例中第二高压集成电路半成品的结构示意图;
- [0040] 图4为本申请实施例中第三高压集成电路半成品的结构示意图;
- [0041] 图5为本申请实施例中第四高压集成电路半成品的结构示意图;
- [0042] 图6为本申请实施例中第五高压集成电路半成品的结构示意图。

具体实施方式

[0043] 本申请实施例通过提供一种制造P型轻掺杂漏区的方法,解决了现有技术中在制造高压集成电路P型轻掺杂漏区过程中,不能对高压集成电路低压PMOS、非对称高压PMOS的阈值电压进行调节,而需要单独增加光刻层,对上述两种PMOS区域进行光刻,注入离子来调节阈值电压的技术问题。

- [0044] 本申请实施例的技术方案为解决上述技术问题,总体思路如下:
- [0045] 在第一高压集成电路半成品表面形成第一光刻胶层;
- [0046] 将所述第一高压集成电路半成品表面的第一区域和第二区域上的所述第一光刻胶层去除;
- [0047] 向所述第一高压集成电路半成品表面注入第一离子,获得第二高压集成电路半成品,所述第一离子用于形成所述P型轻掺杂漏区,及对所述低压PMOS和所述非对称型高压PMOS的阈值电压进行调节;
- [0048] 其中,所述第一高压集成电路半成品已形成P阱、N阱、场氧化层、栅氧化层、多晶硅栅,所述第一高压集成电路半成品包含至少一个低压PMOS、至少一个对称型高压PMOS、至少一个非对称型高压PMOS,所述低压PMOS对应所述第一区域,所述非对称型高压PMOS对

应所述第二区域。

[0049] 为了更好的理解上述技术方案,下面将结合说明书附图以及具体的实施方式对上述技术方案进行详细的说明。

[0050] 如图 1 所示,图 1 为本实施例制造 P 型轻掺杂漏区的方法流程图。

[0051] 首先,执行步骤 101 :在第一高压集成电路半成品表面形成第一光刻胶层;

[0052] 将所述第一高压集成电路半成品表面的第一区域和第二区域上的所述第一光刻胶层去除;

[0053] 向所述第一高压集成电路半成品表面注入第一离子,获得第二高压集成电路半成品,所述第一离子用于形成所述 P 型轻掺杂漏区,及对所述低压 PMOS 和所述非对称型高压 PMOS 的阈值电压进行调节;

[0054] 其中,所述第一高压集成电路半成品的结构如图 2 所示,已形成 P 阵、N 阵、场氧化层、栅氧化层、多晶硅栅,所述第一高压集成电路半成品包含至少一个低压 PMOS、至少一个对称型高压 PMOS、至少一个非对称型高压 PMOS,所述低压 PMOS 对应所述第一区域,所述非对称型高压 PMOS 对应所述第二区域。

[0055] 在具体实施过程中,所述第一离子具体为:用于形成所述 P 型轻掺杂漏区,及对所述低压 PMOS 和所述非对称型高压 PMOS 的阈值电压进行调节硼离子或二氟化硼离子。

[0056] 在具体实施过程中,所述向所述第一高压集成电路半成品注入第一离子,具体包括以下两步:

[0057] 步骤 201,向所述第一高压集成电路半成品表面注入能量为第一能量值、剂量为第一剂量值的所述硼离子或所述二氟化硼离子;

[0058] 其中,所述第一能量值不能够使所述硼离子或所述二氟化硼离子穿透所述多晶硅栅、所述场氧化层、所述对称型高压 PMOS 对应的第三区域上的所述第一光刻胶层,但能够使所述硼离子或所述二氟化硼离子穿透没有被所述多晶硅栅、或所述场氧化层、或所述第三区域上的所述第一光刻胶层覆盖的第四区域的所述栅氧化层,以使在所述第四区域的所述栅氧化层下方形成 P 型轻掺杂漏区,P 型轻掺杂漏区的英文简写为:PLDD;

[0059] 在具体实施过程中,所述第一剂量值较小,小于 1E14 原子 / 平方厘米,所述第一能量值较小,小于 100 千电子伏。

[0060] 步骤 202,向所述第一高压集成电路半成品表面注入能量为第二能量值、剂量为第二剂量值的所述硼离子或所述二氟化硼离子,用来对所述低压 PMOS 和所述非对称型高压 PMOS 的阈值电压进行调节;

[0061] 其中,所述第二剂量值小于所述第一剂量值,所述第二能量值大于所述第一能量值,所述第二能量值不能够使所述硼离子或所述二氟化硼离子穿透所述第三区域的所述第一光刻胶层,但能够使所述硼离子或所述二氟化硼离子穿透所述第一区域和所述第二区域的所述多晶硅栅和所述栅氧化层、到达所述第一区域和所述第二区域的所述 N 阵的表面,以使在所述第一区域和所述第二区域的所述多晶硅栅对应的第五区域的所述栅氧化层的下方形成微量硼离子或二氟化硼离子掺杂。

[0062] 在具体实施过程中,所述第二剂量值较小,小于 1E13 原子 / 平方厘米,所述第二能量值较大,大于 100 千电子伏,注入元素不能穿透光刻胶,但能穿透低压 PMOS 和非对称型高压 PMOS 的多晶硅栅(Poly)及栅氧化层、达到 N 阵表面,在栅氧化层的下方形成微量硼离子掺杂。

杂,其中多晶硅栅的英文全称为 :polysilicon gate, 简写为 :Poly。

[0063] 对于 PMOS, 其栅氧化层的下方阱表面的硼离子浓度越大, 则其阈值电压的绝对值越小; 因此, 在本发明中, 调整步骤 202 中所述硼离子或所述二氟化硼离子注入的剂量, 就可以调节低压 PMOS 和非对称高压 PMOS 栅氧化层下方的微量硼离子的浓度, 从而调节低压 PMOS 和非对称高压 PMOS 的阈值电压。

[0064] 一般情况下, PMOS 都是增强型晶体管, 此时应合理设置所述第二剂量值, 使得在栅氧化层下方的微量硼离子的浓度小于 N 阵表面的磷离子浓度; 当需要实现耗尽型 PMOS 的阈值电压时, 可设置较大的所述第二剂量值, 使得在栅氧化层下方的微量硼离子的浓度大于 N 阵表面的磷离子浓度。

[0065] 在具体实施过程中, 在执行所述步骤 201 和所述步骤 202 时, 所述步骤 201 在所述步骤 202 之前; 或所述步骤 201 在所述步骤 202 之后。

[0066] 经过步骤 101, 得到的所述第二高压集成电路半成品结构为如图 3 所示的结构, 即在图 1 所示的所述第一高压集成电路半成品的低压 PMOS 区和非对称型高压 PMOS 区的未对多晶硅栅覆盖的栅氧化层下方形成 P 型轻掺杂漏区, 在低压 PMOS 区和非对称型高压 PMOS 区的多晶硅栅覆盖的栅氧化层下方形成微量硼离子或二氟化硼离子掺杂。

[0067] 执行完步骤 101, 就可以执行步骤 102, 即:

[0068] 去除所述第二高压集成电路半成品表面的所述第一光刻胶层;

[0069] 在所述多晶硅栅的侧面制作侧墙, 获得第三高压集成电路半成品。

[0070] 经过步骤 102, 得到的所述第三高压集成电路半成品结构为如图 4 所示的结构, 即在图 3 所示的第二高压集成电路半成品结构的基础上, 在所述第一区域(低压 PMOS)和第二区域(非对称型高压 PMOS)和第三区域(对称型高压 PMOS)的多晶硅栅的侧面形成所述侧墙。

[0071] 执行完步骤 102, 就可以执行步骤 103, 即:

[0072] 在所述第三高压集成电路半成品表面形成第二光刻胶层;

[0073] 去除所述第一区域、所述第二区域、所述第三区域上的所述第二光刻胶层, 向所述第三高压集成电路半成品表面注入第二离子, 获得第四高压集成电路半成品。

[0074] 在具体实施过程中, 所述向所述第三高压集成电路半成品表面注入第二离子, 具体包括:

[0075] 向所述第三高压集成电路半成品表面注入能量值为第三能量值的硼离子或二氟化硼离子;

[0076] 在具体实施过程中, 所述第三能量值不能够使所述硼离子或所述二氟化硼离子穿透所述多晶硅栅、所述场氧化层、所述侧墙、除所述第一区域、所述第二区域和所述第三区域以外的所述第二光刻胶层, 但能够使所述硼离子或所述二氟化硼离子穿透没有被所述多晶硅栅、或所述场氧化层、或所述侧墙、或所述第二光刻胶层覆盖的第六区域的栅氧化层, 以使在所述第六区域的栅氧化层下方形成 P+ 掺杂区。

[0077] 在具体实施过程中, 所述第二离子为二氟化硼离子或硼离子, 注入剂量较大(大于 5E14 原子 / 平方厘米), 注入能量较低(小于 100 千电子伏)。

[0078] 在本实施例中, 在形成所述第一光刻胶层和所述第二光刻胶层不采用同一块掩模。

[0079] 经过步骤 103, 得到的所述第四高压集成电路半成品结构为如图 5 所示的结构, 即在如图 4 所示的所述第三高压集成电路半成品基础上, 在没有被所述多晶硅栅、或所述场氧化层、或所述侧墙、或所述第二光刻胶层覆盖的第六区域的棚氧化层下方形成 P+ 掺杂区。

[0080] 执行完步骤 103, 就可以执行步骤 104, 即 :

[0081] 去除所述第四高压集成电路半成品表面的所述第二光刻胶层 ;

[0082] 对所述第四高压集成电路半成品进行退火加工, 以使所述 P 型轻掺杂漏区和 P+ 掺杂区激活, 并使所述 P 型轻掺杂漏区的硼离子发生微量热扩散, 使所述 P 型轻掺杂漏区扩散到第七区域的棚氧化层下方, 获得第五高压集成电路半成品 ;

[0083] 其中, 所述第七区域属于所述第五区域。

[0084] 经过步骤 104, 得到的所述第五高压集成电路半成品结构为如图 6 所示的结构, 即在图 5 所示的第四高压集成电路半成品基础上, 使所述 P+ 掺杂区的硼离子向 P 型轻掺杂漏区扩散一部分, 使这部分的 P 型轻掺杂漏区成为 P+ 掺杂区, 使所述 P 型轻掺杂漏区向所述第五区域扩散一部分, 使所述第五区域的这部分微量硼离子掺杂区成为 P 型轻掺杂漏区。

[0085] 在本实施例中, 在形成 P 型轻掺杂漏区时, 采用分两次注入所述第一离子的工艺, 可以选择性的在低压 PMOS 和非对称高压 PMOS 的棚氧化层的下方阱表面形成微量硼离子掺杂, 从而调节这两种 PMOS 的阈值电压, 可取代传统的增加光刻层以调节 PMOS 阈值电压的工艺方法。

[0086] 上述本申请实施例中的技术方案, 至少具有如下的技术效果或优点 :

[0087] 1、在本申请实施例中, 由于对低压 PMOS 和非对称型高压 PMOS 进行光刻, 分两次注入离子来形成 P 型轻掺杂漏区的方法, 所以, 有效解决了现有技术中在制造高压集成电路 P 型轻掺杂漏区过程中, 不能对高压集成电路低压 PMOS、非对称高压 PMOS 的阈值电压进行调节的技术问题, 进而实现了在制造高压集成电路 P 型轻掺杂漏区过程中, 就对高压集成电路低压 PMOS、非对称高压 PMOS 的阈值电压进行调节的技术效果。

[0088] 2、在本申请实施例中, 由于在制造高压集成电路 P 型轻掺杂漏区过程中, 就对高压集成电路低压 PMOS、非对称高压 PMOS 的阈值电压进行调节, 进而实现了不需要再额外增加光刻层对所述两种 PMOS 进行光刻, 再注入离子来调节阈值电压的技术效果。

[0089] 尽管已描述了本发明的优选实施例, 但本领域内的技术人员一旦得知了基本创造性概念, 则可对这些实施例作出另外的变更和修改。所以, 所附权利要求意欲解释为包括优选实施例以及落入本发明范围的所有变更和修改。

[0090] 显然, 本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样, 倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内, 则本发明也意图包含这些改动和变型在内。

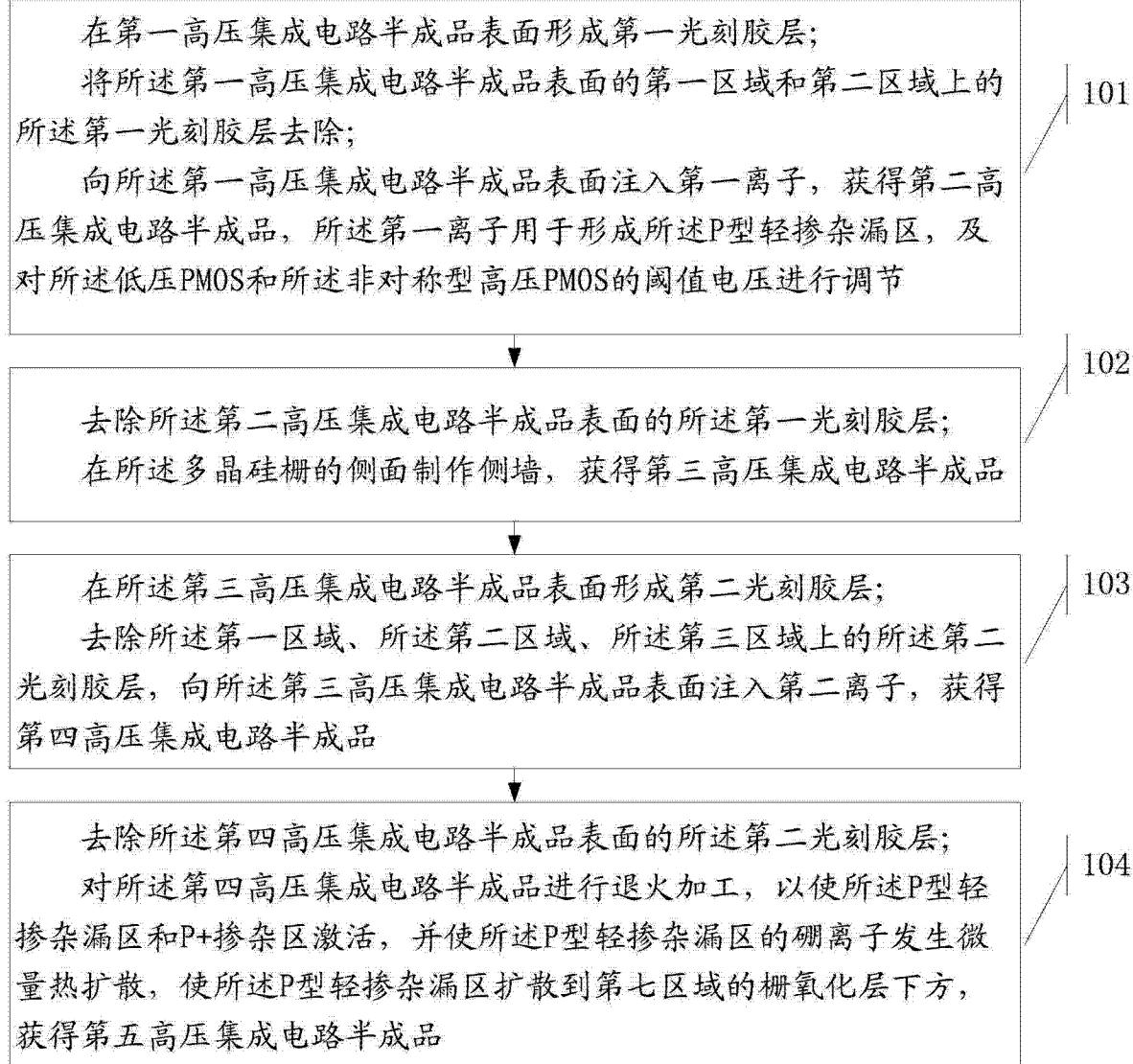


图 1

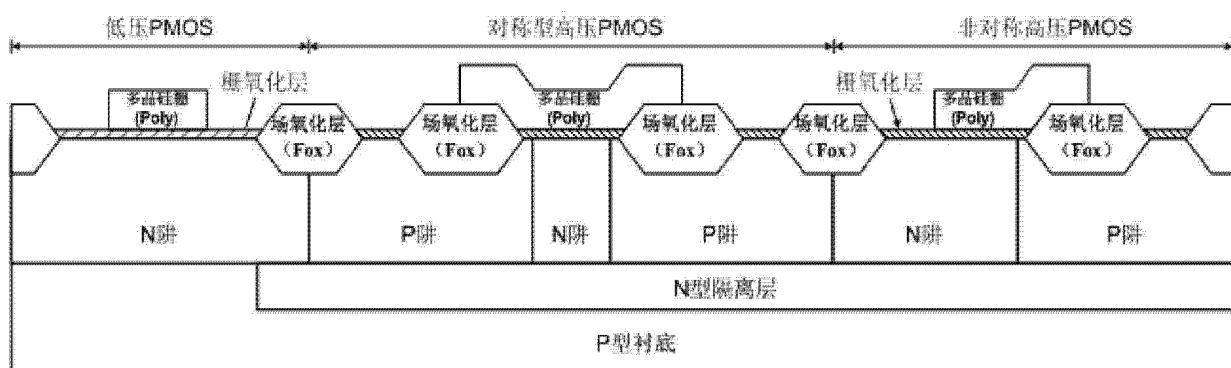


图 2

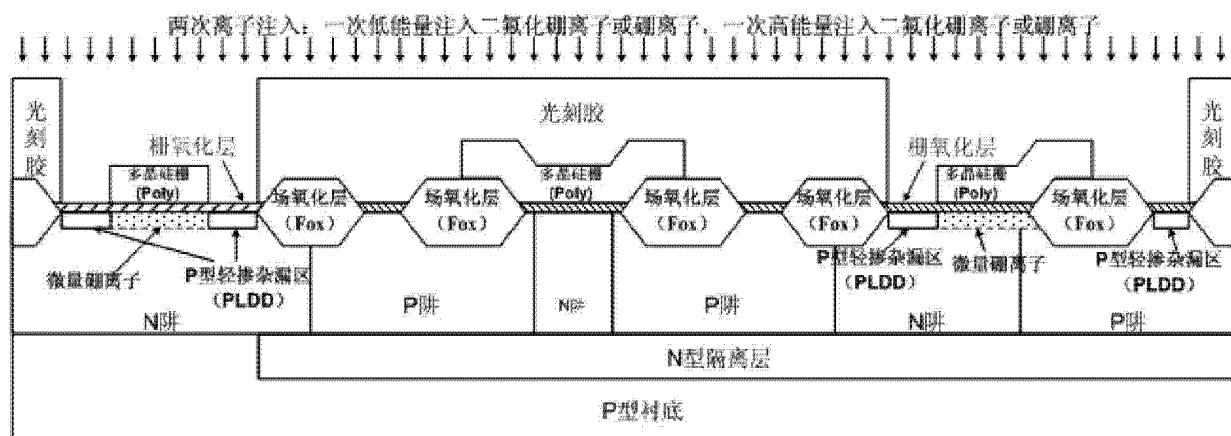


图 3

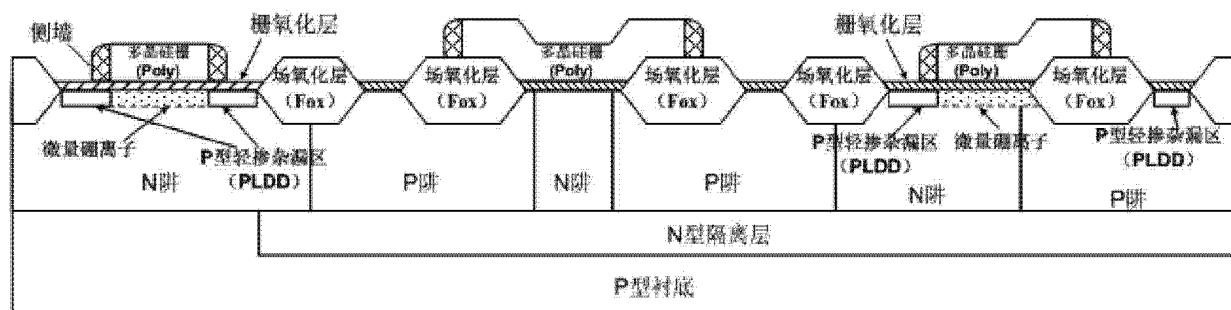


图 4

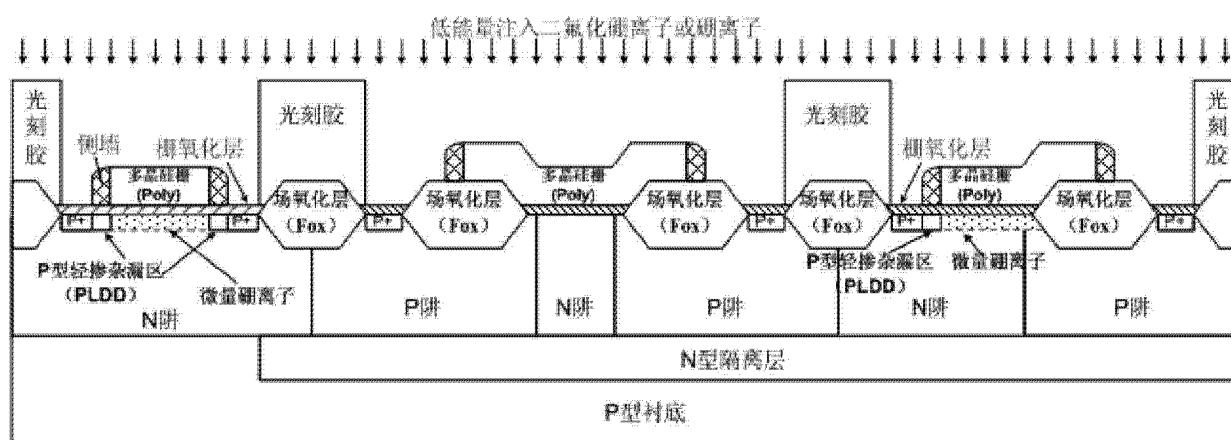


图 5

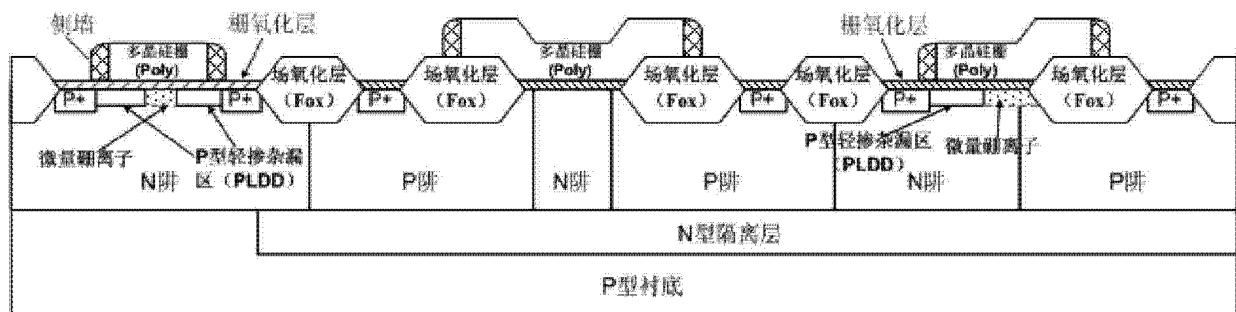


图 6