

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-4924

(P2007-4924A)

(43) 公開日 平成19年1月11日(2007.1.11)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 11/22 (2006.01)	G 1 1 C 11/22 5 O 1 Q	5 F 0 8 3
H O 1 L 21/8246 (2006.01)	H O 1 L 27/10 4 4 4 Z	
H O 1 L 27/105 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 25 頁)

(21) 出願番号	特願2005-186161 (P2005-186161)	(71) 出願人	000002369
(22) 出願日	平成17年6月27日 (2005.6.27)		セイコーエプソン株式会社
			東京都新宿区西新宿2丁目4番1号
		(74) 代理人	100095728
			弁理士 上柳 雅誉
		(74) 代理人	100107076
			弁理士 藤綱 英吉
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	橋本 正美
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		F ターム (参考)	5F083 FR01 GA01 GA05 JA15 JA17 LA04 LA05 LA07 LA10

(54) 【発明の名称】 不揮発性メモリ装置、そのデータ書き込み方法

(57) 【要約】

【課題】

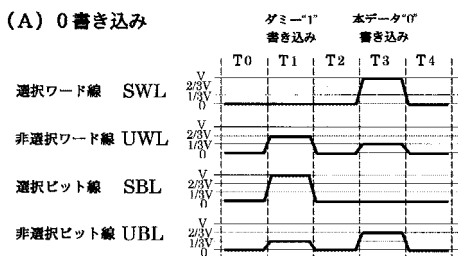
従来のクロスポイント型の強誘電体メモリは選択アドレスのメモリセルに書き込み動作を行うときに、非選択アドレスのメモリセルはディスタープの影響を受けた。もしくはその影響を除去する為に複雑で長い補正パルスが必要とし、信頼性やアクセスタイムに影響があった。

【解決手段】

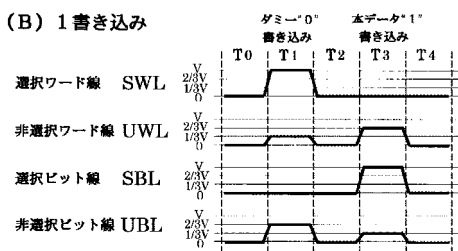
選択アドレスのメモリセルにデータ書き込む際に、まず反転データを書き込み、その後、本来の正転データを書き込む方式とする。このとき非選択アドレスのメモリセルはディスタープの影響が相殺され、選択アドレスのメモリセルには本来のデータが残る。

【選択図】 図 1

(A) 0 書き込み



(B) 1 書き込み



【特許請求の範囲】

【請求項 1】

複数のワード線および複数のビット線の各交点に形成される複数の不揮発性メモリセルに対して、選択したメモリセルにデータの書き込みを実施する動作工程と、

前記動作工程に先立って前記データの反転データを書き込むディスタープ防止工程と、を有することを特徴とする不揮発性メモリ装置のデータ書き込み方法。

【請求項 2】

請求項 1 記載の不揮発性メモリセルが強誘電体メモリセルで構成されていることを特徴とする不揮発性メモリ装置のデータ書き込み方法。

【請求項 3】

互いに平行に配置された複数のワード線と、

前記複数のワード線と交差した、互いに平行に配置された複数のビット線と、

前記複数のワード線および前記複数のビット線との各交点に形成された複数の不揮発性メモリセルと、

前記複数のワード線を制御駆動するワード線選択制御回路と、

前記複数のビット線を制御駆動するビット線選択制御回路と、

前記ワード線選択制御回路と前記ビット線選択制御回路に複数のレベルの電位を供給する電源回路と、を有し、

前記ワード線選択制御回路と前記ビット線選択制御回路は前記複数の不揮発性メモリセルの少なくとも一つの選択セルに対してデータを書き込む際に、まず反転データを書き込むディスタープ防止工程を行い、その後、本来の正転データを書き込む動作工程を実施することを特徴とする不揮発性メモリ装置。

【請求項 4】

請求項 3 記載の不揮発性メモリセルが強誘電体メモリセルで構成されていることを特徴とする不揮発性メモリ装置。

【請求項 5】

請求項 4 記載の強誘電体メモリセルの各々が強誘電体キャパシタのみで構成されていることを特徴とする不揮発性メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はメモリセルが行列状に配置された不揮発性メモリにおいて、選択アドレスにデータを書き込む際に起こる非選択アドレスのデータへの影響、いわゆるディスタープを排除する書き込み方式と、それを用いた不揮発性メモリ装置の構成に関する。

【背景技術】

【0002】

近年、メモリ分野のなかで電氣的に書き込み、消去可能な不揮発性メモリの重要性が増している。不揮発性メモリも様々にあるが、高速性、低電圧特性、低消費電力の観点から強誘電体メモリが注目され、更に高集積度の観点からワード線とビット線の交点に各々メモリセルを設けるクロスポイント方式が注目されている。クロスポイント型の強誘電体メモリでは強誘電体薄膜を電極で挟んだ強誘電体コンデンサをメモリ素子として用いたものが知られている。

【0003】

図 19 は強誘電体コンデンサの構造を示す断面図であり、強誘電体薄膜 1940 を電極 1941 と 1942 で挟んでいる。

【0004】

図 21 は強誘電体薄膜 1940、もしくは図 19 の強誘電体コンデンサの印加電圧と内部分極電荷の代表的な特性例を示すものである。

【0005】

図 21 に示した分極電荷 - 印加電圧特性から解るように強誘電体コンデンサは印加電圧

10

20

30

40

50

のかけた方向により、ヒステリシス特性を一般的には持っている。つまり印加電圧 V をかけて特性点 2 1 0 4 とした後、端子 1 9 4 1、1 9 4 2 を開放して電位差を 0 とすると特性点 2 1 0 5 に遷移する。また、印加電圧 $-V$ をかけて特性点 2 1 0 1 とした後、端子 1 9 4 1、1 9 4 2 を開放して電位差を 0 とすると特性点 2 1 0 2 に遷移する。つまり印加電圧の加え方により、残留分極電荷の互いに異なる 2 つの内部状態を持たせることができる。

【0006】

また、強誘電体コンデンサの両端の端子が開放された状態から端子間に電圧 V (V_B) をかけると、特性点 2 1 0 4 に移動する。このとき、前の状態が特性点 2 1 0 2 であれば図 2 1 に示す Q_1 の電荷が取り出され、特性点 2 1 0 5 の状態であれば Q_0 の電荷が取り出される。図 2 1 から明らかに Q_1 Q_0 であるので、残留分極として記憶されていた前の状態を 1 または 0 として判別できる。

10

【0007】

したがって、強誘電体コンデンサに、強誘電体薄膜の抗電界以上の電圧を極性の異なる 2 種のかけ方で 1 か 0 かの内部分極状態を作り出し、残留分極による保存状態を経て、データの読み出しの際には、強誘電体薄膜に抗電界以上の電圧をかけて電荷を取り出し、1 か 0 かの内部の記憶状態を検知するようになっている。

【0008】

さて、図 2 2 は図 2 1 と同じ特性を持つ強誘電体コンデンサの特性を再記したものであるが、図 2 2 において強誘電体コンデンサに $(1/3)V$ の電圧を印加した場合は特性点が遷移するものの抗電圧以下であるので、残留分極の正負は変わらず、再び印加電圧を 0 にすれば残留分極電荷の増減はあるもののデータとしては同じ極性のデータを保存している。また、 $-(1/3)V$ をかけて再び印加電圧を 0 にした場合も同じ極性のデータを保存している。

20

【0009】

以上の特性を利用して、メモリ装置のワード線群とビット線群の各々の交点に強誘電体コンデンサを行列状に配置した、いわゆるクロスポイント型強誘電体メモリ (クロスポイント F e R A M) がある。

【0010】

これは前述したように、図 2 に示す如く電源電圧 V を 3 分割して、0、 $(1/3)V$ 、 $(2/3)V$ 、 V の各電位を作り出し、ワード線とビット線に適切に加え制御する。

30

【0011】

このとき 0 データを選択アドレスに書き込む場合は、図 3 に示すように選択アドレスの選択ワード線 SWL には V 電位を、選択ビット線 SBL には 0 電位を、また、非選択アドレスのワード線 UWL には $(1/3)V$ 電位を、また、非選択アドレスのビット線 UBL には $(2/3)V$ 電位をそれぞれ印加する方式である。このとき、選択アドレスのメモリセルの強誘電体コンデンサには V の電圧が加わり、非選択アドレスのメモリセルの強誘電体コンデンサには $(1/3)V$ もしくは $-(1/3)V$ の電圧が印加されるので、選択アドレスのみ 0 データとなり、非選択アドレスのメモリセルは前のデータを保持する。したがって、非選択アドレスのメモリセルの状態は保持したまま、選択アドレスのみデータを

40

【0012】

しかしながら、非選択アドレスのメモリセルの強誘電体コンデンサには $(1/3)V$ もしくは $-(1/3)V$ の電圧が印加されるので保持データの極性によってはデータの保持に悪影響がでることがある。その例を次に説明する。

【0013】

図 2 5 は 0 データを連続して書き込んだ場合の選択アドレスと非選択アドレスの各メモリセルの遷移状態を示したものである。

【0014】

図 2 5 に示すように選択アドレスに 0 データを連続して書き込むように選択ワード線 S

50

WL、非選択ワードUWL、選択ビット線SBL、非選択ビット線UBLに図25に示す各電位を印加すると選択アドレスのメモリセルSCSと、非選択のメモリセルUCW、UCB、UCNは(0)、(1)の記憶データによって、それぞれ図24のメモリセルのヒステリシス特性図上を遷移する。なお、非選択のメモリセルUCW、UCB、UCNの相違は図7を用いて後述する。

【0015】

このとき、非選択アドレスのメモリセルの強誘電体コンデンサにも $(1/3)V$ もしくは $-(1/3)V$ の電圧が印加されているので、データが反転することはないとも、記憶データに相当する残留分極に影響が与えることがある。図25において、非選択アドレスのメモリセルであるUCW(1)、UCB(1)、UCN(0)には記憶データとなる残留分極が減少する方向に強誘電体コンデンサに電圧が繰り返し加わることになる。この様子を図25では該当個所を残留分極が黒丸から白丸、そして白抜きの四角、白抜きの三角で表現している。また、このようすを図24にも示す。図24において、特性点2105に $-(1/3)V$ の電位が繰り返し加わった場合に0データに相当する残留分極が減少する様子と、特性点2102に $(1/3)V$ の電位が繰り返し加わった場合に1データに相当する残留分極が減少する様子を示している。

10

【0016】

以上、本来は不要な電圧が加わることにより、残留分極のデータが悪影響を受けることをディスターブと一般的に呼ばれ、認識されていて対策が行われている場合がある。

【0017】

そのディスターブ対策の例としては選択アドレスにデータを書き込むように各選択ワード線と非選択ワード、そして選択ビット線と非選択ビット線に電圧を印加した後、非選択アドレスにディスターブ現象で与えた影響を相殺する補正パルスを加える方式が知られている。概念的には図27に示すように、まず書き込みパルス2701を加え、その後、補正パルス2702を供給して悪影響を相殺する方式である。具体例として、図28がある。図28において、0の書き込みパルス2801を加えた後に、補正パルス2802を複数個加えて補正している。なお、図28に示すものは特許文献1である。

20

【0018】

また、具体的なパルス波形は異なるが、書き込み後、補正パルスを加える同様な方式として、特許文献2および特許文献3がある。

30

【0019】

【特許文献1】特開2003-288784号公報

【特許文献2】特開2004-227686号公報

【特許文献3】特開2005-85332号公報

【発明の開示】

【発明が解決しようとする課題】

【0020】

しかしながら、上記に示した特許文献1、2、3の従来のデータ書き込み方式では、選択ビットに書き込む際の制御電圧を組み合わせによって非選択ビットに与える影響、つまりディスターブ現象を補償するために2発以上の複雑な補正パルスを必要としていた。つまり、単純に補正に必要な条件を考慮して、補正パルスを1発で構成すると抗電圧を越える電圧条件が必要となり、この条件を満たした1発の補正パルスで補償を行えば、せっかく書き込んだデータが元に戻ってしまう。したがって、抗電圧以下の電圧で、選択アドレスの書き込みデータをそのままに保ちながら、書き込みの際の非選択アドレスが受けた影響を相殺するには、抗電圧以下のパルスを数回に分けて組み合わせ、合成した補正パルスとして印加する必要がある。したがって、それに要するタイミングとシーケンスのためにアクセスタイムが長くなり、かつ消費電力も増加するという課題があった。

40

【0021】

また、複雑な補正パルスとシーケンスを構成する為に制御回路が増加し、チップ面積の増加や、レイアウト上の困難さをもたらすという課題があった。

50

【 0 0 2 2 】

そこで本発明はこのような問題点を解決するもので、その目的とするところは、短時間かつ簡単な方法でディスタープ現象を補償することにより、アクセスタイムが速く、かつ消費電力も少なく、かつ回路構成も適正な規模の書き込み方式と、不揮発性メモリを提供することを目的とする。

【課題を解決するための手段】

【 0 0 2 3 】

上記の課題を解決し本発明の目的を達成するために、各発明は、以下のような構成からなる。

【 0 0 2 4 】

すなわち、第1の発明は、複数のワード線および複数のビット線の各交点に形成される複数の不揮発性メモリセルに対して、選択したメモリセルにデータの書き込みを実施する動作工程と、前記動作工程に先立って前記データの反転データを書き込むディスタープ防止工程と、を備えている。

【 0 0 2 5 】

第2の発明は、第1の発明において、前記不揮発性メモリセルは強誘電体メモリセルを用いたものである。

【 0 0 2 6 】

第3の発明は、互いに平行に配置された複数のワード線と、前記複数のワード線と交差した、互いに平行に配置された複数のビット線と、前記複数のワード線および前記複数のビット線との各交差点に形成された複数の不揮発性メモリセルと、前記複数のワード線を制御駆動するワード線選択制御回路と、前記複数のビット線を制御駆動するビット線選択制御回路と、を備え、前記ワード線選択制御回路と前記ビット線選択制御回路は前記複数の不揮発性メモリセルの少なくとも一つの選択セルに対して、データを書き込む際にまず反転データを書き込み、その後本来の正転データを書き込む電圧を印加するように構成した。

【 0 0 2 7 】

第4の発明は第3の発明において、前記不揮発性メモリセルは強誘電体メモリセルを用いたものである。

【 0 0 2 8 】

第5の発明は第4の発明において、前記強誘電体メモリセルは強誘電体キャパシタのみを用いたものである。

【 0 0 2 9 】

このような構成からなる本発明によれば、反転データを書き込んでから本来の正転データを書き込む方法をとるので、非選択アドレスは反転と正転の互いに逆のディスタープの影響をともに受けることとなり、確実に相殺できるという効果がある。

【 0 0 3 0 】

また、本発明では反転データと本来の正転データの書き込みという2発の単純パルスのみで書き込み動作となるので、短時間で行うことができ、アクセスタイムや消費電力への影響が少なく、高速動作や低消費電力性を保つことができるという効果がある。

【 0 0 3 1 】

また、本発明では反転データと正転データの書き込みであるので、複雑な回路を構成する必要もなく、回路構成に要する素子数と、チップ占有面積が少なく、レイアウトが容易であるという効果がある。

【 0 0 3 2 】

また、反転データと正転データを対で書き込む単純な方式であるので普遍性が高く、強誘電体メモリのみならず、クロスポイント構成を用いる不揮発性メモリや一般のメモリに広く応用できるという効果がある。

【発明を実施するための最良の形態】

【 0 0 3 3 】

以下、本発明の実施形態について、図面を参照して説明する。

〔本発明の不揮発性メモリ装置におけるデータ書き込み方法の第1実施形態〕

本発明の不揮発性メモリ装置におけるデータ書き込み方法の第1実施形態について述べる。なお、不揮発性メモリとして強誘電体メモリを用いた例で説明する。

(第1実施形態の電圧印加波形の概要)

図1(A)、(B)は、クロスポイント型構成の強誘電体メモリ装置において、図2に示した制御電圧を3分割4電位の方式でワード線とビット線を経由してデータ書き込み方法の第1実施形態を示す電圧印加波形図である。図1(A)は0データを書き込む際の電圧印加波形図であり、図1(B)は1データを書き込む際の電圧印加波形図である。

【0034】

さて、図1(A)のT1の区間において、選択アドレスにディスターブ防止の為のダミー工程として1データを書き込むことに相当する各印加電圧波形を選択ワード線(SWL)、非選択ワード線(UWL)、選択ビット線(SBL)、非選択ビット線(UBL)にそれぞれ加えている。つまり、SWLには0電位、UWLには(2/3)V電位、SBLにはV電位、UBLには(1/3)V電位を加えている。

【0035】

そして、T3の区間において、選択アドレスに本来のデータである0データを書き込む各印加電圧波形を選択ワード線(SWL)、非選択ワード線(UWL)、選択ビット線(SBL)、非選択ビット線(UBL)にそれぞれ加えている。つまり、SWLにはV電位、UWLには(1/3)V電位、SBLには0電位、UBLには(2/3)V電位を加えている。

【0036】

なお、T0、T2、T4区間においてはすべてのビット線とワード線つまりSWL、UWL、SBL、UBLは0電位である。

【0037】

以上の動作においてはT1とT3の区間では非選択アドレスのメモリセルからみれば抗電圧以下の電圧(-(1/3)V、もしくは(1/3)V)を受けながら、それぞれ互いに逆の関係の電位であるので、残留分極によるデータを保存しながら、ディスターブによる影響は相殺されている。また、選択されたアドレスのメモリセルはT3区間で本来の0データを書き込まれており、T4区間の待機状態においては残留分極として0データが保持されている。したがって、非選択アドレスへの影響がなく、かつ選択アドレスのメモリセルには所望のデータを書き込むという本来の目的が達成されている。

【0038】

また、図1(B)は前述したように、1データを書き込む際の電圧印加波形図であるが、図1(B)のT1の区間において、選択アドレスに0データを書き込む各印加電圧波形を選択ワード線(SWL)、非選択ワード線(UWL)、選択ビット線(SBL)、非選択ビット線(UBL)にそれぞれ加えている。そして、T3の区間において、選択アドレスに1データを書き込む各印加電圧波形を選択ワード線(SWL)、非選択ワード線(UWL)、選択ビット線(SBL)、非選択ビット線(UBL)にそれぞれ加えている。この場合も図1で前述した理由と同様の理由により、非選択アドレスへの影響がなく、かつ選択アドレスのメモリセルには所望のデータ1を書き込むという本来の目的が達成されている。

【0039】

この電圧印加波形の動作と効果を詳細に説明する前に、従来例で簡単に説明した強誘電体メモリ装置の構成から再度、より詳しく説明する。

(強誘電体メモリ装置の概要)

強誘電体メモリ装置の多くは強誘電体コンデンサをメモリ素子として用いている。ここでは強誘電体メモリ装置の構成要素である強誘電体コンデンサについて、まず説明する。前述したことと重複することもあるが、本発明では重要な実施例であるので、より詳しく述べる。

10

20

30

40

50

強誘電体コンデンサについて

図 19 は、強誘電体メモリセルのひとつである強誘電体コンデンサの構造を示す断面図である。この強誘電体コンデンサは、PZT や PZTN や SBT 等の無機の強誘電体からなる強誘電体薄膜 1940 を、金属電極からなる第 1 端子 1941 と第 2 端子 1942 によって挟む構造になっている。なお、PZT とは $Pb(Zr, Ti)O_3$ の総称であり、PZTN とは PZT の Ti の一部を Nb で置き換えたものの総称であり、SBT とは $SrBi_2Ta_2O_9$ もしくはそれに近い組成の総称である。

【0040】

なお、図 19 の構造を持つ強誘電体コンデンサは後述するように印加電圧 V と内部分極電荷 Q の間でヒステリシス特性を持つので、ヒステリシス特性を有することを強調して、
10 強誘電体コンデンサを図 20 の記号で表現する。図 20 の記号で表され、図 6 のメモリセル群 620 や図 18 のメモリセル 1820 で使用されている箇所は強誘電体コンデンサを示している。

【0041】

図 21 は、図 19 に示す強誘電体コンデンサの分極電荷 - 印加電圧特性を示すものである。図 21 において、2101、2102、2103、2104、2105、2106 の各点の特性点を通る曲線が、図 19 の強誘電体コンデンサの第 1 端子 1941 と第 2 端子 1942 の間に加えた電圧 V と分極電荷 Q の特性を表している。

【0042】

特性点 2101 は第 2 端子 1942 に第 1 端子 1941 より正の高い電圧 V を加えた状態を示し、特性点 2104 は第 1 端子 1941 に第 2 端子 1942 より正の高い電圧 V を加えた状態を示している。特性点 2101 と特性点 2104 においては、内部の分極は正負、逆の分極をしている。
20

【0043】

さて、特性点 2101 の状態にあった強誘電体コンデンサの第 1 端子 1941 と第 2 端子 1942 の電位差を 0 として開放すると、内部の分極は残留分極として保存され、特性点 2102 に示す状態となる。また、特性点 2104 の状態にあった強誘電体コンデンサの第 1 端子 1941 と第 2 端子 1942 の電位差を 0 として開放すると、内部の分極は残留分極として保存されて、特性点 2105 に示す状態となる。

【0044】

したがって、強誘電体コンデンサの内部分極電荷と印加電圧はヒステリシス特性を持っていると同時に、強誘電体コンデンサの両端の端子を開放し、電圧を 0 としても前の状態によって、異なった残留分極を有している。この状態が特性点 2102 と特性点 2105 に相当して、不揮発性のデータを記憶できることを示している。なお、強誘電体コンデンサの両端の電極に電圧が加わっているときの内部分極電荷を Q という記号で表現するのに
30 対し、電位差 0 の場合の残留分極を P_r という記号で必要に応じて表現する。

【0045】

ここで、図 21 の特性点 2101 ~ 2106 に対応する強誘電体コンデンサの内部分極の各状態を模式的に示すと、それぞれ図 23 の (A) ~ (F) に示すようになる。ただし、図 21 における印加電圧 V は、図 23 において上部のコンデンサの電極を基準として正負を定めている。
40

【0046】

さて、強誘電体コンデンサの両端の端子が開放された状態から第 2 端子 1942 を基準として第 1 端子 1941 に電圧 V (V_B) をかけると、特性点 2104 に移動する。このとき、前の状態が特性点 2102 であれば図 21 に示す Q_1 の電荷が強誘電体コンデンサの電極を通して取り出すことができ、また特性点 2105 の状態であれば Q_0 の電荷が取り出せる。図 21 から明らかに Q_1 Q_0 であるので、残留分極として記憶されていた前の状態を 1 または 0 として判別し、読み出すことが可能であり、メモリ素子として用いることができる。

【0047】

10

20

30

40

50

なお、図 2 1 における特性点 2 1 0 2 と特性点 2 1 0 5 のどちらがデータとして 1 か 0 に相当するのかは定義の問題であって、絶対的な意味はないが、ここでは電圧 V をかけたときに多くの電荷を取り出せる特性点 2 1 0 2 をデータ 1 と定義し、相対的に取り出せる電荷の少ない特性点 2 1 0 5 をデータ 0 と定義して以降、説明する。

【 0 0 4 8 】

さて、図 2 1 と同じ特性を持つ強誘電体コンデンサの特性を図 2 2 に再記し、強誘電体メモリへの適用方法について述べる。

【 0 0 4 9 】

図 2 2 において強誘電体コンデンサに $(1/3)V$ の電圧を印加した場合に、データ 1 である特性点 2 1 0 2 は特性点 2 1 1 2 に移動する。しかしながら、残留分極は特性点 2 1 0 2 と同じ極性であり、反転していないので印加電圧を 0 に戻せばデータ 1 の特性点 2 1 0 2 付近に戻り、1 データは保持されている。また、強誘電体コンデンサに $-(1/3)V$ の電圧を印加した場合に、データ 0 である特性点 2 1 0 5 は特性点 2 1 1 5 に移動する。しかしながら、残留分極は特性点 2 1 0 5 と同じ極性であり、反転していないので印加電圧を 0 に戻せばデータ 0 の特性点 2 1 0 5 付近に戻り、0 データは保持されている。なお、強誘電体コンデンサに $(1/3)V$ の電圧を印加した場合において、データ 0 である特性点 2 1 0 5 は特性点 2 1 1 4 に遷移する。そして再び印加電圧を 0 にすると特性点 2 1 0 5 付近に復帰する。また、強誘電体コンデンサに $-(1/3)V$ の電圧を印加した場合において、データ 1 である特性点 2 1 0 2 は特性点 2 1 1 1 に遷移する。そして再び印加電圧を 0 にすると特性点 2 1 0 2 付近に復帰する。

【 0 0 5 0 】

以上に述べた $(1/3)V$ を加えても残留分極によるデータの保存が可能であることを利用して次ぎに述べるクロスポイント型強誘電体メモリの構成が可能となる。

クロスポイント型 F e R A M のワード線とビットの基本制御方式

図 3、4 は強誘電体メモリセルを行列状に配置し、ワード線とビット線の交点に配置して、ワード線とビット線で制御する方式、いわゆるクロスポイントの構成をとる際の基本的な各制御電圧の関係を示している。

【 0 0 5 1 】

図 3 については従来例で簡単に説明したが、本発明に用いるので再度、図 4 とともに以下に詳細に説明する。

【 0 0 5 2 】

図 3 は 0 データを選択アドレスに書き込む場合の各ワード線と各ビット線の印加電圧を表している。つまり、選択ワード線 SWL には V 電位を、非選択ワード線 UWL には $(1/3)V$ 電位を、選択ビット線 SBL には 0 電位を、非選択ビット線 UBL には $(2/3)V$ の電位を加えている。このとき、選択ワード線 SWL と選択ビット線 SBL の交点に位置する選択アドレスの強誘電体コンデンサには V の電圧が加わり、他の非選択アドレスの強誘電体コンデンサには $(1/3)V$ もしくは $-(1/3)V$ の電圧が加わる。したがって、選択アドレスの強誘電体コンデンサには 0 データの書き込みが行われ、他の非選択アドレスの強誘電体コンデンサには抗電圧以下の電圧しか加わらないので前の状態が保たれる。したがって、非選択アドレスのメモリセルの状態は保持したまま、選択アドレスのみ 0 データを書き込むことができる方法である。

【 0 0 5 3 】

図 5 は前述した図 3 の状態である 0 データの書き込みの際に各ワード線と各ビット線に印加する各電位と、それによって各メモリセルに加わる各電圧を表したものである。

【 0 0 5 4 】

つまり、選択ワード線 SWL には V 電位、非選択ワード線 UWL には $(1/3)V$ 電位、選択ビット線 SBL には 0 電位、非選択ビット線 UBL には $(2/3)V$ 電位をかけている。その結果、選択アドレスの強誘電体キャパシタには V の電圧が加わり、選択ワード線上の非選択メモリセルの強誘電体キャパシタには $(1/3)V$ の電圧が加わり、選択ビット線上の非選択メモリセルの強誘電体キャパシタには $(1/3)V$ の電圧が加わり、非

選択ワード線上、かつ非選択ビット線上の非選択メモリセルの強誘電体キャパシタには - $(1/3)V$ の電圧が加わる状態の電圧関係図を鳥瞰図として示している。なお、図 5 ではビット線側を基準として各コンデンサに加わる電圧を表記している。したがって、前述した図 2 3 との関連では図 2 3 におけるコンデンサの上部電極が図 5 のビット線側と対応している。

【0055】

また、図 4 は 1 データを選択アドレスに書き込む場合の各ワード線と各ビット線の印加電圧を表している。つまり、選択ワード線 SWL には 0 電位を、非選択ワード線 UWL には $(2/3)V$ 電位を、選択ビット線 SBL には V 電位を、非選択ビット線 UBL には $(1/3)V$ の電位を加えている。このとき、選択ワード線 SWL と選択ビット線 SBL の交点に位置する選択アドレスの強誘電体コンデンサには $-V$ の電圧が加わり、他の非選択アドレスの強誘電体コンデンサには $(1/3)V$ もしくは $-(1/3)V$ の電圧が加わる。したがって、選択アドレスの強誘電体コンデンサには 1 データの書き込みが行われ、他の非選択アドレスの強誘電体コンデンサには抗電圧以下の電圧しか加わらないので前の状態が保たれる。したがって、非選択アドレスのメモリセルの状態は保持したまま、選択アドレスのみ 1 データを書き込むことができる。

メモリ周辺回路

図 6 は前述の制御を行う為のメモリ周辺の基本的な回路の構成を示している。図 6 において、破線 6 2 0 で示した領域はメモリセルアレイであり、メモリセル群となっている。また、6 5 3 はワード線選択制御回路であり、6 5 1 はビット線選択制御回路である。6 5 8 は電源回路である。選択アドレスのメモリセルにデータを書き込む際には 0 データ、もしくは 1 データによって、前述した図 3 または図 4 に示す選択ワード線、非選択ワード線、選択ビット線、非選択ビット線の各電位を前記ワード線選択制御回路 6 5 3、ビット線選択制御回路 6 5 1 により選択して、各ワード線、各ビット線に電位を供給する。また、電源回路 6 5 8 によって、発生した 0、 $(1/3)V$ 、 $(2/3)V$ 、 V をワード線選択制御回路 6 5 3、ビット線選択制御回路 6 5 1 に供給する。以上の構成により、各ワード線、各ビット線を駆動し、メモリセル群を制御する。

【0056】

さて、以上がクロスポイント型強誘電体メモリの基本的な回路構成であり、基本的な制御方式であるが、このままでは、図 2 4、図 2 5 を用いて前述したように、非選択アドレスの箇所とデータによっては他のメモリセルが選択されて書き込まれた際に、そのときのワード線とビット線の電位によって、非選択アドレスのメモリセルであっても、抗電圧以下の電圧が加わり、その影響を受けることがある。つまり、いわゆるディスターブが繰り返されることになると、次第に残留分極が減少してしまうことがある。これは図 2 4 に示すように残留分極が減少する電圧が繰り返しかかることが起きるような方式となっている為である。つまり、図 2 4 において、特性点 2 1 0 2 において $(1/3)V$ の電圧が強誘電体コンデンサからなるメモリセルに加わると特性点 2 1 1 2 に移る。そこで、印加電圧を 0 にするとヒステリシス特性の為に元の特性点 2 1 0 2 に戻らず、少し残留分極が減少した特性点 2 1 1 3 になる。この後、さらに $(1/3)V$ の電圧が強誘電体コンデンサからなるメモリセルに加わると特性点 2 1 1 2 のやや上部の特性点に移り、そこで印加電圧を 0 とすると特性点 2 1 1 3 より更に上部の特性点に移行する。これを繰り返すと特性点 2 1 0 2 に当初あった残留分極は次第に減少していく。

【0057】

また、特性点 2 1 0 5 では $-(1/3)V$ の印加を繰り返すとほぼ同様の残留分極の減少を引き起こす。つまり特性点 2 1 0 5 に $-(1/3)V$ の電圧が印加されると特性点 2 1 1 5 に移り、その後、印加電圧を 0 にすると元の特性点 2 1 0 5 ではなく、特性点 2 1 1 6 に移行する。このとき残留分極は元の特性点 2 1 0 5 より減少している。この減少分を補償せずに、同様のことを繰り返せば特性点 2 1 0 5 に当初あった残留分極は次第に減少していく。

【0058】

10

20

30

40

50

以上の残留分極の減少を防ぐための手法を次ぎに説明する。

(印加電圧波形とディスターブの相殺方法)

図26はメモリセルに用いる強誘電体キャパシタの残留分極 - 印加電圧特性であり、この図を用いてディスターブ相殺の基本的な考え方を説明する。

【0059】

図24を例にして前述したことと同様の理由により、図26において、データ0に相当する特性点2605において、 $-(1/3)V$ の電圧が加わると、特性点2615に移動し、かつ、その後、印加電圧が解除されて強誘電体キャパシタの両端の電位が0になった場合に元の特性点2605ではなく、若干、残留分極の少ない特性点2616に遷移する。このとき、特性点2605と2616では残留分極に P_r の差異が生ずる。これが繰り返されると図24で前述したように残留分極は減少しつづけてしまうので、次のような対策をとる。それは特性点2616に遷移するようなディスターブの影響を受ける場合には $(1/3)V$ の逆の電位をかけ、特性点2614あるいはその近傍に遷移させる方法であり、それにより、残留分極の影響 P_r を相殺させる方法である。

10

【0060】

また、データ1に相当する特性点2602において、 $(1/3)V$ の電圧が加わると、同様のことが起こりうるので、そのようなディスターブの影響を受ける場合には $-(1/3)V$ の逆の電位をかけ、特性点2611あるいはその近傍に遷移させることにより、残留分極の影響 P_r を相殺させる方法が有効である。

【0061】

20

つまり、 $\pm V$ のディスターブにより、 $\pm P_r$ の影響を受ける場合には、逆の電圧を加えることにより、残留分極の影響を相殺する。つまり、ディスターブとして加わる電圧を総合的に積算するようにして、

$$V = 0$$

とすることにより、残留分極の変化を積算すれば、

$$P_r = 0$$

を達成するようにする。なお、 $V = 0$ において、印加電圧の順番には拘らない。つまり、書き込みシーケンス(手順)のなかで前述の条件式が満たされていれば、過渡的に残留分極が減少したとしても、回復、補償する工程が前後どこかに入れば、繰り返し悪化していくことは避けられる。以上の考え方を反映した手法を後述する。

30

【0062】

さて、ディスターブを防ぐ方式の詳細を説明する前に、各制御線と各メモリセルを表現するために次ぎの定義をしておく。

(選択及び非選択ワード線・ビット線・メモリセルの各記号の定義)

図7は複数の平行したワード線と、複数のビット線を交差させ、その交点にメモリセルを行列状に配置したメモリセルアレイであって、選択したワード線 SWL 、非選択ワード線 UWL 、選択ビット線 SBL 、非選択ビット線 UBL と、その結果生じる、選択アドレスのメモリセル SCS 、選択ワード線上の非選択アドレスのメモリセル UCW 、選択ビット線上の非選択アドレスのメモリセル UCB 、非選択ワード線上かつ非選択ビット線上の非選択アドレスのメモリセル UCN 、等の位置関係と記号を定義したものである。

40

(反・正データの二度書き込みによるディスターブの相殺手法)

本発明では本来のデータを書き込んだ後に補正パルスによるディスターブの補償を行う従来方法ではなく、先にディスターブ補償の機能を持つ、本来のデータの反転データの書き込みを行い、その後、本来のデータを書き込む手法をとる。

【0063】

この反転データと正転データを二度書き込むことにより、ディスターブを相殺する方法について、次に詳しく述べる。

0 データを書き込む場合の印加波形と分極の遷移

図8は図1(A)で示した本発明の手法を用いて0データを書き込む場合の動作をより詳しく示すものである。図8において、 T_0 は初期状態を示す区間、 T_1 は0データの反

50

転データである 1 データの書き込み動作をする区間、T 2 は待機状態に戻す区間であり、T 3 が本データである 0 データを書き込む区間であり、T 4 が再び待機区間である。

【0064】

つまり、T 1 区間では選択ワード線 SWL には 0 電位、非選択ワード線 UWL には $(2/3)$ V 電位、選択ビット線 SBL には V 電位、非選択ビット線 UBL には $(1/3)$ V 電位が、それぞれ加えられている。

また、T 3 区間では選択ワード線 SWL には V 電位、非選択ワード線 UWL には $(1/3)$ V 電位、選択ビット線 SBL には 0 電位、非選択ビット線 UBL には $(2/3)$ V 電位を、それぞれ加えている。

【0065】

なお、T 0、T 2、T 4 区間においてはすべてのビット線とワード線つまり SWL、UWL、SBL、UBL は 0 電位である。

【0066】

また、選択アドレスのメモリセル SCS と、選択ワード線上の非選択メモリセル UCW と、選択ビット線上の非選択メモリセル UCB と、非選択ワード線かつ非選択ビット線上の非選択メモリセル UCN の前記動作区間における特性点の遷移状態をヒステリシス特性上の黒点をはじめととする各点で表している。なお、白丸の点は残留分極が 1 段階悪化した状況を示し、黒点の外側を丸く囲んだ点は残留分極が 1 段階良い方向に補強された状況を示している。また、SCS、UCW、UCB、UCN の後に添えた (0)、(1) は初期状態において各メモリセルに保存されたデータを意味している。なお、非選択メモリセル UCW、UCB、UCN 毎に、かつ (0) データと (1) データ毎に分けて表記したのは非選択メモリセルでも場所や記憶データにより影響の受け方が異なるからである。

【0067】

さて、図 8 において、いわばダミー区間である T 1 区間で選択アドレス SCS への 1 データの書き込みが行われた結果、非選択アドレスのメモリセル UCW、UCB、UCN には抗電圧以下の電圧である $(1/3)$ V、もしくは $-(1/3)$ V の電圧が加わり、その為、各メモリセルに蓄積されていたデータ状態に応じて、図 8 に示したような特性上の遷移をする。その結果、待機状態の T 2 区間において、白い丸で示す UCW (0)、UCB (0)、UCN (1) の各メモリセルは残留分極がやや減少している。一方、黒点の外側を丸く囲んだ点で示す UCW (1)、UCB (1)、UCN (0) の各メモリセルは残留分極が補強、もしくは補償されている。なお、T 1 区間において、破線の丸でヒステリシス特性を囲んだ箇所は残留分極が補強される動作がなされているものであり、破線の四角でヒステリシス特性を囲んだ箇所は残留分極が減少する動作がなされているものである。

【0068】

次に、T 3 区間では選択アドレス SCS へ本来のデータである 0 データを書き込む電圧波形が選択ワード線 SWL、非選択ワード線 UWL、選択ビット線 SBL、非選択ビット線 UBL に加わった結果、破線の丸でヒステリシス特性を囲んだ UCW (0)、UCB (0)、UCN (1) の各メモリセルは残留分極が補償、もしくは補強されるように遷移している。その結果、T 4 区間において、白い丸で示すべき、残留分極が減少したメモリセルは無くなっている。つまり、選択アドレスのメモリセルに T 1 区間で 1 データを書き込み、かつ T 3 区間で 0 データを書き込む各電圧が各選択ワード線、非選択ワード線、選択ビット線、非選択ビット線に加わった結果、非選択アドレスのメモリはディスタープの影響が相殺されている。そして、選択アドレスは T 3 区間で 0 データの書き込みが行われ、T 4 区間の待機状態では 0 データが記憶されている。

【0069】

以上の結果は、非選択アドレスのメモリにはディスタープの影響を与えない、もしくは残さずに、かつ選択アドレスのメモリには 0 データを書き込むという所望の動作が正確に行われたことを意味している。

【0070】

なお、以上において、重要ポイントを再記すれば、選択アドレスのメモリセルに 1 デー

10

20

30

40

50

タと0データを二度に書き込む動作が行われることは非選択アドレスのメモリにとってはディスタープ電圧が相殺されることを意味している。つまり、正反が逆の為、

$$V = 0$$

の動作がおこなわれた結果、

$$Pr = 0$$

となって、残留分極へのディスタープの影響が相殺され、元データがそのまま保存されたことを意味する。

1データを書き込む場合の印加波形と分極の遷移

次に1データの場合について述べる。図9は1データを書き込む場合の波形である。

【0071】

図9において、T1区間において、1データの反転データである0データを加え、T3区間で本来のデータである1データを加えている。つまり、ダミー区間であるT1区間では選択ワード線SWLにはV電位、非選択ワード線UWLには(1/3)V電位、選択ビット線SBLには0電位、非選択ビット線UBLには(2/3)V電位を、それぞれ加えている。また、本来のデータ書き込み区間であるT3区間では選択ワード線SWLは0電位、非選択ワード線UWLには(2/3)V電位、選択ビット線SBLにはV電位、非選択ビット線UBLには(1/3)V電位を、それぞれ加えている。

【0072】

なお、T0、T2、T4区間においてはすべてのビット線とワード線つまりSWL、UWL、SBL、UBLは0電位である。

【0073】

図9では図8と同様に、選択アドレスのメモリセルSCSと、選択ワード線上の非選択メモリセルUCWと、選択ビット線上の非選択メモリセルUCBと、非選択ワード線上かつ非選択ビット線上の非選択メモリセルUCNの前記動作区間における特性点の遷移状態をヒステリシス特性上の黒点をはじめとする各点で表している。なお、白丸の点は残留分極が1段階悪化した状況を示し、黒点の外側を丸く囲んだ点は残留分極が1段階良い方向に補強された状況を示している。また、SCS、UCW、UCB、UCNの後に添えた(0)、(1)は初期状態において各メモリセルに保存されたデータを意味している。

【0074】

さて、図9において、T1区間で選択アドレスSCSへの0データの書き込みが行われた結果、非選択アドレスのメモリセルUCW、UCB、UCNは各メモリセルに蓄積されていたデータ状態に応じて、図9に示したような特性上の遷移をする。その結果、待機状態のT2区間において、白い丸で示すUCW(1)、UCB(1)、UCN(0)の各メモリセルは残留分極がやや減少している。一方、黒点の外側を丸く囲んだ点で示すUCW(0)、UCB(0)、UCN(1)の各メモリセルは残留分極が補強、もしくは補償されている。なお、T1区間において、破線の丸でヒステリシス特性を囲んだ箇所は残留分極が補強される動作がなされているものであり、破線の四角でヒステリシス特性を囲んだ箇所は残留分極が減少する動作がなされているものである。

【0075】

次に、T3区間では選択アドレスSCSへ本来のデータである0データを書き込む電圧波形が選択ワード線、非選択ワード線、選択ビット線、非選択ビット線に加わった結果、破線の丸でヒステリシス特性を囲んだUCW(1)、UCB(1)、UCN(0)の各メモリセルは残留分極が補償、もしくは補強されるように遷移している。その結果、T4区間において、白い丸で示すべき、残留分極が減少したメモリセルは無くなっている。つまり、選択アドレスのメモリセルにT1区間で1データを書き込み、かつT3区間で0データを書き込む各電圧が各選択ワード線、非選択ワード線、選択ビット線、非選択ビット線に加わった結果、非選択アドレスのメモリは影響が相殺されている。そして、選択アドレスはT3区間で0データの書き込みが行われ、T4区間の待機状態では0データが記憶されている。この結果、非選択アドレスUCW、UCB、UCNには記憶されていたデータ(0)、(1)に関わらずディスタープ電圧が相殺され、つまり、

$$V = 0$$

が保たれた結果、

$$P_r = 0$$

となって、残留分極が保存された。そして、選択アドレスには最終的に 1 データが書き込み、保存されている。以上により、所望の動作が行われたことが解る。

【0076】

なお、図、8、図9のようにはじめに目的のデータの反転データを書き込み、その後、本来のデータを書き込む本発明の方式は書き込むパルスが2回であり、前述した従来の方式に比較し、簡単かつ、期間が短いので、アクセスタイムへの影響が少なく、高速性を保てることが解る。

10

〔本発明の不揮発性メモリ装置におけるデータ書き込み方法の第2実施形態〕

以下に本発明の不揮発性メモリ装置におけるデータ書き込み方法の第2実施形態について述べる。なお、不揮発性メモリとして強誘電体メモリを用いた場合で説明する。

(第2実施形態の電圧印加波形の概要)

図14、15は本発明の強誘電体メモリ装置におけるデータ書き込み方法の第2実施形態の各ワード線と各ビット線の印加電圧波形を示す図である。

【0077】

この第2実施形態は図14、15に示すように、印加する電圧波形を0、 $(1/4)V$ 、 $(2/4)V$ 、 $(3/4)V$ 、 V の5電位を用いている。ただし、図11に示すように電源Vに対して抗電圧は $(1/4)V$ から $(3/4)V$ の間であり、 $(3/4)V$ では抗電圧を越して印加電圧によるデータが書き込まれるものとする。したがって、図10に示すように、電源電位は4分割され、5電位となったものを用いる。

20

【0078】

また、図12に示すように、0データの書き込みの際には選択ワード線SWLにはV、非選択ワード線UWLには $(2/4)V$ 、選択ビット線SBLには $(3/4)V$ 、非選択ビット線には $(1/4)V$ の各電位を印加する。

【0079】

また、図13に示すように、1データの書き込みの際には選択ワード線SWLには0、非選択ワード線UWLには $(2/4)V$ 、選択ビット線SBLには $(1/4)V$ 、非選択ビット線には $(3/4)V$ の各電位を印加する。

30

0データを書き込む場合の印加波形と分極の遷移

図14は本発明の第2実施形態の手法を用いて0データを書き込む場合の動作をより詳しく示すものである。

【0080】

図14において、T0は初期状態を示す区間、T1は0データの反転データである1データの書き込み動作をする区間、T3は待機状態に戻す区間であり、T4が本データである0データを書き込む区間である。

【0081】

したがって、T1期間ではダミーの1データの書き込みを行う為、選択ワード線SWLには0、非選択ワード線UWLには $(2/4)V$ 、選択ビット線SBLには $(1/4)V$ 、非選択ビット線には $(3/4)V$ の各電位を印加する。

40

【0082】

また、T3期間では本来のデータの書き込みを行う区間であって、選択ワード線SWLにはV、非選択ワード線UWLには $(2/4)V$ 、選択ビット線SBLには $(3/4)V$ 、非選択ビット線には $(1/4)V$ の各電位を印加する。

【0083】

また、待機期間であるT0、T2、T4ではすべてのワード線とビット線の電位は0電位としている。

【0084】

また、選択アドレスのメモリセルSCSと、選択ワード線上の非選択メモリセルUCWと

50

、選択ビット線上の非選択メモリセルUCBと、非選択ワード線上かつ非選択ビット線上の非選択メモリセルUCNの前記動作区間における特性点の遷移状態をヒステリシス特性上の黒点をはじめとする各点で表している。なお、白丸の点は残留分極が1段階悪化した状況を示し、黒点の外側を丸く囲んだ点は残留分極が1段階良い方向に補強された状況を示している。また、SCS、UCW、UCB、UCNの後に添えた(0)、(1)は初期状態において各メモリセルに保存されたデータを意味している。

【0085】

さて、図14において、T1区間で選択アドレスSCSへの1データの書き込みが行われた結果、非選択アドレスのメモリセルUCW、UCB、UCNは各メモリセルに蓄積されていたデータ状態に応じて、図15に示したような特性上の遷移をする。その結果、待機状態のT2区間において、白い丸で示すUCW(0)、UCB(0)、UCN(1)の各メモリセルは残留分極がやや減少している。一方、黒点の外側を丸く囲んだ点で示すUCW(1)、UCB(1)、UCN(0)の各メモリセルは残留分極が補強、もしくは補償されている。なお、T1区間において、破線の丸でヒステリシス特性を囲んだ箇所は残留分極が補強される動作がなされているものであり、破線の四角でヒステリシス特性を囲んだ箇所は残留分極が減少する動作がなされているものである。

【0086】

次に、T3区間では選択アドレスSCSへ本来のデータである0データを書き込む電圧波形が選択ワード線、非選択ワード線、選択ビット線、非選択ビット線に加わった結果、破線の丸でヒステリシス特性を囲んだUCW(0)、UCB(0)、UCN(1)の各メモリセルは残留分極が補償、もしくは補強されるように遷移している。その結果、T4区間において、白い丸で示すべき、残留分極が減少したメモリセルは無くなっている。つまり、選択アドレスのメモリセルにT1区間で1データを書き込み、かつT3区間で0データを書き込む各電圧が各選択ワード線、非選択ワード線、選択ビット線、非選択ビット線に加わった結果、非選択アドレスのメモリはディスタープの影響が相殺されている。そして、選択アドレスはT3区間で0データの書き込みが行われ、T4区間の待機状態では0データが記憶されている。

【0087】

以上の結果は、非選択アドレスのメモリにはディスタープの影響を与えずに選択アドレスのメモリに0データを書き込むという所望の動作が正確に行われたことを意味している。

1データを書き込む場合の印加波形と分極の遷移

図15は本発明の第2実施形態の手法を用いて1データを書き込む場合の動作をより詳しく示すものである。

【0088】

図15において、T1区間において、1データの反転データである0データを加え、T3区間で本来のデータである1データを加えている。この結果、非選択アドレスUCW、UCB、UCNには記憶されていたデータ(0)、(1)に関わらずディスタープ電圧が相殺され、つまり、

$$V = 0$$

が保たれた結果、

$$Pr = 0$$

となって、残留分極が保存された。そして、選択アドレスには最終的に1データが書き込み、保存されている。以上により、所望の動作が行われたことが解る。

【0089】

以上から図10の4分割5電位の方式に基づいた図14、15の方式でも本発明の方式が有効であることが解る。

〔本発明の不揮発性メモリ装置におけるデータ書き込み方法の第3実施形態〕

以下に本発明の不揮発性メモリ装置におけるデータ書き込み方法の第3実施形態について述べる。なお、不揮発性メモリとして強誘電体メモリを用いた場合で説明する。

(第3実施形態の電圧印加波形の概要)

図16、17は本発明の強誘電体メモリ装置におけるデータ書き込み方法の第3実施形態の各ワード線と各ビット線の印加電圧波形を示す図である。

【0090】

この第3実施形態は図16、17に示すように、印加する電圧波形を0、 $(1/4)V$ 、 $(2/4)V$ 、 $(3/4)V$ 、 V の5電位を用いており、反転データを書き込むT1の区間や本来のデータを書き込むT3の区間における印加電圧の波形は第2実施形態の印加電圧波形と同じである。第3実施形態が第2実施形態と異なるのは待機期間であるT0、T2、T4の区間の各ワード線と各ビット線が第2実施形態ではすべて0電位であったのに対し、第3実施形態では $(2/4)V$ 電位としている点である。この場合でも各メモリセルの強誘電体キャパシタに加わる各電圧は各ワード線と各ビット線の電位の差分であるので第2実施形態と第3実施形態で同一となり、図16、図17に示すようにSCS、UCW、UCB、UCNとも同じ特性を示し、非選択アドレスのメモリセルにはディスタープの影響がなく、かつ選択アドレスのメモリセルには所望のデータが書き込めている。

10

【0091】

なお、第2実施形態がT2、T4の待機期間においてすべてのワード線とビット線が0電位であったのに対し、第3実施形態では $(2/4)V$ の中間電位を用いているが、第3実施形態では待機期間において、 $(2/4)V$ の中間電位を用いた結果、T1、T3を含むT0からT4までの各期間の電位変化が相対的に少なくなり、ノイズや充放電による消費電力が低減するという効果がある。

20

[第2、第3実施形態のメモリ周辺回路]

図18は本発明の強誘電体メモリ装置で書き込み方法を第2、第3実施形態をとった場合のメモリ周辺回路のブロック図である。前述した第1実施形態においては0、 $(1/3)V$ 、 $(2/3)V$ 、 V の3分割4電位方式であったが、第2、第3実施形態は0、 $(1/4)V$ 、 $(2/4)V$ 、 $(3/4)V$ 、 V の4分割5電位方式であるので、図18の電源回路1858は前記4分割5電位の各電位をワード線選択制御回路1853と、ビット線選択制御回路1851に供給する。なお、ワード線選択制御回路1853と、ビット線選択制御回路1851は電源回路1858から供給される電位が増えるので回路がやや複雑になり、素子数が若干増加する。

30

[強誘電体メモリ装置の全体の構成]

さて、次に図19、図20、図5、図6、図18で説明したメモリセルおよび制御回路を使用した本発明の強誘電体メモリ装置の実施形態における全体構成の概略について、図29を参照して説明する。なお、図6、図18に示す回路ブロック図はメモリセルの周辺のための制御回路のブロック図であるが、実際のメモリ装置全体では他の機能を含む回路要素が必要であり、その基本的な強誘電体メモリ装置全体の構成概要を示すのが図29の回路ブロック図である。

【0092】

図29において、2920はメモリセル群、2951はビット線選択制御回路、2953はワード線選択制御回路、2954は書き込み制御回路、2956は読み出し制御回路、2957は入出力回路、2958は電源回路、2959は全体制御回路である。メモリセル群2920の中に図6に示したメモリセル群620や図18に示したメモリセル群1820のようにメモリセルがアレイ状に並んでいる。図29のワード線選択制御回路2953とビット線選択制御回路2951によってワード線とビット線が選択されることにより、メモリセルも選択される。図29の書き込み制御回路2954によって、入出力回路2957を経たデータはワード線選択制御回路2953とビット線選択制御回路2951に選択されたメモリセルへ全体制御回路2959の指令にしたがって書き込まれる。また、読み出し制御回路2956によって、ワード線選択制御回路2953とビット線選択制御回路2951に選択されたメモリセルのデータは全体制御回路2959の指令にしたがって読み出され、入出力回路2957に出力される。また、書き込みや読み出しの際に複

40

50

数の異なる電位の信号が必要となるが、これらの電位は電源回路 2958 で作られている。なお、書き込みの際も読み出しの際も選択したメモリセルのワード線やビット線のみならず、非選択アドレスのメモリセルのワード線やビット線も、ワード線選択制御回路 2953、ビット線制御回路 2951、書き込み制御回路 2954、読み出し制御回路 2956 等によって適切に制御される。以上が強誘電体メモリ装置の構成の概要である。

【その他の実施形態】

以上、本発明を強誘電体メモリの例をとって説明をしたが、強誘電体メモリに限定されるものではない。本発明の本質は平行したワード線群と平行したビット線群を交差させて配置し、その交点にメモリセルを行列状に配置したいわゆるクロスポイント構造において、選択アドレスのメモリセルにアクセスした場合に非選択アドレスのメモリセルへのディ
10
スターブへ対処する方法である。つまり、前述のクロスポイント構造をとれば非選択アドレスのメモリへ不要な電圧がかかることは避けがたい構造を必然的にとることになるので、高集積、高密度を目標とするメモリー一般が対象となる。とりわけ不揮発性メモリの場合に本発明の書き込み方法の効果が顕著になる。

【0093】

したがって、強誘電体のみならず他の不揮発性メモリでクロスポイント構造をとることが可能なものには適用できる場合がある。

【0094】

例えば MRAM (Magnetron Random Access Memory) 等をクロスポイント構成で配置した場合には同様の手法が程度や個々の詳細においては差異
20
があったとしても適用もしくは応用ができる。

【0095】

また、強誘電体材料の例として PZT、PZTN、SBT 等を例示したが、本発明の本質は強誘電体の材質とは直接には関係のないことであるので、他のセラミック材料や有機の強誘電体材料の場合でも適用できる。

【図面の簡単な説明】

【0096】

【図 1】本発明の不揮発性メモリ装置を強誘電体メモリに適用した場合の書き込み時に用いる第 1 実施例の電圧印加波形図である。

【図 2】本発明のクロスポイント型の強誘電体メモリにおける電源と制御電位の第 1 実施
30
例の関係を示した電位関係図である。

【図 3】本発明のクロスポイント型の強誘電体メモリにおいて 0 データを選択アドレスに書き込む際の第 1 実施例の制御電圧関係図である。

【図 4】本発明のクロスポイント型の強誘電体メモリにおいて 1 データを選択アドレスに書き込む際の制御電圧関係図である。

【図 5】本発明のクロスポイント型の強誘電体メモリにおいて 0 データを選択アドレスに書き込む際の各制御線電位と各強誘電体コンデンサ電圧の電位電圧関係図である。

【図 6】本発明のクロスポイント型の強誘電体メモリにおいてメモリセル群と周辺回路の第 1 実施例の基本的な構成を示す回路ブロック図である。

【図 7】本発明のクロスポイント型の強誘電体メモリにおける選択及び非選択の各ワード
40
線・ビット線・メモリセルを各記号で定義する関係図である。

【図 8】本発明の不揮発性メモリ装置を強誘電体メモリに適用した場合の第 1 実施例における 0 データ書き込み時の各制御線の印加電圧波形と各メモリセルの特性遷移図である。

【図 9】本発明の不揮発性メモリ装置を強誘電体メモリに適用した場合の第 1 実施例における 1 データ書き込み時の各制御線の印加電圧波形と各メモリセルの特性遷移図である。

【図 10】本発明のクロスポイント型の強誘電体メモリにおいて電源と制御電位の第 2 実施例の関係を示した電位関係図である。

【図 11】本発明のクロスポイント型強誘電体メモリの第 2 実施例における制御電位と強誘電体コンデンサの特性の関係を示した電位関係図である。

【図 12】本発明のクロスポイント型の強誘電体メモリにおいて 0 データを選択アドレス
50

に書き込む際の第2実施例の制御電圧関係図である。

【図13】本発明のクロスポイント型の強誘電体メモリにおいて1データを選択アドレスに書き込む際の第2実施例の制御電圧関係図である。

【図14】本発明の不揮発性メモリ装置を強誘電体メモリに適用した場合の第2実施例における0データ書き込み時の各制御線の印加電圧波形と各メモリセルの特性遷移図である。

【図15】本発明の不揮発性メモリ装置を強誘電体メモリに適用した場合の第2実施例における1データ書き込み時の各制御線の印加電圧波形と各メモリセルの特性遷移図である。

【図16】本発明の不揮発性メモリ装置を強誘電体メモリに適用した場合の第3実施例における0データ書き込み時の各制御線の印加電圧波形と各メモリセルの特性遷移図である。

【図17】本発明の不揮発性メモリ装置を強誘電体メモリに適用した場合の第3実施例における1データ書き込み時の各制御線の印加電圧波形と各メモリセルの特性遷移図である。

【図18】本発明の不揮発性メモリ装置をクロスポイント型の強誘電体メモリに適用した場合のメモリセル群と周辺回路の第2、3実施例の基本的な構成を示す回路ブロック図である。

【図19】本発明及び従来回路における強誘電体メモリ装置に用いる強誘電体コンデンサの構造を示す断面図である。

【図20】本発明及び従来回路に用いる強誘電体コンデンサを表す記号図である。

【図21】本発明及び従来回路に用いる強誘電体コンデンサの印加電圧と分極電荷の特性例を示した特性図である。

【図22】本発明及び従来回路に用いる強誘電体コンデンサの印加電圧と分極電荷の特性例と中間電位(1/3)Vとの関係を示した特性図である。

【図23】本発明及び従来回路に用いる強誘電体コンデンサの印加電圧と分極電荷の状態を示す模式図である。

【図24】従来回路に用いる強誘電体コンデンサに印加されたディスターブ電圧と残留分極の減少状態を示す模式図である。

【図25】従来回路において連続書き込みが行われた場合の各制御線の印加電圧波形と各メモリセルの特性遷移図である。

【図26】本発明の回路方式で誘電体コンデンサに印加されたディスターブ及び補償電圧と残留分極の影響状態を示す模式図である。

【図27】従来の回路方式で誘電体メモリセルに印加された書き込みパルスと補正パルスの概略の関係を示すタイミングチャート図である。

【図28】従来の回路方式で誘電体メモリセルに印加された書き込みパルスと補正パルスを作り出す各選択・非選択のワード線とビット線の印加電圧を示す制御電圧関係図である。

【図29】本発明の不揮発性メモリ装置の全体の構成概要を示す回路ブロック図である。

【符号の説明】

【0097】

S W L . . . 選択ワード線

U W L . . . 非選択ワード線

S B L . . . 選択ビット線

U B L . . . 非選択ビット線

S C S . . . 選択アドレスメモリセル

U C W . . . 選択ワード線上の非選択アドレスメモリセル

U C B . . . 選択ビット線上の非選択アドレスメモリセル

U C N . . . 非選択ワード線かつ非選択ビット線上の非選択アドレスメモリセル

6 2 0、1 8 2 0、2 9 2 0 . . . メモリセルアレイ

10

20

30

40

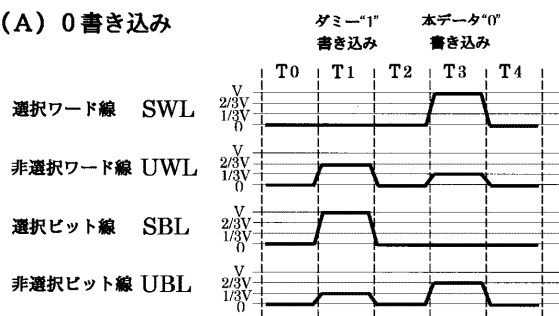
50

6 5 1、1 8 5 1、2 9 5 1 . . . ビット線選択制御回路
 6 5 3、1 8 5 3、2 9 6 3 . . . ワード線選択制御回路
 6 5 8、1 8 5 8、2 9 5 8 . . . 電源回路
 2 9 5 4 . . . 書き込み制御回路
 2 9 5 6 . . . 読み出し制御回路
 2 9 5 7 . . . 入出力回路
 2 9 5 9 . . . 全体制御回路
 1 9 4 0 . . . 強誘電体薄膜
 1 9 4 1、1 9 4 2 . . . 電極
 2 1 0 1、2 1 0 2、2 1 0 3、2 1 0 4、2 1 0 5、2 1 0 6、2 1 1 1、2 1 1 2、
 2 1 1 3、2 1 1 4、2 1 1 5、2 1 1 6、2 6 0 1、2 6 0 2、2 6 0 3、2 6 0 4、
 2 6 0 5、2 6 0 6、2 6 1 1、2 6 1 2、2 6 1 3、2 6 1 4、2 6 1 5、2 6 1 6
 . . . 特性点
 2 7 0 1、2 8 0 1 . . . 書き込みパルス
 2 7 0 2、2 8 0 2 . . . 補正パルス

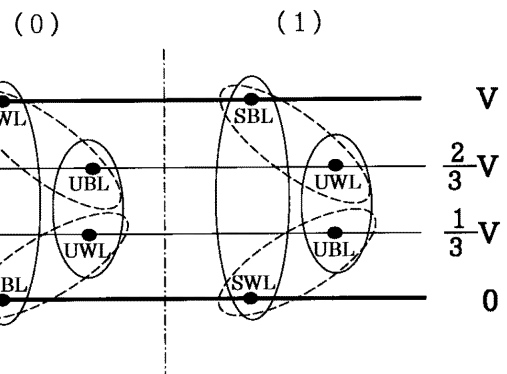
10

【図 1】

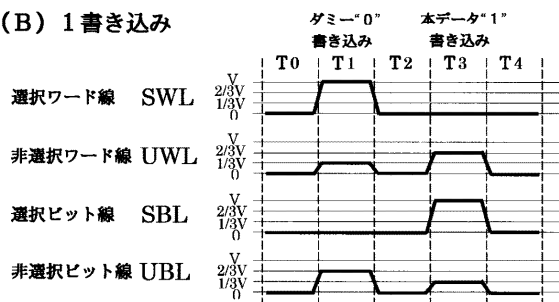
(A) 0 書き込み



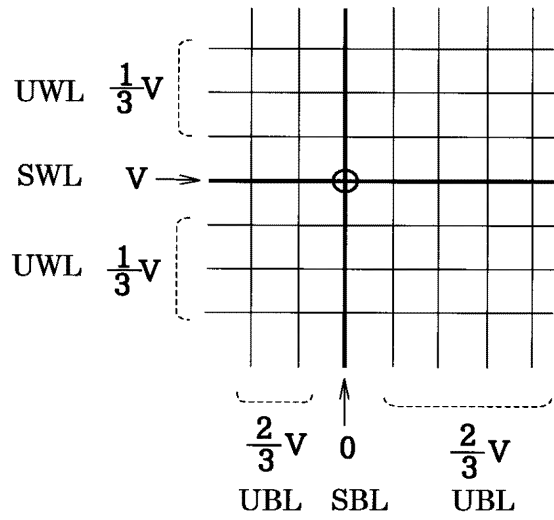
【図 2】



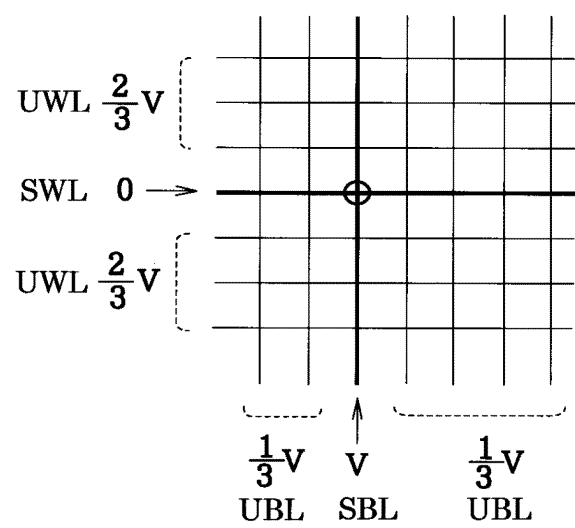
(B) 1 書き込み



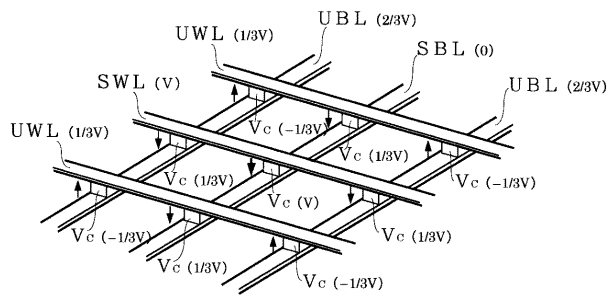
【図 3】



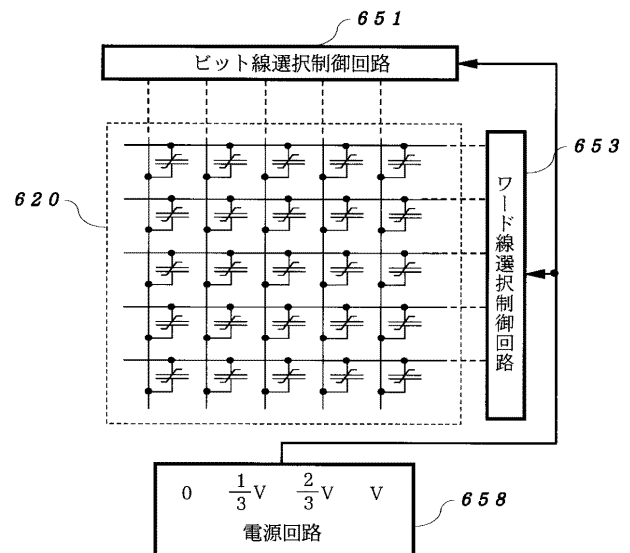
【図 4】



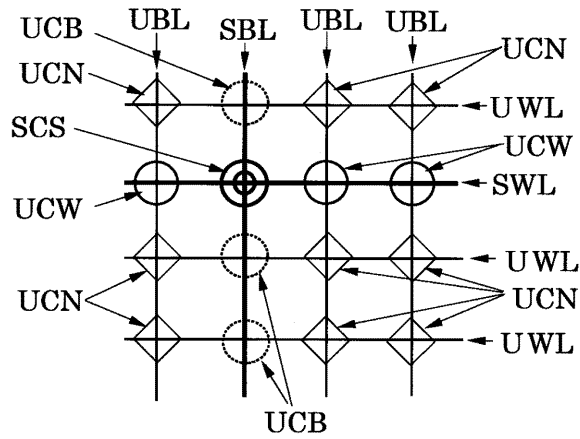
【図 5】



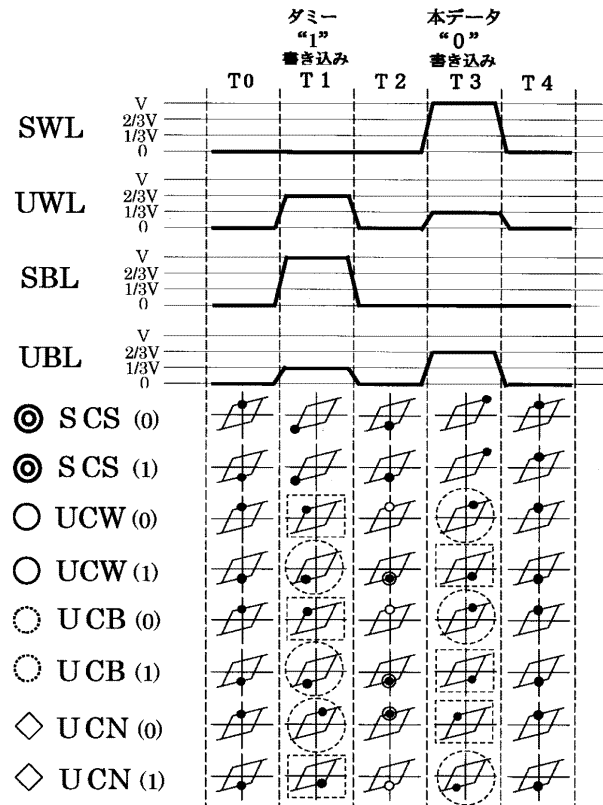
【図 6】



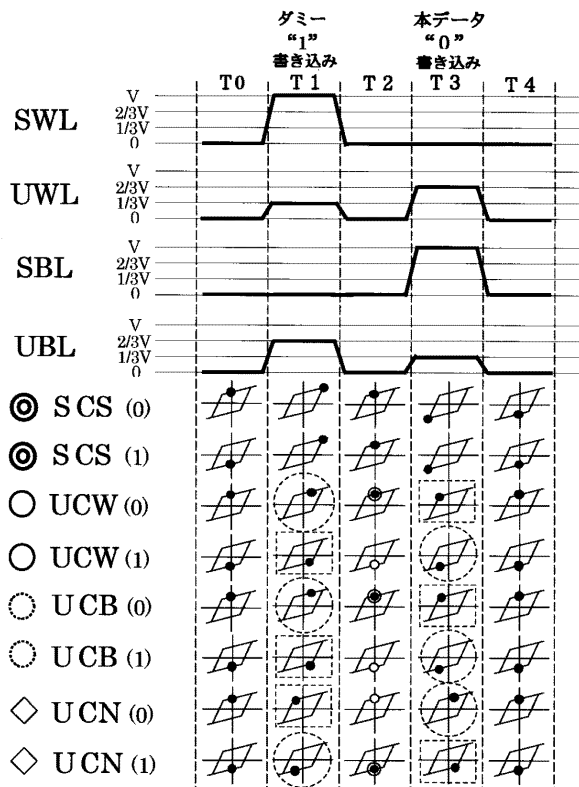
【図 7】



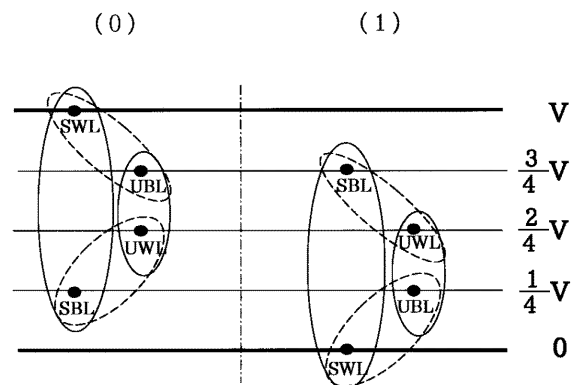
【図 8】



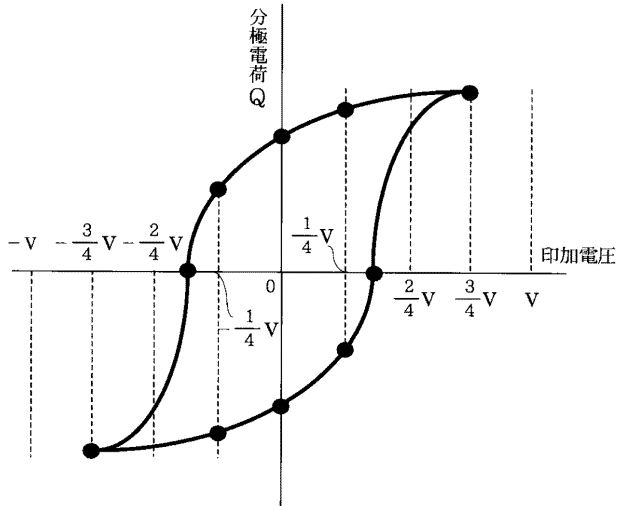
【図 9】



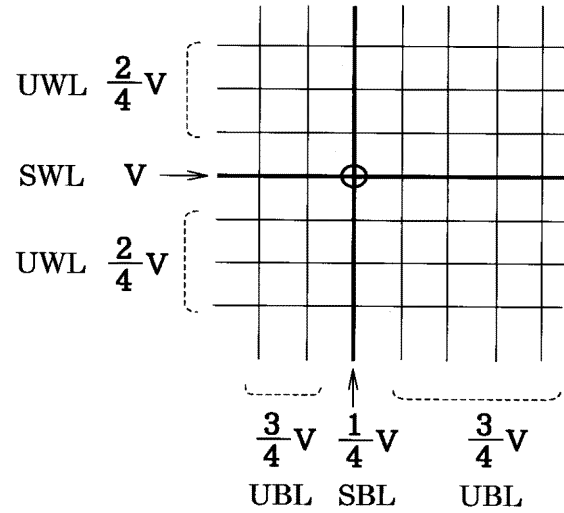
【図 10】



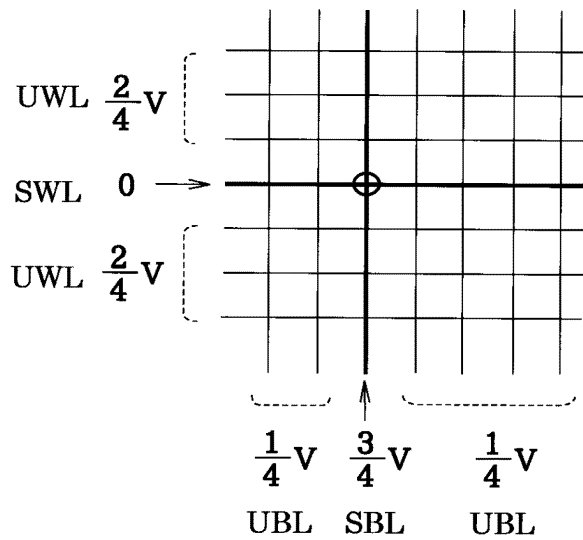
【図 1 1】



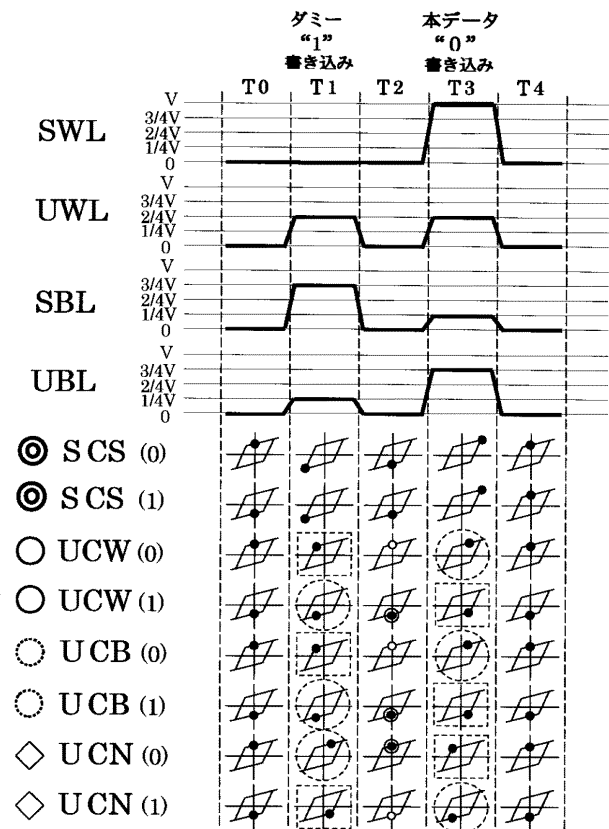
【図 1 2】



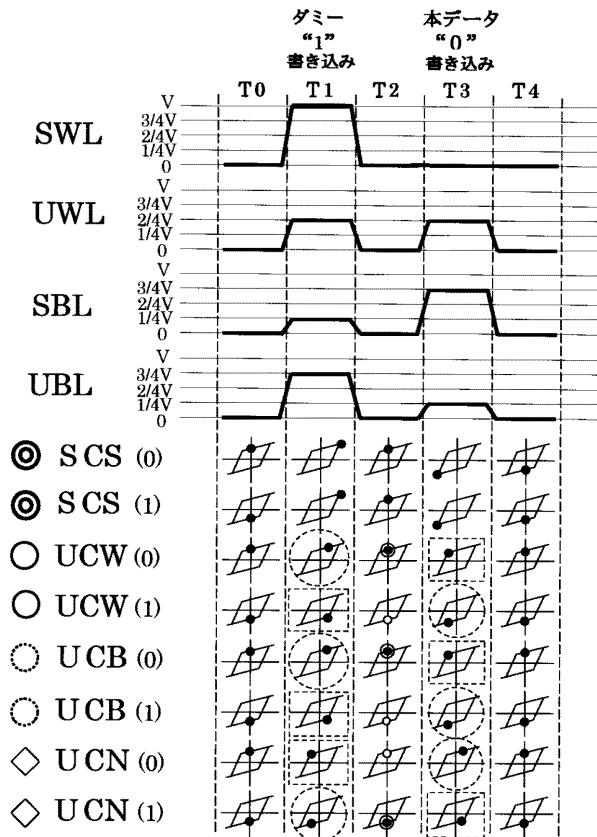
【図 1 3】



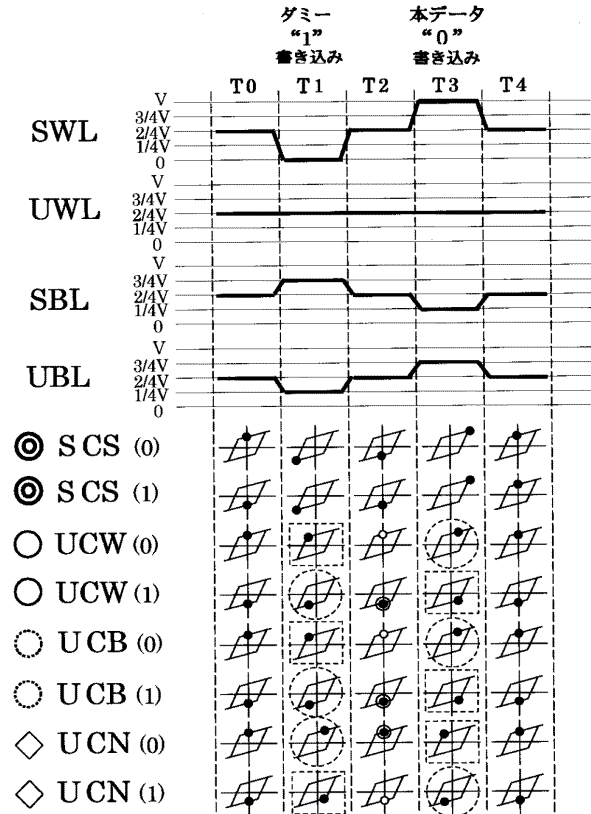
【図 1 4】



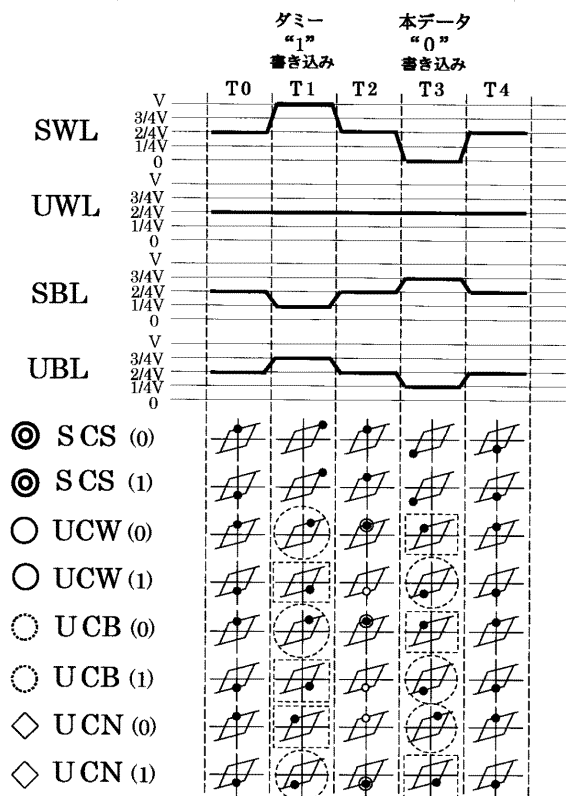
【図 15】



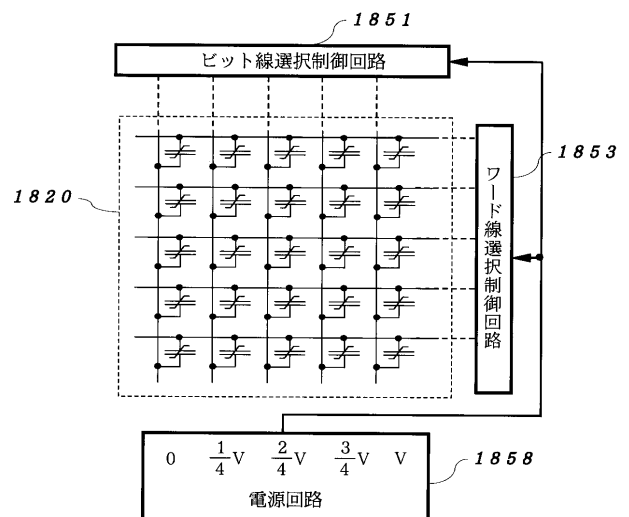
【図 16】



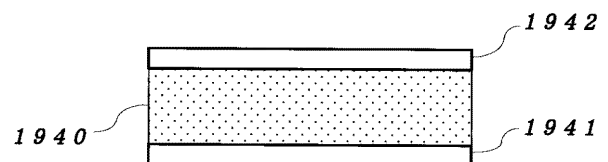
【図 17】



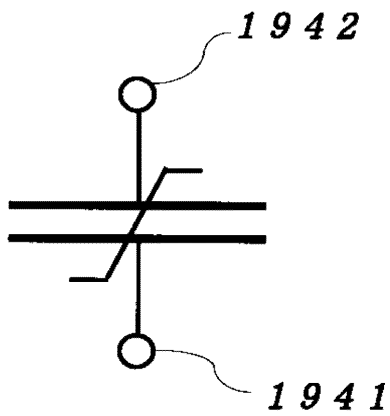
【図 18】



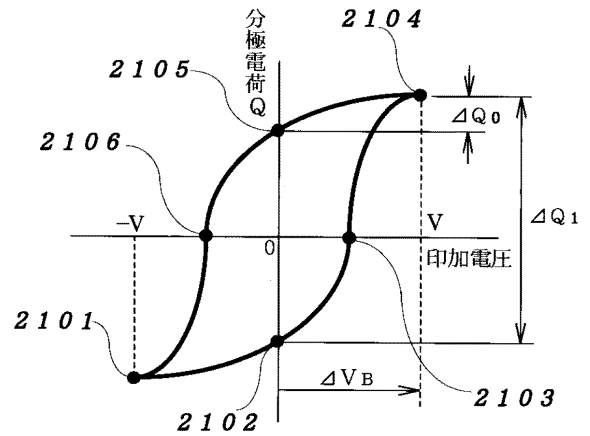
【図 19】



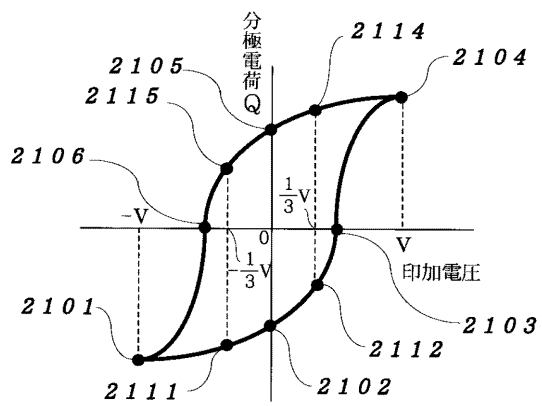
【図 20】



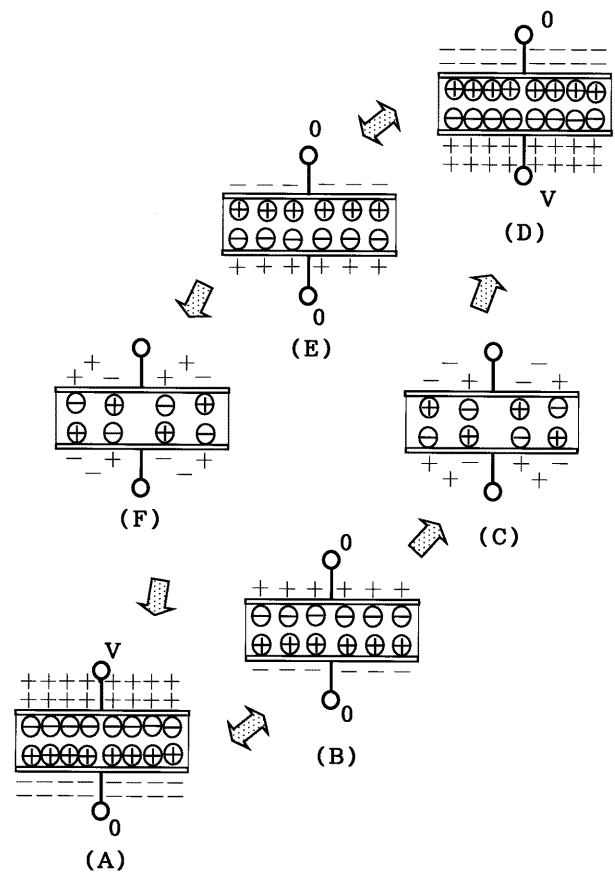
【図 21】



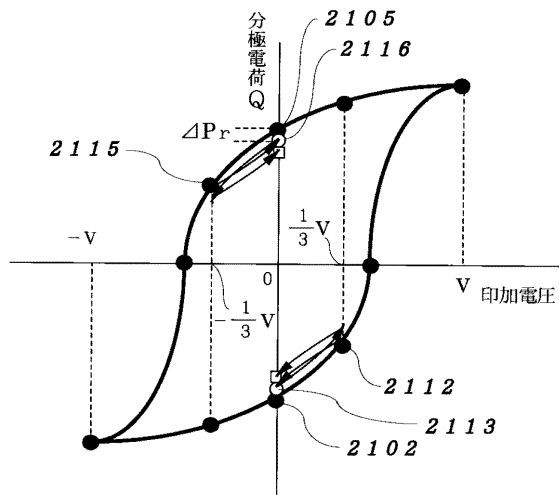
【図 22】



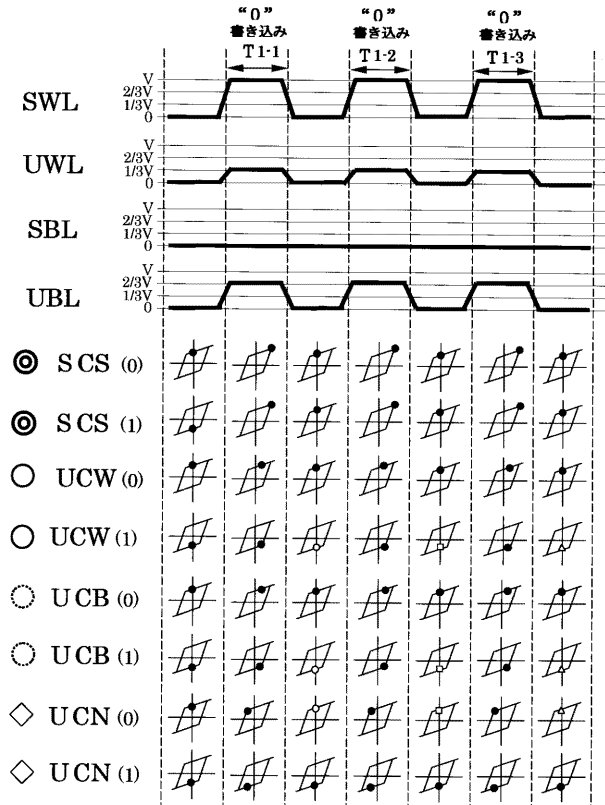
【図 23】



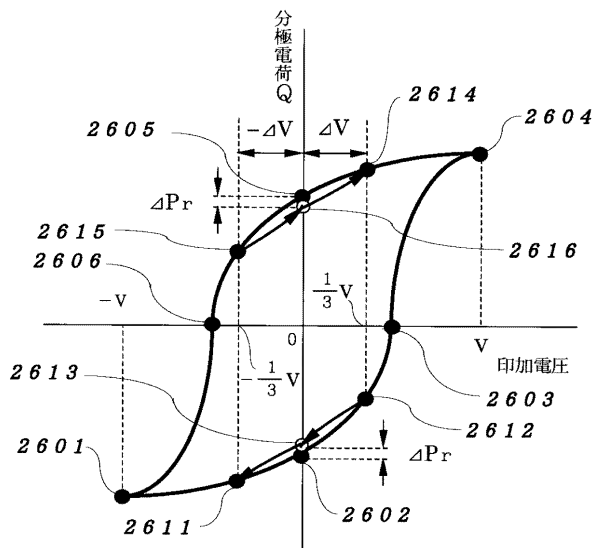
【図 24】



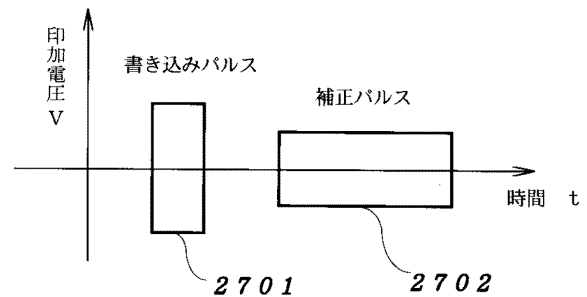
【図 25】



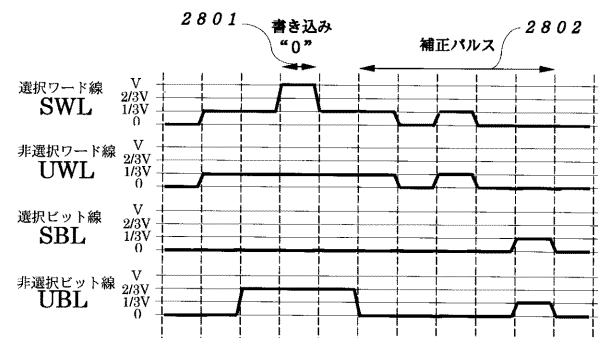
【図 26】



【図 27】



【図 28】



【図 29】

