

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2013 年 4 月 18 日 (18.04.2013)



(10) 国际公布号
WO 2013/053166 A1

- (51) 国际专利分类号:
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
- (21) 国际申请号: PCT/CN2011/082415
- (22) 国际申请日: 2011 年 11 月 18 日 (18.11.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201110308554.4 2011 年 10 月 12 日 (12.10.2011) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 朱慧珑 (ZHU, Huilong) [US/US]; 美国纽约州波基普西市奥特姆路 93#, New York 12603 (US)。 梁擎擎 (LIANG, Qingqing) [CN/US]; 美国纽约州拉格朗日镇瑞吉路 28 号, New York 12540 (US)。 尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, New York 12603 (US)。 骆志炯 (LUO, Zhijiong) [US/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, New York 12603 (US)。

(74) 代理人: 中科专利商标代理有限公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区王庄路 1 号清华同方科技大厦 B 座 25 层, Beijing 100083 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

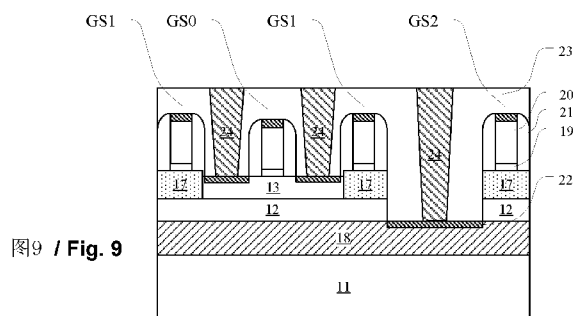
(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: MOSFET AND MANUFACTURING METHOD THEREOF

(54) 发明名称: MOSFET 及其制造方法



(57) Abstract: Provided are an MOSFET and a manufacturing method thereof. The MOSFET is formed in an SOI chip. The MOSFET comprises: a shallow trench isolation region (17), a source region being defined in a semiconductor layer (13); a gate stack layer (GS0), located on the semiconductor layer; the source region and a drain region, located in the semiconductor layer and at two sides of the gate stack layer; a channel region, located in the semiconductor layer and sandwiched between the source region and the drain region; a back gate (18), located in a semiconductor substrate (11); a first dummy gate stack layer (GS1), overlapping with the boundary between the semiconductor layer and the shallow trench isolation region; and a second dummy gate stack layer (GS2), located on the shallow trench isolation region. The MOSFET further comprises a conductive channel (24) located between the gate stack layer and the first dummy gate stack layer and electrically connected to the source region and the drain region respectively, and a conductive channel (22) located between the first dummy gate stack layer and the second dummy gate stack layer and electrically connected to the back gate. The MOSFET can use the dummy gate stack layer to prevent a short circuit between the back gate and the source/drain region.

(57) 摘要:

[见续页]



WO 2013/053166 A1



提供一种 MOSFET 及其制造方法，MOSFET 形成在 SOI 晶片中，且 MOSFET 包括：浅沟槽隔离区（17），在半导体层（13）中限定有源区；栅叠层（GS0），位于半导体层上；源区和漏区，位于半导体层中且位于栅叠层两侧；沟道区，位于半导体层中且夹在源区和漏区之间；背栅（18），位于半导体衬底（11）中；第一假栅叠层（GS1），与半导体层和浅沟槽隔离区之间的边界重叠；以及第二假栅叠层（GS2），位于浅沟槽隔离区上，其中，MOSFET 还包括位于栅叠层和第一假栅叠层之间并且分别与源区和漏区电连接的导电通道（24）、以及位于第一假栅叠层和第二假栅叠层之间并且与背栅电连接的导电通道（24）。该 MOSFET 可以利用假栅叠层防止背栅和源/漏区之间短路的发生。

MOSFET 及其制造方法

技术领域

本发明涉及一种 MOSFET 及其制造方法，更具体地，涉及一种具有背栅的 MOSFET 及其制造方法。

背景技术

集成电路技术的一个重要发展方向是金属氧化物半导体场效应晶体管 (MOSFET) 的尺寸按比例缩小，以提高集成度和降低制造成本。然而，众所周知的是随着 MOSFET 的尺寸减小会产生短沟道效应。随着 MOSFET 的尺寸按比例缩小，栅极的有效长度减小，使得实际上由栅极电压控制的耗尽层电荷的比例减少，从而阈值电压随沟道长度减小而下降。

在 MOSFET 中，一方面希望提高器件的阈值电压以抑制短沟道效应，另一方面也可能希望减小器件的阈值电压以降低功耗，例如在低电压供电应用、或同时使用 P 型和 N 型 MOSFET 的应用中。

沟道掺杂是调节阈值电压的已知方法。然而，如果通过增加沟道区的杂质浓度来提高器件的阈值电压，则载流子的迁移率变小，引起器件性能变劣。并且，沟道区中高掺杂的离子可能与源区和漏区和沟道区邻接区域的离子中和，使得所述邻接区域的离子浓度降低，引起器件电阻增大。

通过在绝缘埋层的下方设置接地面（即接地的背栅）可以抑制短沟道效应。然而，在包含不同栅长的 MOSFET 的集成电路中，虽然背栅的高掺杂浓度对于较短栅长的 MOSFET 而言可以有效地抑制短沟道效应，但对于较长栅长的 MOSFET 而言却可能导致过高的阈值电压。因而，希望针对不同栅长的 MOSFET 调节阈值电压。

而且，在 SOI MOSFET 中，背栅与源/漏区之间还可能发生短路。在图 10 中示出的现有技术的 SOI MOSFET 的结构，背栅 18 和包括源/漏区（未示出）的半导体层 13 之间由绝缘埋层 12 隔开。然而，绝缘埋层 12 的厚度例如约为 5nm-30nm，在源/漏区掺杂步骤或硅化步骤期间可能不期望地形成背栅 18 和源/漏区之间的导电路径 22'。在形成导电通道的步骤中，由于蚀刻接触孔时的失准，也可能不期望地形成背栅 18 和源/漏区之间的导电通道 24'。

因此，仍然期望在利用背栅调节器件的阈值电压的同时解决背栅和源/漏区之间

发生短路的问题。

发明内容

本发明的目的是提供一种利用背栅调节阈值电压的 MOSFET。

根据本发明的一方面，提供一种在 SOI 晶片中形成的 MOSFET，所述 SOI 晶片包括半导体衬底、绝缘埋层和半导体层，所述绝缘埋层位于所述半导体衬底上，所述半导体层位于所述绝缘埋层上，所述 MOSFET 包括：浅沟槽隔离区，在所述半导体层中限定有源区；栅叠层，位于所述半导体层上；源区和漏区，位于所述半导体层中且位于所述栅叠层两侧；沟道区，位于所述半导体层中且夹在所述源区和漏区之间；背栅，位于所述半导体衬底中；第一假栅叠层，与所述半导体层和所述浅沟槽隔离区之间的边界重叠；以及第二假栅叠层，位于所述浅沟槽隔离区上，其中，所述 MOSFET 还包括位于栅叠层和第一假栅叠层之间并且分别与源区和漏区电连接的导电通道、以及位于第一假栅叠层和第二假栅叠层之间并且与背栅电连接的导电通道。

根据本发明的另一方面，提供一种在 SOI 晶片上制造 MOSFET 的方法，所述 SOI 晶片包括半导体衬底、绝缘埋层和半导体层，所述绝缘埋层位于所述半导体衬底上，所述半导体层位于所述绝缘埋层上，所述方法包括：在所述半导体中形成浅沟槽隔离区以限定有源区；执行背栅离子注入，在所述半导体衬底中形成背栅；在所述半导体层上形成栅叠层；在所述半导体层和所述浅沟槽隔离区之间的边界重叠的位置形成第一假栅叠层；在所述浅沟槽隔离区上形成第二假栅叠层；采用栅叠层和第一假栅叠层作为硬掩模，执行源/漏离子注入，在所述半导体层中形成自对准的源区和漏区；以及在栅叠层和第一假栅叠层之间形成分别与源区和漏区电连接的导电通道，并且在第一假栅叠层和第二假栅叠层之间形成与背栅电连接的导电通道。

本发明的 MOSFET 包括在半导体衬底中形成的背栅。在向背栅施加偏置电压时，产生的偏置电场穿过绝缘埋层作用在沟道上。该 MOSFET 可以通过改变背栅中的掺杂类型和掺杂浓度而实现对阈值电压的调节。

而且，本发明的 MOSFET 包括与半导体层和浅沟槽隔离区之间的边界重叠的第一假栅叠层、以及位于浅沟槽隔离区上的第二假栅叠层，在源/漏区掺杂及硅化时可以采用 MOSFET 的栅叠层、第一假栅叠层和第二假栅叠层作为硬掩模以自对准的方式形成硅化物，从而一方面避免源区和漏区的导电通道与背栅电连接，另一方面避免背栅的导电通道与源区和漏区电连接，从而切断了背栅和源/漏区之间的导电路径，防止

背栅和源/漏区之间短路的发生。

优选地，本发明在形成 MOSFET 的栅叠层的步骤同时形成假栅叠层，不需要额外的沉积和图案化步骤，从而基本上未增加半导体器件的制造成本。

根据优选的实施例，在半导体衬底上包括多个 MOSFET 时，可以使用公共的背栅并形成一个接触，从而可以节省用于为每一个 MOSFET 的背栅提供接触的芯片面积 (footprint)。

附图说明

图 1 至 9 示意性地示出了根据本发明制造 MOSFET 的方法的各个阶段的截面图。

图 10 示意性地示出了根据现有技术的 MOSFET 的一部分的截面图，其中示出背栅和源/漏之间的短路。

具体实施方式

以下将参照附图更详细地描述本发明。在各个附图中，为了清楚起见，附图中的各个部分没有按比例绘制。

在下文中描述了本发明的许多特定的细节，例如器件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本发明。但正如本领域的技术人员能够理解的那样，可以不按照这些特定的细节来实现本发明。除非在下文中特别指出，半导体器件中的各个部分可以由本领域的技术人员公知的材料构成。

在本申请中，术语“半导体结构”指在经历制造半导体器件的各个步骤后形成的半导体衬底和在半导体衬底上已经形成的所有层或区域。

根据本发明，执行图 1 至 9 所示的制造 MOSFET 的以下步骤。

参见图 1，作为初始结构的半导体衬底是常规的 SOI 晶片，从下至上依次包括半导体衬底 11、绝缘埋层 12 和半导体层 13。半导体层 13 的厚度例如约为 5nm - 20nm，如 10nm、15nm，并且，绝缘埋层 12 的厚度例如约为 5nm - 30nm，如 10nm、15nm、20nm 或 25nm。

半导体衬底 11 的一部分将用于提供 MOSFET 的背栅。半导体衬底 11 材料可为体硅、或 SiGe、Ge 等 IV 族半导体材料、或 III 族-V 族化合物半导体（如，砷化镓）材料。

绝缘埋层 12 可以是氧化物埋层、氮氧化物埋层或其他绝缘埋层。

半导体层 13 将用于提供 MOSFET 的源区和漏区以及沟道区。半导体层 13 例如由选自 IV 族半导体（如，硅、锗或硅锗）或 III 族-V 族化合物半导体（如，砷化镓）的半导体材料组成，本实施例中，半导体层 13 可为单晶 Si 或 SiGe。

形成 SOI 晶片的工艺是已知的。例如，可以使用 SmartCut™（称为“智能剥离”或“智能切割”）方法，包括将分别包含通过热氧化或沉积形成的氧化物表面层的两个晶片彼此键合，其中，两个晶片之一已经进行氢注入，从而在氧化物表面层以下的一定深度的硅本体内形成氢注入区域，然后，在压力、温度升高等情况下氢注入区域转变成微空腔层，从而有利于使微空腔层两边的部分分离，剥离后包含键合的氧化物表面层的部分作为 SOI 晶片来使用。通过控制热氧化或沉积的工艺参数，可以改变 SOI 晶片的绝缘埋层的厚度。通过控制氢注入的能量，可以改变 SOI 晶片中包含的半导体层的厚度。

在 SOI 晶片上例如通过溅射或热氧化形成厚度约 5nm-20nm 的氧化物保护层 14，在氧化物保护层 14 上例如通过溅射形成厚度约 30nm-100nm 的氮化物保护层 15。

然后，执行图案化以形成沟槽，如图 2 所示。

该图案化可以包括以下步骤：通过包含曝光和显影的光刻工艺，在氮化物保护层 15 上形成含有图案的光抗蚀剂掩模 16；通过干法蚀刻，如离子铣蚀刻、等离子蚀刻、反应离子蚀刻、激光烧蚀，或者通过其中使用蚀刻剂溶液的湿法蚀刻，从上至下依次去除氮化物保护层 15、氧化物保护层 14、半导体层 13，该蚀刻停止在绝缘埋层 12 的顶部；通过在溶剂中溶解或灰化去除光抗蚀剂掩模 16。

然后，在半导体结构的整个表面上例如通过溅射沉积氧化物，在沟槽中填充氧化物。通过化学机械平面化（CMP）平整半导体结构的表面。化学机械平面化停止在氮化物保护层 15 的顶部，从而去除了沟槽外的氧化物。在沟槽内的剩余部分的氧化物形成浅沟槽隔离区（STI）17，以限定 MOSFET 的有源区，如图 3 所示。

回蚀刻浅沟槽隔离区 17 中的氧化物，使其暴露出氮化物保护层 15 的一部分侧面。接着，通过其中使用例如热磷酸的湿法蚀刻，相对于氧化物选择性地去除氮化物保护层 15。进一步地，通过干法蚀刻，如离子铣蚀刻、等离子蚀刻、反应离子蚀刻、激光烧蚀，或者通过其中使用蚀刻剂溶液的湿法蚀刻，去除氧化物保护层 14，并暴露半导体层 13，如图 4 所示。

在去除氧化物保护层 14 的步骤中，浅沟槽隔离区 17 中的氧化物也受到相同程度的蚀刻。然而，可以通过精确地控制蚀刻时间，使得浅沟槽隔离区 17 中的氧化物

并未受到过蚀刻，其上表面至少高于半导体层 13 的暴露的上表面，从而仍然保护下面的绝缘埋层 12。

然后，向半导体衬底 11 中进行背栅离子注入，如图 5 所示。由于半导体层 13 和绝缘埋层 12 的总厚度仅为约 10nm-50nm，因此，注入的离子可以容易地穿过这些层而进入半导体衬底 11 中。可以通过调节离子注入的能量和剂量，控制注入的深度，使得注入离子主要分布在半导体衬底 11 中。

背栅离子注入获得的掺杂区形成背栅 18，背栅 18 可以与上面的绝缘埋层 12 邻接（如图 5 所示），也可以与上面的绝缘埋层 12 相距一定距离，而不直接邻接（未示出）。

在背栅离子注入步骤中注入的掺杂剂类型可以是 N 型或 P 型。如果希望提高器件的阈值电压，则掺杂剂类型与 MOSFET 的类型相反，对于 N 型 MOSFET，背栅 18 是 P 型，对于 P 型 MOSFET，背栅 18 是 N 型。如果希望减小器件的阈值电压，则反之。

P 型掺杂剂例如包括硼（B 或 BF_2 ）、镓（Ga）或其组合。N 型掺杂剂例如包括砷（As）、磷（P）或其组合。

在背栅离子注入步骤中注入的掺杂剂的注入剂量可以根据工艺现状和产品要求来选择，例如可以为 $1 \times 10^{13}/\text{cm}^2$ 至 $1 \times 10^{15}/\text{cm}^2$ 。此时，背栅 18 的掺杂浓度为 $1 \times 10^{17}/\text{cm}^3$ 至 $1 \times 10^{20}/\text{cm}^3$ 。

优选地，在背栅离子注入步骤之后，可以进行短时间的离子注入退火（即“尖峰”退火），例如激光、电子束或红外辐照等，以修复晶格损伤并激活注入的掺杂剂。

然后，在半导体结构上形成至 MOSFET 的栅叠层 GS0、第一假栅叠层 GS1、第二假栅叠层 GS2，以及相应的侧墙 21，如图 6 所示。第一假栅叠层 GS1 与半导体层和浅沟槽隔离区之间的边界重叠，在后继的步骤中可以用于防止短路路径的形成。第二假栅叠层 GS2 位于浅沟槽隔离区上。优选地，栅叠层 GS0、第一假栅叠层 GS1、第二假栅叠层 GS2 具有相同的结构，从而可以在相同的步骤中同时形成。栅叠层 GS0、第一假栅叠层 GS1、第二假栅叠层 GS2 分别包括厚度约为 1nm-4nm 的栅介质层 19 和厚度约为 30nm-100nm 的栅导体 20，用于形成栅叠层和侧墙的沉积工艺和图案化工艺是已知的，其中，栅导体 20 通常图案化为条状。

栅介质层 19 可以由氧化物、氧氮化物、高 K 材料（如 HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 、 HfZrO 、 Al_2O_3 、 La_2O_3 、 ZrO_2 或 LaAlO 中的一种或其组合）或其组合组成。栅导体 20 可以由金属层、掺杂多晶硅层、或包括金属层和掺杂多晶硅层的叠层

组成。

在替代的实施例中，第一假栅叠层 GS1、第二假栅叠层 GS2 的结构和/材料可以与 MOSFET 的栅叠层 GS0 不同。例如，第一假栅叠层 GS1 和第二假栅叠层 GS2 可以不包括栅介质层 19。在不同的步骤和/或采用不同的掩模分别形成 MOSFET 的栅叠层 GS0、第一假栅叠层 GS1 和第二假栅叠层 GS2。

沟道区包括位于 MOSFET 的栅叠层 GS0 下方的半导体层 13 的一部分（未示出），优选为不掺杂，或者是自掺杂的，或者在先前独立的离子注入步骤中进行掺杂。

然后，利用 MOSFET 的栅叠层 GS0 和第一假栅叠层 GS1 作为硬掩模进行源/漏离子注入，在 MOSFET 的栅叠层 GS0 两侧的半导体层 13 中形成自对准的源/漏区（未示出）。通过调节离子注入的能量和剂量，控制注入的深度，使得注入离子主要分布在半导体层 13 中。

优选地，在源/漏离子注入步骤之后，可以进行短时间的离子注入退火（即“尖峰”退火），例如激光、电子束或红外辐照等，以修复晶格损伤并激活注入的掺杂剂。

然后，利用第一假栅叠层 GS1 和第二假栅叠层 GS2 作为硬掩模，例如通过选择性地去除氧化物的湿法蚀刻，形成穿过浅沟槽隔离区 17、绝缘埋层 12 到达背栅 18 的开口，如图 7 所示。该选择性的湿法蚀刻暴露背栅 18 的顶部表面，但未蚀刻半导体层 13 中的源/漏区。

然后，执行硅化工艺，在背栅 18 和源/漏区暴露的顶部表面形成硅化物 22，如图 8 所示。应当注意，该硅化步骤采用 MOSFET 的栅叠层 GS0、第一假栅叠层 GS1 和第二假栅叠层 GS2 作为硬掩模以自对准的方式进行。

硅化工艺是已知的，例如包括通过上述已知的沉积工艺依次形成共形的 Ni 层和 Pt 层，然后在大约 300–500℃ 的温度下进行退火，使得沉积的 Ni 与 Si 反应而形成 NiPtSi，最后，通过湿法蚀刻，相对于硅化物选择性地去除未反应的 Ni 和 Pt。

然后，例如通过溅射沉积绝缘材料，以及通过化学机械平面化形成平整的表面，在半导体结构的整个表面上形成层间介质层 23。然后，例如使用光抗蚀剂掩模执行反应离子蚀刻，分别形成穿过层间介质层 23 到达源/漏区（未示出）和背栅 18 的接触孔。采用导电材料填充接触孔，并进行化学机械平面化以去除接触孔外部的导电材料，以形成分别与源/漏区和背栅电连接的导电通道 24，如图 9 所示。导电通道 24 与背栅 18 和源/漏区（未示出）的顶部表面上的硅化物 22 接触，以减小接触电阻。用于导电通道 24 的导电材料可为但不限于：Cu、Al、W、多晶硅和其他类似的

导电材料。

在图 9 中示出根据本发明的方法形成 MOSFET，该 MOSFET 包括：SOI 晶片，所述 SOI 晶片包括半导体衬底 11、绝缘埋层 12 和半导体层 13，所述绝缘埋层 12 位于所述半导体衬底 11 上，所述半导体层 13 位于所述绝缘埋层 12 上；浅沟槽隔离区 17，在所述半导体中限定有源区；栅叠层 GS0，位于所述半导体层 13 上；源区和漏区（未示出），所述源区和漏区位于所述半导体层 13 中且位于所述栅叠层 GS0 两侧；沟道区（未示出），位于所述半导体层 13 中且夹在所述源区和漏区之间；背栅 18，所述背栅 18 位于所述半导体衬底 11 中，并且至少在沟道区的下方延伸；第一假栅叠层 GS1，与所述半导体层 13 和所述浅沟槽隔离区 17 之间的边界重叠；以及第二假栅叠层 GS2，位于所述浅沟槽隔离区 17 上。所述 MOSFET 还包括位于栅叠层 GS0 和第一假栅叠层 GS1 之间并且分别与源区和漏区（未示出）电连接的导电通道 24、以及位于第一假栅叠层 GS1 和第二假栅叠层 GS2 之间并且与背栅 18 电连接的导电通道。

以上描述只是为了示例说明和描述本发明，而非意图穷举和限制本发明。因此，本发明不局限于所描述的实施例。对于本领域的技术人员明显可知的变型或更改，均在本发明的保护范围之内。

权 利 要 求

1、一种在 SOI 晶片中形成的 MOSFET，所述 SOI 晶片包括半导体衬底、绝缘埋层和半导体层，所述绝缘埋层位于所述半导体衬底上，所述半导体层位于所述绝缘埋层上，所述 MOSFET 包括：

浅沟槽隔离区，在所述半导体层中限定有源区；

栅叠层，位于所述半导体层上；

源区和漏区，位于所述半导体层中且位于所述栅叠层两侧；

沟道区，位于所述半导体层中且夹在所述源区和漏区之间；

背栅，位于所述半导体衬底中；

第一假栅叠层，与所述半导体层和所述浅沟槽隔离区之间的边界重叠；以及

第二假栅叠层，位于所述浅沟槽隔离区上，

其中，所述 MOSFET 还包括位于栅叠层和第一假栅叠层之间并且分别与源区和漏区电连接的导电通道、以及位于第一假栅叠层和第二假栅叠层之间并且与背栅电连接的导电通道。

2、根据权利要求 1 所述的 MOSFET，其中所述背栅的掺杂类型与 MOSFET 的类型相同或相反。

3、根据权利要求 1 所述的 MOSFET，其中所述背栅中的掺杂浓度为 $1 \times 10^{17}/\text{cm}^3$ 至 $1 \times 10^{20}/\text{cm}^3$ 。

4、根据权利要求 1 所述的 MOSFET，其中所述栅叠层、所述第一假栅叠层和所述第二假栅叠层具有相同的结构。

5、根据权利要求 4 所述的 MOSFET，其中所述栅叠层、所述第一假栅叠层和所述第二假栅叠层分别包括栅介质层和栅导体。

6、根据权利要求 1 所述的 MOSFET，还包括在背栅、源区和漏区的表面上形成的硅化物，导电通道与硅化物接触。

7、一种在 SOI 晶片上制造 MOSFET 的方法，所述 SOI 晶片包括半导体衬底、绝缘埋层和半导体层，所述绝缘埋层位于所述半导体衬底上，所述半导体层位于所述绝缘埋层上，所述方法包括：

在所述半导体中形成浅沟槽隔离区以限定有源区；

执行背栅离子注入，在所述半导体衬底中形成背栅；

在所述半导体层上形成栅叠层；

在所述半导体层和所述浅沟槽隔离区之间的边界重叠的位置形成第一假栅叠层；

在所述浅沟槽隔离区上形成第二假栅叠层；

采用栅叠层和第一假栅叠层作为硬掩模，执行源/漏离子注入，在所述半导体层中形成自对准的源区和漏区；以及

在栅叠层和第一假栅叠层之间形成分别与源区和漏区电连接的导电通道，并且在第一假栅叠层和第二假栅叠层之间形成与背栅电连接的导电通道。

8、根据权利要求7所述的方法，其中，执行背栅离子注入的注入剂量为 $1 \times 10^{13}/\text{cm}^2$ 至 $1 \times 10^{15}/\text{cm}^2$ 。

9、根据权利要求7所述的方法，其中，在执行背栅离子注入中采用的掺杂剂的掺杂类型与 MOSFET 的类型相同或相反。

10、根据权利要求7所述的方法，其中在相同的步骤中同时形成栅叠层、第一假栅叠层和第二假栅叠层。

11、根据权利要求7所述的方法，在执行源/漏离子注入的步骤和形成导电通道的步骤之间，还包括采用栅叠层、第一假栅叠层和第二假栅叠层作为硬掩模，在背栅、源区和漏区的表面上形成硅化物。

<u>15</u>
<u>14</u>
<u>13</u>
<u>12</u>
<u>11</u>

图1

<u>16</u>
<u>15</u>
<u>14</u>
<u>13</u>
<u>12</u>
<u>11</u>

图2

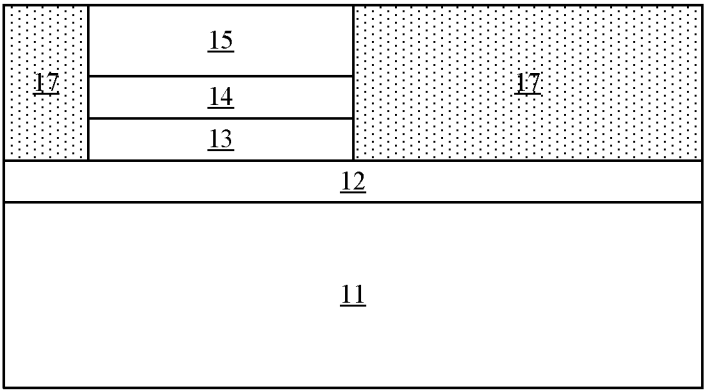


图3

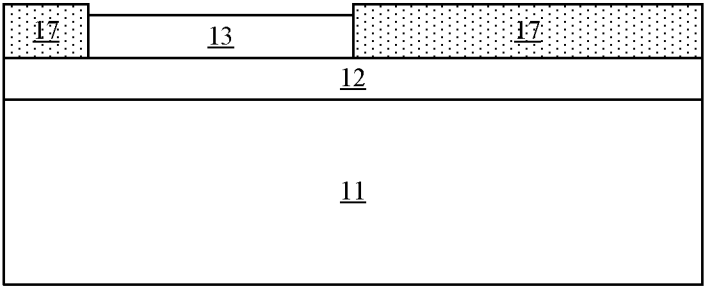


图4

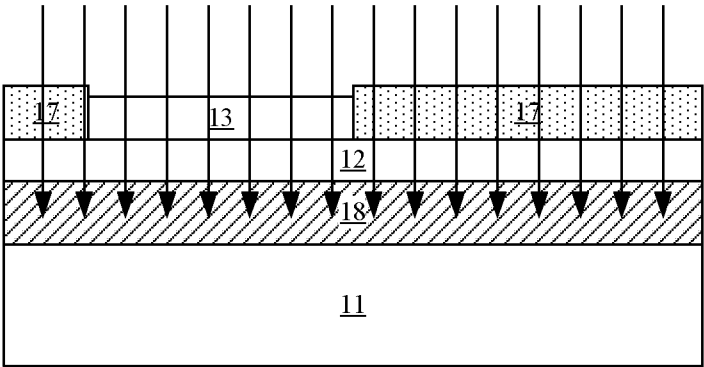


图5

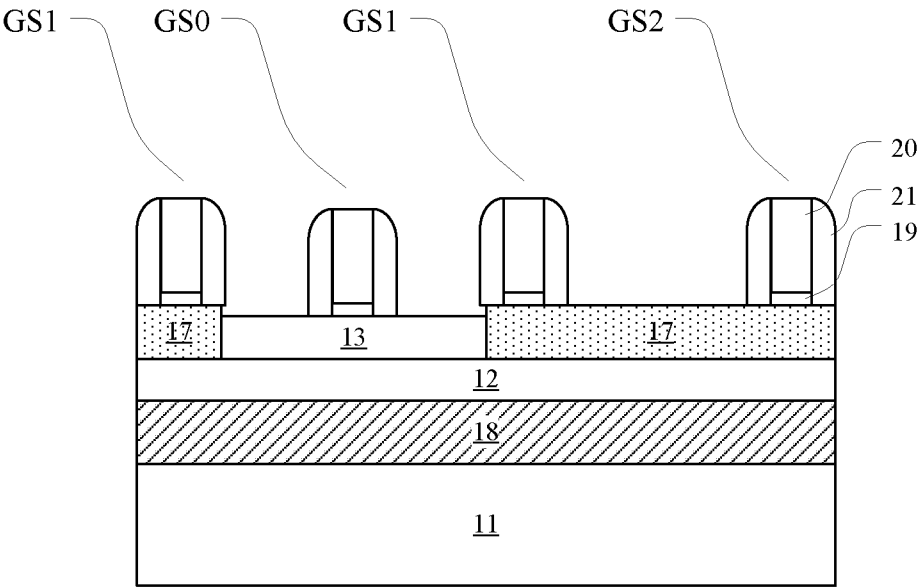


图6

4/5

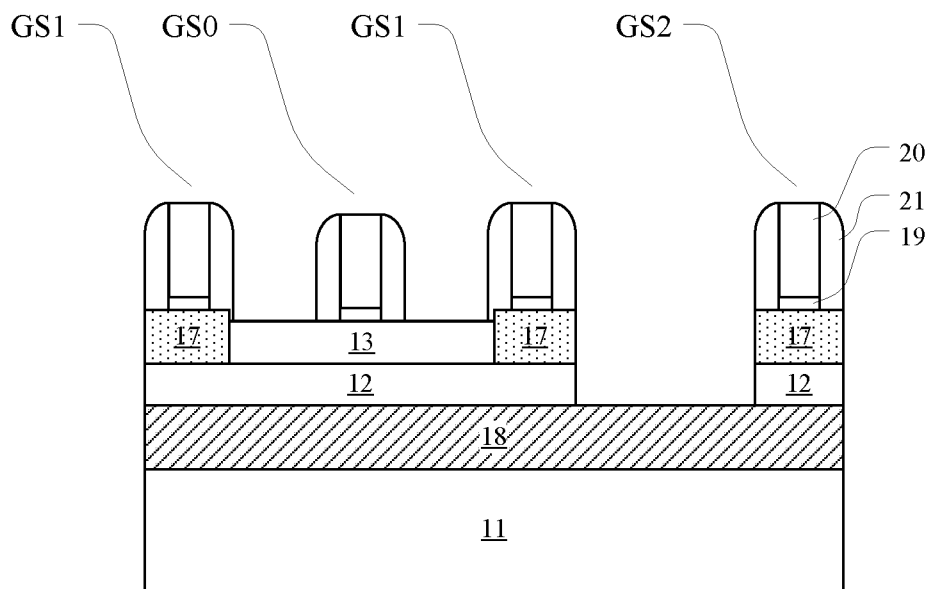


图7

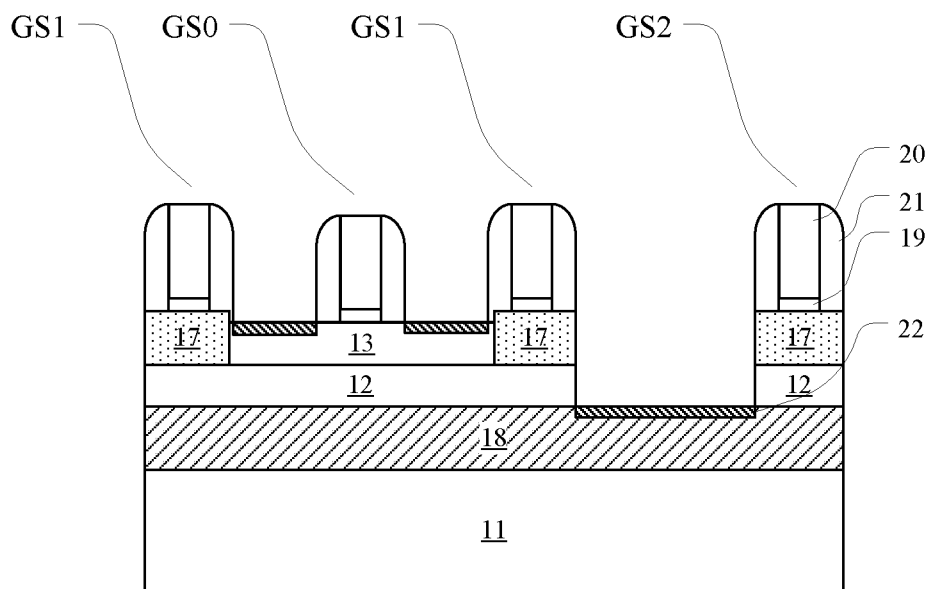


图8

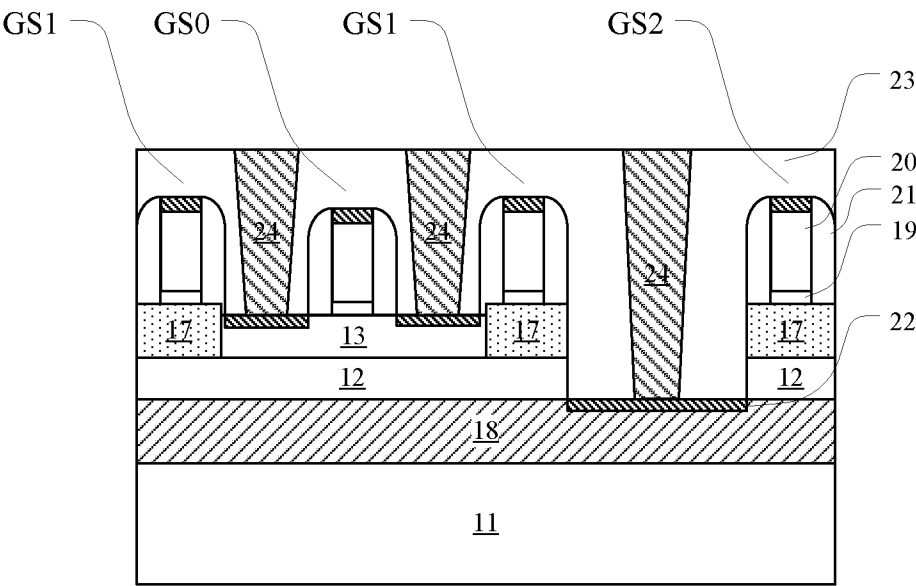


图9

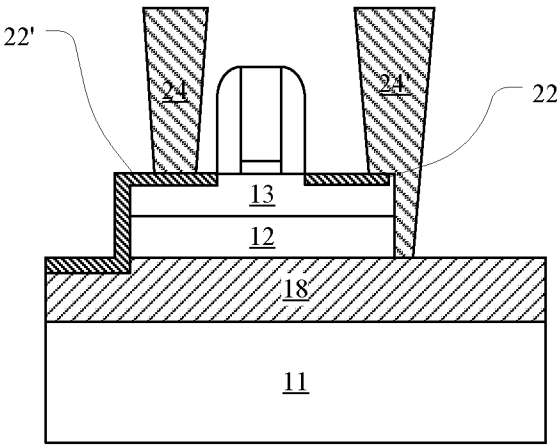


图10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2011/082415

A. CLASSIFICATION OF SUBJECT MATTER

see the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT,CNKI,EPODOC,WPI: back+ gate, shallow trench isolation, STI, dummy gate, pseudo gate, silicon-on-insulator, silicon on insulator, SOI, short circuit

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2011/0049577 A1 (NUPGA CORPORATION) 03 Mar. 2011 (03.03.2011) the whole document	1-11
A	CN 1461058 A (TOSHIBA KK) 10 Dec. 2003 (10.12.2003) the whole document	1-11

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&”document member of the same patent family

Date of the actual completion of the international search
26 Jun.2012 (26.06.2012)

Date of mailing of the international search report
19 Jul.2012 (19.07.2012)

Name and mailing address of the ISA
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No. (86-10) 62019451

Authorized officer
YANG, Zifang
Telephone No. (86-10) 62411806

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2011/082415

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2011/0049577 A1	03.03.2011	None	
C N1461058 A	10.12.2003	JP 2003332582 A	21.11.2003
		CN 100524819 C	05.08.2009
		US 2003209761 A1	13.11.2003
		TW 200403851 A	01.03.2004
		US 6979846 B2	27.12.2005
		TW I236149 B	11.07.2005
		CN 1235292 C	04.01.2006
		CN 1722466 A	18.01.2006

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/082415

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78 (2006.01) i

H01L 21/336 (2006.01) i

国际检索报告

国际申请号

PCT/CN2011/082415

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT,CNKI,EPODOC,WPI: 背栅, 背面栅, 浅沟槽隔离, STI, 假栅, 伪栅, 虚设栅, 虚拟栅, 虚置栅, SOI, 绝缘体上硅, 短路, back+ gate, shallow trench isolation, dummy gate, pseudo gate, silicon-on-insulator, silicon on insulator, short circuit

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US2011/0049577A1(NUPGA CORPORATION) 03.3 月 2011(03.03.2011) 全文	1-11
A	CN1461058A(株式会社东芝) 10.12 月 2003(10.12.2003) 全文	1-11

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

26.6 月 2012(26.06.2012)

国际检索报告邮寄日期

19.7 月 2012 (19.07.2012)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

授权官员

杨子芳

电话号码: (86-10) **62411806**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/082415

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US2011/0049577A1	03.03.2011	无	
CN1461058A	10.12.2003	JP2003332582A	21.11.2003
		CN100524819C	05.08.2009
		US2003209761A1	13.11.2003
		TW200403851A	01.03.2004
		US6979846B2	27.12.2005
		TWI236149B	11.07.2005
		CN1235292C	04.01.2006
		CN1722466A	18.01.2006

A. 主题的分类

H01L 29/78(2006.01) i

H01L 21/336(2006.01) i