

(12) 发明专利申请

(10) 申请公布号 CN 102195644 A

(43) 申请公布日 2011.09.21

(21) 申请号 201110059348.4

(22) 申请日 2004.12.22

(30) 优先权数据

10/746105 2003.12.24 US

(62) 分案原申请数据

200480038904.8 2004.12.22

(71) 申请人 英特尔公司

地址 美国加利福尼亚州

(72) 发明人 M·U·拉施德

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 朱海煜 蒋骏

(51) Int. Cl.

H03L 7/08 (2006.01)

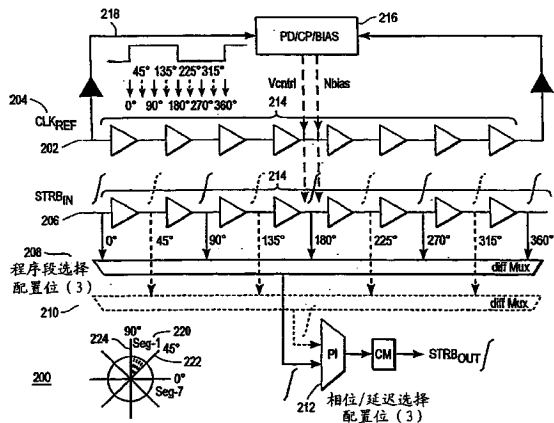
权利要求书 2 页 说明书 6 页 附图 7 页

(54) 发明名称

可编程序直接插入式延迟锁定环路

(57) 摘要

本发明的名称是“可编程序直接插入式延迟锁定环路”。本发明的实施例提供了一种 DLL 结构,其包括采用一个环路的粗糙-精细型设置方式,用于非连续选通,其也可以适用于连续的时钟。具体地,参考环路形成精确的粗糙单位延迟。从延迟线复制单位延迟。相位插入器在单位延迟之间内插以产生精细的延迟。



1. 一种设备,包括:
 - 参考时钟;
 - 参考反馈电路,其锁定到参考时钟,并形成粗糙单位延迟;
 - 延迟电路,其复制该单位延迟和参考反馈电路的偏置电压,并基于该单位延迟产生多个粗糙延迟边缘;和
 - 相位插入器,其在粗糙延迟边缘之内插,用以产生精细的延迟。
2. 如权利要求 1 中所述的设备,其中参考反馈电路包括延迟单元,每个延迟单元都覆盖参考时钟的延迟。
3. 如权利要求 2 中所述的设备,其中参考反馈电路在整个功率、电压和温度下维持单元延迟。
4. 如权利要求 2 中所述的设备,其中参考反馈电路产生与工作点相对应的偏置电压。
5. 如权利要求 4 中所述的设备,其中延迟电路使用与参考反馈电路相同的延迟单元和偏置电压。
6. 如权利要求 1 中所述的设备,其中延迟电路产生等间距的延迟边缘。
7. 如权利要求 6 中所述的设备,进一步包括:
 - 选择相邻边缘的多个多路复用器。
8. 如权利要求 7 中所述的设备,其中该多个多路复用器包括偶数的和奇数的相位选择多路复用器。
9. 如权利要求 7 中所述的设备,其中选定的相邻边缘被提供给相位插入器,用于在选定的相邻边缘之间产生单位延迟。
10. 如权利要求 2 中所述的设备,其中参考反馈电路产生并维持用于每个延迟单元的粗糙延迟。
11. 一种设备,包括:
 - 延迟电路,用以产生具有与数据选通信号不同的相位的多个延迟选通边缘信号;和
 - 相位插入器,其由该多个延迟选通边缘信号产生具有中间相的新的延迟选通边缘信号,其中用以产生具有与数据选通信号不同的相位的多个延迟选通边缘信号的延迟电路进一步包括:
 - 单个的主环路电路,其包括 n 个主延迟元件,该主环路电路锁定到参考时钟,并产生一组与工作点相对应的偏置电压;
 - 从延迟电路,其包括
 - 从主延迟元件复制的 n 个从延迟元件,使得由主环路来控制单个延迟,其中数据选通经过从延迟元件,并产生等间距的延迟边缘;
 - 多路复用器,用于由从延迟元件中选择相邻的延迟边缘;和
 - 相位插入器,用以接收选定的相邻延迟边缘,并在选定的相邻延迟边缘之内插,以产生多个精确的延迟边缘。
12. 如权利要求 11 中所述的设备,进一步包括:
 - 选择电路,用以从该多个延迟选通边缘信号中选择相邻的延迟选通边缘信号。
13. 如权利要求 11 中所述的设备,其中通过配置位可选择精确的延迟边缘。
14. 如权利要求 11 中所述的设备,其中主环路电路进一步包括反馈环路,以在整个过

程、电压和温度下维持单元延迟。

15. 如权利要求 11 中所述的设备,其中,在存储器设备的读出模式中提供数据选通信号。

16. 如权利要求 15 中所述的设备,其中,存储器设备是双数据率 (DDR) 随机存取存储器 (RAM)。

17. 一种方法,包括:

利用参考反馈电路形成粗糙单位延迟;

复制该单位延迟和参考反馈电路的偏置电压,并根据延迟电路中的单位延迟产生多个粗糙延迟边缘;

选择相邻的粗糙延迟边缘;和

在选定的相邻粗糙延迟边缘之间内插以产生精确延迟。

18. 如权利要求 17 中所述的方法,进一步包括:

产生与工作点相对应的偏置电压。

19. 如权利要求 17 中所述的方法,其中,复制该单位延迟并根据延迟电路中的单位延迟产生多个粗糙延迟边缘进一步包括:

在延迟电路中使用与参考反馈电路相同的延迟单元和偏置电压。

20. 如权利要求 17 中所述的方法,进一步包括:

在延迟电路中产生等间距的延迟边缘。

21. 如权利要求 17 中所述的方法,进一步包括:

选择考虑了系统留裕量能力的延迟代码。

22. 如权利要求 21 中所述的方法,其中,选择考虑了系统留裕量能力的延迟代码进一步包括:

进行校准过程、走查代码设定并在引导过程中确定最佳设定。

可编程序直接插入式延迟锁定环路

[0001] 本申请是申请日为 2004 年 12 月 22 日、申请号为 200480038904.8、发明名称为“可编程序直接插入式延迟锁定环路”的申请的分案申请。

背景技术

[0002] 在以源同步方式工作的存储器子系统中,在传导数据线上传输数据信号的设备也在单独的传导线路上传输选通信号。选通信号中的脉冲相对于多个数据信号中每个相关的脉冲具有预定的相位关系。选通信号中的脉冲被用来在接收设备上捕获数据信号中的位值。具体地,数据和选通信号通过接收器电路,该接收器电路检测正进行声明的逻辑电平,并将这些逻辑电平转换成电压电平,而这些电压电平适用于由集成电路(IC)芯片中的控制器电路进行处理。然后,接收器电路的输出被馈送到多个锁存器,该多个锁存器中的每一个响应选通信号中的脉冲捕获对应数据信号中的位值。

[0003] 例如,在从存储器设备中读取数据时,双数据率(DDR)存储器设备使用源同步传输。数据选通信号(DQS)与要进行时钟控制的数据(DQ)一起发送。DQS信号的定时边缘与数据转换时间一致。为了利用DQS信号捕获寄存器中的数据,DQS信号需要进行延迟以符合寄存器的数据建立时间要求。

[0004] 传统的存储器接口采用延迟锁定环路(DLL)用于时钟恢复。一种结构是基于自偏压技术,其中,所有的偏置电压和电流都参考其它所产生的偏置电压和电流。另一种结构是基于用于连续运行时钟的双环路DLL结构。一个环路产生八个等间距的参考时钟,另一个环路在选定的连续参考时钟之间多路复用,用以产生所希望的恢复时钟。但是,希望能有更高的精确度使选通置于数据眼的中间,用以使系统的定时裕度最大。

附图说明

[0005] 图 1 是说明了可以实现本发明的一个实施例的系统的示意图。

[0006] 图 2 是根据本发明的 DLL 结构的实施例的示意图。

[0007] 图 3(a) 是 DDR DRAM 和存储器控制器的实施例的示意图。

[0008] 图 3(b) 说明了在存储器子系统的示例性实施方式中找到的信号的时序图。

[0009] 图 4(a) 是 DLL 的实施例的顶层示意图,该 DLL 包括一个如上所述的和一个从延迟线共用的主延迟线。

[0010] 图 4(b) 是图 3(a) 中所示的实施例的详细示意图。

[0011] 图 5 是 DLL 实现方式的实施例的示意图。

[0012] 图 6 是用于插入本发明的实施例的流程图。

[0013] 图 7 是概况的延迟曲线的实施例的曲线图。

[0014] 图 8 是在各种频率下的延迟曲线的实施例的曲线图。

具体实施方式

[0015] 本发明的实施例提供了一种 DLL 结构,该 DLL 结构包括采用一个环路的粗糙-精

细型 (coarse-fine type) 设置, 该一个环路用于非连续选通, 其也可以适用于连续时钟。具体地, 参考环路形成了精确的粗糙单位延迟。从延迟线复制该单位延迟。相位插入器 (PI) 在单位延迟之间内插, 用以产生精细延迟。

[0016] 存储器在双向数据选通 (DQS) 信号的上升和下降沿传递数据 (DQ)。可程序的延迟锁定环路 (DLL) 被用在存储器控制器中, 用以产生允许进入的选通置于数据眼中间以使系统定时最大的精确的内部选通延迟。该 DLL 提供了具有非常精细的步长的延迟范围。具体地, 相位插入器采用两个连续的粗糙选通边缘角, 并在它们之间内插, 用以产生更精细的选通边缘。在引导过程中, 存储器控制器走查延迟范围, 并在传送窗口内选择最佳的延迟设定。

[0017] 在详细的描述中, 为了提供对本发明的全面的理解, 提出了许多具体的细节。但是, 本领域的技术人员应理解, 可以在不具有这些具体细节的情况下实现本发明。在其它的例子中, 已经详细描述了公知的方法、过程、部件和电路, 以使本发明不难理解。

[0018] 后面详细描述的一些部分表现在计算机内对数据位或二进制信号运算的算法和符号表示法上。这些算法的描述和表示是数据处理领域中的技术人员所采用的方法, 用以将他们工作的内容传送给该领域中的其它技术人员。通常, 本文中的算法被看作是导出所希望的结果的步骤的自相一致的序列。这些步骤包括物理量的物理操作。通常, 但非必要的, 这些量采用能够被存储、传递、组合、比较以及进行其它操作的电或磁信号的形式。主要是为了通常使用的原因, 已经证实有时将这些信号称作位、数值、要素、符号、字符、术语、数字等是很方便的。但是, 应该理解的是, 所有这些和类似的术语都与适当的物理量有关, 并且它们只是提供给这些量的方便的标注。除特别注明的以外, 从下面的讨论中很明显的, 在整个说明书中, 利用如“处理 (processing)”或“计算 (computing)”或“计算 (calculating)”或“确定 (determining)”等这类术语的讨论都指的是计算机或计算系统或类似的电子计算设备的动作或处理, 所述动作或处理操作计算系统的寄存器和 / 或存储器内的表示为物理 (电子) 量的数据转并将其换成计算系统的存储器、寄存器或其它这类信息存储、传输或显示设备中的类似表示为物理量的其它数据。

[0019] 本发明的实施例可以在硬件或软件或它们的组合中实现。但是, 本发明的实施例可以用在可编程序系统上执行的计算机程序实现, 该可编程序系统包括至少一个处理器、数据存储系统 (包括易失性和非易失性存储器和 / 或存储元件)、至少一个输入设备和至少一个输出设备。程序代码可以提供给输入数据, 以执行本文中所描述的功能, 并产生输出信息。输出信息可以以公知方式提供给一个或多个输出设备。对本申请来说, 处理系统包括具有处理器, 如例如, 数字信号处理器 (DSP)、微控制器、专用集成电路 (ASIC) 或微处理器的任何系统。

[0020] 程序可以用高级程序上的或面向对象的程序语言来实现, 以与处理系统进行通信。如果需要的话, 程序也可以用汇编或机器语言来实现。事实上, 本发明的范围并不局限于任何特定的程序语言。无论如何, 该语言可以是被编译或解释的语言。

[0021] 程序可以存储在存储介质或设备 (例如, 硬磁盘驱动器、软磁盘驱动器、只读存储器 (ROM)、CD-ROM 设备、闪速存储器设备、数字通用光盘 (DVD) 或其它存储设备) 上, 该存储介质或设备可由通用或专用可编程序处理系统读取, 当由处理系统读取存储介质或设备以执行本文中所描述的程序时程序用于配置并操作处理系统。本发明的实施例也可以被看作

是由机器可读的存储介质实现的,配置为用于处理系统,其中这样配置的存储介质使处理系统以特定的且预定的方式进行工作,以执行本文中所描述的功能。

[0022] 为了进行说明,利用总线、存储器控制器和存储器来讨论本发明的实施例。但本发明的实施例并不局限于这种配置。

[0023] 图 1 是说明了可以实现本发明的一个实施例 100 的系统的示意图。处理器 102 表示任意类型结构的处理单元,如微控制器、数字信号处理器、状态机或中央处理器 (CPU)。CPU 可以由各种结构类型来实现,如复杂指令集计算机 (CISC)、精简指令集计算机 (RISC)、超长指令字 (VLIW) 或混合体系结构。处理器 102 与存储器控制器 104 接口。

[0024] 存储器控制器 104 提供存储器的控制功能。存储器 106 表示用于存储信息的一个或多个机制。例如,存储器 106 可以包括非易失性或易失性存储器。这些存储器的例子包括闪速存储器、只读存储器 (ROM) 或随机存取存储器 (RAM)。存储器 106 可以包含程序和其它程序和数据。当然,存储器 106 优选地包含额外的软件 (图中未示出),其对理解本发明是不必要的。

[0025] 在本发明的一个实施例中,存储器 106 包括双数据率动态随机存取存储器 (DDR DRAM)。DDR DRAM 使用双数据率结构以实现高速操作。双数据率结构实质上是 $2n$ - 预取结构,其具有被设计成在 I/O 管脚每个时钟周期传递两个数据字的接口。在典型的 DDR DRAM 中,与数据 (DQ) 信号一起在外传输双向数据选通 (DQS) 信号,用于接收器的数据捕获。

[0026] 图 2 是说明了根据本发明的 DLL 结构的实施例 200 的示意图。该结构包括主或参考反馈环路 202,其锁定到可能来自于存储器控制器的参考时钟 (CLK_{REF}) 204,还包括从延迟线 (与主偏置耦合) 206、相位选择多路复用器 208 和 210 以及相位插入器 212。由于选通信号是非同步信号,所以使用主 - 从设置方式。

[0027] 主环路

[0028] 主环路 202 包括延迟单元或元件 214、鉴相器、电荷泵和偏压发生器 (一起用 216 来表示)。对于用在主环路 202 中的八个延迟元件,每个延迟单元 214 覆盖 $T_{REF}/(N=8)$ 延迟,或者是参考时钟的 45 度。在这个实施例 200 中,主环路 202 在 PVT 上维持单元延迟,并产生一组与工作点相对应的模拟偏压。

[0029] 主环路 202 锁定到参考时钟 CLK_{REF} (具有周期 T_{REF}) 204。由于具有 N (例如, $N=8$) 个延迟元件 214,所以每个单元延迟是 T_{REF}/N 。反馈环路 218 在整个过程、电压和温度下维持该单元延迟。主环路 202 产生一组与工作点相对应的偏压。

[0030] 从延迟线

[0031] 从延迟线 206 使用与参考环路 202 相同的延迟单元 214 和偏置电压 216。通过这样做,从延迟元件 214 产生与 $T_{REF}/8$ 或主参考时钟 204 的 45 度相同的延迟。由于在从延迟线 206 中具有 8 个延迟元件 214,所以进入的选通在流过延迟线 206 时产生 8 个等间距 (45 度) 的延迟边缘。通过偶数的和奇数的相位选择多路复用器 208 和 210 可以选择任意两个连续的边缘。所选定的边缘被输入到相位插入器 (PI) 212,其在两个选定的边缘之间产生 8 个单位延迟。对于示出的例子,步长分辨率会近似为每一个步长 $45 度 / 7 = 6.4 度$ 。

[0032] 该结构的实施例可以被看作是粗糙 - 精细型延迟产生结构。主环路 202 为每个延迟单元产生并维持粗糙延迟 (45 度 / 单元)。当非同步的选通边缘经过从延迟线时,它产生一组粗糙的延迟边缘,它们相互间隔 45 度 (由主机设定的)。从 PI 在粗糙延迟边缘之间内

插,以产生更精细的 6.4 度的相位阶跃。与以连续运行时钟方式使用的双环路实现方式相比,这种结构仅采用一个反馈环路就实现了粗糙和精细的延迟产生方案。

[0033] 分辨率的提高归功于相位插入器的使用,其产生比先前产生中的单个单元的延迟小得多的延迟。由于这些单元都工作在粗糙延迟模式而不是精细延迟模式下,因此,功率的提高归功于较低的单元电流的消耗。因为只需要少数几个单元来覆盖指定的延迟范围,所以实现了面积的减小。

[0034] 参考图 2,非同步的选通信号 STRB(DQS) 经过从延迟线 206。主延迟元件 214 与偏置电压 216 一起在从延迟线 206 中被复制。当选通 STRB 经过从延迟元件 214 时,从延迟线 206 产生一组 (M 个) 等间距的延迟边缘。通过主环路 302 来控制单个单元的延迟。随后的边缘 (也称作片段 (segment)) 通过多路复用器 (奇数和偶数多路复用器) 208 和 210 来选择,并提供给相位 / 延迟插入器 (PI) 212。

[0035] 对于选定的片段,相位 / 延迟插入器可以产生一组精确的延迟边缘,它们可通过配置位来选择。从延迟线 206 包括分接头 (包括在其两端的分接头),这些分接头提供了具有等间距相位的信号。例如,9 个分接头提供了 9 个信号,这 9 个信号间距相等,并间隔 45 度。

[0036] 从延迟线 206 产生 M 个等间距的延迟选通边缘。每个延迟元件 214 都具有可调的延迟,用以提供 M 个等间距的选通边缘。各个等间距的相位都从从延迟线 206 中抽出。例如,延迟线具有 9 个分接头,包括在其两端的那些,提供了 9 个具有等间距相位的信号。也就是说,每个信号的相位间隔为 45 度。

[0037] 选择两个相邻的所产生的选通边缘,并提供给相位插入器 212,以在该片段内产生更精细的延迟。奇数和偶数多路复用器 208 和 210 被用来连接每隔一个的延迟元件 214。例如,编号为奇数的延迟元件连接到多路复用器 208,编号为偶数的延迟元件连接到多路复用器 210。控制信号被提供给每个多路复用器 208 和 210,以选择随后要提供给相位 / 延迟插入器 212 的相邻的边缘。

[0038] 例如,可以选择在片段 1 (Seg-1) 220 中的对应于 45 和 90 度的相邻的边缘 222 和 224,并将其提供给相位 / 延迟插入器 212,用于进行进一步的处理。对于选定的程序段,相位 / 延迟插入器 212 可以产生一组精确的延迟边缘,这些边缘可通过配置位来选择。

[0039] DRAM 和存储器控制器

[0040] 图 3(a) 是存储器 302 如 DDR DRAM 和存储器控制器 304 的实施例 300 的示意图。利用选通信号 310 传递存储器边缘对准数据 308。具体地,DQS 信号是在读出周期中由 DDR DRAM 而在写入周期中由存储器控制器例如存储器控制器 304 传输的选通 310。该 DQS 信号与用于读出周期的 DQ 信号 308 边缘对准。存储器在双向数据选通 (DQS) 信号 310 的上升沿和下降沿都传递数据 (DQ) 308。本发明的实施例关注由 DQS 信号钟控读出数据的定时是关键读出周期。

[0041] 存储器控制器 304 包括 DLL 电路 306,其将选通信号或时钟设置在数据眼的中间,从而使系统的定时裕度最大。如下面将详细讨论的,DLL 电路 306 是用延迟线实现的,并且各种等间距的相位从该延迟线中抽出。

[0042] DLL- 选通设置

[0043] 图 3(b) 是用于图 2(a) 中所示的 DLL 电路 306 的定时信号的实施例 312 的示意

图。DLL 电路 306 用在存储器控制器 304 中用以产生内部选通延迟,该内部选通延迟使得进入的选通 310 能够被设置在数据眼(例如,316)的中部,以使系统定时最大。DQS 信号 314 和 DQ 信号 318 的协议使得可确保位值与 DQS 信号 314 的每个上升沿或下降沿(例如,318 和 320)同时断言。这样,数据值 D0、D1、D2 等从 DQS 信号 314 中交替的上升沿和下降沿开始可用。应该注意的是,本发明也可以用于只使用 DQS 信号 314 的上升沿或下降沿,即只使用其中一个来标记相关的位值的协议。

[0044] 在 DQS/DQ 的飞行时间间隔之后在存储器控制器 304 上接收 DQS 信号 310 和 DQ 信号 308。为了进行更可靠的数据捕获,进一步在控制器 306 中延迟接收到的 DQS 信号 314,使得它的上升沿或下降沿的位置更靠近其相关的数据脉冲 308 的中部。如下面将详细讨论的,DLL 电路 306 提供该延迟。DLL 电路 306 提供具有非常精细的步长的延迟范围。在引导时,控制器走查该延迟范围(例如,1/4Tbit 或 3/4Tbit),并在传送窗口内选择最好的延迟设定。

[0045] 图 4(a) 是 DLL 的实施例 400 的示意图,其包括如上所述的与一个从延迟线 404 共用的一个主环路 402。图 4(b) 是图 2(a) 中所示的实施例 408 的详细示意图,其包括主环路 402、主延迟元件 404、从延迟线 406、从延迟元件 408、多路复用器 410、412、相位插入器 414 和转换器 416。本发明的实施例可以用 ACIO 回送、硅排除故障、回转速率控制、系统留裕度等方式实现。

[0046] 在典型的实现方式中,对于 DDR-533,采用分辨率为 $< 25\text{pS}$ 的 1/4Tbit 到 3/4Tbit 延迟范围(Tbit/2 范围)。对于主参考时钟,采用提供了 $T_{\text{REF}} = T_{\text{bit}}/2$ 的 4X-Clock(例如,对于 DDR-533,1066MHz)。主参考时钟的频率用 DDR MT 进行换算,单个单元延迟、步长和范围也是如此。

[0047] 根据本发明的实施例,提供了可程序主环路元件。所采用的元件的数量是可选的。这使得可改变 DLL 的范围和分辨率。参考图 2,采用了 8 个延迟元件来覆盖 T_{ref} 的延迟范围(360 度)。根据本发明的实施例,可以采用更多的延迟元件来覆盖更大的范围。

[0048] 例如,图 5 是 DLL 实现方式的实施例 500 的示意图。在主环路 502 中采用了 11 个延迟元件 504 来产生相位延迟为 32.7 度的边缘。更密的相位间距导致产生更低的噪声灵敏度。包括有 15 个延迟元件 508 的延迟线 506 可以用在从延迟线中,以在过程、电压和温度下满足 $T_{\text{min}} (= 1/4\text{UI})$ 和 $T_{\text{max}} (= 3/4\text{UI})$ 。三位温度计编码的相位插入器 510 产生 4.7 度的精细相位阶跃,以保证单调的延迟。为了减少延迟线引起的抖动,可以在单端上选择差分实现方式。

[0049] 本领域的技术人员会认识到,本发明并不局限到主或从延迟线数量上。例如,在另一个实施例中,DLL 可以包括与两个从延迟线共用的一个主环路,以支持两个不同的 DDR 信道的选通。

[0050] 图 6 是实现本发明的实施例 600 的流程图。

[0051] 在步骤 602 中,利用参考反馈电路形成粗糙单位延迟。

[0052] 在步骤 604 中,复制该单位延迟,并根据在延迟电路中的单位延迟产生多个粗糙延迟边缘。在延迟电路中使用与参考反馈电路相同的延迟单元和偏置电压。在延迟电路中产生等间距的延迟边缘。

[0053] 在步骤 606 中,选择相邻的边缘。

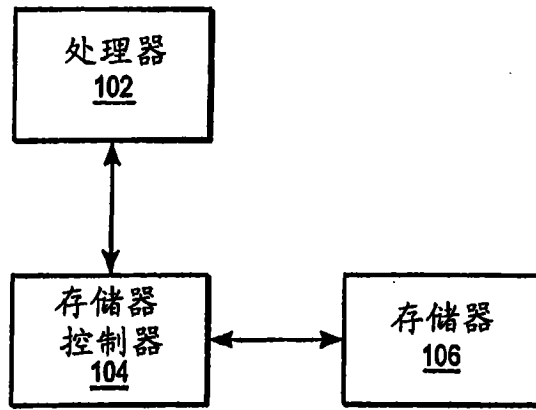
[0054] 在步骤 608 中,粗糙延迟边缘被内插以产生精细延迟。

[0055] 图 7 是概况的延迟曲线的实施例 700 的曲线图。示出了对于较低和较高频率的 DDR 的延迟对代码设定。本发明的实施例提供的延迟代码可选或可软件编程,并允许系统留裕量能力。在引导过程中,系统会进行校准过程,走查所有的代码设定,并找出对于该特定系统的最佳设定。贯穿整个系统留裕度,确定引导过程中的最佳工作点。

[0056] 具体地,DLL 提供了具有特定步长分辨率的延迟范围。较高的参考时钟频率 702 提供了具有“较高步长分辨率”的“较小的范围”。较低的参考时钟频率 704 提供了具有“较低步长分辨率”的“较大的范围”。这符合 DLL 的典型的使用条件。对于较高的频率,希望有较高的分辨率。相应地,需要较小的范围。对于较低的频率,覆盖了较长的延迟范围。在大多数情况下,由于在较低频率时有更多的裕度,因此较低分辨率是精细的。本发明的实施例提供了系统的裕量。在引导过程中,系统可以走查代码,并找出要采用的最佳的工作延迟。

[0057] 图 8 是在各种频率下的延迟曲线的实施例 800 的曲线图。具体地,示出了用于 DDR266、333 和 400 以及 DDR2533 和 667MT 的延迟曲线(即,典型的角延迟对代码设定)。延迟范围和步长用 DDR MT 进行换算。

[0058] 上面对于本发明所示实施例的描述并不是穷举或者并不是把本发明限制到所公开的具体形式上。尽管为了说明的目的本文中描述了本发明的具体实施例和例子,但如相关领域中的技术人员会认识到的,在本发明的范围内可以有各种等效的修改。可以根据上面的详细描述来对本发明作出这些修改。在随后的权利要求中所使用的术语不应该被看作是本发明限定到说明书和权利要求书中所公开的具体实施例中。相反,本发明的范围完全是由随后的权利要求来确定的,其被看作是权利要求所阐述的含义相一致。



100

图 1

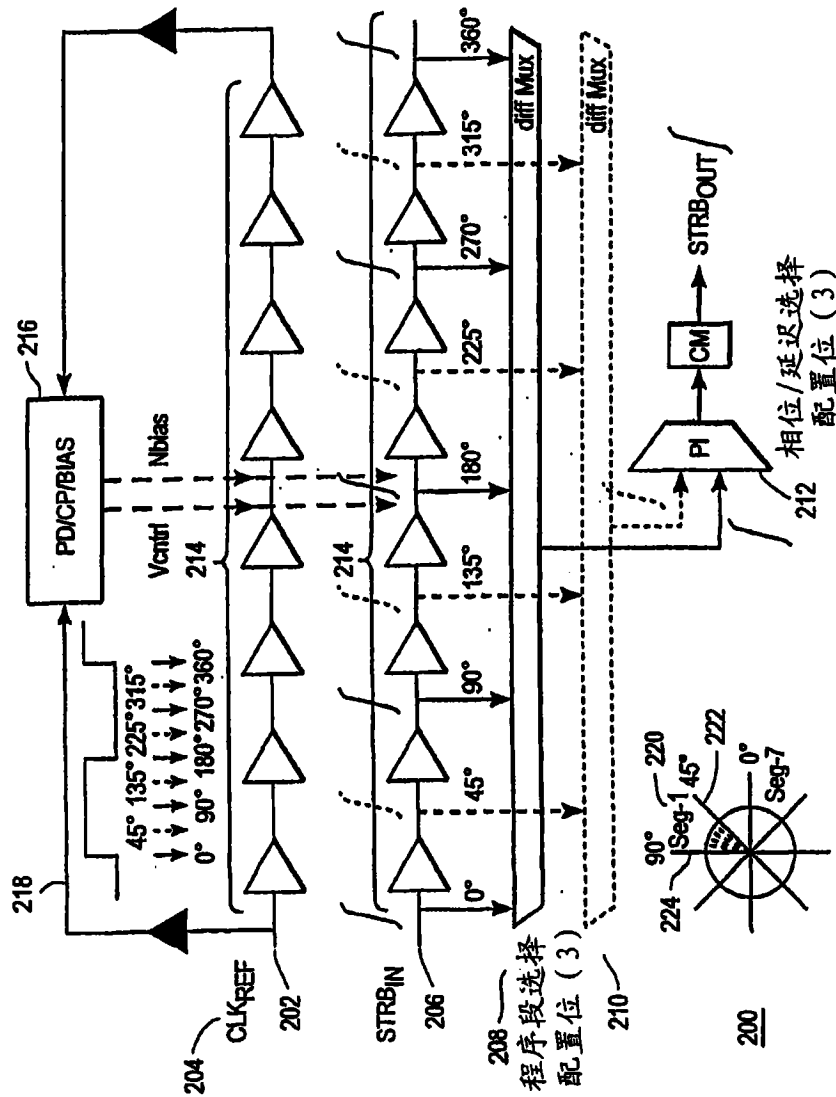


图 2

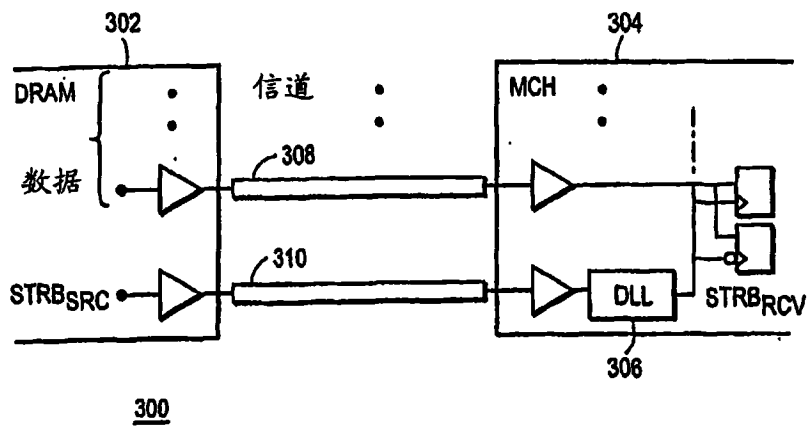


图 3(a)

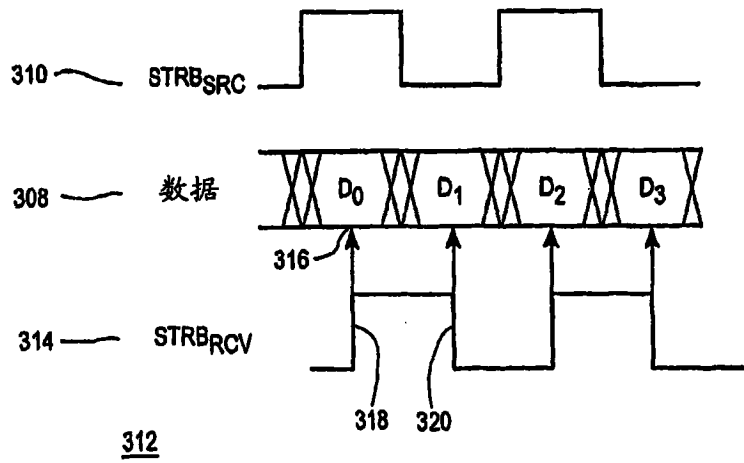


图 3(b)

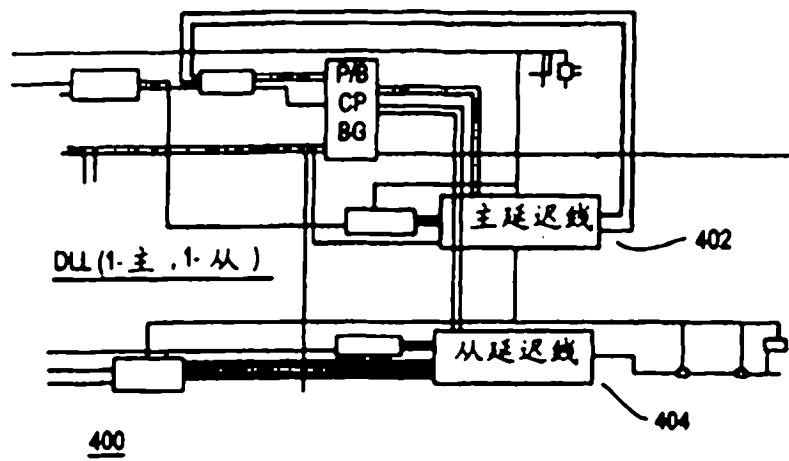


图 4(a)

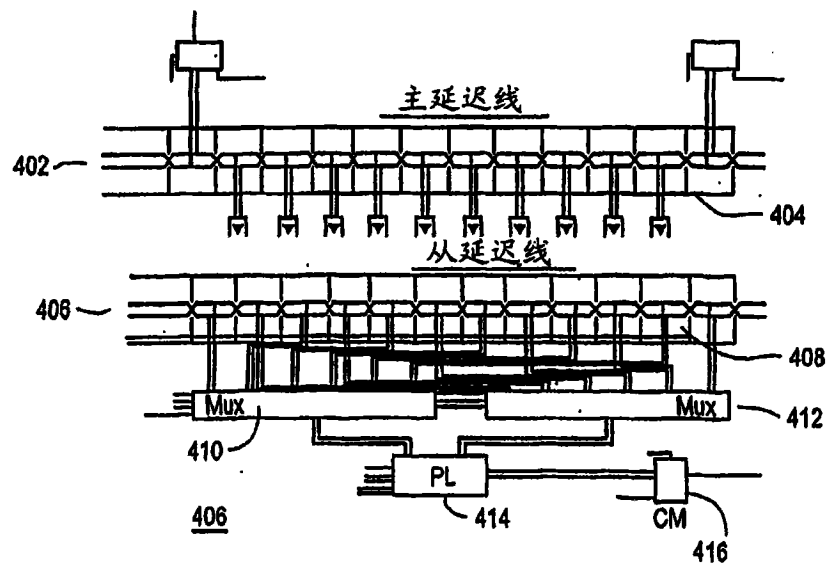


图 4(b)

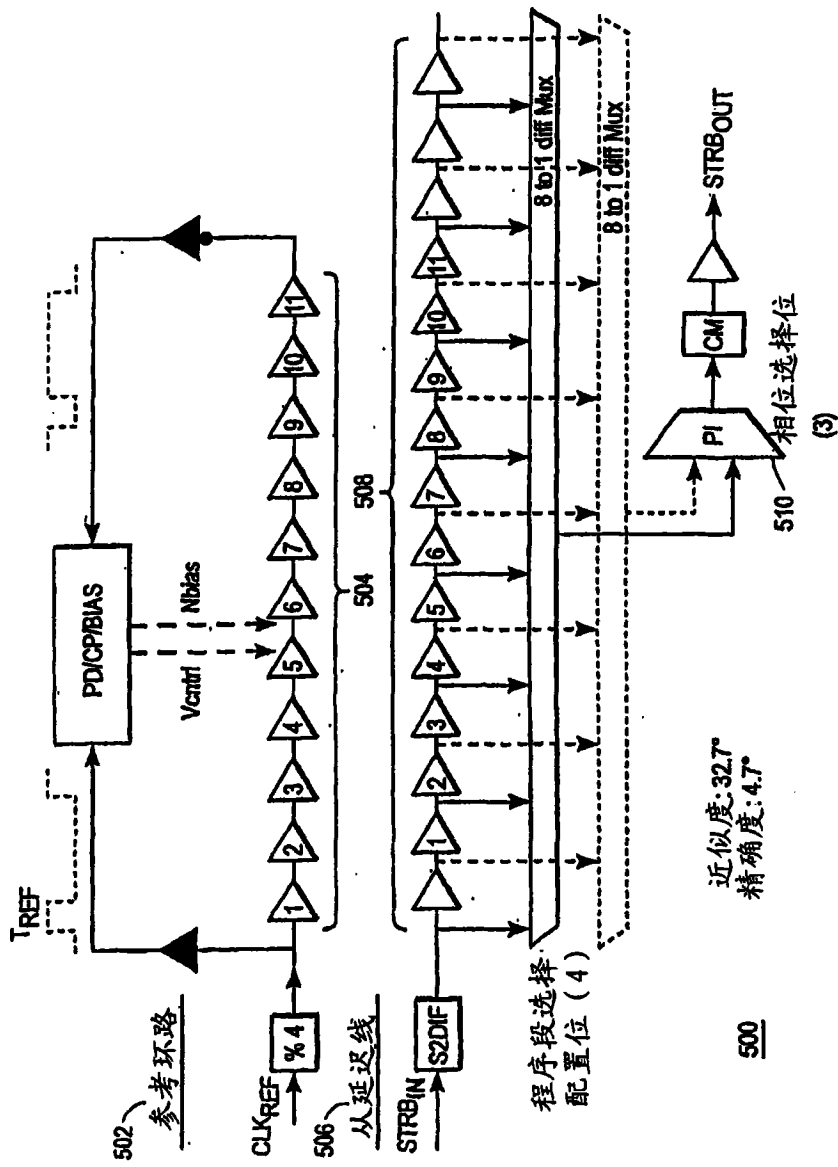
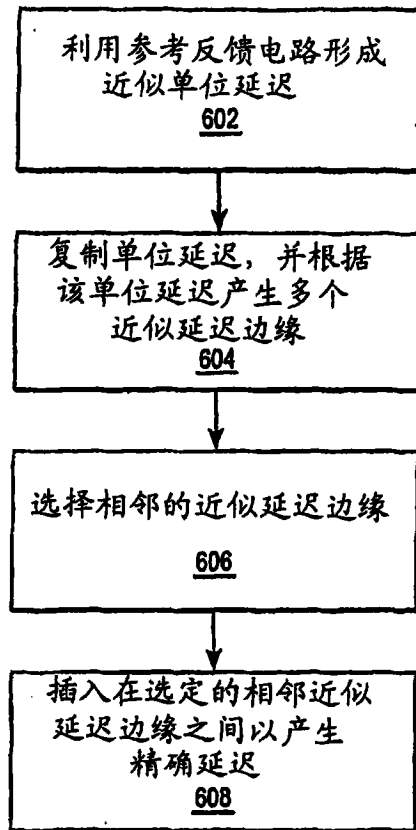


图 5



600

图 6

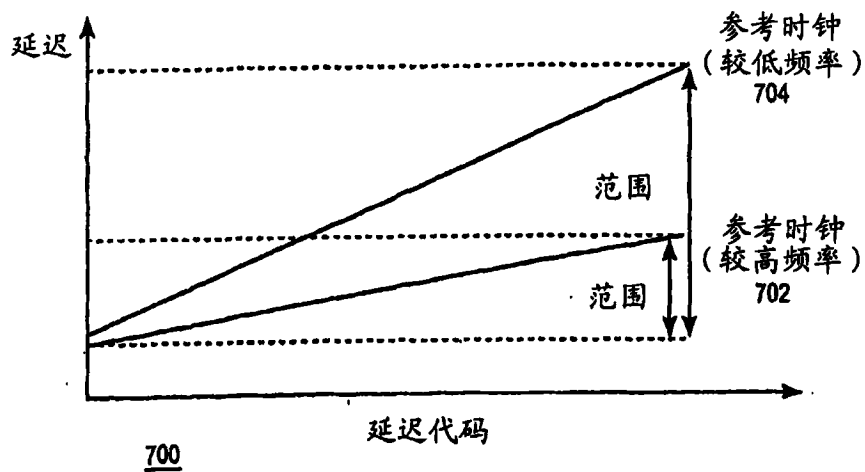


图 7

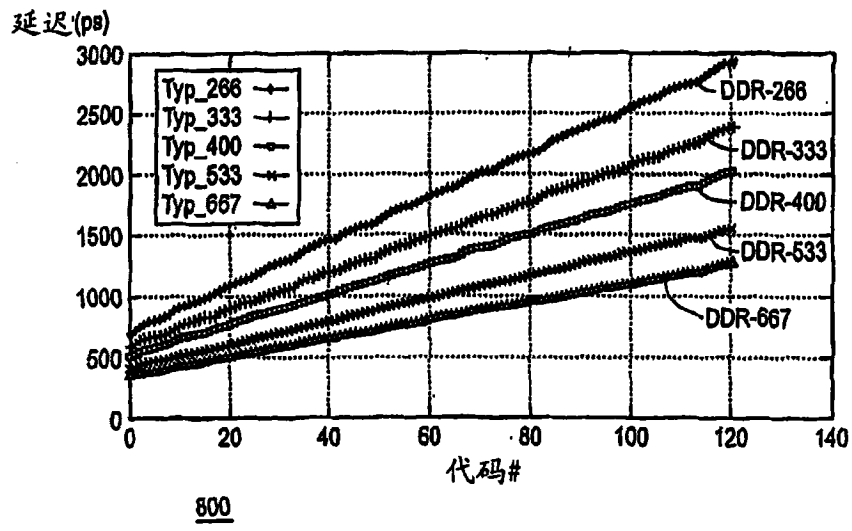


图 8