



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/34 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월11일 10-0668160 2007년01월05일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-1999-0026311 1999년07월01일 2004년06월30일	(65) 공개번호 (43) 공개일자	10-2000-0011406 2000년02월25일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장      10-208710      1998년07월07일      일본(JP)

(73) 특허권자      신에쓰 한도타이 가부시키키가이샤  
                         일본 도쿄도 치요다꾸 마루노우치 1-쵸메 4-2

(72) 발명자      요코카와이사오  
                         일본,군마-켄,아나까-시,이소베2-쵸메,13-1신에쓰한도타이가부시키키가  
                         이사이소베알앤디센터내

                         타테나오토  
                         일본,군마-켄,아나까-시,이소베2-쵸메,13-1신에쓰한도타이가부시키키가  
                         이사이소베알앤디센터내

                         미타니키요시  
                         일본,군마-켄,아나까-시,이소베2-쵸메,13-1신에쓰한도타이가부시키키가  
                         이사이소베알앤디센터내

(74) 대리인      특허법인씨엔에스  
                         전준향

심사관 : 이우식

전체 청구항 수 : 총 8 항

(54) S O I 웨이퍼의 제조방법 및 이 방법으로 제조된 S O I 웨이퍼

(57) 요약

2매의 단결정 실리콘 웨이퍼중 적어도 하나에 산화막을 형성하고; 2매의 웨이퍼중 한 웨이퍼의 상면에 수소이온 또는 희가스(rare gas) 이온을 주입하여 이온주입층(ion implanted layer)을 형성시키고; 상기 이온-주입된 표면과 다른 실리콘 웨이퍼 표면을 산화막을 사이에 두어 밀착시키고; 상기 이온주입층을 벽면으로 하여 한 실리콘 웨이퍼를 박막으로 분리하도록 열처리를 가함에 의해, SOI층을 갖는 SOI웨이퍼를 제조한 다음; 상기 SOI층상에 에피택셜층을 성장시켜 후막 SOI층을 형성시키는 SOI웨이퍼의 제조방법이 개시된다. 두께 균일성 및 결정성이 양호한 후막 SOI층을 갖고, 바이폴라 디바이스 또는 파워 디바이스에 유용한 SOI웨이퍼가 제공된다.

대표도

도 1

## 특허청구의 범위

### 청구항 1.

2매의 단결정 실리콘 웨이퍼중 적어도 하나에 산화막을 형성하고; 2매의 웨이퍼중 한 웨이퍼의 상면에 수소이온 또는 희가스(rare gas) 이온을 주입하여 이온주입층(ion implanted layer)을 형성시키고; 상기 이온-주입된 면과 다른 실리콘 웨이퍼의 표면을 산화막을 사이에 두어 밀착시키고; 상기 이온주입층을 벽면으로 하여 실리콘 웨이퍼를 박막상으로 분리하도록 열처리를 가함에 의해, SOI층을 갖는 SOI웨이퍼를 제조한 다음; 상기 SOI층상에 에피텍셀층을 성장시켜 후막 SOI층을 형성시키는 것을 특징으로 하는 SOI웨이퍼의 제조방법.

### 청구항 2.

제1항에 있어서, 에피텍셀층 성장전의 상기 SOI웨이퍼에, 수소를 포함하는 환원성분위기 또는 염화수소가스를 포함하는 분위기하에서 열처리를 행하는 것을 특징으로 하는 SOI웨이퍼의 제조방법.

### 청구항 3.

제1항 또는 2항에 있어서, 에피텍셀층 성장전 상기 SOI웨이퍼의 SOI층 두께가  $0.2\mu\text{m}$  이상인 것을 특징으로 하는 SOI웨이퍼의 제조방법.

### 청구항 4.

삭제

### 청구항 5.

제1항 또는 2항에 있어서, 에피텍셀 성장후 상기 후막SOI층의 두께가  $2\mu\text{m}$  이상인 것을 특징으로 하는 SOI웨이퍼의 제조방법.

### 청구항 6.

삭제

### 청구항 7.

제3항에 있어서, 에피텍셀 성장후 상기 후막SOI층의 두께가  $2\mu\text{m}$  이상인 것을 특징으로 하는 SOI웨이퍼의 제조방법.

### 청구항 8.

제1항의 방법으로 제조된 SOI웨이퍼.

### 청구항 9.

삭제

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

제1항의 방법에서 부산물로 생긴 박리 웨이퍼를 재처리한 후, 실리콘 웨이퍼로 재이용하는 방법.

청구항 16.

삭제

청구항 17.

삭제

청구항 18.

삭제

청구항 19.

SOI층상에 에피텍셀층을 성장시킨 후막 SOI웨이퍼에 있어서, 상기 에피텍셀층 하부의 SOI층중에 데미지층이 존재하는 것을 특징으로 하는 후막 SOI웨이퍼.

명세서

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은, 이온-주입된(ion-implanted) 웨이퍼를 다른 웨이퍼와 결합하고, SOI웨이퍼를 제공하도록 박리하는 방법(수소 이온 박리법, 스마트-컷 법이라 칭하는 기술)에 의해 얻어진, SOI구조 웨이퍼의 SOI(Silicon On Insulator)층을 두껍게 하는 방법, 및 이 방법으로 제조된 SOI웨이퍼에 관한 것이다.

SOI웨이퍼를 제조하는 방법의 대표적인 한 방법으로, 경면연마한(mirror-polished) 실리콘 웨이퍼 2매를 접착제없이 산 화막으로 결합하고, 열처리(통상 1000℃ ~ 1200℃)를 행하여 결합강도를 높인 후 웨이퍼중 하나를 박막화하는, 이른바 웨이퍼 결합법(wafer bonding method)이 있다.

이 웨이퍼 결합법에서는, 서로 결합된 2매의 웨이퍼중 한 웨이퍼를 연삭(grinding) 혹은 에칭에 의해 어느정도 박막화한 다음 그 표면을 기계 화학적(mechanochemical) 연마하여, 목적하는 SOI층 두께를 갖도록 마무리된다.

이 방법으로 제조된 SOI웨이퍼는, SOI층의 결정성(crystallinity) 및 매입 산화층의 신뢰성이 통상의 실리콘 웨이퍼만큼 높은 이점을 가진다. 그러나, 이 제조방법에서 얻어진 SOI층의 두께 균일성에는 한계가 있다. 즉, 매우 정확한 가공수법을 이용해도 목적하는 두께에 대해  $\pm 0.3\mu\text{m}$  정도의 면내 균일성만을 얻을 수 있다. 더욱이, 2매의 실리콘 웨이퍼중 1매만을 SOI웨이퍼로 할 수 있기 때문에, 제조비가 높아지는 문제가 있다.

최근, 새로운 SOI웨이퍼의 제조방법으로, 이온-주입된 웨이퍼를 다른 웨이퍼와 결합한 후 열처리하여 이온주입층에서 박리하는 방법(수소이온 박리법 (hydrogen ion delamination method), 스마트-컷(smart-cut) 법이라 칭하는 기술)이 특개평 5-211128호에 개시되어 있다. 이 방법은, 2매의 실리콘 웨이퍼중 적어도 한 표면에 산화막을 형성하고; 웨이퍼내부에 미소기포층(fine bubble layer)(봉입층, enclosed layer)을 형성하도록, 2매의 실리콘 웨이퍼중 한 웨이퍼 표면에 수소이온 또는 희가스(rare gas) 이온을 주입하고; 상기 이온-주입된 면과 다른 실리콘 웨이퍼의 표면을 산화막을 사이에 두어 밀착시키고; 그 다음, 박막을 박리하도록,  $500^{\circ}\text{C}$  이상의 열처리를 가하여 미소기포층을 벽개면(delaminating plane)으로 하면서 이온-주입된 웨이퍼의 한부분을 박리하고; 그리고 웨이퍼사이의 결합이 견고한 SOI웨이퍼를 얻기 위해, 또한 고온의 열처리를 수행하는 기술이다. 이 방법에 따르면,  $\pm 0.01\mu\text{m}$  이하의 막두께 균일성(thickness uniformity)을 갖는 SOI웨이퍼를 비교적 용이하게 제조할 수 있다.

SOI층 막두께가 수  $\mu\text{m}$  ~ 수십  $\mu\text{m}$ 인 이른바 후막 SOI웨이퍼는, 바이폴라 디바이스(bipolar device) 또는 파워 디바이스(power device)용으로 매우 유용하고, 이후의 성장도 크게 기대되고 있다.

종래, 후막 SOI웨이퍼는 상기한 웨이퍼 결합법, 즉, 산화막이 있는 웨이퍼와 베어(bare)웨이퍼를 서로 접합시키고,  $1100^{\circ}\text{C}$ 에서 결합열처리를 행한 다음, 목적하는 막두께를 갖는 후막(thick layer) SOI웨이퍼를 제공하도록 연삭(grinding) 및 연마처리하는 방법으로 제조되어 왔다. 이 방법에서, 상기 웨이퍼는 주변부에서 서로 미결합되기 때문에, 미결합부를 제거하는 엣지처리공정(edge treatment step)을 연마전에 수행할 필요가 있다. 그러한 공정은 방법을 복잡하게 하고, 제조비도 증가시킨다. 더욱이, 연마공정만으로는 SOI층의 두께 균일성을 향상시킬 수 없기 때문에, 특개평 5-160074호 공보에 개시되고 있는 PACE(Plasma Assisted Chemical Etching)법이라 칭하는 기상 에칭처리(vapor phase etching treatment)로 두께를 균일화하고, 경면연마로 헤이즈(haze) 등의 제거를 수행한다. 상기한 바와 같이, 기상 에칭 후 연마를 행하면, SOI층의 두께 균일성이 보다 악화되고, 잠상결함(latent flaw) 또는 데미지층(damage layer)이 도입되어, 결정성을 열화할 수 있다. 더욱이, 그러한 경우 가공비용도 높아진다.

반면, 수소이온 박리법(hydrogen ion delamination method)은, 상기 웨이퍼결합법에서는 불가결한 엣지처리공정이 불필요하기 때문에, 생산성 및 비용면에서 큰 이점이 있다.

그러나, 이온주입장치(ion implanter)의 가속전압이 이온의 주입깊이를 결정하고, 이것이 SOI층의 막두께를 결정하기 때문에, 양산(mass-production)용으로 통상 사용되고 있는 대전류의 이온주입장치에서는, 약  $200\text{keV}$ 의 가속전압이 한도이기 때문에, 장치상의 제한으로  $2\mu\text{m}$  정도의 두께를 갖는 SOI층만이 제조가능하게 된다.

따라서, 수소이온 박리법에 의해 보다 두꺼운 SOI층을 형성하기 위해서는, 보다 고가속전압을 제공할 수 있는 대전류의 이온주입장치가 필요하다. 그러나,  $200\text{keV}$  이상의 고가속전압을 제공할 수 있는 장치를 이용하면, 대전류를 얻기 어렵기 때문에, 소정의 주입량을 얻기 위해서 시간이 필요하고, 결과적으로 비용이 증가한다. 그러므로, 그러한 장치는 양산레벨에 사용되지 않았다. 더욱이, 박리후 SOI표면의 표면조도(surface roughness)를 개선하기 위해서, PACE법과 같이, 연마등의 공정이 필요하게 되는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명은, 이와 같은 문제점을 감안한 것으로, 수소이온 박리법에서 얻어진 SOI웨이퍼상에 실리콘막을 형성시켜서, 양호한 막두께 균일성을 갖는 후막 SOI웨이퍼를 고생산성 및 저비용으로 제공하는 것을 주된 목적으로 한다.

### 발명의 구성

상기 과제를 해결하기 위해서, 본 발명은, 2매의 단결정 실리콘 웨이퍼중 적어도 하나에 산화막을 형성하고; 이온주입층을 형성하도록 2매의 실리콘 웨이퍼중 한 실리콘 웨이퍼 상면에 수소이온 또는 희가스 이온을 주입한 후; 상기 이온-주입된 면과 다른 실리콘 웨이퍼의 표면을 산화막을 사이에 두어 밀착시키고; 열처리를 가하여 상기 이온주입층을 벽개면

(delaminating plane)으로 하면서 실리콘 웨이퍼를 박막상으로 분리함으로써, SOI층을 갖는 SOI웨이퍼를 제조한 다음; 그리고 상기 SOI층상에 에피텍셀층을 성장시켜 후막SOI층을 형성시키는 것을 특징으로 하는 SOI웨이퍼의 제조방법을 제공한다.

이와 같이, SOI층을 갖는 SOI웨이퍼를 수소이온 박리법으로 얻은 후 SOI층의 벽개면을 연마하지 않고 상기 SOI층상에 에피텍셀층을 성장시키면, 막두께 균일성이 양호한 후막 SOI웨이퍼를 수율 좋고 고생산성으로 제조할 수 있다. 더욱이, 에피텍셀성장전 승온시에 SOI웨이퍼가 수소분위기하에 노출되어 SOI층의 표면조도가 개선되기 때문에, 에피텍셀층 성장후 후막 SOI층의 표면조도도 개선된다.

이 경우, 에피텍셀층은 이온주입에 의한 데미지층을 어느정도 포함하면서 SOI층 박리면에 형성되기 때문에, 에피텍셀층 하부의 SOI층에 데미지층을 갖는 후막 SOI웨이퍼를 형성할 수 있다. 이 웨이퍼에서, 데미지층은 증금속 등의 불순물을 디바이스 활성층(device active layer)에서 제거하는 게터링사이트(gettering site)로써 이용할 수 있다.

에피텍셀층 성장전의 SOI웨이퍼에, 수소를 함유한 환원성 분위기 또는 염화수소를 함유한 분위기에서 열처리를 가하면, SOI층의 박리면에 잔재하는 데미지층이 제거되고, 박리면의 표면조도가 개선된 에피텍셀층을 성장시킬 수 있다. 그 결과, 결정결함이 매우 적고 막두께 균일성 및 표면조도가 양호한 고품질 후막 SOI층을 갖는 SOI웨이퍼를 제조할 수 있다.

쵸크랄스키법(CZ법)에 의해 제조된 실리콘 웨이퍼를 이용하여 제조한 SOI웨이퍼의 경우, SOI층중에 COP(Crystal Originated Particle, 결정기인 파티클)라 칭하는 0.1 ~ 0.2 $\mu$ m정도 크기의 공동형 결함(void type defect)이 존재한다. 따라서, SOI층 두께가 COP크기보다 얇아서 에피텍셀 성장공정에서 사용되는 수소가스가 COP를 관통하여 매입산화층(buried oxide layer)을 에칭하면, 결과로써 SOI웨이퍼의 특성이 열화된다.

따라서, 에피텍셀층 성장전 SOI웨이퍼의 SOI층 두께를 0.2 $\mu$ m 이상으로 함으로써, 에피텍셀성장 공정중 매입산화층이 에칭되는 것을 확실히 방지할 수 있다.

에피텍셀성장후 후막 SOI층의 두께는 2 $\mu$ m 이상으로 하는 것이 바람직하다.

이와 같이, 후막 SOI층을 형성하면, 바이폴라 디바이스 또는 파워 디바이스용으로서 매우 유용하고 후막 균일성이 양호한, 후막 SOI층을 고생산성 및 저비용으로 제조할 수 있다.

본 발명은 또한, 상기한 방법에 의해 제조된 SOI웨이퍼를 제공한다.

이와 같은 SOI웨이퍼는, 후막 균일성 및 전기특성이 우수하여, 바이폴라 디바이스 또는 파워 디바이스용으로서 매우 유용하다.

본 발명은 또한, 상기한 방법에 있어서 부산물(by-product)로 생긴 박리 웨이퍼를 재처리하여 실리콘 웨이퍼로 재이용(reusing)하는 방법을 제공한다.

상기 방법에 의하면, 본 발명의 수소이온 박리법에서 부산물로 생긴 박리 웨이퍼에 적절한 재처리를 실시하여 실리콘 웨이퍼로 재이용할 수 있기 때문에, 결과로써 고품질 후막 SOI층을 갖는 SOI웨이퍼의 수율 및 생산성을 개선할 수 있고 비용저감을 도모할 수 있다.

이하, 본 발명을 도면을 참조하면서 보다 상세히 설명하지만, 본 발명은 이들에 한정되는 것은 아니다.

도1은, 이온-주입된 웨이퍼를 다른 웨이퍼와 결합하고, SOI웨이퍼를 제조하도록 그 이온-주입된 웨이퍼 일부를 분리한 후, 에피텍셀 성장공정을 수행하는 SOI웨이퍼 제조공정의 일례를 나타낸 플로우 차트이다.

이 수소이온 박리법은 두가지 방법, 즉, 각각 공정순서가 다른 A방법과 B방법으로 수행될 수 있다. 먼저, 본 발명의 후막 SOI웨이퍼를 제조하는 방법인 A방법을 설명한다.

도1의 (1)에 나타난 A방법의 공정(step)1에서는, 특정 디바이스에 적절한 2매의 실리콘 경면웨이퍼(20),(21)를 준비한다.

공정2에서는, 그 중 적어도 한 웨이퍼(이 경우 웨이퍼(20))를 열산화(thermal oxidation)하여, 그 표면에 약 0.1 $\mu$ m ~ 0.2 $\mu$ m 두께의 산화막(30)을 형성한다. 도에서는, 산화막이 한 표면에만 형성되어 있다. 그러나, 산화막은 웨이퍼(20)의 전체 표면에 형성될 수 있다.

공정3에서는, 다른 웨이퍼(21)의 편면에 수소이온 또는 희가스 이온을 주입하여, 이온의 평균 진입깊이(mean depth of ion implantation)위치에 표면과 평행한 미소기포층(fine bubble layer)(봉입층)(40)을 형성시킨다. 이때 주입온도는 25 ~ 450 $^{\circ}$ C가 바람직하다.

이온주입장치의 가속전압이 이온주입깊이를 결정하고, 이것이 박리후 SOI층의 두께를 결정한다. 하지만, 이온주입장치의 가속전압에는 제한이 있다. 예를들어, 수소이온의 경우 약2 $\mu$ m 두께를 나타내는 200keV정도의 가속전압이 현재 상한이다.

공정4에서는, 웨이퍼(20)에 수소이온을 주입한 웨이퍼(21)을 산화막(30)에 대해 겹쳐놓고 면을 밀착시킨다. 상온의 청정한 분위기하에서 2매의 웨이퍼 표면을 서로 밀착시키면, 접착제 등을 이용하지 않아도 웨이퍼가 서로 접촉된다.

공정5에서는, 봉입층(40)으로부터 상부 실리콘(박리 웨이퍼)(28)과 하부 SOI웨이퍼(10)(SOI층(25), 매입산화층(26), 및 베이스웨이퍼(27)로 구성됨)를 분리하는 박리열처리가 수행된다. 불활성가스분위기하에서 약 500 $^{\circ}$ C 이상의 온도로 열처리를 가하면, 결정 재배열(crystal rearrangement) 및 기포응집(bubble cohesion)이 유발되어, 박리웨이퍼(28)가 하부 SOI웨이퍼에서 박리(분리)된다. 이와 같이, 본 발명의 공정5에서는 박리웨이퍼(28)이 부산물로 생성된다.

공정6에서는, 밀착공정인 전기 공정4에서 서로 밀착된 웨이퍼에 부여된 결합강도가 디바이스공정용으로 너무 낮기 때문에, 열처리를 가하여 결합강도를 충분한 수준으로 향상시킨다. 이 열처리는 불활성가스 분위기, 또는 산화성가스 분위기하에서, 1050 $^{\circ}$ C ~ 1200 $^{\circ}$ C로 30분 ~ 2시간 범위동안 행하는 것이 바람직하다.

상기 공정5의 박리열처리(heat treatment for delamination) 및 공정6의 결합열처리(heat treatment for bonding)를 연속적으로 실시해도 좋다. 또, 공정5 및 6를 겹쳐 단독 열처리를 수행해도 좋다. 여기까지의 공정은, 통상의 수소이온 박리법에 의한 SOI웨이퍼 제조방법의 공정과 같다.

공정7은, 수소이온 박리법으로 얻어진 SOI층(25)표면의 벽개면(50)위에 에피텍셀층을 성장시켜서, SOI층 두께를 2 $\mu$ m 이상의 목적하는 두께까지 증가시키는 공정이다.

A법의 경우, 박리열처리후 SOI층 웨이퍼(10)의 외주부에는, 산화막(30)(매입산화층(26))이 노출된 영역(미결합부)이 있기 때문에, 에피텍셀성장전에 미리 불산 수용액 등으로 제거해 둘 필요가 있다. 에피텍셀층의 성장후 최종적으로 얻어진 SOI웨이퍼(10)은, 총두께가 수 $\mu$ m ~ 수십 $\mu$ m인 후막 SOI층(60), 매입산화층(26) 및 베이스웨이퍼(27)로 구성된다.

에피텍셀성장은 통상 행해지고 있는 CVD법에 의해, 예를 들어, 1100 ~ 1200 $^{\circ}$ C에서 SiCl<sub>4</sub>, SiHCl<sub>3</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, SiH<sub>4</sub> 등을 수소환원하여 Si를 석출시켜서, 이용한 실리콘 웨이퍼와 같은 결정방위로 에피텍셀 성장되도록 수행하면 좋다.

혹은, 분자선 에피텍셀법(molecular beam epitaxy method)(MBE법)에 의해, 초고진공(10<sup>-8</sup> ~ 10<sup>-11</sup>Torr)하에서, 600 ~ 900 $^{\circ}$ C의 저온으로 에피텍셀성장시켜도 좋다.

상기 공정의 순서, 즉, 공정5-6-7를 공정5-7-6으로 변화시켜도 좋다.

또한, 공정6의 결합열처리 및 공정7의 에피텍셀성장(epitaxial growth)을 연속적으로 행하거나, 또는 공정6 및 7을 동시에 겹쳐 수행할 수도 있다.

예를들어, 통상의 에피텍셀성장공정은 100% 수소분위기하에서 1000 ~ 1200 $^{\circ}$ C까지 승온한 후, 반응가스를 흘려서 에피텍셀층을 퇴적(deposit)시키는 것을 포함한다. 상기한 공정만으로도 에피텍셀성장과 함께 결합강도를 향상할 수 있다. 또한, 반응온도부근 온도까지 승온한 후 수소분위기 또는 염화수소가스를 혼합한 분위기하에서 소정시간 보지하여 SOI표면의 데미지층을 에칭한 후, 연속적으로 에피텍셀층의 퇴적을 수행할 수 있다. 결과적으로 결합강도를 또한 개선할 수 있다.

상기 방법에서, 공정6 및 공정7은 동일한 에피텍셀장치로 연속적 또는 동시에 수행될 수 있으므로, 생산성 및 비용면에서 매우 유익하다.

이와 같이, 수소이온 박리법으로 얻어진 SOI층 표면의 벽개면에 실리콘 에피텍셜성장을 행하면, 총두께가 수 $\mu\text{m}$  ~ 수십 $\mu\text{m}$ 인 후막 SOI층을 비교적 용이하게 얻을 수 있고, 균일한 두께를 갖고 결정결함을 거의 함유하지 않으며 전기특성이 우수한 SOI웨이퍼, 또는 SOI층에 게터링사이트를 갖고 중금속 오염에 대한 저항성이 있는 SOI웨이퍼를 제조할 수 있다.

이어서, B방법에 의한 SOI웨이퍼의 제조방법을 나열한다. B방법의 공정1에서는, 특정 디바이스용 2매의 실리콘 경면웨이퍼(22),(23)을 준비한다.

공정2에서는, 그 중 적어도 한 웨이퍼를 열산화하여, 그 표면에 약 0.1 $\mu\text{m}$  ~ 0.2 $\mu\text{m}$  두께의 산화막(31)을 형성시킨다.

공정3에서는, 웨이퍼(23)의 산화막(31)에 수소이온 또는 희가스 이온을 주입하여, 이온의 평균진입깊이위치에 표면과 평행한 미소기포층(봉입층)(41)을 형성시킨다. 이때 주입온도는 25 ~ 450 $^{\circ}\text{C}$ 가 바람직하다.

공정4는, 실리콘 웨이퍼(22)를 이온-주입된 웨이퍼(23)의 수소이온-주입면 쪽 산화막(31)표면에 겹쳐놓는 공정이다. 2매의 웨이퍼 표면을 상온의 청정한 분위기하에서 서로 접촉시키는 경우, 접촉제등을 이용하지 않아도 각 웨이퍼는 접촉된다.

이어서, 공정5에서 공정7까지를 A방법과 동일한 형태의 처리공정으로 행함으로써, 결정결함이 없이 두께가 균일한 SOI층을 갖는 SOI웨이퍼가 얻어진다.

본 발명의 공정8은, 박리웨이퍼의 재이용공정이다. 이 공정에 있어서, 박리 열처리공정인 공정5의 부산물로 생긴 박리웨이퍼(28)은, 실리콘 웨이퍼로 재이용된다. A방법 혹은 B방법중 어느 한 방법에서 부산물로 생긴 웨이퍼를 재이용할 수 있다.

이 재이용공정은 박리웨이퍼의 품질에 따라 적절히 편성된다. 예를 들어, 박리웨이퍼의 주변부에 미결합부 및 산화막에 의한 단차(step), 또는 데미지층이 잔재하고 있는 경우, 재이용 공정은 박리면을 연마하는 연마공정을 포함한다.

또한, 표면 데미지층을 제거하고 표면조도를 개선하기 위해서, 수소를 함유한 환원성 분위기하의 열처리가 수행될 수 있다.

(실시예)

다음의 실시예는 본 발명을 구체적으로 설명하도록 제시되고 있다. 이들 실시예는 본 발명의 범위를 한정하지는 않는다.

(실시예1)

저항율 10 $\Omega\cdot\text{cm}$ , 직경 150mm, 및 결정축<100>인 도전형 p형 CZ 실리콘 경면웨이퍼를 2매 준비하였다. 도1에 나타난 B방법의 공정 1 ~ 8에 따라, 수소이온박리법에 의해 SOI층 두께가 0.5 $\mu\text{m}$ 인 SOI웨이퍼를 제조하고, 다음으로 CVD법에 의해 에피텍셜성장시켜 총두께가 2.0 $\mu\text{m}$ 인 후막 SOI층을 갖는 SOI웨이퍼를 제조하였다.

SOI웨이퍼 제조에 대한 주요한 열처리조건은 다음과 같았다.

a) 공정2의 산화막 두께 : 80nm;

b) 공정3의 수소주입조건 : H<sup>+</sup> 이온, 주입에너지 : 67keV,

주입량 :  $8 \times 10^{16} \text{cm}^{-2}$ ;

c) 공정5의 박리열처리조건 : N<sub>2</sub>가스 분위기하, 500 $^{\circ}\text{C}$ 에서, 30분

d) 공정6의 결합열처리 : 없음(공정7과 겸함)

e) 공정7의 CVD법에 의한 에피텍셀 성장공정 : H<sub>2</sub> 베이킹(bake)(H<sub>2</sub> 분위기, 1110°C, 60초), 에피텍셀층 데포지션 (deposition)(SiHCl<sub>3</sub>+ H<sub>2</sub>, 1110°C, 60초).

공정5에서는 수소이온박리법에 의해 0.5μm두께의 SOI층이 형성되었고, 공정7에서는 CVD법에 의해 1.5μm의 에피텍셀 성장을 수행하여, 총두께가 2.0μm인 후막 SOI층을 형성하였다.

공정5의 박리열처리후, SOI웨이퍼의 SOI층 두께 균일성(thickness uniformity) 및 표면조도를 측정하였다. 두께는 반사 분광법(spectral reflectance measurement)으로, SOI웨이퍼 주변부에서 10mm 이내 면적의 표면적상 2mm피치 (pitch)에서 수천점 측정하였고, 그 결과를 RMS치(root-mean-square value, 자승평균평방근치)로 나타내었다. 그 결과, 박리열처리후 SOI층의 두께 시그마(sigma)(표준편차, standard deviation)는 0.6nm, 따라서, 두께 균일성(3시그마)은 ±1.8nm였다. 표면조도를 원자간력 현미경(atomic force microscope)에 의해 1μm각(square)에서 측정한 바, RMS치(자승평균평방조도)로 약 7.6nm였다.

반면, 공정7의 에피텍셀성장후 SOI층의 두께분포를 측정하였다. 두께 시그마 (표준편차)는 18.4nm, 따라서, 두께 균일성(3시그마)는 ±55.4nm였다. 그 결과로부터, 에피텍셀 성장에 의해 두께 균일성은 약간 악화되었지만, 통상의 웨이퍼결합법으로 제조된 웨이퍼의 ±0.3μm에 비하면, 매우 우수한 것임을 알 수 있었다. 표면조도는 약 0.29nm의 RMS치로 매우 양호하였다.

에피텍셀성장후 SOI웨이퍼를 4분할하고, SOI층중 깊이방향의 결함밀도를 측정하였다. 웨이퍼 4조각을 표면으로부터 1.5, 1.0, 0.5, 0μm의 에칭량(etching removal)으로 KOH수용액에 의해 에칭하였다. 이 조각들에 대하여 H.Gassel et al.에 개시된 사단 세코에칭법(J.Electrochem.Soc., 140, pp1713, 1993)으로 에칭한 후 현미경관찰하여, 그 표면에 존재하는 피트밀도를 카운트하여 측정하였다.

어느 깊이에서도 결함밀도는 10<sup>2</sup>/cm<sup>2</sup> 이하였고, 통상의 벌크웨이퍼(bulk wafer)와 동등이하의 매우 양호한 값을 나타내었다.

(실시예2)

H<sub>2</sub>베이킹(거의 100%수소분위기에서의 열처리)를 하지 않고 에피텍셀성장으로 두께 6.5μm의 에피텍셀층을 퇴적한 이외는, 실시예1과 같은 조건으로 하여 총두께 7.0μm의 SOI웨이퍼를 제조하였다. RMS치로 나타낸 표면조도는 약 0.33μm로 매우 양호하였다.

이 웨이퍼를 4분할하였다. 그 중 1매를 통상의 선택에칭(preferential etching)(세코에칭, Secco etching)에 의해 1μm의 에칭량으로 에칭하여, 현미경으로 표면의 결함밀도를 측정하였다. 그러나, 적층결합 등의 결함은 관찰되지 않았다.

나머지 3매는, KOH수용액에 의한 에칭제거량을 각 조각의 표면에서 5.0, 6.0, 6.5μm로 한 것 이외는 실시예1과 같은 방법으로 하여, SOI층중 깊이방향의 결함밀도를 측정하였다.

에칭량이 5.0, 6.0μm인 2매의 결함밀도는 실시예1과 같이, 각각 10<sup>2</sup>/cm<sup>2</sup> 이하였다. 에칭량이 6.5μm(에피텍셀층이 성장하기 시작한 위치까지 에칭)인 웨이퍼는, 결함밀도가 7 × 10<sup>3</sup>/cm<sup>2</sup> 였다. 이 결과는, 에피텍셀층 하부의 SOI층이 수소이온주입시 발생된 데미지를 여전히 포함하고 있음을 나타내고 있다. 이 데미지층은 중금속 등의 불순물을 디바이스활성층에서 제거하는 게터링사이트로서 이용할 수 있다.

본 발명은, 상기 실시형태에 한정되는 것은 아니다. 상기 실시형태는, 예시이고, 본 발명의 특허청구범위에 기재된 기술사상과 실질적으로 동일한 구성을 갖고, 유사한 작용효과를 제정하는 것은, 어느것에 있어서도 본 발명의 기술적 범위에 포함된다.

## 발명의 효과



이상 설명한 바와 같이, 본 발명에 의하면, 바이폴라 디바이스 혹은 파워 디바이스용으로 유용하고 SOI층의 두께균일성이 양호하며 결정성 및 전기특성이 우수한 후막 SOI층을 갖는 SOI웨이퍼, 또는 SOI층내부에 케터링 사이트를 갖고 중금속 오염에 강한 SOI웨이퍼를 비교적 용이하게 저비용으로 제조하는 것이 가능하다.

또한, 박막화 또는 표면조도를 개선하기 위한 연마공정이 불필요하고, 물의 사용량 및 연마슬러리(polishing slurry) 등의 산업 폐기물이 저감되기 때문에, 환경에의 악영향을 억제할 수 있다. 또한, 웨이퍼주변의 미결합부를 제거하는 공정이 불필요하기 때문에, 생산성 및 수율을 보다 향상하고, 현저한 비용저감을 가능하게 한다. 부산물로 생긴 박리웨이퍼를 실리콘 웨이퍼로 재이용함으로써, 비용을 한층 저감할 수 있다.

### 도면의 간단한 설명

도1은 본 발명의 SOI웨이퍼 제조공정의 일례를 나타내는 플로우 차트 (flowchart).

\* 부호의 설명

- 1...2매의 경면연마 웨이퍼를 준비하는 공정,
- 2...웨이퍼중 하나를 산화하는 공정,
- 3...수소이온을 주입하는 공정,
- 4...수소이온이 주입된 면에 다른 웨이퍼를 겹쳐놓고 밀착시키는 공정,
- 5...박리 열처리공정,
- 6...웨이퍼결합 열처리공정,
- 7...에피택셜 성장공정
- 8...재이용공정,
- 10...SOI웨이퍼, 20,21,22,23...경면연마 실리콘 웨이퍼, 25...SOI층,
- 26...매입 산화층(buried oxide layer), 27...베이스웨이퍼(base wafer), 28...박리웨이퍼(delamination wafer), 30,31...산화막, 40,41...수소이온주입 미소기포층(봉입층), 50...벽개면(delaminated surface), 60...후막 SOI층.

도면

도면1

