

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年9月16日(16.09.2021)



(10) 国際公開番号

WO 2021/181868 A1

(51) 国際特許分類:

G01S 7/4863 (2020.01) *H01L 31/10* (2006.01)
G01C 3/06 (2006.01) *H01L 31/107* (2006.01)
G01S 17/89 (2020.01)

(21) 国際出願番号: PCT/JP2021/001281

(22) 国際出願日: 2021年1月15日(15.01.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2020-039697 2020年3月9日(09.03.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 馬原 久美子 (MAHARA Kumiko); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

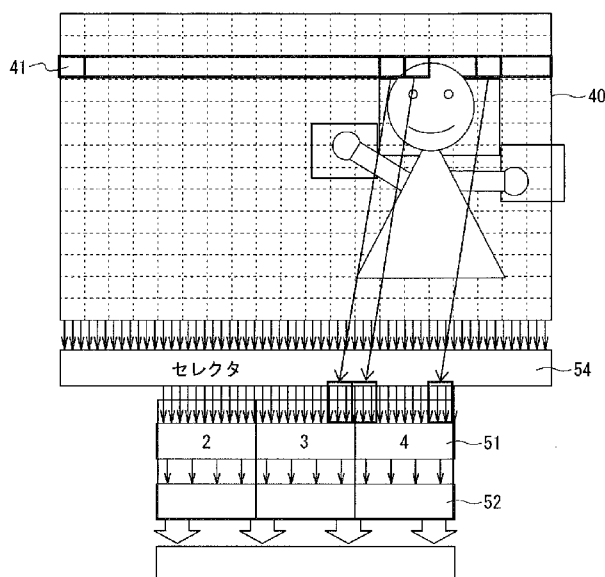
(74) 代理人: 田中 秀 ▲ てつ ▼, 外 (TANAKA Hidetetsu et al.); 〒1056032 東京都港区虎ノ門四丁目3番1号 城山トラストタワー32階 特許業務法人日栄国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: DISTANCE SENSOR AND DISTANCE MEASUREMENT METHOD

(54) 発明の名称: 測距センサ及び距離測定方法

[図5]



54 Selector

(57) Abstract: A distance sensor is provided which can reduce power consumption even when resolution is increased, and can ease the speed limitation of the data output bandwidth. The distance measurement device is provided with: a light receiving unit which comprises a plurality of pixels arranged in a matrix, each having a light-receiving element that converts, to an electric signal, reflected light from a target area that has received light; a distance measurement processing unit which comprises a plurality of signal processing modules that perform signal processing on the basis of the electric

[続葉有]

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

signals outputted for each pixel and calculate the distance to the target area, and that that allow independent control of a power supply; and a control unit which performs power supply control of the multiple signal processing modules in response to an input signal.

(57) 要約: 高解像度化しても消費電力を削減し、データ出力帯域律速の緩和を図ることが可能な測距センサを提供する。距離測定装置は、行列状に配置され、受光した対象領域からの反射光を電気信号に変換する受光素子をそれぞれ有する複数の画素を備える受光部と、画素ごとに出力される電気信号に基づいて信号処理を行い対象領域までの距離を算出し、それぞれ独立に電源供給の制御が可能な複数の信号処理モジュールを有する測距処理部と、入力信号に応じて、複数の信号処理モジュールの電源供給制御を実行する制御部とを備える。

明 細 書

発明の名称：測距センサ及び距離測定方法

技術分野

[0001] 本開示に係る技術（本技術）は、測距センサ及び距離測定方法に関する。

背景技術

[0002] 光飛行時間に基づいて物体（対象物）までの距離を測定するTime of Flight（ $T \circ F$ ）方式として、パルス波を利用して直接的に計測される光飛行時間から距離を測定する直接 $T \circ F$ （ $d T \circ F$ ）方式の測距センサと、変調光の位相を利用して間接的に算出される光飛行時間から距離を測定する間接 $T \circ F$ （ $i T \circ F$ ）方式の測距センサが知られている。

[0003] ところで、上記 $d T \circ F$ 方式の測距センサでは、単一のパルス光の発光に対する反射光（フォトン）を受光素子で受けて受光素子により反射光を検出するため、物体までの距離や環境光（外乱光）の影響により、フォトンが到来するかしないかは確率的な事象である。従って、受光素子を用いた測距センサは、所定単位時間内における複数回の発光による受光素子の反応を時間ごとに累積したヒストグラムを作成することで、測距精度を高めている。このような測距センサは、ライン状に配置された画素列ごとにフォトンを読み出すことにより、画素ごとに距離情報を持った撮像フレーム（距離画像）をリアルタイムに得ることができる。

[0004] なお、外乱光が多くかつ変動する環境であっても、測距精度を高めるために、複数の受光素子の中から、フォトンの測定に用いる受光領域を形成する受光素子を選択可能な測距センサも提案されている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0005] 特許文献1：特開2018-44923号公報

発明の概要

発明が解決しようとする課題

- [0006] ところで、上記測距センサにあっても、高解像度化が強く望まれている。この高解像度化に伴い1度で読み出すデータが増加することになる。
- [0007] また、測距を行う時間内（短時間）でデータを処理するために、ロジック回路の並列処理化が必要なための回路規模、消費電力が大きくなる。
- [0008] さらに、データの出力帯域が増加し、出力帯域律速で測距の間隔が空いてしまう。
- [0009] 本開示はこのような事情に鑑みてなされたもので、高解像度化しても消費電力を削減し、データ出力帯域律速の緩和を図ることが可能な測距センサ及び距離測定方法を提供することを目的とする。

課題を解決するための手段

- [0010] 本開示の一態様は、行列状に配置され、受光した対象領域からの反射光を電気信号に変換する受光素子をそれぞれ有する複数の画素を備える受光部と、前記画素ごとに出力される電気信号に基づいて信号処理を行い前記対象領域までの距離を算出し、それぞれ独立に電源供給の制御が可能な複数の信号処理モジュールを有する測距処理部と、入力信号に応じて、前記複数の信号処理モジュールの電源供給制御を実行する制御部とを備える測距センサである。
- [0011] 本開示の他の態様は、行列状に配置され受光素子をそれぞれ有する複数の画素を備える受光部により対象領域からの反射光を受光し、電気信号に変換して出力することと、前記複数の画素によって形成される撮像フレームにおいて、測距処理部により前記画素ごとに出力される前記電気信号に基づいて、前記撮像フレーム中の関心領域までの距離を算出するための測距処理を実行することと、前記撮像フレームに対する前記画素ごとの前記距離に関するデータを出力することと、前記関心領域の判定結果に基づいて、前記関心領域以外の領域に属する電源部をオフ制御すること、及び前記関心領域に対応する前記電気信号を入力するように前記測距処理部を制御することの少なくとも一方を実行することと、を含む、距離測定方法である。

図面の簡単な説明

[0012] [図1]本技術の第1の実施形態における距離測定装置の構成の一例を示すブロック図である。

[図2]本技術の第1の実施形態における受光部の構成の一例を示すブロック図である。

[図3]本技術の第1の実施形態における距離測定装置による測距処理方法を説明するためのフローチャートである。

[図4]本技術の第1の実施形態における距離測定装置による撮像フレームの形成中の測距処理を説明するための図である。

[図5]本技術の第1の実施形態において、ROI領域のみデータを出力するために、サンプリング回路の個数を減らす場合の一例を示すブロック図である。

[図6]本技術の第1の実施形態において、領域全面のデータを出力するために、サンプリング回路を切り替える場合の一例を示すブロック図である。

[図7]上記図6に続き、本技術の第1の実施形態において、領域全面のデータを出力するために、サンプリング回路を切り替える場合の一例を示すブロック図である。

[図8]本技術の第2の実施形態におけるROI領域以外の画素の電源をオフにする場合の一例を示すブロック図である。

[図9]本技術の第3の実施形態におけるヒストグラム生成回路の個数を減らす場合の一例を示すブロック図である。

[図10]本技術の第4の実施形態において、走査方向に重ならない領域を同時に読み出す場合の一例を示すブロック図である。

[図11]本技術の第4の実施形態において、受光部がアレイ型であり、複数の受光素子の出力端子を画素ごとに共通化する場合の一例を示すブロック図である。

[図12]本技術の第5の実施形態におけるROI領域以外の領域に属するサンプリング回路及びヒストグラム生成回路の電源をオフにする場合の一例を示

すブロック図である。

[図13]本技術の第6の実施形態において、画角に合わせてROI領域をサンプリング回路及びヒストグラム生成回路に割り当てる場合の一例を示すブロック図である。

[図14]本技術の第6の実施形態において、画角に合わせてROI領域以外の領域をサンプリング回路及びヒストグラム生成回路に割り当てる場合の他の一例を示すブロック図である。

[図15]本技術の第7の実施形態における3層構造で画素に対して面でサンプリング回路及びヒストグラム生成回路による処理を行う場合の一例を示す図である。

[図16]本技術の第7の実施形態における2層構造で画素に対して面でサンプリング回路及びヒストグラム生成回路による処理を行う場合の一例を示す図である。

[図17]本技術の第8の実施形態における1領域ずつ出力する場合の一例を示す図である。

[図18]本技術の第9の実施形態において、ライン単位で測距する場合に、光を充てる領域をROI領域に絞る一例を示す図である。

[図19]本技術の第9の実施形態において、ライン単位で測距する場合に、光を充てる領域を複数の領域に分割し、分割した領域に絞る場合の一例を示す図である。

[図20]本技術の第10の実施形態における1領域ずつ出力する場合の一例を示す図である。

[図21]本技術の第10の実施形態における通信インタフェース部が測距データを読み出す場合の一例を説明するために示す図である。

[図22]本技術の第10の実施形態における通信インタフェース部が測距データを読み出す場合の他の一例を説明するために示す図である。

[図23]本技術の第11の実施形態における距離測定装置の構成の一例を示すブロック図である。

[図24]本技術の第12の実施形態における距離測定装置の構成の一例を示すブロック図である。

[図25]本技術の第12の実施形態における受光部の構成の一例を示すブロック図である。

[図26]本技術の第12の実施形態において、ROI領域のみデータを出力するために、AD変換部の個数を減らす場合の一例を示すブロック図である。

[図27]本技術の第13の実施形態において、Vスキャン（読み出しラインの指定）を領域ごとに行えるようにする場合の一例を示す図である。

[図28]以前における、画素に対しラインごとに画素駆動線で接続する場合の一例を示す図である。

[図29]本技術の第13の実施形態において、1ライン中の領域に分けて、領域ごとに異なる画素駆動線で接続する場合の一例を示す図である。

[図30]本技術の第14の実施形態において、ROI領域が3つの枠に分けられる一例を示す図である。

[図31]本技術の第14の実施形態において、ROI領域の3つの枠それぞれが異なる垂直信号線により接続される一例を示す図である。

[図32]本技術の第15の実施形態における1領域ずつ出力する場合の一例を示す図である。

[図33]本技術の第15の実施形態において、通信インタフェース部が測距データを読み出す場合の一例を説明するために示す図である。

[図34]本技術の第15の実施形態において、通信インタフェース部が測距データを読み出す場合の他の一例を説明するために示す図である。

[図35]本技術の第16の実施形態における距離測定装置の構成の一例を示すブロック図である。

発明を実施するための形態

[0013] 以下において、図面を参照して本開示の実施形態を説明する。以下の説明で参照する図面の記載において、同一又は類似の部分には同一又は類似の符号を付し、重複する説明を省略する。但し、図面は模式的なものであり、厚

みと平面寸法との関係、各装置や各部材の厚みの比率等は現実のものと異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判定すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

[0014] なお、本明細書中に記載される効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0015] <第1の実施形態>

<距離測定装置の構成>

図1は、本技術の第1の実施形態における距離測定装置1Aの構成の一例を示すブロック図である。距離測定装置1Aは、発光素子からパルス光を放射し、パルス光が照射された物体OBJ（対象物または被写体）からの反射光を受光素子で受けることにより得られる電気信号に基づいて、物体OBJまでの距離を測定する測距センサである。

[0016] 同図に示すように、距離測定装置1Aは、例えば、システム制御部10と、発光部20と、発光タイミング調整部30と、受光部40と、測距処理部50といったコンポーネントを備える。これらのコンポーネントは、例えば、CMOS LSIのようなシステム・オン・チップ（SoC）として一体的に構成され得るが、例えば、発光部20や受光部40といったいくつかのコンポーネントが別体のLSIとして構成されてもよい。距離測定装置1Aは、図示しない動作クロックに従って動作する。また、距離測定装置1Aは、測距処理部50により算出された距離に係るデータ（測距データ）を外部に出力するための通信インタフェース部60を含む。図示されていないが、距離測定装置1Aは、通信インタフェース部60を介して、外部に配置されたホストICとの通信可能に構成されている。

[0017] システム制御部10は、距離測定装置1Aの動作を統括的に制御するコンポーネントである。典型的には、システム制御部10は、マイクロプロセッサを含み構成される。

[0018] 発光部20は、対象エリアに向けて赤外光（IR）等のパルス光を発光す

る。発光タイミング調整部 30 は、発光部 20 の発光タイミングを調整する回路である。例えば、発光タイミング調整部 30 は、後述する受光部 40 からのラインごとの読み出しタイミングに同期するようにトリガパルスを出力し、発光部 20 を駆動する。

[0019] 受光部 40 は、対象エリアから入射する光に反応して、電気信号を出力するセンサである。入射光は、物体 OBJ からの反射光を含む。本開示において、受光部 40 は、2次元の行列状に配置された複数の受光素子を含む複数の画素により構成された CMOS イメージセンサである。本開示では、例えば、システム制御部 10 の制御の下、特定の画素群（例えば撮像フレームにおける 1 ライン方向の画素群）が有効化され、これによって、電気信号が読み出される。また、1 フレーム時間において順次に各ラインの画素群が有効化され、有効化された画素群のそれぞれから出力される電気信号によって、対象エリアに対する 1 撮像フレームが形成される。

[0020] 測距処理部 50 は、発光部 20 により出射したパルス光と受光部 40 により受光した反射光とに基づいて、物体 OBJ までの距離を算出するコンポーネントである。測距処理部 50 は、典型的には、信号処理プロセッサにより構成される。本開示では、測距処理部 50 は、サンプリング回路 51 と、ヒストグラム生成回路 52 と、距離演算回路 53 とを含み構成されている。

[0021] サンプリング回路 51 は、パルス光の出射に応答して特定の画素群から出力される電気信号を所定のサンプリング周波数でサンプリングするコンポーネントである。サンプリング回路 51 は、例えば、有効化された画素群のそれぞれから出力される電気信号の値に従って、High 又は Low の値（サンプリング値）を出力する。

[0022] ヒストグラム生成回路 52 は、サンプリング回路 51 により出力される、サンプリング時間ごとのサンプリング値の合計値に基づいて、時間ごとの反射光の強さを示すヒストグラムを生成するコンポーネントである。ヒストグラムは、例えば、図示しないメモリ上に、ある種のデータ構造ないしはテーブルとして保持される。ヒストグラムは、撮像フレームにおける読み出しラ

インごとに発光されるパルス光に基づいて、画素の数に対応する数だけ生成される。ヒストグラム生成回路 5 2 により生成されたヒストグラムは、距離演算回路 5 3 により参照される。

[0023] 距離演算回路 5 3 は、生成されたヒストグラムを参照して、ヒストグラム中のピーク値を検出し、ピーク値に対応する時間（すなわち到来時間）から距離を算出するコンポーネントである。すなわち、出射されたパルス光が物体 O B J に照射したときの反射光が受光されたとすれば、該時間は、物体 O B J までの往復時間であるから、これに $c/2$ （ c は光速）を乗算することにより、画素ごとに物体 O B J までの距離を算出することができる。したがって、撮像フレームを構成する全ての画素に対して算出された距離により、距離画像を得ることができる。距離演算回路 5 3 は、各撮像フレームにおける画素ごとに算出した距離に係るデータ（測距データ）を、通信インタフェース部 6 0 及び関心（R O I（Region of Interest））領域判定部 8 0 に順次に出力する。

[0024] 通信インタフェース部 6 0 は、算出された測距データを外部のホスト I C に出力するためのインタフェース回路である。例えば、通信インタフェース部 6 0 は、M I P I（Mobile Industry Processor Interface）に準拠したインタフェース回路であるが、これに限らない。例えば、S P I（Serial Peripheral Interface）や L V D S、S L V S－E C 等であってもよいし、これらのインタフェース回路のうちのいくつかを実装していてもよい。

[0025] R O I 領域判定部 8 0 は、算出された測距データに基づいて、例えば物体 O B J を含む R O I 領域を判定する。この判定結果は、システム制御部 1 0 に出力される。システム制御部 1 0 は、R O I 領域判定部 8 0 による R O I 領域の判定結果に基づいて、R O I 領域に対応する画素からの電気信号を処理するように、測距処理部 5 0 及び受光部 4 0 に設けられる画素駆動部 7 0 を制御する。

[0026] <受光部の構成>

図 2 は、受光部 4 0 において、2 次元の行列状に配置された複数の画素の

うちの1つの画素41、及び画素41に電力を供給する電源42を例示している。画素41は、受光した光を光電変換し、光量に応じた電荷を生成する光電変換素子を有する。

[0027] 受光部40には、画素駆動線43を介して画素駆動部70が接続されている。画素駆動部70は、受光部40の各画素を、全画素同時あるいは行単位等で駆動する。画素駆動部70によって選択走査された画素ライン（画素行）の各画素から出力される画素信号は、垂直信号線44の各々を通してサンプリング回路51に供給される。

[0028] サンプリング回路51は、受光部40の画素列ごとに、選択ライン（選択行）の各画素単位から垂直信号線44を通して出力される画素信号に対して、所定のサンプリング周波数でサンプリングする。

[0029] <測距処理方法>

図3は、本技術の第1の実施形態における距離測定装置1Aによる測距処理方法を説明するためのフローチャートである。

[0030] すなわち、距離測定装置1Aは、測距処理を開始すると、まず、撮像フレーム中の読み出しラインを選択する（ステップST1a）。例えば、測距処理の開始直後であれば、撮像フレーム中の最上行のラインが選択される。

[0031] 続いて、距離測定装置1Aは、選択中の読み出しラインにおける画素41に対する測距を行う（ステップST1b）。これにより、受光部40は、画素41から画素信号を測距処理部50に出力する。

[0032] 測距処理部50は、各画素41の画素信号を、所定のサンプリング周波数に従ってサンプリングしながらサンプリング値を決定し、サンプリング時間ごとのサンプリング値の合計値に基づいて、ヒストグラムを生成する（ステップST1c）。

[0033] 続いて、測距処理部50は、生成されたヒストグラムにおけるピーク値を検出し、該ピーク値に対応する時間から距離を算出する（ステップST1d）。そして、距離測定装置1Aは、ROI領域判定部80により、算出された測距データから物体OBJがあるか否かの判定を行い（ステップST1e

）、物体OBJがある場合に（Yes）、画素駆動部70を制御してROI領域のみ電源42をオンし、またはサンプリング回路51を制御してROI領域のみ画素信号のサンプリングを実行する（ステップST1f）。なお、上記ステップST1fの処理については、ROI領域判定部80による判定結果以外に、例えば外部カメラ画像を用いて画像認識であっても、外部から物体OBJがある旨の信号を受信するようにしてもよい。さらに、物体OBJがある旨の信号を用いなくても、予めエリアの切り分けとエリアごとの電源オンを決めて、インプットさせておいてもよい。

[0034] 以後、距離測定装置1Aは、選択したラインが終了したか否かの判定を行い（ステップST1g）、ライン終了でない場合（No）、上記ステップST1bの処理に移行するが、ライン終了の場合（Yes）、上記ステップST1aの処理に移行して次の読み出しラインを選択する。

[0035] このようにして、距離測定装置1Aは、図4に示すように、例えば、車両前方のシーンにおいて、近くの障害物（例えば他の車両）については、より高い測距精度での測距により、衝突等の回避をより正確に行えるようになる。一方、測距の結果、近くに障害物（例えば他の車両）がない場合、画素41に電力を供給する電源42のオフ、もしくは画素41から出力される画素信号のマスクを行うことで、画素の駆動電圧やプロセッサによる演算負荷を下げ、消費電力を抑えることができるようになる。

[0036] ＜サンプリング回路の削減＞

図5は、本技術の第1の実施形態において、ROI領域のみデータを出力するために、サンプリング回路51の個数を減らす場合の一例を示すブロック図である。高解像度のデータを高いフレームレートで処理するために、サンプリング回路51は、複数の画素41から出力される画素信号を同時にサンプリングする必要がある。図5の例では、サンプリング回路51は、撮像フレーム中の1ライン上でROI領域に対応する複数の画素41から出力される電気信号を同時に処理可能な個数（図5では、例えば3個）のモジュールが備えられる（以下、サンプリング回路（2，3，4）51と称する）。

なお、１ライン上の全ての画素４１から出力される電気信号を同時に処理する場合、図５の例では、例えば５個のサンプリング回路５１が必要となる。また、１つの画素４１には、複数の受光素子が含まれる。また、サンプリング回路５１の複数のモジュールは、それぞれ独立に電源供給の制御が可能である。

[0037] 受光部４０とサンプリング回路（２，３，４）５１との間には、セレクト５４が介在される。セレクト５４は、システム制御部１０からの切替指示に従って、受光部４０とサンプリング回路（２，３，４）５１との間を選択的に接続する。

システム制御部１０は、例えばＲＯＩ領域判定部８０による判定結果に基づいて、ＲＯＩ領域に対応する複数の画素４１と複数のサンプリング回路５１とを接続するようにセレクト５４を切替制御する。

[0038] 図５中の太枠で示すラインにおいて、ＲＯＩ領域に対応し右端から３番目から６番目の画素４１から出力される画素信号はセレクト５４を介してサンプリング回路（４）５１に入力され、右端から７番目の画素４１から出力される画素信号はセレクト５４を介してサンプリング回路（３）５１に入力される。

[0039] 図６及び図７は、本技術の第１の実施形態において、領域全面のデータを出力するために、サンプリング回路５１を切り替える場合の一例を示すブロック図である。

[0040] まず、図６中の太枠で示すラインにおいて、左端から１番目から１０番目の画素４１から出力される画素信号は、セレクト５４を介してサンプリング回路（２，３，４）５１に入力される。そして、システム制御部１０は、セレクト５４を切り替えて、図７に示すように、残りの画素４１（左端から１１番目から２０番目の画素４１）から出力される画素信号をサンプリング回路（２，３，４）５１に入力する。

[0041] ＜第１の実施形態の作用効果＞

以上のように上記第１の実施形態によれば、サンプリング回路５１の回路

規模を撮像フレームのライン（行）方向の画素41の数に対して減らして、セクタ54で測距する領域をサンプリング回路51に割り振ることで、1ライン（行）方向において、少数のサンプリング回路51をそれよりも多数の画素41で共用する場合に、サンプリング回路51の回路規模を減らせる分、消費電力を削減できる。

[0042] 従って、必要な箇所だけ活性化することにより、高解像度化しても消費電力を削減し、データ出力帯域律速の緩和を図ることができる。

[0043] また、上記第1の実施形態によれば、距離測定装置1A内に、ROI領域判定部80を設けているので、リアルタイムで撮像フレーム中のROIに関する処理が可能となる。

[0044] <第2の実施形態>

次に、第2の実施形態について説明する。第2の実施形態は、第1の実施形態の変形であり、ROI領域以外の画素41の電源42をオフにする場合について説明する。

[0045] 図8は、本技術の第2の実施形態におけるROI領域以外の画素41の電源42をオフにする場合の一例を示すブロック図である。図8の例では、上端から3番目のライン（行）において、システム制御部10は、同じタイミングで読み出す領域のうち、ROI領域以外（図8中では、灰色の領域）の画素41の電源42をオフにする。すると、左端から8番目から12番目の画素41から出力される画素信号が、サンプリング回路51に入力される。

[0046] また、上端から10番目のライン（行）において、システム制御部10は、ROI領域以外の画素41の電源42をオフにする。すると、左端から5番目から7番目、12番目から15番目の画素41から出力される画素信号が、サンプリング回路51に入力される。

[0047] <第2の実施形態の作用効果>

以上のように上記第2の実施形態によれば、ROI領域以外の画素41の電源42をオフにすることで、サンプリング回路51及びヒストグラム生成回路52の回路規模を変更することなく、消費電力を削減できる。

[0048] <第3の実施形態>

次に、第3の実施形態について説明する。第3の実施形態は、第1の実施形態の変形であり、ROI領域のみデータを出力するために、ヒストグラム生成回路52のモジュールの個数を減らす場合について説明する。

[0049] 図9は、本技術の第3の実施形態におけるヒストグラム生成回路52のモジュールの個数を減らす場合の一例を示すブロック図である。図9の例では、サンプリング回路(1, 2, 3, 4, 5)51とヒストグラム生成回路(2, 3, 4)52との間には、セクタ54が介在される。セクタ54は、システム制御部10からの切替指示に従って、サンプリング回路(1, 2, 3, 4, 5)51とヒストグラム生成回路(2, 3, 4)52との間を選択的に接続する。ヒストグラム生成回路52の複数のモジュールは、それぞれ独立に電源供給の制御が可能である。

[0050] システム制御部10は、例えばROI領域判定部80による判定結果に基づいて、サンプリング回路(1, 2, 3, 4, 5)51とヒストグラム生成回路(2, 3, 4)52とを接続するようにセクタ54を切替制御する。

[0051] <第3の実施形態の作用効果>

以上のように上記第3の実施形態によれば、ヒストグラム生成回路52の回路規模を撮像フレームのライン(行)方向の画素41の数に対して減らして、セクタ54で測距する領域をヒストグラム生成回路52に割り振ることで、1ライン(行)方向において、少数のヒストグラム生成回路52をそれよりも多数のサンプリング回路51で共用する場合に、ヒストグラム生成回路52の回路規模を減らせる分、消費電力を削減できる。

[0052] また、上記第3の実施形態では、撮像フレーム中の1ライン(1行)において、複数の画素41から出力される画素信号を同時に処理できるように複数個のサンプリング回路(1, 2, 3, 4, 5)51が固定的に用意されるので、精度良くサンプリング処理を行うことができる。

[0053] <第4の実施形態>

次に、第4の実施形態について説明する。第4の実施形態は、第1の実施

形態の変形であり、アレイ型でROIデータを読み出す場合、走査方向（V方向）に重ならない領域を同時に読み出す例について説明する。

[0054] 図10は、本技術の第4の実施形態において、走査方向に重ならない領域を同時に読み出す場合の一例を示すブロック図である。

[0055] 受光部40はアレイ型であり、図11に示すように、複数の受光素子の出力端子を画素41ごとに共通化する。図10に示す画素41aには、図11に示すように、例えば12個の受光素子45が備えられる。画素41bには、例えば12個の受光素子46が備えられる。画素41cには、例えば12個の受光素子46が備えられる。なお、受光素子45は同時に読みださない受光素子であり、受光素子46は同時に読み出す受光素子である。

[0056] 受光素子45の出力端子は、垂直信号線44のうち垂直信号線444，445，446に接続される。画素41bに属する受光素子46の出力端子は、垂直信号線44のうち垂直信号線441，442，443に接続される。画素41cに属する受光素子46の出力端子は、垂直信号線44のうち垂直信号線444，445，446に接続される。垂直信号線444，445，446は、受光素子45，46で共通化される。

[0057] ここで、ROIデータのみをサンプリング回路51に出力する場合、システム制御部10は画素41aに属する受光素子45の電源42をオフし、画素駆動線43を介して画素41b，41cに属する受光素子46を駆動し、垂直信号線441，442，443，444，445，446それぞれを介して受光素子46から出力される画素信号をサンプリング回路51に同時に入力する。

[0058] <第4の実施形態の作用効果>

以上のように第4の実施形態によれば、配線数削減のために、複数の受光素子45，46の出力端子を画素41ごとに共通化することで、読み出した受光素子46以外の受光素子45を電源オフあるいは出力マスクを行うことで、同時に異なるV方向に重ならない領域を読み出し可能となる。

[0059] <第5の実施形態>

次に、第5の実施形態について説明する。第5の実施形態は、第1の実施形態の変形であり、ROI領域以外の領域に属するサンプリング回路51及びヒストグラム生成回路52の電源をオフにする場合について説明する。

[0060] 図12は、本技術の第5の実施形態におけるROI領域以外の領域に属するサンプリング回路51及びヒストグラム生成回路52の電源をオフにする場合の一例を示すブロック図である。

[0061] 図12の例では、サンプリング回路51及びヒストグラム生成回路52は、撮像フレーム中の1ライン上の複数の画素41から出力される電気信号を同時に処理可能な個数のモジュールが備えられる。サンプリング回路51及びヒストグラム生成回路52は、モジュール化され、モジュールごとに電源55との間にパワーゲート（登録商標）セル56が介在される。なお、1つの電源55に限らず、複数の電源と複数のモジュールとの間が、パワーゲートセル56が介して接続される構成であってもよい。

[0062] システム制御部10は、ライン（行）において、ROI領域以外の画素41に属するモジュール（図12では、モジュール1）の電源55へのパワーゲートセル56をオフにする。そして、ROI領域の画素41に属するモジュール（図12では、モジュール2，3）の電源55へのパワーゲートセル56をオンにし、画素41から出力される画素信号を、サンプリング回路51に入力する。なお、パワーゲートセル56以外に、クロックゲーティングセルを用いてもよい。

[0063] ＜第5の実施形態の作用効果＞

第5の実施形態によれば、ROI領域以外の領域に属するサンプリング回路51及びヒストグラム生成回路52の電源55をオフ制御することで、回路規模を変更することなく、消費電力を削減できる。

[0064] ＜第6の実施形態＞

次に、第6の実施形態について説明する。第6の実施形態は、第5の実施形態の変形であり、電源遮断、クロックゲーティング領域が等間隔でない場合について説明する。

[0065] 図13は、本技術の第6の実施形態におけるROI領域以外の領域に属するサンプリング回路51及びヒストグラム生成回路52の電源をオフにする場合の一例を示すブロック図である。

[0066] 図13の例では、中央の粒度を細かくするため、サンプリング回路51及びヒストグラム生成回路52は、撮像フレーム中の1ライン上でROI領域に対応する複数の画素41から出力される電気信号を同時に処理可能な個数（図13では、例えば7個）備えられる（以下、サンプリング回路（2, 3, 4, 5, 6, 7, 8）51及びヒストグラム生成回路（2, 3, 4, 5, 6, 7, 8）52と称する）。サンプリング回路51及びヒストグラム生成回路52は、ROI領域以外では、2個備えられる（以下、サンプリング回路（1, 9）51及びヒストグラム生成回路（1, 9）52と称する）。

[0067] 1ライン上のROI領域の画素41から出力される画素信号をサンプリング回路（2, 3, 4, 5, 6, 7, 8）51に入力する場合、システム制御部10は、サンプリング回路（1, 9）51及びヒストグラム生成回路（1, 9）52に属するモジュールの電源55へのパワーゲートセル56をオフにする。

[0068] また、1ライン上のROI領域の顔の箇所の画素41から出力される画素信号をサンプリング回路（3, 4, 5, 6, 7）51に入力する場合、システム制御部10は、サンプリング回路（1, 2, 8, 9）51及びヒストグラム生成回路（1, 2, 8, 9）52に属するモジュールの電源55へのパワーゲートセル56をオフにする。

[0069] また、1ライン上のROI領域の右手の箇所の画素41から出力される画素信号をサンプリング回路（2, 3）51に入力する場合、システム制御部10は、サンプリング回路（1, 4, 5, 6, 7, 8, 9）51及びヒストグラム生成回路（1, 4, 5, 6, 7, 8, 9）52に属するモジュールの電源55へのパワーゲートセル56をオフにする。

[0070] さらに、1ライン上のROI領域の右手の箇所の画素41から出力される画素信号をサンプリング回路（6, 7, 8）51に入力する場合、システム

制御部 10 は、サンプリング回路 (1, 2, 3, 4, 5, 9) 51 及びヒストグラム生成回路 (1, 2, 3, 4, 5, 9) 52 に属するモジュールの電源 55 へのパワーゲートセル 56 をオフにする。

[0071] これにより、撮像フレーム中の 1 ライン上の両端を一般的な画角に合わせて遮断可能となる。

[0072] なお、図 14 に示すように、ROI の他に、セットや全画素 41 の読み出しの use case 時の必要に応じて電源遮断をできるように構成してもよい。図 14 の例では、ROI 以外の領域の粒度を細かくするため、サンプリング回路 51 及びヒストグラム生成回路 52 は、4 個備えられる (以下、サンプリング回路 (1-1, 1-2, 2-1, 1-2) 51 及びヒストグラム生成回路 (1-1, 1-2, 2-1, 1-2) 52 と称する)。

[0073] 1 ライン上の ROI 領域の画素 41 から出力される画素信号をサンプリング回路 (3, 4, 5) 51 に入力する場合、システム制御部 10 は、サンプリング回路 (1-1, 1-2, 2-1, 1-2) 51 及びヒストグラム生成回路 (1-1, 1-2, 2-1, 1-2) 52 に属するモジュールの電源 55 へのパワーゲートセル 56 をオフにする。また、VGA の画角を、HVGA や QVGA の画角にするとときに、システム制御部 10 は、サンプリング回路 (1-1, 1-2) 51 及びヒストグラム生成回路 (1-1, 1-2) 52 に属するモジュールの電源 55 へのパワーゲートセル 56 をオフにすることもできる。

[0074] <第 7 の実施形態>

次に、第 7 の実施形態について説明する。第 7 の実施形態は、第 1 の実施形態の変形であり、例えば積層構造で画素 41 に対して面でサンプリング回路 51 及びヒストグラム生成回路 52 による処理を行う場合について説明する。

[0075] 図 15 は、本技術の第 7 の実施形態における 3 層構造で画素 41 に対して面でサンプリング回路 51 及びヒストグラム生成回路 52 による処理を行う場合の一例を示す図である。

[0076] 図15の例では、受光部40の面と測距処理部50の面との間に、パルス変化回路200の面が介在される。パルス変化回路200は、受光部40の面内に配置される画素41ごと、またはいくつかの画素41により構成される画素群ごとに設けられ受光素子に電力を供給する複数の電源部を備える。また、パルス変化回路200は、任意の画素41に対し、LowレベルからHighレベルに変化する画素出力パルスを供給して、画素41内に蓄積された電荷を画素信号として出力させる。画素41内の受光素子は、パルス変化回路200から供給される画素出力パルスがLowレベルからHighレベルに変化すると、クエンチ電圧が下がり、これにより蓄積していた電荷を放電する。

[0077] システム制御部10は、パルス変化回路200を制御して、ROI領域以外のロジックの電源遮断またはクロック停止を行うことができる。

[0078] なお、3層構造以外に2層構造であってもよい。図16は、本技術の第7の実施形態における2層構造で画素41に対して面でサンプリング回路51及びヒストグラム生成回路52による処理を行う場合の一例を示す図である。

[0079] 図16の例では、パルス変化回路200は、測距処理部50の面に設けられる。なお、パルス変化回路200は、受光部40の面に設けられてもよい。

[0080] <第7の実施形態の作用効果>

以上のように第7の実施形態によれば、積層構造で画素41に対して面で測距処理を行う場合に、受光部40の面内でROI領域以外の領域に属する電源42をオフ制御することができる。

[0081] <第8の実施形態>

次に、第8の実施形態について説明する。第8の実施形態は、第1の実施形態の変形であり、1撮像フレーム中に全ての領域を出力するのではなく、1領域ずつ出力する場合について説明する。

[0082] 図17は、本技術の第8の実施形態における1領域ずつ出力する場合の一例を示す図である。

[0083] 図17の例では、システム制御部10は、ROI領域を、例えば「顔」と「右手」と「左手」に分割し、撮像フレームごとに分割した領域を読み出すように受光部40を制御する。なお、「右手」と「左手」は、読み出し時に重なる領域であるとする。

[0084] システム制御部10は、1フレーム目で「右手」を読み出すように受光部40を制御する。続いて、システム制御部10は、2フレーム目で「顔」を読み出すように受光部40を制御する。3フレーム目で、システム制御部10は、「左手」を読み出すように受光部40を制御する。

なお、上記読み出し処理は、指定してもシーン変化まで複数回測距してもよい。

[0085] <第8の実施形態の作用効果>

以上のように第8の実施形態によれば、1撮像フレーム中に全ての領域を出力するのではなく分割した1領域ずつ出力することで、領域が重なる場合、同時に読み出すサイズを削減することで温度上昇を制限したり、領域内のみ光を照射することで測距精度を上げることができる。

[0086] <第9の実施形態>

次に、第9の実施形態について説明する。第9の実施形態は、第1の実施形態の変形であり、光を充てる領域をROI領域に絞る場合について説明する。

[0087] 図18は、本技術の第9の実施形態において、ライン単位で測距する場合に、光を充てる領域をROI領域に絞る一例を示す図である。

[0088] 図18(a)の例では、システム制御部10は、ROI領域判定部80による判定結果に基づいて、撮像フレームの1ライン上で、ROI領域に絞って発光するように、発光タイミング調整部30に指示信号を送って発光タイミング調整部30により発光部20を制御する。

[0089] また、図18(b)の例では、システム制御部10は、ROI領域判定部80による判定結果に基づいて、ROI領域に絞って発光強度を上げて発光するように、発光タイミング調整部30により発光部20を制御する。

[0090] 図19は、本技術の第9の実施形態において、面で測距する場合に、光を充てる領域をROI領域に絞る一例を示す図である。

[0091] 図19の例では、システム制御部10は、ROI領域判定部80による判定結果に基づいて、ROI領域を、例えば「顔」と「右手」と「左手」に分割し、分割した領域に絞って発光するように、発光タイミング調整部30に指示信号を送って発光タイミング調整部30により発光部20を制御する。

[0092] 例えば、図19(a)に示すように、システム制御部10は、「顔」に絞って発光するように、発光タイミング調整部30に指示信号を送って発光タイミング調整部30により発光部20を制御する。また、図19(b)に示すように、システム制御部10は、「右手」に絞って発光するように、発光タイミング調整部30に指示信号を送って発光タイミング調整部30により発光部20を制御する。さらに、図19(c)に示すように、システム制御部10は、「左手」に絞って発光するように、発光タイミング調整部30に指示信号を送って発光タイミング調整部30により発光部20を制御する。

[0093] なお、ROI領域を、例えば「顔」と「右手」と「左手」に分割し、分割した領域に絞って発光する以外にも、ROI領域全体に絞って発光するようにしてもよい。

[0094] <第9の実施形態の作用効果>

以上のように第9の実施形態によれば、光を充てる領域をROI領域に絞ることで、光量の強化、発光部20の低消費、無駄な領域に光を照射しないことによるセーフティ機能の向上が期待できる。

[0095] <第10の実施形態>

次に、第10の実施形態について説明する。第10の実施形態は、第1の実施形態の変形であり、MIP規格に従って、ラインごとにデータにパケットヘッダ(PH)及びパケットフッタ(PF)を付加する場合について説明する。dToFの場合、1画素あたりのデータ情報が多いため、複数画素単位でPH及びPFを付加したり、ヒストグラムデータを出力する場合に、画素ごとにPH及びPFを付加する場合もある。PH及びPFは、ラインご

とに異なる値を示す。

[0096] 図20は、本技術の第10の実施形態における1領域ずつ出力する場合の一例を示す図である。

[0097] 図20の例では、システム制御部10は、ROI領域を、例えば枠1（顔）と枠2（右手）と枠3（左手）に分割し、枠1、枠2、枠3のデータを読み出すように受光部40を制御する。

[0098] 通信インタフェース部60は、図21に示すように、測距処理部50から出力される枠1の測距データに対しラインごとに識別されたPH及びPFを付加し、続いて、枠2及び枠3の測距データに対しラインごとに識別されたPH及びPFを付加する。

[0099] また、通信インタフェース部60は、図22に示すように、異なるV方向の領域を同時に読み出す場合、枠1、枠2、枠3の測距データを1ライン上に並べるとともに、それぞれの枠1、枠2、枠3の測距データにPH及びPFを付加する。

[0100] <第10の実施形態の作用効果>

以上のように第10の実施形態によれば、ROI領域について撮像フレームの1ラインごとにPH及びPFを付加することで、例えばホストICといった外部装置側でラインごとに識別されたPH及びPFに基づいて、ROI領域の測距データを管理することが可能となる。

[0101] <第11の実施形態>

次に、第11の実施形態について説明する。第11の実施形態では、上記測距処理部50から上記距離演算回路53を削除した測距処理部57とし、測距処理部57により算出された測距データを受信した外部のホストICを用いて、ROI領域を判定することを可能とする距離測定装置1Bが開示される。ここで、外部のホストICとは、上記第1の実施形態で説明したSOCとしての距離測定装置1Bの外部に設けられるという意味で用いられている。

[0102] 図23は、本技術の第11の実施形態における距離測定装置1Bの構成の

一例を示すブロック図である。同図に示すように、ホスト１Ｃ２が、測距処理部５７から通信インタフェース部６０を介して受信した測距データに基づいて、上記距離演算回路５３による処理を実行し、ＲＯＩ領域を判定するように構成されている点で、上記第１の実施形態において図示したものと異なっている。なお、図２３中、既に図示したコンポーネントと同一の機能ないし構成のコンポーネントについては、同一の符号を付し、適宜、その説明を省略する。

[0103] 同図に示すように、本例では、図１に示した距離演算回路５３及び図１に示したＲＯＩ領域判定部８０が、距離測定装置１Ａ内に設けられる代わりに、ホスト１Ｃ２に設けられている。図示していないが、ホスト１Ｃ２は、対応する通信インタフェース部を含み構成される。ホスト１Ｃ２の測距演算回路は、上記第１の実施形態と同様、測距処理部５０から通信インタフェース部６０を介して測距データを受信すると、物体ＯＢＪまでの距離を算出する。そして、ホスト１Ｃ２のＲＯＩ領域判定部は、該測距データに基づいて、ＲＯＩ領域を判定する。ホスト１Ｃ２のＲＯＩ領域判定部は、該判定結果を、通信インタフェース部６０を介して、システム制御部１０に送信する。

[0104] 一例として、ホスト１Ｃ２は、１撮像フレーム分の測距データを保持し得るフレームバッファ（図示せず）を備え得る。ホスト１Ｃ２のＲＯＩ領域判定部は、フレームバッファを参照し、次の撮像フレームにおける読み出しラインごとにＲＯＩ領域を判定する。

[0105] <第１１の実施形態の作用効果>

このようにして、上記第１１の実施形態によっても、上記第１の実施形態と同様の作用効果ないしは利点を奏し得る。また、上記第１１の実施形態によれば、距離測定装置１Ｂ内で測距演算回路による処理及びＲＯＩ領域の判定処理を省略できる分、高度な処理が可能となる。特に、現在の撮像フレームの形成中に、該ＲＯＩ領域の判定結果に基づいて、ＲＯＩ領域以外の領域に属する電源４２をオフ制御すること、ＲＯＩ領域に対応する画素信号を入力するように測距処理部５０を制御することの少なくとも一方を実行できる

。

[0106] <第 1 から第 11 の実施形態で使用される SPAD の説明>

本開示の第 1 から第 11 の実施形態において、受光部 40 は、2 次元アレイ状に配置された複数の受光素子 (SPAD) を含み構成された CMOS イメージセンサである。すなわち、各 SPAD は、飛来した光 (フォトン) を検出し、これにより発生したキャリアをアバランシェ増倍を用いて電気信号パルスに変換する。本開示の第 1 から第 11 の実施形態では、例えば、システム制御部 10 の制御の下、特定の SPAD 群 (例えば撮像フレームにおける 1 ライン方向の SPAD 群) が有効化され、これによって、電気信号パルスが読み出される。また、1 フレーム時間において順次に各ラインの SPAD 群が有効化され、有効化された SPAD 群のそれぞれから出力される電気信号パルスによって、対象エリアに対する 1 撮像フレームが形成される。

[0107] <第 12 の実施形態>

<距離測定装置の構成>

図 24 は、本技術の第 12 の実施形態における距離測定装置 1C の構成の一例を示すブロック図である。距離測定装置 1C は、発光素子から光を発射し、物体 OBJ (対象物または被写体) からの反射光が光電変換部により光電変換され、光電変換部により生成された電荷は、複数の転送トランジスタにより複数の電荷蓄積部へ振り分けられ、複数の電荷蓄積部に蓄積された電荷量に基づいて、物体 OBJ までの距離を測定する測距センサである。

[0108] 同図に示すように、距離測定装置 1C は、測距処理部 90 に、AD (アナログ・デジタル) 変換部 91 及び距離演算回路 92 を備えて構成されている点で、上記第 1 の実施形態において図示したものと異なっている。なお、図 24 中、既に図示したコンポーネントと同一の機能ないし構成のコンポーネントについては、同一の符号を付し、適宜、その説明を省略する。

[0109] AD 変換部 91 は、画素 41 ごとに出力され蓄積された電荷量に応じた画素信号を、アナログ信号からデジタル信号に変換する。画素 41 ごとの画素信号は、距離演算回路 92 に出力される。距離演算回路 92 は、画素 41 ご

との画素信号に基づき、物体OBJまでの距離を算出する。距離演算回路92では、撮像フレームを構成する全ての画素に対して算出された距離により、距離画像を得ることができる。距離演算回路92は、各撮像フレームにおける画素ごとに算出した距離に係るデータ（測距データ）を、通信インタフェース部60及びROI領域判定部80に順次に出力する。

[0110] ROI領域判定部80は、算出された測距データに基づいて、例えば物体OBJを含むROI領域を判定する。この判定結果は、システム制御部10に出力される。システム制御部10は、ROI領域判定部80によるROI領域の判定結果に基づいて、受光部40に設けられる画素駆動部70を制御する。なお、画素駆動部70を制御する際、システム制御部10は、読み出し領域のスキップ等を判定するV（垂直）制御判定部100を用いてもよい。

[0111] ＜受光部の構成＞

図25は、受光部40において、2次元の行列状に配置された複数の画素のうちの1つの画素41を例示している。画素41は、受光した光を光電変換し、光量に応じた電荷を生成する光電変換素子を有する。

[0112] 受光部40には、画素駆動線43を介して画素駆動部70が接続されている。画素駆動部70は、受光部40の各画素を、全画素同時あるいは行単位等で駆動する。画素駆動部70によって選択走査された画素ライン（画素行）の各画素から出力される画素信号は、垂直信号線44の各々を通してAD変換部91に供給される。

[0113] AD変換部91は、受光部40の画素列ごとに、選択ライン（選択行）の各画素単位から垂直信号線44を通して出力される画素信号に対して、アナログ信号からデジタル信号に変換する。

[0114] ＜AD変換部の削減＞

図26は、本技術の第12の実施形態において、ROI領域のみデータを出力するために、AD変換部91の個数を減らす場合の一例を示すブロック図である。高解像度のデータを高いフレームレートで処理するために、AD

変換部 91 は、複数の画素 41 から出力される画素信号を同時にアナログ信号からデジタル信号に変換する必要がある。図 26 の例では、AD 変換部 91 は、撮像フレーム中の 1 ライン上で ROI 領域に対応する複数の画素 41 から出力される画素信号を同時に処理可能な個数（図 26 では、例えば 3 個）備えられる（以下、AD 変換部（2, 3, 4）91 と称する）。なお、1 ライン上の全ての画素 41 から出力される電気信号を同時に処理する場合、図 26 の例では、例えば 5 個の AD 変換部（1, 2, 3, 4, 5）91 が必要となる。また、1 つの画素 41 には、複数の受光素子が含まれる。

[0115] 受光部 40 と AD 変換部（1, 2, 3, 4, 5）91 との間には、セクタ 93 が介在される。セクタ 93 は、システム制御部 10 からの切替指示に従って、例えば受光部 40 と AD 変換部（2, 3, 4）91 との間を選択的に接続する。

[0116] システム制御部 10 は、例えば ROI 領域判定部 80 による判定結果に基づいて、ROI 領域に対応する複数の画素 41 と AD 変換部（2, 3, 4）91 とを接続するようにセクタ 93 を切替制御する。

[0117] 図 26 中の太枠で示すラインにおいて、ROI 領域に対応し左端から 4 番目から 6 番目の画素 41 から出力される画素信号はセクタ 93 を介して AD 変換部（2）91 に入力され、左端から 11 番目から 14 番目の画素 41 から出力される画素信号はセクタ 93 を介して AD 変換部（4）91 に入力される。

[0118] <第 12 の実施形態の作用効果>

以上のように第 12 の実施形態によれば、AD 変換部 91 の個数を撮像フレームのライン方向の受光素子数や画素数に対して減らして、セクタ 93 で測距する領域を AD 変換部 91 に割り振ることで、1 ライン（行）方向において、少数の AD 変換部 91 をそれよりも多数の画素 41 で共用でき、AD 変換部 91 の個数を減らせる分、消費電力を削減できる。

[0119] <第 13 の実施形態>

次に、第 13 の実施形態について説明する。第 13 の実施形態は、第 12

の実施形態の変形であり、Vスキャン（読み出しラインの指定）を領域ごとに行えるようにする場合の構成について説明する。

[0120] 図27は、本技術の第13の実施形態において、Vスキャン（読み出しラインの指定）を領域ごとに行えるようにする場合の一例を示す図である。

[0121] 図27の例では、上端から3ライン目のROI領域（図27では、1行目を図示）の画素41から画素信号を出力する場合、図28に示す画素駆動線43（1）により3ライン目の全画素41から画素信号は同じタイミングで出力されることになる。また、上端から4ライン目のROI領域（図27では、2行目を図示）の画素41から画素信号を出力する場合、図28に示す画素駆動線43（2）により4ライン目の全画素41から画素信号は同じタイミングで出力されることになる。

[0122] そこで、本技術の第13の実施形態では、図29に示すように、1ライン中の領域を分けて異なるタイミングで読み出し可能にする。

[0123] 図27に戻って、本技術の第13の実施形態では、画素41のうち、上端から3ライン目の左端から1番目から8番目の画素411を画素駆動線431により接続し、左端から9番目から12番目の画素412を画素駆動線432により接続する。そして、左端から13番目から16番目の画素413を画素駆動線433により接続し、左端から17番目から20番目の画素414を画素駆動線434により接続する。

[0124] また、本技術の第13の実施形態では、画素41のうち、上端から4ライン目の左端から1番目から8番目の画素415を画素駆動線435により接続し、左端から9番目から12番目の画素416を画素駆動線436により接続する。そして、左端から13番目から16番目の画素417を画素駆動線437により接続し、左端から17番目から20番目の画素418を画素駆動線438により接続する。

[0125] 3ライン目のROI領域の画素412（図27では、顔部分の1行目）を読み出す場合、画素駆動部70は、画素駆動線432を介して画素412を駆動し、画素412から出力される画素信号をAD変換部91に入力させる

。

[0126] 4ライン目のROI領域の画素416（図27では、顔部分の2行目）を読み出す場合、画素駆動部70は、画素駆動線436を介して画素416を駆動し、画素416から出力される画素信号をAD変換部91に入力させる

。

[0127] <第13の実施形態の作用効果>

以上のように上記第13の実施形態によれば、読み出しラインの指定を領域ごとに行えるように構成することで、撮像フレームのV（走査）方向に重なっていない領域の複数の画素41から出力される画素信号を同時に読み出してAD変換部91に入力することで、AD変換部91の処理時間を短縮でき、その分消費電力を削減できる。

[0128] <第14の実施形態>

次に、第14の実施形態について説明する。第14の実施形態は、第12の実施形態の変形であり、AD変換部91に対して垂直信号線44を多く持つ場合の構成について説明する。

[0129] 図30は、本技術の第14の実施形態において、ROI領域が枠1、枠2、枠3に分けられる一例を示す図である。図31は、枠1、枠2、枠3それぞれが異なる垂直信号線44により接続される一例を示す図である。

[0130] 図31の例では、画素41のうち、例えば、枠1の1行目の画素4111は、画素駆動線4311により接続され、垂直信号線4411により接続される。枠1の2行目の画素4112は、画素駆動線4312により接続され、垂直信号線4412により接続される。

[0131] 枠2の1行目の画素4121は、画素駆動線4321により接続され、垂直信号線4421により接続される。枠2の2行目の画素4122は、画素駆動線4322により接続され、垂直信号線4422により接続される。

[0132] 枠3の1行目の画素4131は、画素駆動線4331により接続され、垂直信号線4431により接続される。枠3の2行目の画素4132は、画素駆動線4332により接続され、垂直信号線4432により接続される。

[0133] 枠 1 (図 30 では、顔部分の 1 行目及び 2 行目)を読み出す場合、画素駆動部 70 は、画素駆動線 4311, 4312 を介して画素 4111, 4112 を駆動し、画素 4111, 4112 から出力される画素信号を垂直信号線 4411, 4412 を介して AD 変換部 91 に入力させる。

[0134] 枠 2 (図 30 では、右手部分の 1 行目及び 2 行目)を読み出す場合、画素駆動部 70 は、画素駆動線 4321, 4322 を介して画素 4121, 4122 を駆動し、画素 4121, 4122 から出力される画素信号を垂直信号線 4421, 4422 を介して AD 変換部 91 に入力させる。

[0135] 枠 3 (図 30 では、左手部分の 1 行目及び 2 行目)を読み出す場合、画素駆動部 70 は、画素駆動線 4331, 4332 を介して画素 4131, 4132 を駆動し、画素 4131, 4132 から出力される画素信号を垂直信号線 4431, 4432 を介して AD 変換部 91 に入力させる。

[0136] <第 14 の実施形態の作用効果>

以上のように第 14 の実施形態によれば、AD 変換部 91 に対して垂直信号線 44 を多く持つことで、ROI 領域を例えば枠 1, 枠 2, 枠 3 に分割して設定し、V 方向重ならない場合に、枠 1, 枠 2, 枠 3 ごとに異なる垂直信号線 44 を用いて複数の画素信号を同時に AD 変換部 91 に入力することが可能になり、これにより処理時間を短縮でき、その分消費電力を削減できる。

[0137] <第 14 の実施形態の変形例>

なお、本技術の第 14 の実施形態の変形例として、垂直信号線 44 と、AD 変換部 91 との間に、スイッチを介在させることができる。このようにすれば、システム制御部 10 は、ROI 領域に合わせてスイッチをオン・オフ制御することができる。

[0138] <第 15 の実施形態>

次に、第 15 の実施形態について説明する。第 15 の実施形態は、第 12 の実施形態の変形であり、異なるラインにあるデータを同時に連続して出力する場合について説明する。

[0139] 図32は、本技術の第15の実施形態における1領域ずつ出力する場合の一例を示す図である。

[0140] 図32の例では、システム制御部10は、ROI領域を、例えば枠1（顔）と枠2（右手）と枠3（左手）に分割し、枠1、枠2、枠3のデータを読み出すように受光部40を制御する。

[0141] 通信インタフェース部60は、図33に示すように、測距処理部50から出力される枠1及び枠2及び枠3の測距データに対しラインごとに並べて出力する。

[0142] また、通信インタフェース部60は、図34に示すように、異なるV方向の領域を同時に読み出す場合、枠1、枠2、枠3の測距データを1ライン上に並べて出力する。

[0143] <第16の実施形態>

次に、第16の実施形態について説明する。第16の実施形態では、測距処理部90により算出された測距データを受信した外部のホストICを用いて、ROI領域を判定することを可能とする距離測定装置1Dが開示される。ここで、外部のホストICとは、上記第12の実施形態で説明したSOCとしての距離測定装置1Dの外部に設けられるという意味で用いられている。

[0144] 図35は、本技術の第16の実施形態における距離測定装置1Dの構成の一例を示すブロック図である。同図に示すように、距離測定装置1Dは、上記測距処理部90から上記距離演算回路92を削除した測距処理部94とし、ホストIC2が、測距処理部94から通信インタフェース部60を介して受信した測距データに基づいて、ROI領域を判定するように構成されている点で、上記第12の実施形態において図示したものと異なっている。なお、図35中、既に図示したコンポーネントと同一の機能ないし構成のコンポーネントについては、同一の符号を付し、適宜、その説明を省略する。

[0145] 同図に示すように、本例では、図24に示した距離演算回路92及び図24に示したROI領域判定部80が、距離測定装置1C内に設けられる代わ

りに、ホスト１Ｃ２に設けられている。図示していないが、ホスト１Ｃ２は、対応する通信インタフェース部を含み構成される。ホスト１Ｃ２の測距演算回路は、上記第１の実施形態と同様、測距処理部９４から通信インタフェース部６０を介して測距データを受信すると、物体OBJまでの距離を算出する。そして、ホスト１Ｃ２のROI領域判定部は、該測距データに基づいて、ROI領域を判定する。ホスト１Ｃ２のROI領域判定部は、該判定結果を、通信インタフェース部６０を介して、システム制御部１０に送信する。

[0146] 一例として、ホスト１Ｃ２は、１撮像フレーム分の測距データを保持し得るフレームバッファ（図示せず）を備え得る。ホスト１Ｃ２のROI領域判定部は、フレームバッファを参照し、次の撮像フレームにおける読み出しラインごとにROI領域を判定する。

[0147] <第１６の実施形態の作用効果>

このようにして、上記第１６の実施形態によっても、上記第１１の実施形態及び上記第１２の実施形態と同様の作用効果ないしは利点を奏し得る。また、上記第１６の実施形態によれば、距離測定装置１Ｄ内で測距演算回路による処理及びROI領域の判定処理を省略できる分、高度な処理が可能となる。

[0148] <その他の実施形態>

上記のように、本技術は第１から第１６の実施形態によって記載したが、この開示の一部をなす論述及び図面は本技術を限定するものであると理解すべきではない。上記の実施形態が開示する技術内容の趣旨を理解すれば、当業者には様々な代替実施形態、実施例及び運用技術が本技術に含まれ得ることが明らかとなろう。また、第１から第１６の実施形態及び第１から第１６の実施形態の変形例がそれぞれ開示する構成を、矛盾の生じない範囲で適宜組み合わせることができる。例えば、複数の異なる実施形態がそれぞれ開示する構成を組み合わせてもよく、同一の実施形態の複数の異なる変形例がそれぞれ開示する構成を組み合わせてもよい。

[0149] なお、本開示は以下のような構成も取ることができる。

(1)

行列状に配置され、受光した対象領域からの反射光を電気信号に変換する受光素子をそれぞれ有する複数の画素を備える受光部と、

画素ごとまたはいくつかの画素により構成される画素群ごとに設けられ前記受光素子に電力を供給する複数の電源部と、

前記複数の画素によって形成される撮像フレームにおいて、前記画素ごとに出力される前記電気信号に基づいて、前記撮像フレーム中の関心領域までの距離を算出するための測距処理を実行する測距処理部と、

前記測距処理部により出力され、前記撮像フレームに対する前記画素ごとの前記距離に関するデータを出力する出力インタフェース部と、

前記複数の電源部のオン・オフ制御、前記受光素子の出力マスク及び前記測距処理部による測距処理の制御の少なくとも1つを実行する制御部と、を備え、

前記制御部は、前記関心領域の判定結果に基づいて、前記関心領域以外の領域に属する電源部をオフ制御すること、及び前記関心領域に対応する前記電気信号を入力するように前記測距処理部を制御することの少なくとも一方を実行する、測距センサ。

(2)

前記測距処理部は、

前記画素ごとに出力される前記電気信号を、所定のサンプリング周波数でサンプリングして、サンプリング値を出力するサンプリング回路と、

前記受光が行われることにより得られる複数の前記サンプリング値に基づいて、時間ごとの前記反射光の強さを示すヒストグラムを生成するヒストグラム生成部と、

前記ヒストグラムにおけるピーク値を検出し、前記ピーク値から前記関心領域までの距離を算出する距離算出部と、

を備える前記（１）に記載の測距センサ。

（３）

前記受光部と前記サンプリング回路との間に接続される選択回路を備え、
前記サンプリング回路は、撮像フレーム中の１ライン上で前記関心領域に対応する複数の画素から出力される電気信号を同時に処理可能な複数個備えられ、

前記制御部は、前記関心領域に対応する複数の画素と複数の前記サンプリング回路とを接続するように前記選択回路を切替制御する前記（２）に記載の測距センサ。

（４）

前記サンプリング回路と前記ヒストグラム生成部との間に接続される選択回路を備え、

前記サンプリング回路は、前記撮像フレーム中の１ラインを構成する複数の画素から出力される電気信号を同時に処理可能な複数個備えられ、

前記ヒストグラム生成部は、前記撮像フレーム中の１ライン上で前記関心領域に対応する複数のサンプリング回路の出力を同時に処理可能な複数個備えられ、

前記制御部は、前記関心領域に対応する複数の画素からの電気信号を処理するべく、複数の前記サンプリング回路と複数の前記ヒストグラム生成部とを接続するように前記選択回路を切替制御する前記（２）に記載の測距センサ。

（５）

前記受光部はアレイ型であり、

複数の前記受光素子の出力端子を前記画素ごとに共通化する、前記（１）に記載の測距センサ。

（６）

前記サンプリング回路及び前記ヒストグラム生成部は、前記撮像フレーム中の１ラインを構成する複数の画素から出力される電気信号を同時に処理可

能な複数個備えられ、

前記制御部は、前記関心領域以外の領域に属する前記サンプリング回路及び前記ヒストグラム生成部の電源をオフ制御する、前記（２）に記載の測距センサ。

（７）

前記受光部と、前記測距処理部とが互いに異なる層に属する積層構造であり、

前記制御部は、前記複数の画素から構成する面における前記関心領域以外の領域に属する電源部をオフ制御する、前記（１）に記載の測距センサ。

（８）

前記制御部は、前記関心領域を複数の領域に分割し、前記撮像フレームごとに分割した領域を読み出すように前記受光部を制御する、前記（１）に記載の測距センサ。

（９）

前記対象領域に対して光を照射する発光部を備え、

前記制御部は、前記関心領域の判定結果に基づいて、前記光を前記関心領域のみに照射するように前記発光部を制御する、前記（１）に記載の測距センサ。

（１０）

前記測距処理部は、

前記画素ごとに出力される前記電気信号を、アナログ信号からデジタル信号に変換するアナログ／デジタル変換部と、

前記デジタル信号に基づいて、前記関心領域までの距離を算出する距離算出部と、

を備える前記（１）に記載の測距センサ。

（１１）

前記受光部と前記アナログ／デジタル変換部との間に接続される選択回路を備え、

前記アナログ／デジタル変換部は、前記撮像フレーム中の１ライン上で前記関心領域に対応する複数の画素から出力される電気信号を同時に処理可能な複数個備えられ、

前記制御部は、前記関心領域に対応する複数の画素と複数の前記アナログ／デジタル変換部とを接続するように前記選択回路を切替制御する前記（１０）に記載の測距センサ。

（１２）

前記制御部は、前記関心領域において読み出しラインを指定し、かつ前記撮像フレームの走査方向に重なっていない領域の複数の画素から出力される電気信号を同時に前記アナログ／デジタル変換部に入力する、前記（１０）に記載の測距センサ。

（１３）

前記画素と前記アナログ／デジタル変換部との間は、前記撮像フレームのラインごとに異なる複数の信号線により接続され、

前記制御部は、前記関心領域を複数の枠に分割して設定し、枠ごとに異なる信号線を用いて前記電気信号を前記アナログ／デジタル変換部に転送する、前記（１０）に記載の測距センサ。

（１４）

前記複数の信号線と前記アナログ／デジタル変換部との間に接続されるスイッチを備え、

前記制御部は、前記関心領域に合わせて前記スイッチをオン・オフ制御する、前記（１３）に記載の測距センサ。

（１５）

測距処理部からの出力から前記関心領域を判定する関心領域判定部を備え、

前記制御部は、前記関心領域判定部による前記関心領域の判定結果に基づいて、前記関心領域以外の領域に属する電源部をオフ制御すること、及び前記関心領域に対応する前記電気信号を入力するように前記測距処理部を制御

することの少なくとも一方を実行する、前記（１）から前記（１４）のいずれか１項に記載の測距センサ。

（１６）

前記制御部は、外部装置から提供される前記関心領域の判定結果に基づいて、前記関心領域以外の領域に属する電源部をオフ制御すること、及び前記関心領域に対応する前記電気信号を入力するように前記測距処理部を制御することの少なくとも一方を実行する、前記（１）から前記（１４）のいずれか１に記載の測距センサ。

（１７）

出力インタフェース部は、前記関心領域について前記撮像フレームの１ラインごとにヘッダ情報及びフッタ情報を付加する、前記（１）から前記（１０）のいずれか１に記載の測距センサ。

（１８）

行列状に配置され受光素子をそれぞれ有する複数の画素を備える受光部により対象領域からの反射光を受光し、電気信号に変換して出力することと、

前記複数の画素によって形成される撮像フレームにおいて、測距処理部により前記画素ごとに出力される前記電気信号に基づいて、前記撮像フレーム中の関心領域までの距離を算出するための測距処理を実行することと、

前記撮像フレームに対する前記画素ごとの前記距離に関するデータを出力することと、

前記関心領域の判定結果に基づいて、前記関心領域以外の領域に属する電源部をオフ制御すること、及び前記関心領域に対応する前記電気信号を入力するように前記測距処理部を制御することの少なくとも一方を実行することと、を含む、

距離測定方法。

（１９）

行列状に配置され、受光した対象領域からの反射光を電気信号に変換する受光素子をそれぞれ有する複数の画素を備える受光部と、

前記画素ごとに出力される電気信号に基づいて信号処理を行い前記対象領域までの距離を算出し、それぞれ独立に電源供給の制御が可能な複数の信号処理モジュールを有する測距処理部と、

入力信号に応じて、前記複数の信号処理モジュールの電源供給制御を実行する制御部とを備える測距センサ。

(20)

前記測距処理部は、前記複数の画素によって形成される撮像フレームにおいて、前記画素ごとに出力される前記電気信号に基づいて、撮像フレーム中の関心領域までの距離を算出するための測距処理を実行し、

前記制御部は、前記関心領域に対応する複数の画素に対応した前記信号処理モジュールに電源を供給する

前記(19)に記載の測距センサ。

(21)

前記受光部と前記複数の信号処理モジュールとの間に接続される選択回路を備え、

前記制御部は、前記関心領域に対応する複数の画素と、前記関心領域に対応する複数の画素に対応した信号処理モジュールとを接続するように前記選択回路を切替制御する

前記(20)に記載の測距センサ。

(22)

前記受光素子は、アバランシェフォトダイオードである前記(21)に記載の測距センサ。

(23)

前記測距処理部は、前記画素ごとに出力される前記電気信号を、所定のサンプリング周波数でサンプリングして、サンプリング値を出力するサンプリング回路を備え、

前記選択回路は、前記受光部と前記サンプリング回路との間に配置される前記(22)に記載の測距センサ。

(24)

前記測距処理部は、

前記画素ごとに出力される前記電気信号を、所定のサンプリング周波数でサンプリングして、サンプリング値を出力するサンプリング回路と、

前記受光が行われることにより得られる複数の前記サンプリング値に基づいて、時間ごとの前記反射光の強さを示すヒストグラムを生成するヒストグラム生成部と、を備え、

前記選択回路は、前記サンプリング回路と前記ヒストグラム生成部との間に配置される前記(22)に記載の測距センサ。

符号の説明

[0150] 1A, 1B, 1C, 1D…距離測定装置、2…ホストIC、10…システム制御部、20…発光部、30…発光タイミング調整部、40…受光部、41, 41a, 41b, 41c, 411, 412, 413, 414, 415, 416, 417, 418, 4111, 4112, 4121, 4122, 4131, 4132…画素、42…電源部、43, 431, 432, 433, 434, 435, 436, 437, 438, 4311, 4312, 4321, 4322, 4331, 4332…画素駆動線、44, 441, 442, 443, 444, 445, 446, 4411, 4412, 4421, 4422, 4431, 4432…垂直信号線、45, 46…受光素子、50, 90…測距処理部、51…サンプリング回路、52…ヒストグラム生成回路、53, 63, 92…距離演算回路、54, 93…セレクタ、55…電源、56…パワーゲートセル、60…通信インタフェース部、70…画素駆動部、80…ROI領域判定部、91…AD変換部、100…V(垂直)制御判定部、200…パルス変化回路

請求の範囲

- [請求項1] 行列状に配置され、受光した対象領域からの反射光を電気信号に変換する受光素子をそれぞれ有する複数の画素を備える受光部と、
- 前記画素ごとに出力される電気信号に基づいて信号処理を行い前記対象領域までの距離を算出し、それぞれ独立に電源供給の制御が可能な複数の信号処理モジュールを有する測距処理部と、
- 入力信号に応じて、前記複数の信号処理モジュールの電源供給制御を実行する制御部とを備える測距センサ。
- [請求項2] 前記測距処理部は、前記複数の画素によって形成される撮像フレームにおいて、前記画素ごとに出力される前記電気信号に基づいて、撮像フレーム中の関心領域までの距離を算出するための測距処理を実行し、
- 前記制御部は、前記関心領域に対応する複数の画素に対応した前記信号処理モジュールに電源を供給する
- 請求項 1 に記載の測距センサ。
- [請求項3] 前記受光部と前記複数の信号処理モジュールとの間に接続される選択回路を備え、
- 前記制御部は、前記関心領域に対応する複数の画素と、前記関心領域に対応する複数の画素に対応した信号処理モジュールとを接続するように前記選択回路を切替制御する
- 請求項 2 に記載の測距センサ。
- [請求項4] 前記受光素子は、アバランシェフォトダイオードである請求項 3 に記載の測距センサ。
- [請求項5] 前記測距処理部は、前記画素ごとに出力される前記電気信号を、所定のサンプリング周波数でサンプリングして、サンプリング値を出力するサンプリング回路を備え、
- 前記選択回路は、前記受光部と前記サンプリング回路との間に配置される

請求項4に記載の測距センサ。

[請求項6]

前記測距処理部は、

前記画素ごとに出力される前記電気信号を、所定のサンプリング周波数でサンプリングして、サンプリング値を出力するサンプリング回路と、

前記受光が行われることにより得られる複数の前記サンプリング値に基づいて、時間ごとの前記反射光の強さを示すヒストグラムを生成するヒストグラム生成部と、を備え、

前記選択回路は、前記サンプリング回路と前記ヒストグラム生成部との間に配置される請求項4に記載の測距センサ。

[請求項7]

前記測距処理部は、

前記画素ごとに出力される前記電気信号を、所定のサンプリング周波数でサンプリングして、サンプリング値を出力するサンプリング回路と、

前記受光が行われることにより得られる複数の前記サンプリング値に基づいて、時間ごとの前記反射光の強さを示すヒストグラムを生成するヒストグラム生成部と、

前記ヒストグラムにおけるピーク値を検出し、前記ピーク値から前記関心領域までの距離を算出する距離算出部と、

を備える請求項4に記載の測距センサ。

[請求項8]

前記受光部はアレイ型であり、

複数の前記受光素子の出力端子を前記画素ごとに共通化する、請求項1に記載の測距センサ。

[請求項9]

画素ごとまたはいくつかの画素により構成される画素群ごとに設けられ前記受光素子に電力を供給する複数の電源部をさらに備え、

前記受光部と、前記測距処理部とが互いに異なる層に属する積層構造であり、

前記制御部は、前記複数の画素から構成する面における関心領域以

外の領域に属する電源部をオフ制御する、
請求項 1 に記載の測距センサ。

[請求項10] 前記制御部は、前記関心領域を複数の領域に分割し、前記撮像フレームごとに分割した領域を読み出すように前記受光部を制御する、
請求項 2 に記載の測距センサ。

[請求項11] 前記対象領域に対して光を照射する発光部を備え、
前記制御部は、前記関心領域の判定結果に基づいて、前記光を前記関心領域のみに照射するように前記発光部を制御する、
請求項 2 に記載の測距センサ。

[請求項12] 前記測距処理部は、
前記画素ごとに出力される前記電気信号を、アナログ信号からデジタル信号に変換するアナログ／デジタル変換部と、
前記デジタル信号に基づいて、前記関心領域までの距離を算出する距離算出部と、
を備える請求項 2 に記載の測距センサ。

[請求項13] 前記受光部と前記アナログ／デジタル変換部との間に接続される選択回路を備え、
前記制御部は、前記関心領域に対応する複数の画素と前記アナログ／デジタル変換部とを接続するように前記選択回路を切替制御する
請求項 1 2 に記載の測距センサ。

[請求項14] 前記制御部は、前記関心領域において読み出しラインを指定し、かつ前記撮像フレームの走査方向に重なっていない領域の複数の画素から出力される電気信号を同時に前記アナログ／デジタル変換部に入力する、
請求項 1 2 に記載の測距センサ。

[請求項15] 前記画素と前記アナログ／デジタル変換部との間は、前記撮像フレームのラインごとに異なる複数の信号線により接続され、
前記制御部は、前記関心領域を複数の枠に分割して設定し、枠ごと

に異なる信号線を用いて前記電気信号を前記アナログ／デジタル変換部に転送する、

請求項 1 2 に記載の測距センサ。

[請求項16] 前記複数の信号線と前記アナログ／デジタル変換部との間に接続されるスイッチを備え、

前記制御部は、前記関心領域に合わせて前記スイッチをオン・オフ制御する、

請求項 1 5 に記載の測距センサ。

[請求項17] 測距処理部からの出力から関心領域を判定する関心領域判定部を備え、

前記制御部は、前記関心領域判定部による前記関心領域の判定結果に基づいて、関心領域以外の領域に属する電源部をオフ制御すること、及び前記関心領域に対応する前記電気信号を入力するように前記測距処理部を制御することの少なくとも一方を実行する、

請求項 1 から請求項 1 6 のいずれか 1 項に記載の測距センサ。

[請求項18] 前記制御部は、外部装置から提供される関心領域の判定結果に基づいて、関心領域以外の領域に属する電源部をオフ制御すること、及び前記関心領域に対応する前記電気信号を入力するように前記測距処理部を制御することの少なくとも一方を実行する、

請求項 1 から請求項 1 6 のいずれか 1 項に記載の測距センサ。

[請求項19] 前記関心領域について前記撮像フレームの 1 ラインごとにヘッダ情報及びフッタ情報を付加する出力インタフェース部を備える、

請求項 2 に記載の測距センサ。

[請求項20] 行列状に配置され受光素子をそれぞれ有する複数の画素を備える受光部により対象領域からの反射光を受光し、電気信号に変換して出力することと、

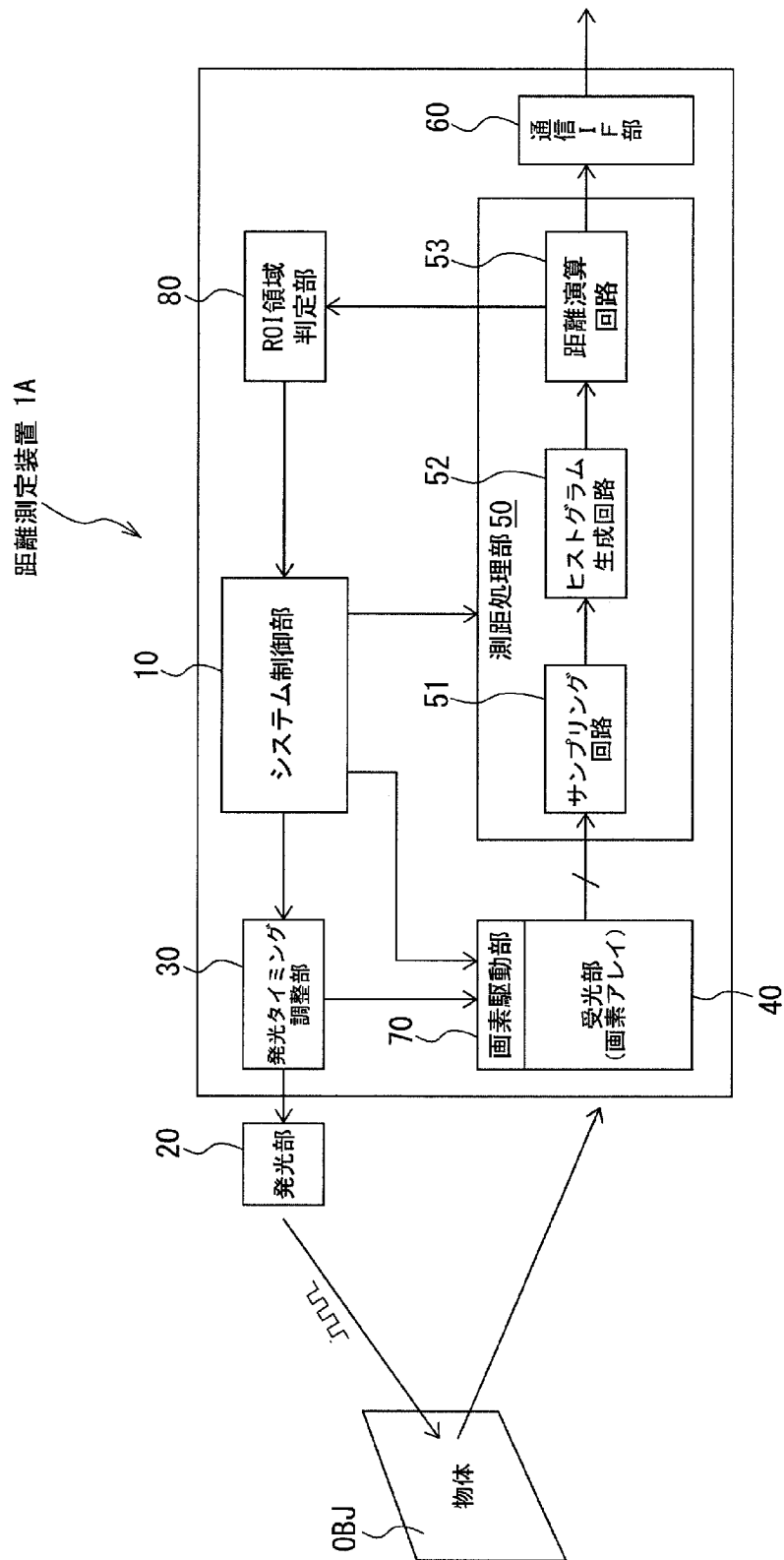
前記複数の画素によって形成される撮像フレームにおいて、測距処理部により前記画素ごとに出力される前記電気信号に基づいて、撮像

フレーム中の関心領域までの距離を算出するための測距処理を実行することと、

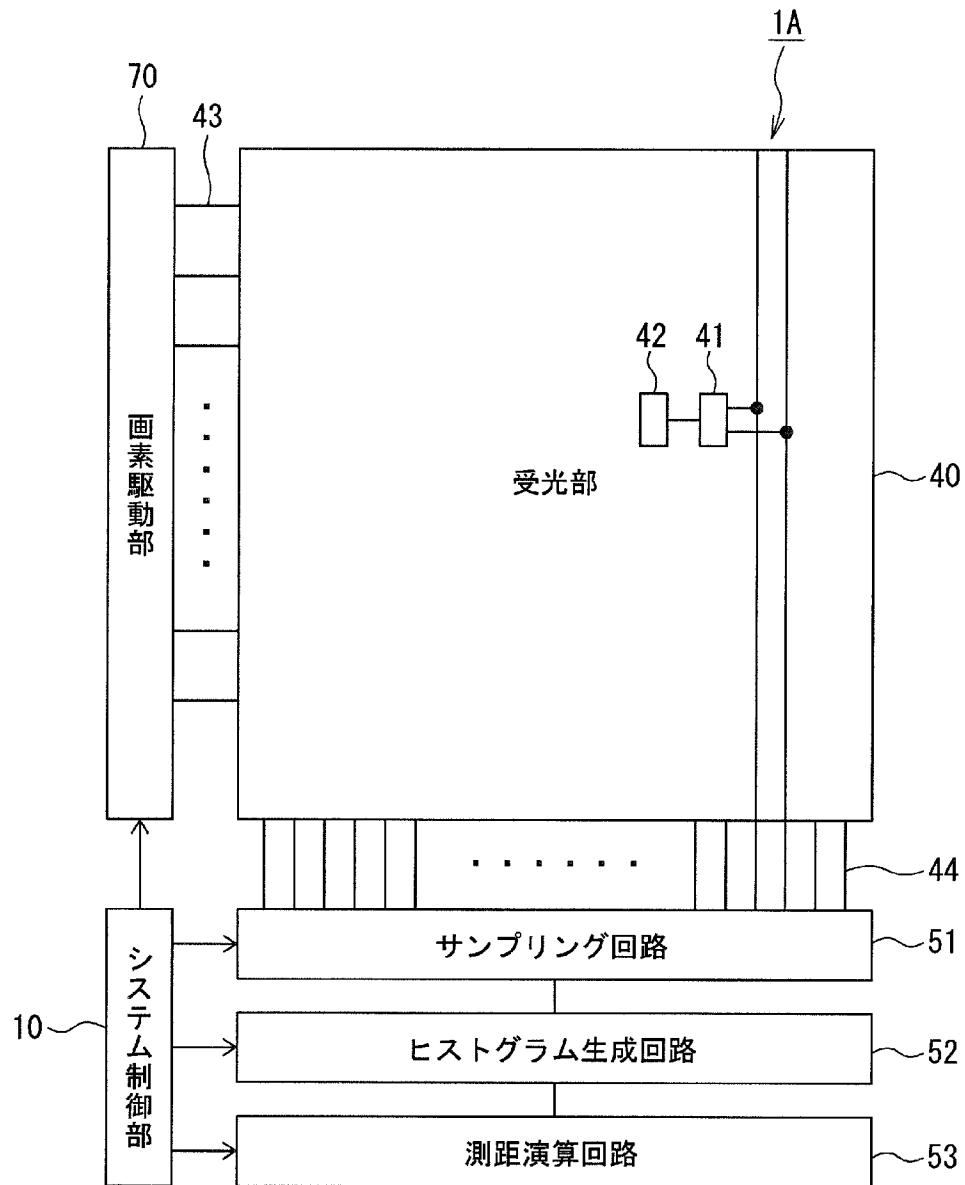
前記撮像フレームに対する前記画素ごとの前記距離に関するデータを出力することと、

前記関心領域の判定結果に基づいて、関心領域以外の領域に属する電源部をオフ制御すること、及び前記関心領域に対応する前記電気信号を入力するように前記測距処理部を制御することの少なくとも一方を実行することと、を含む、
距離測定方法。

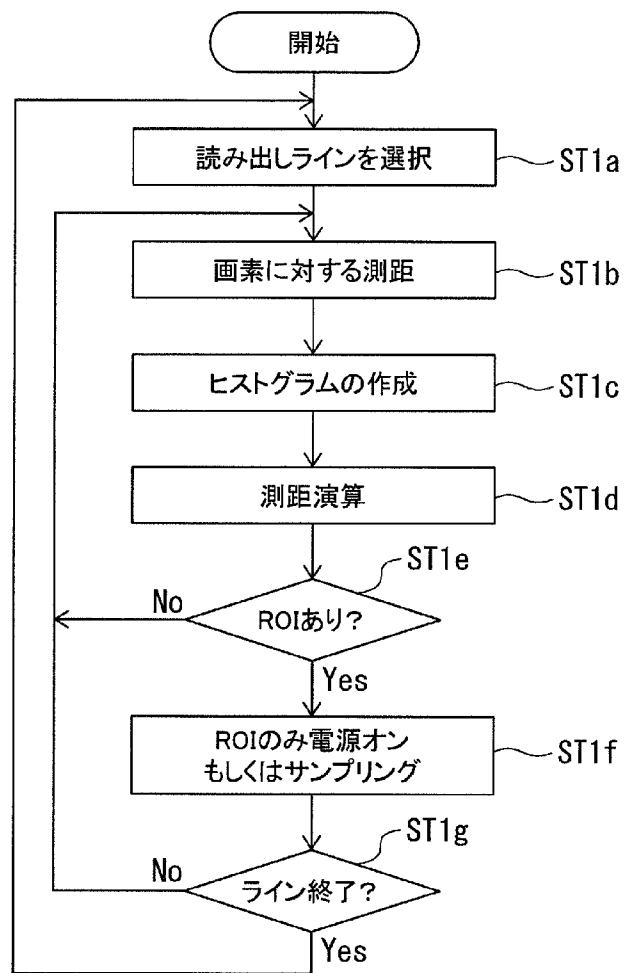
[図1]



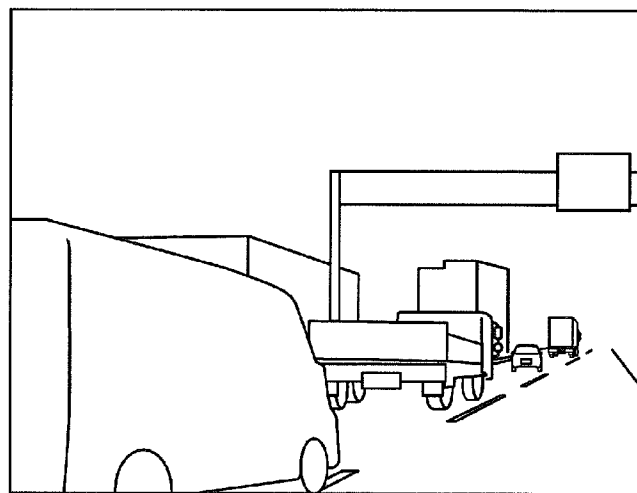
[図2]



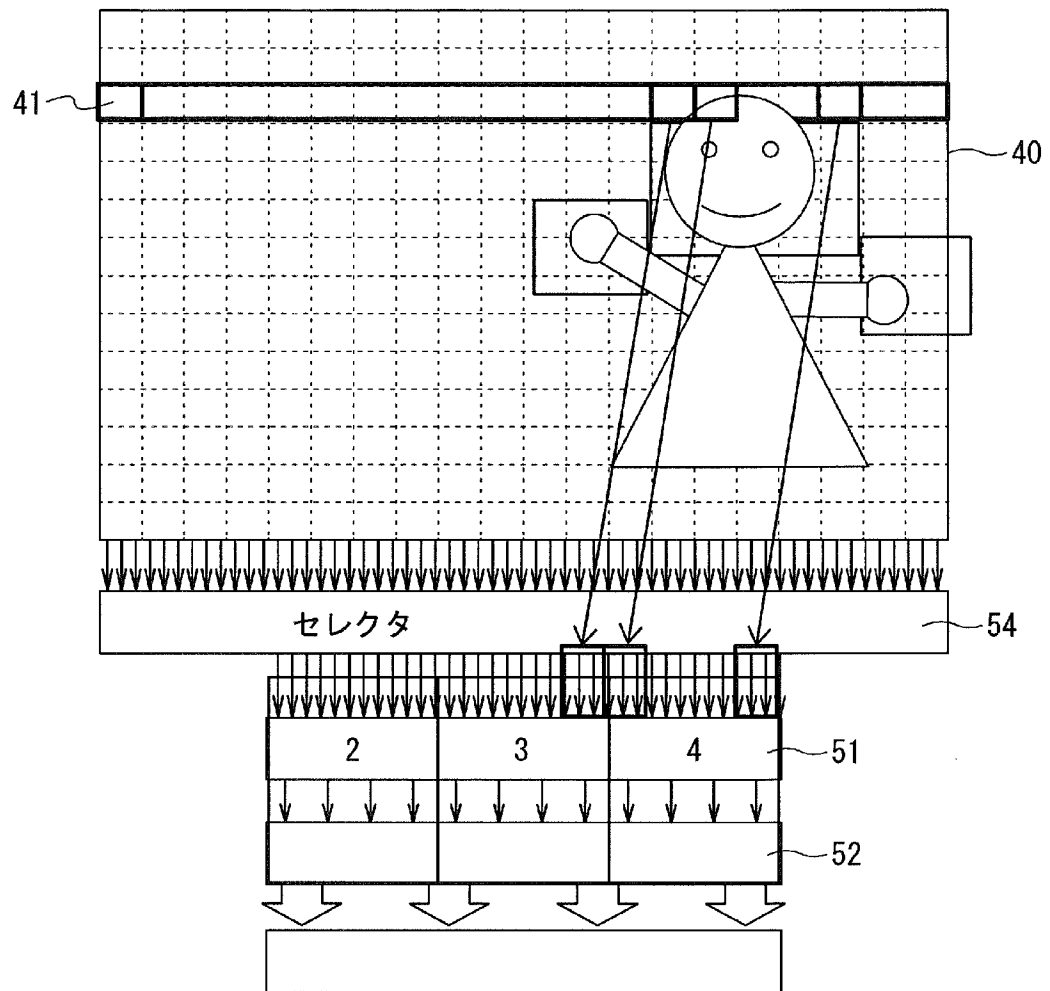
[図3]



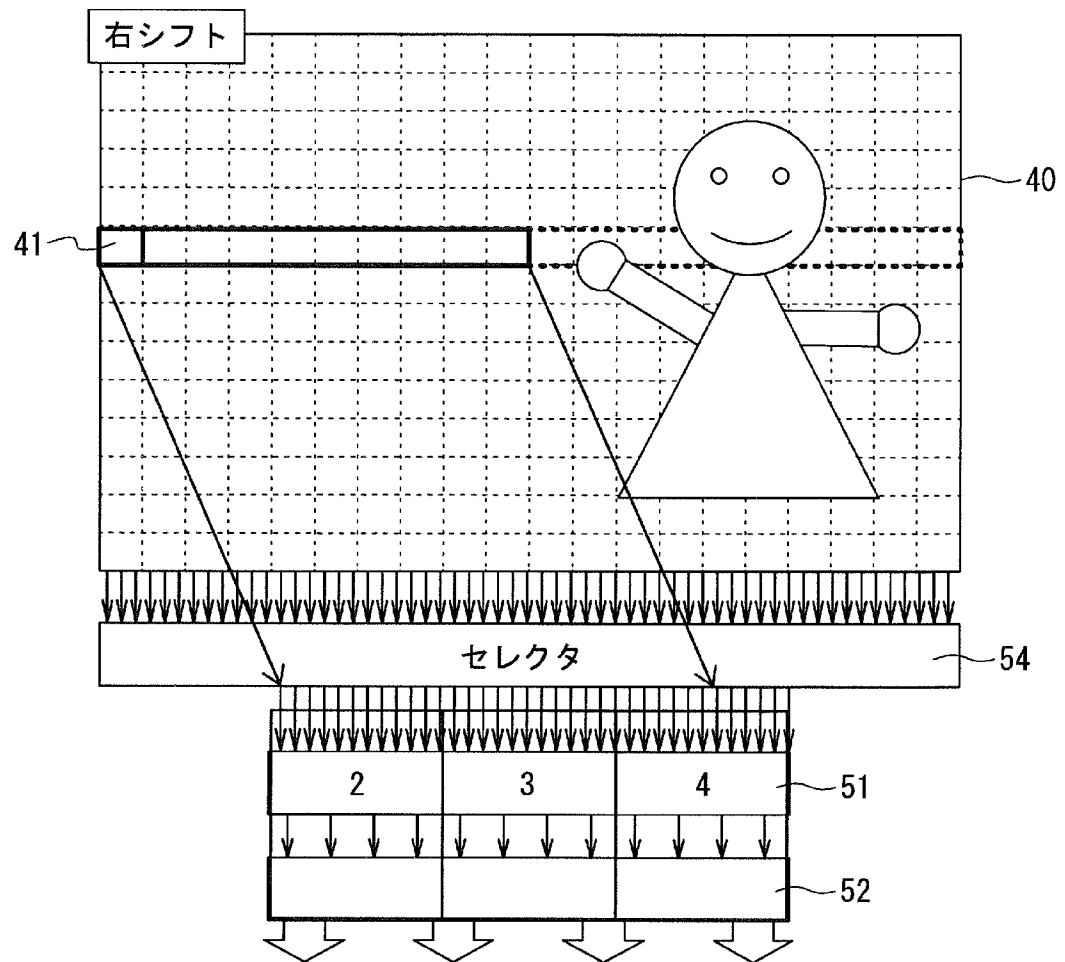
[図4]



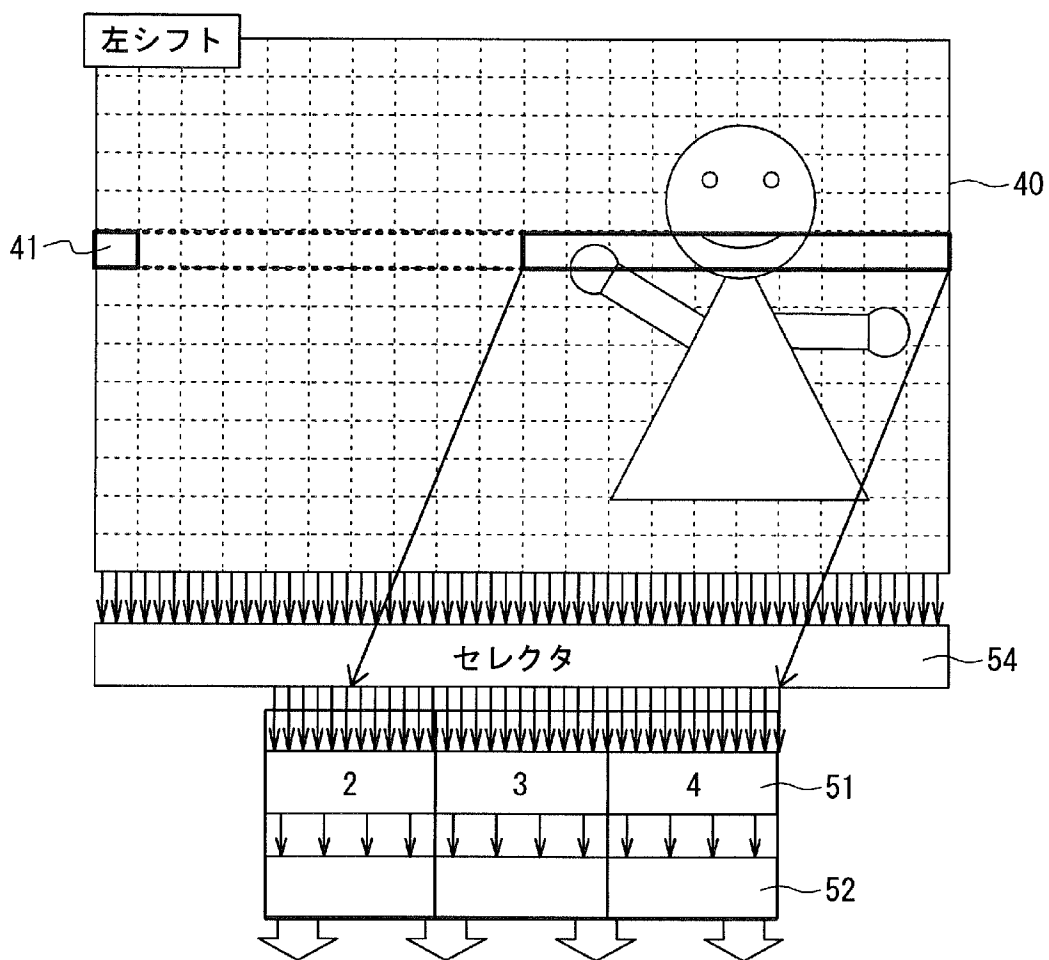
[図5]



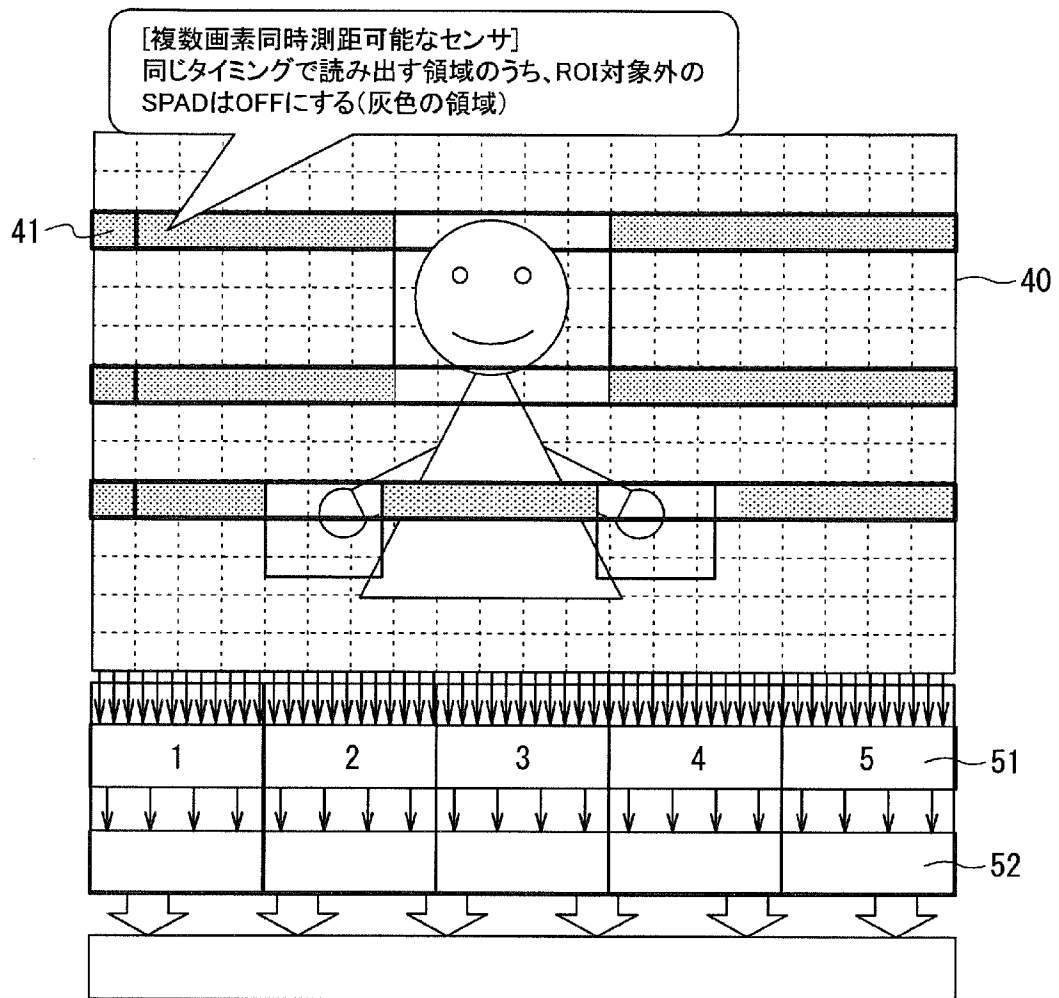
[図6]



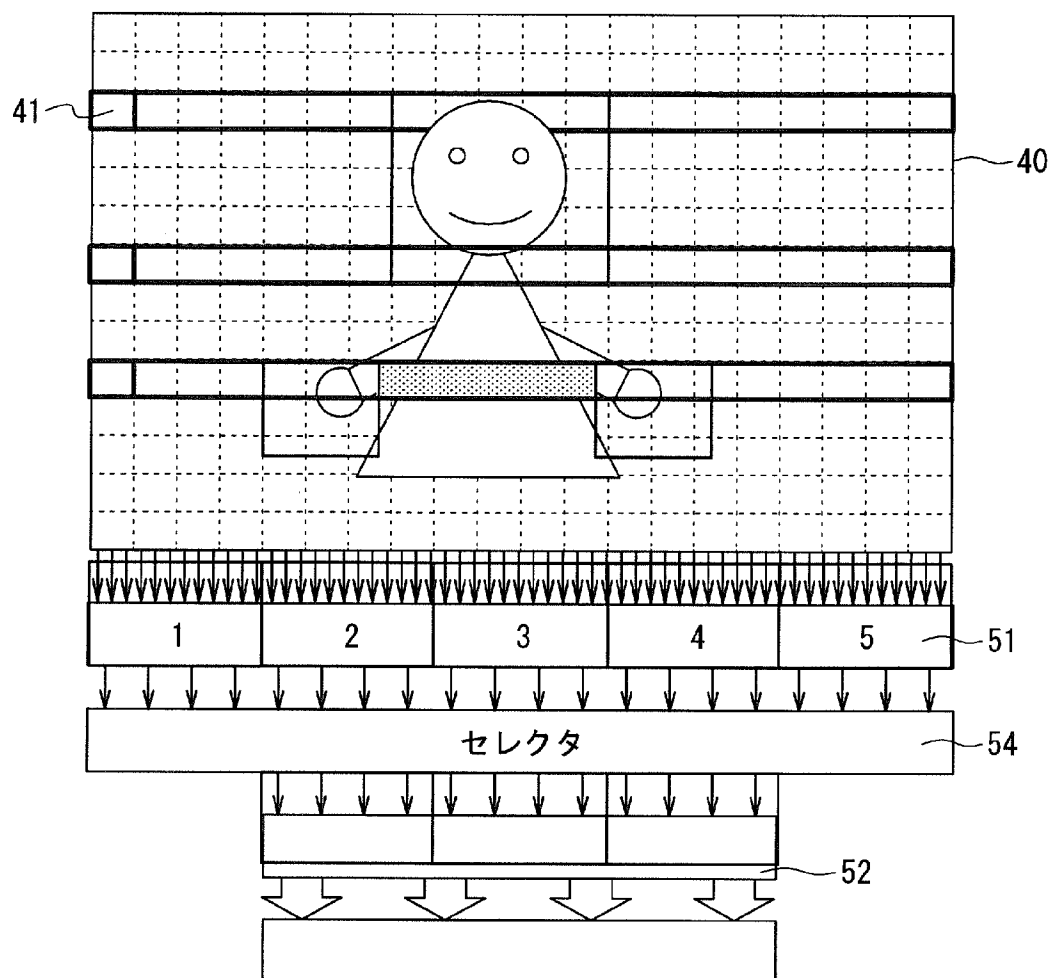
[図7]



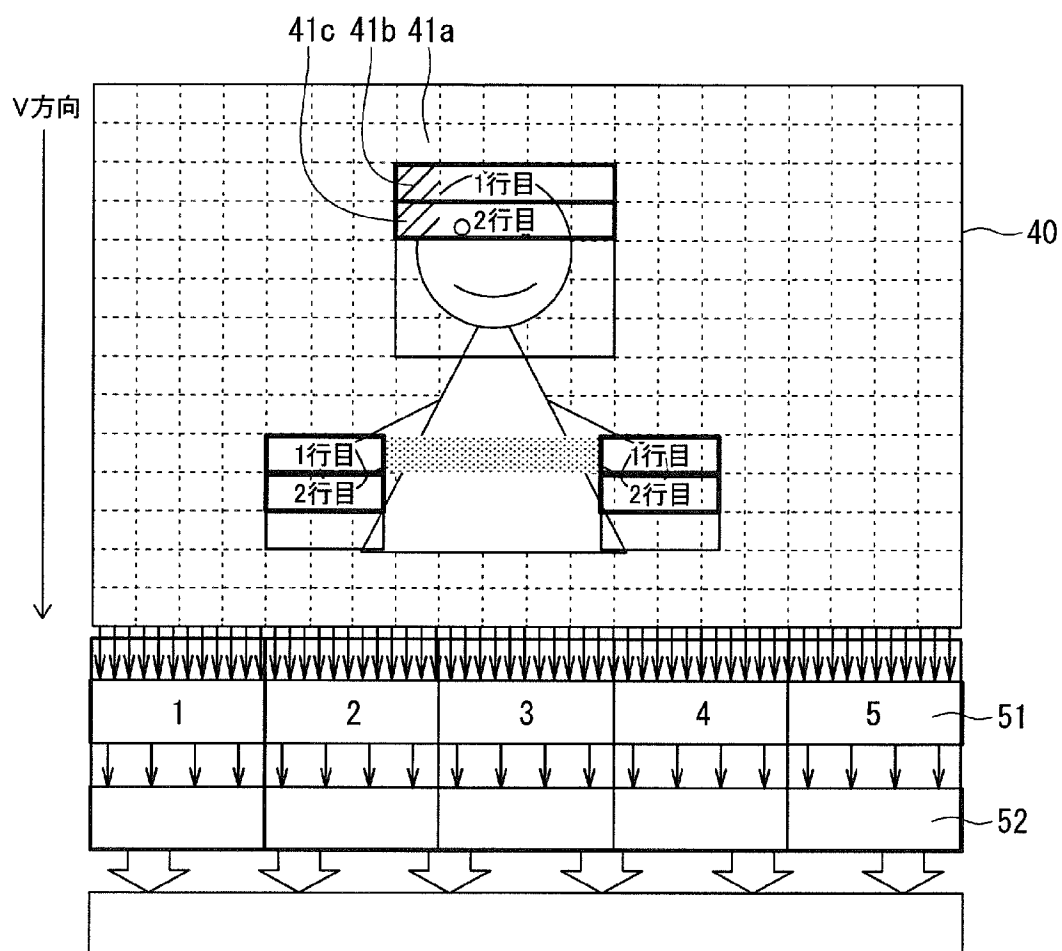
[図8]



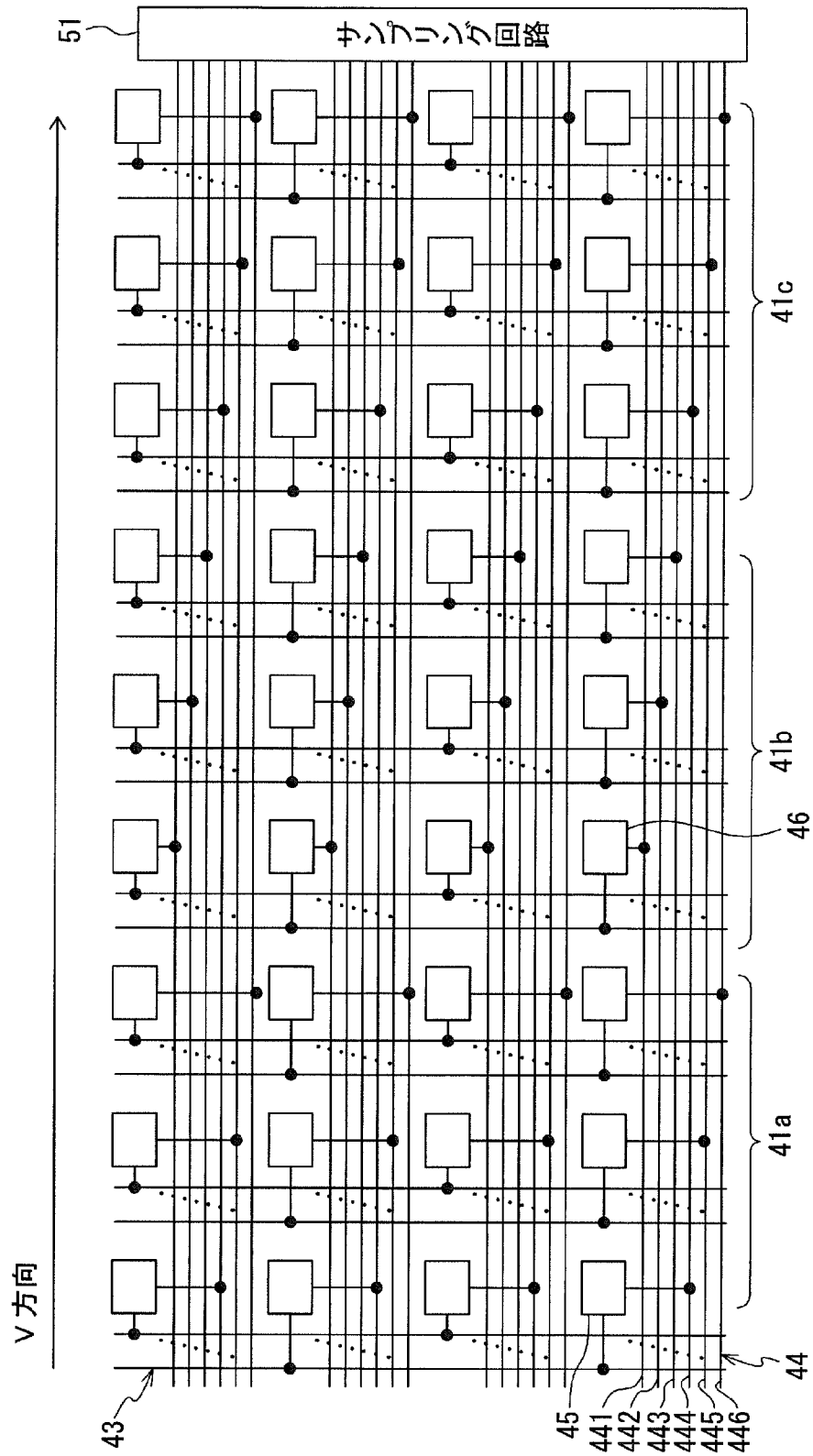
[図9]



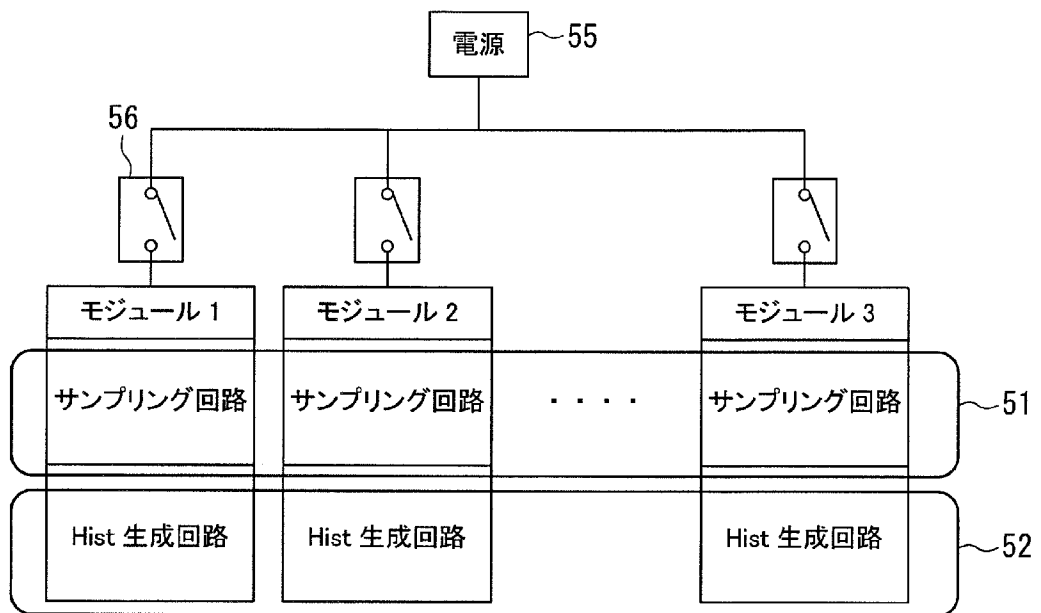
[図10]



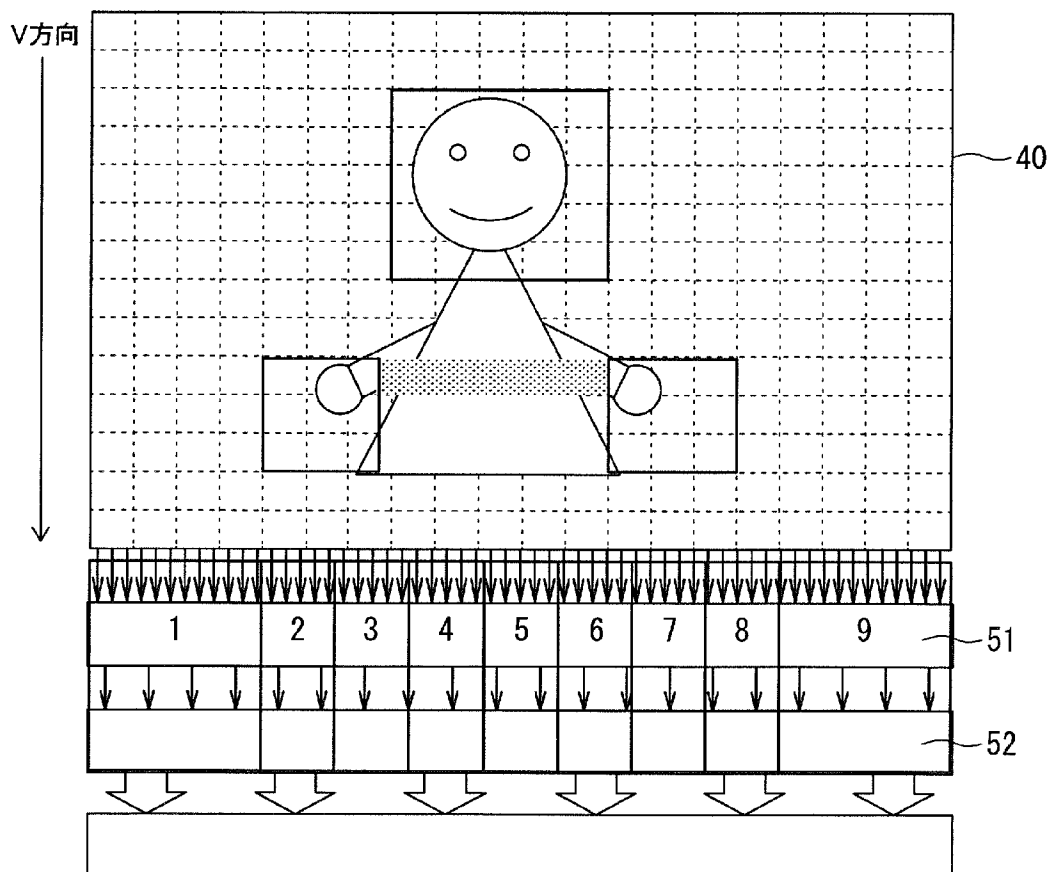
[図11]



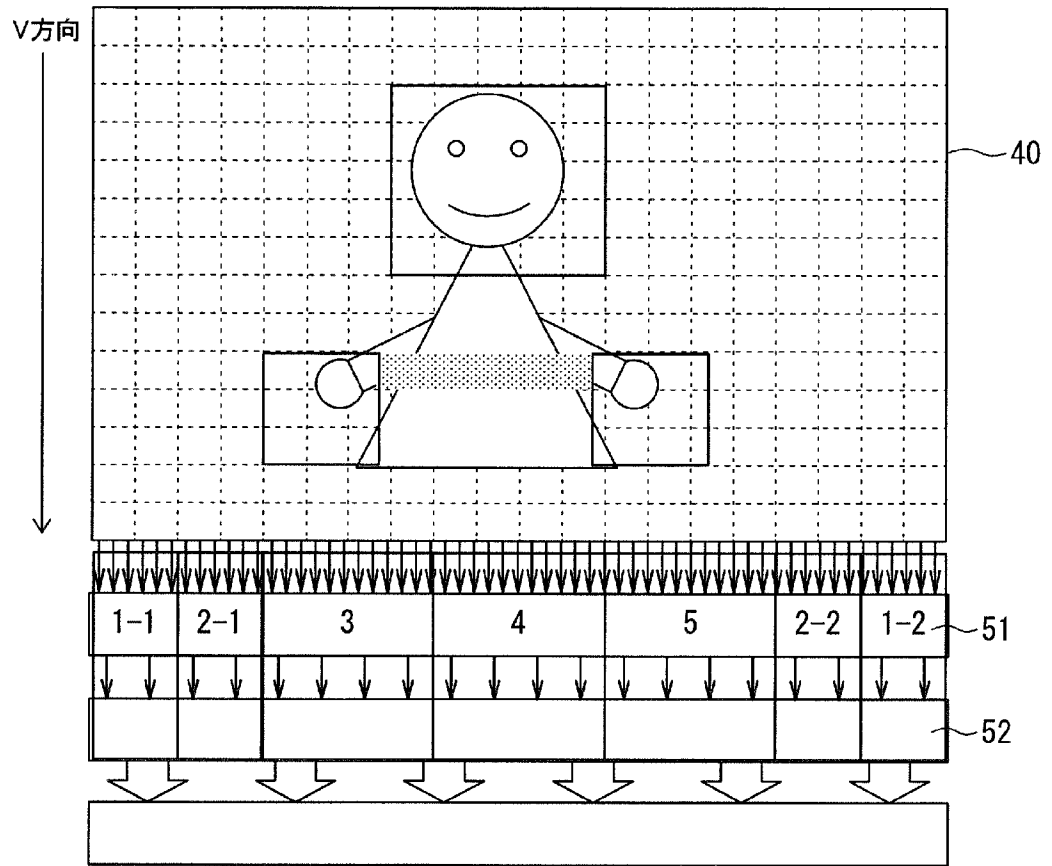
[図12]



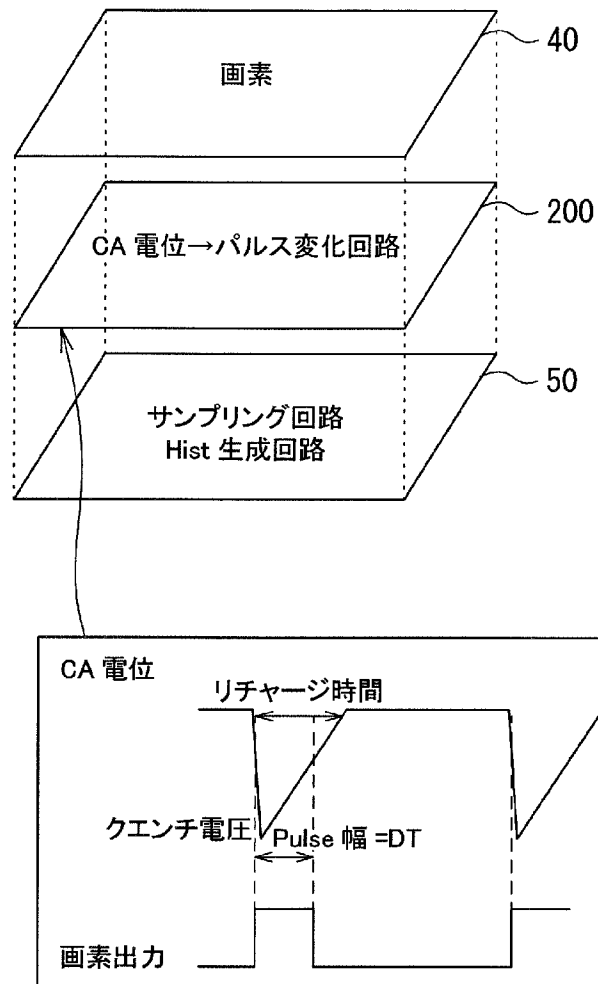
[図13]



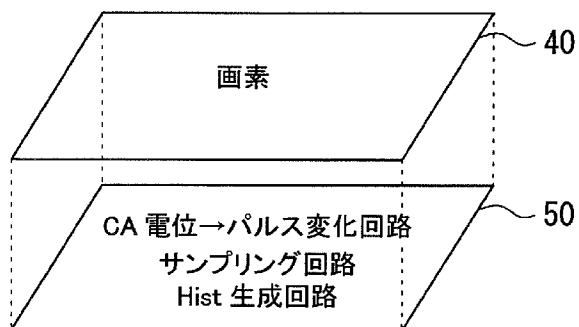
[図14]



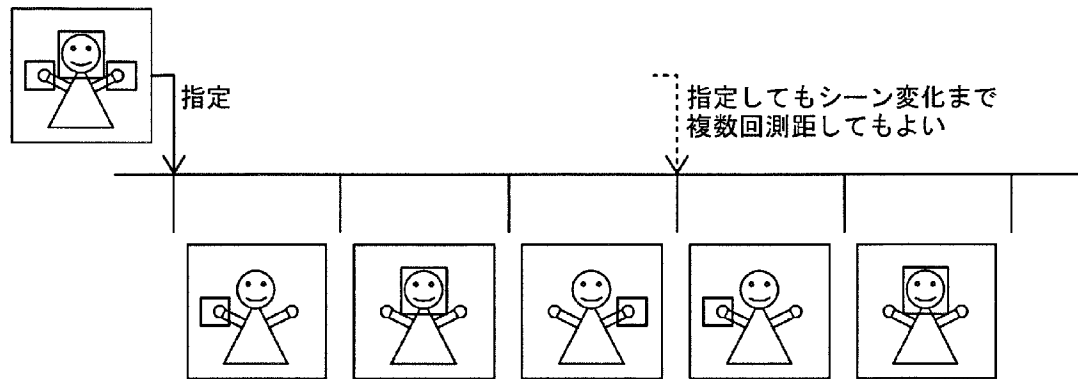
[図15]



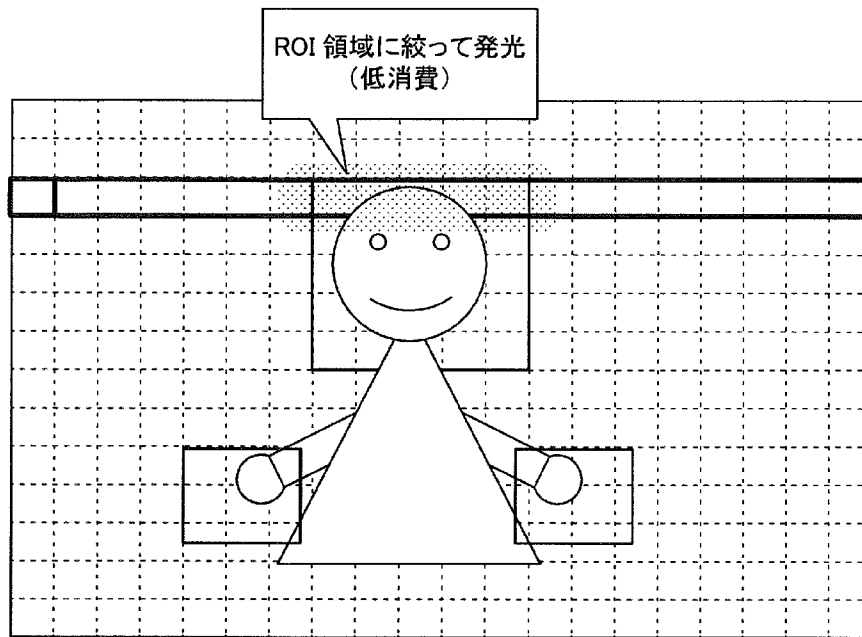
[図16]



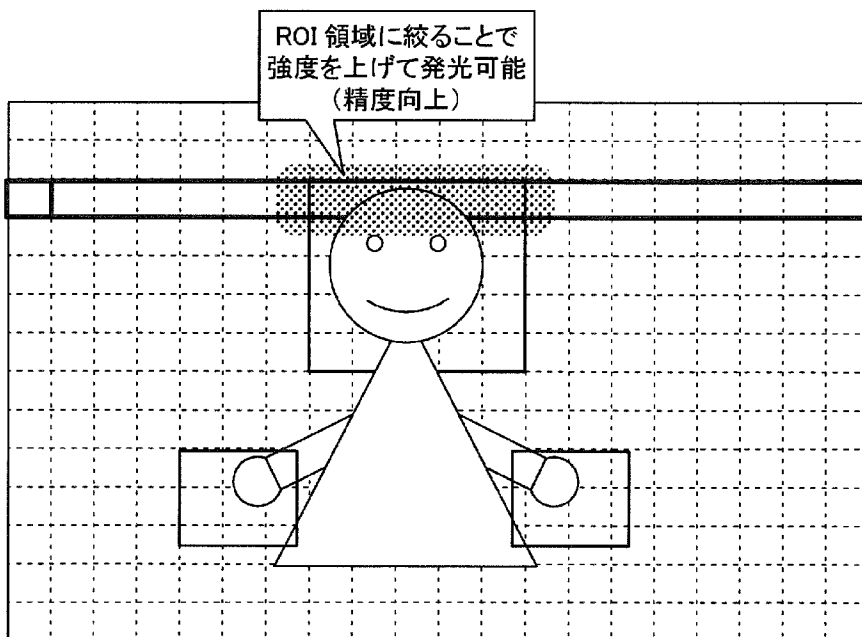
[図17]



[図18]

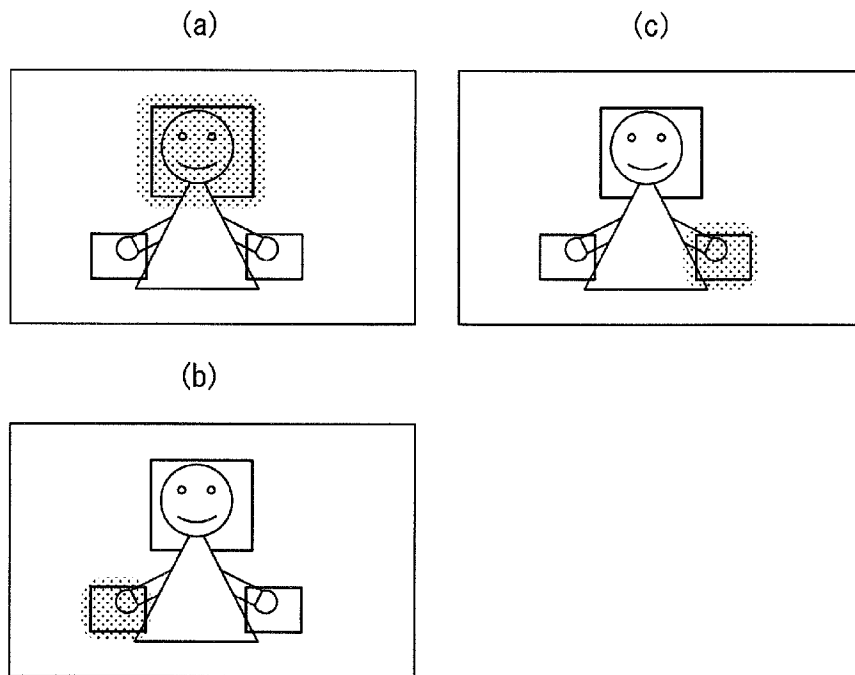


(a)

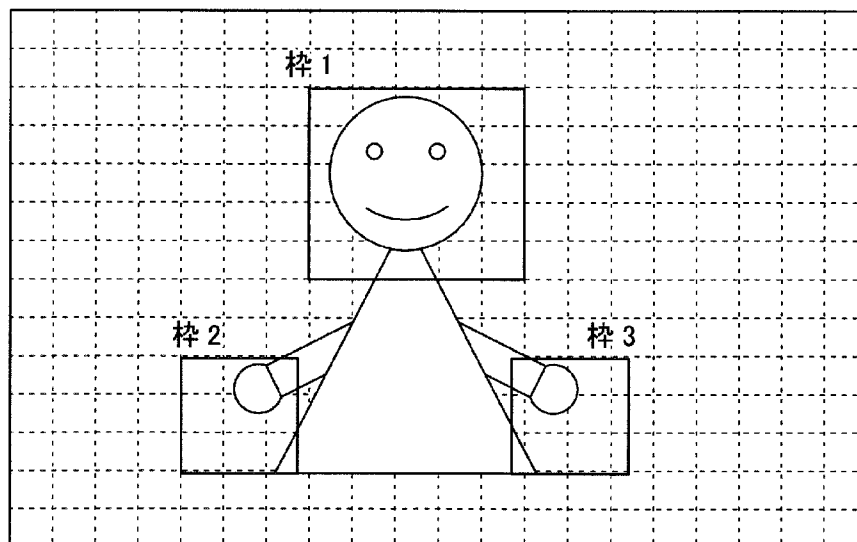


(b)

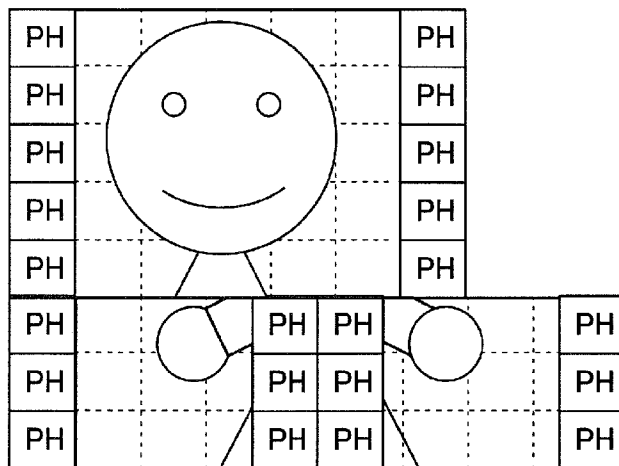
[図19]



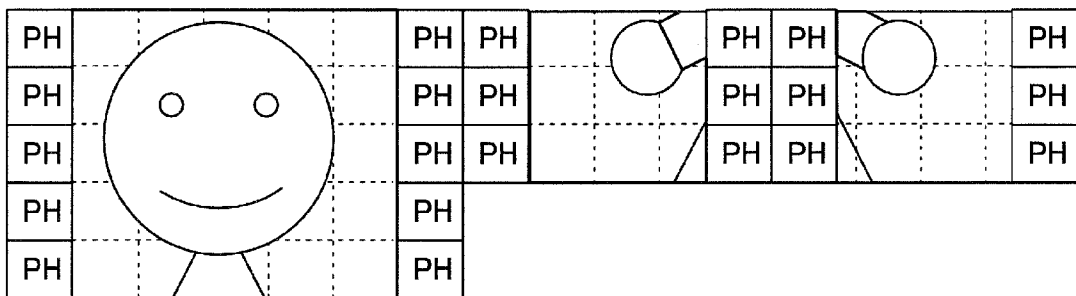
[図20]



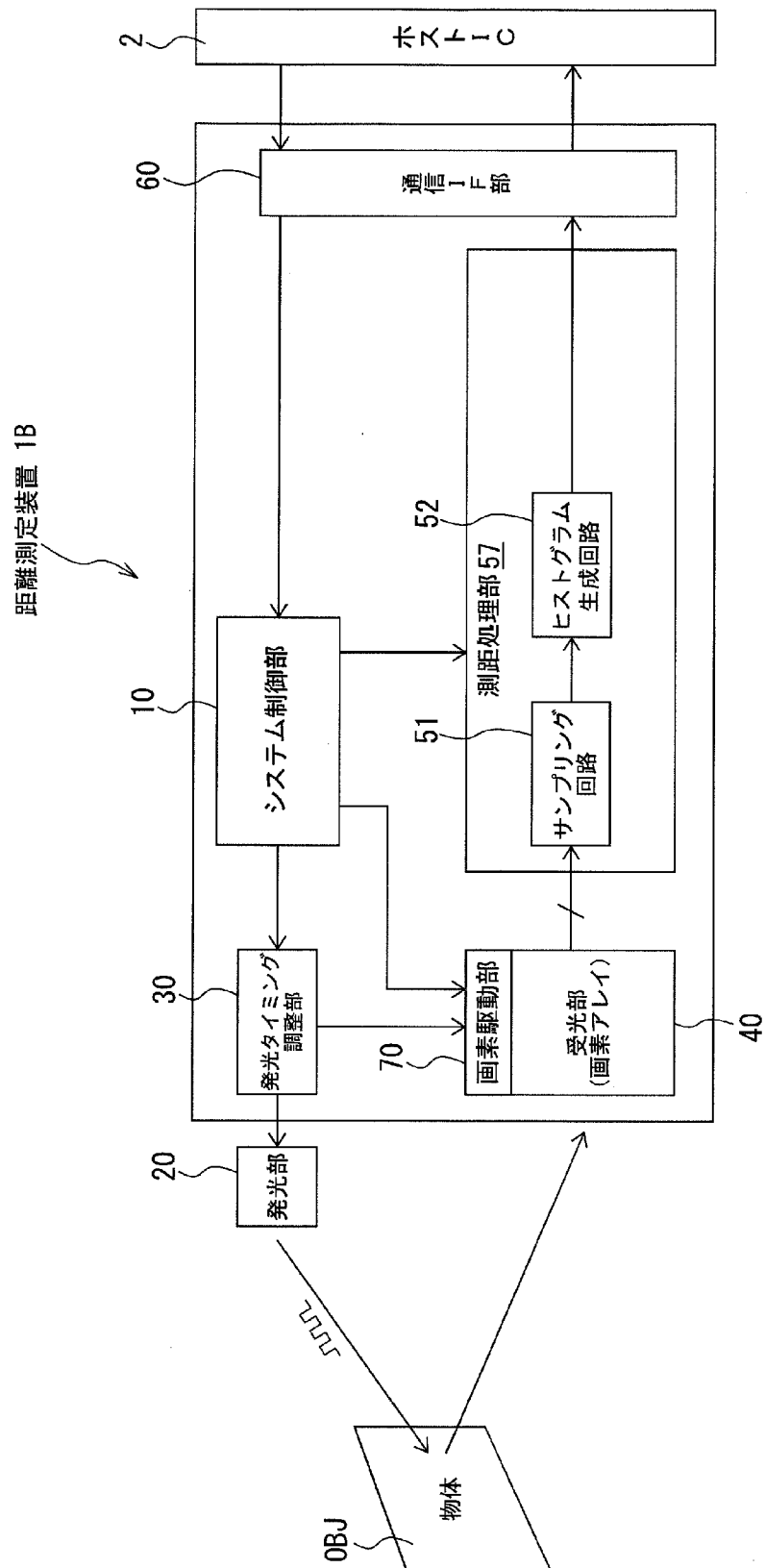
[図21]



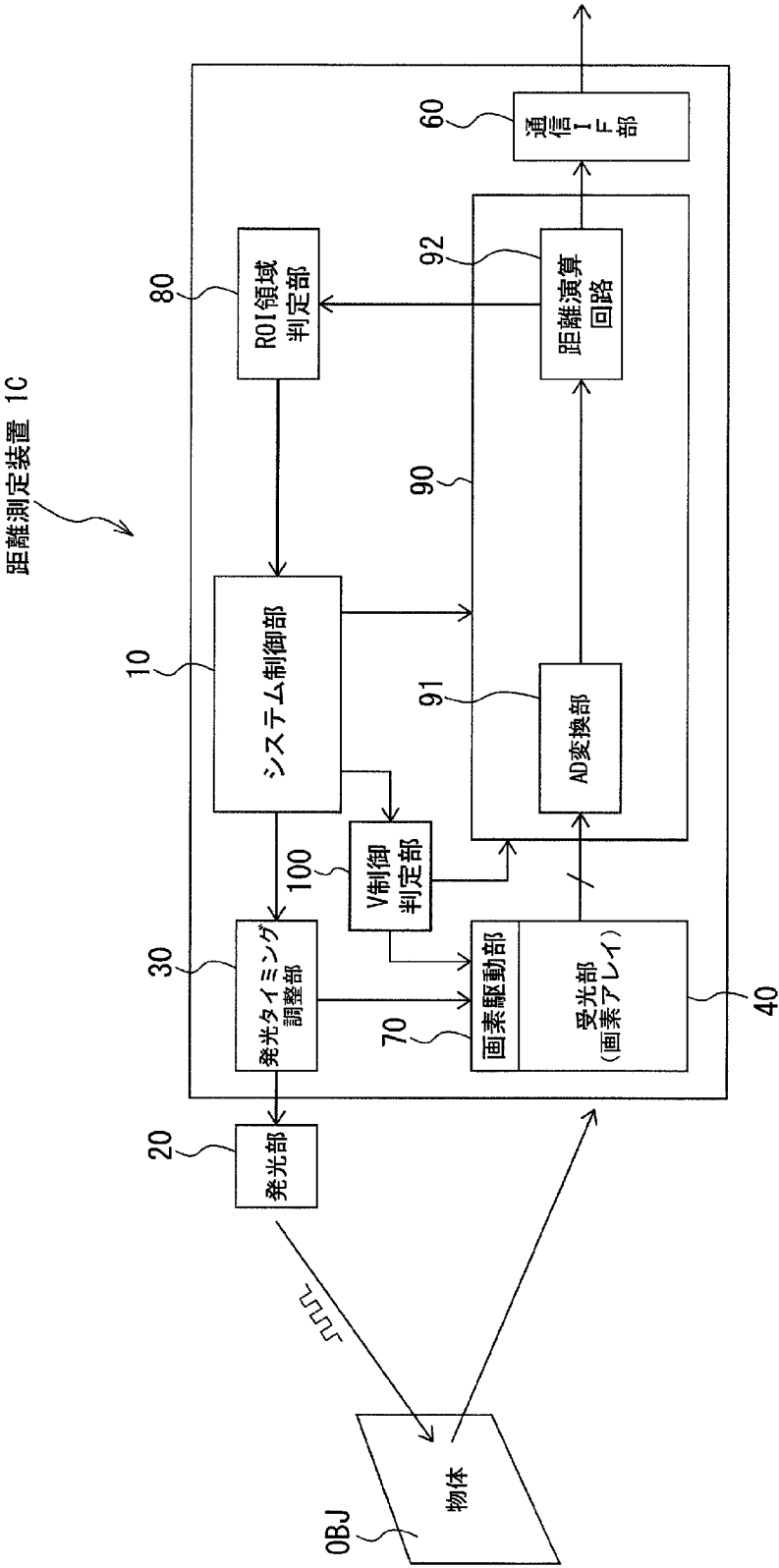
[図22]



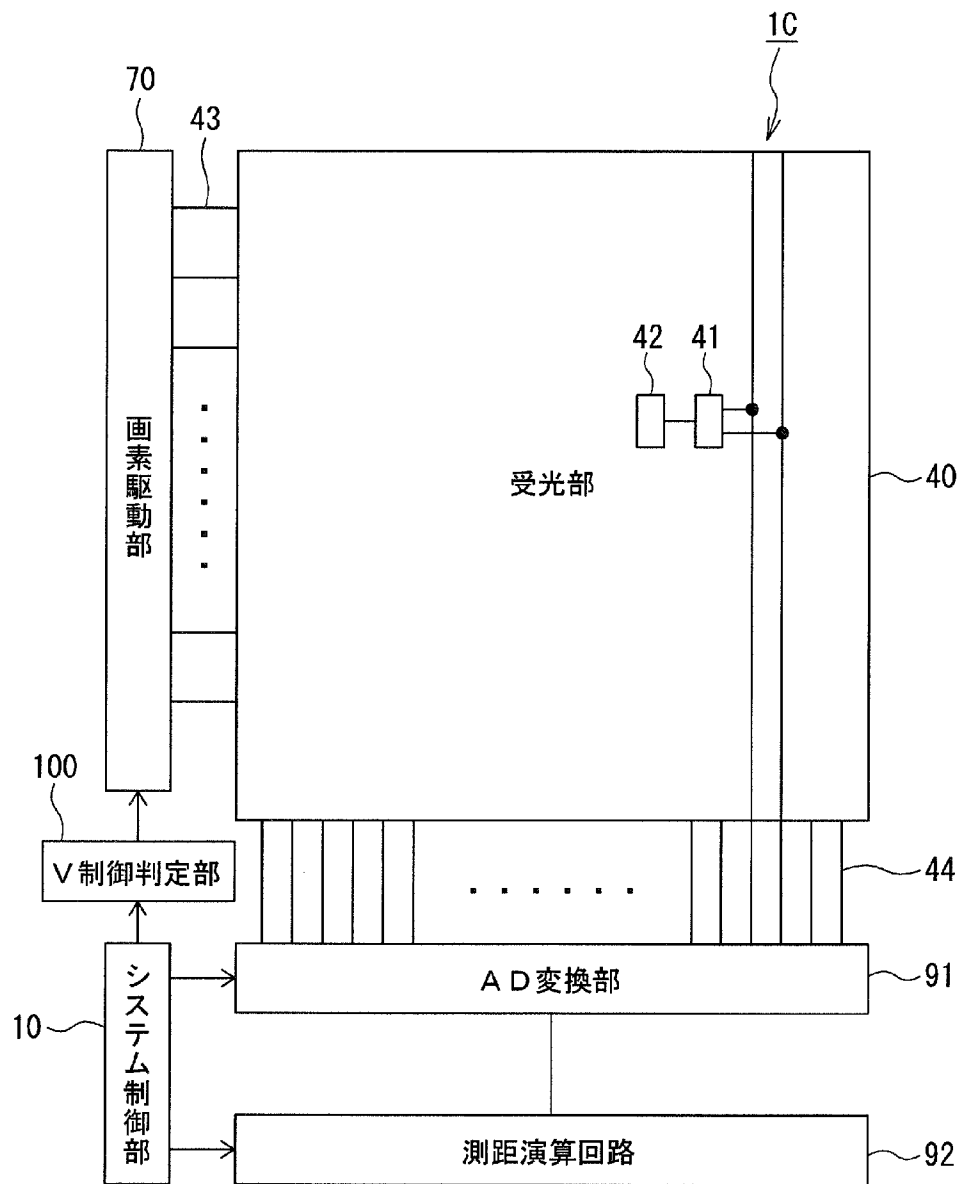
[図23]



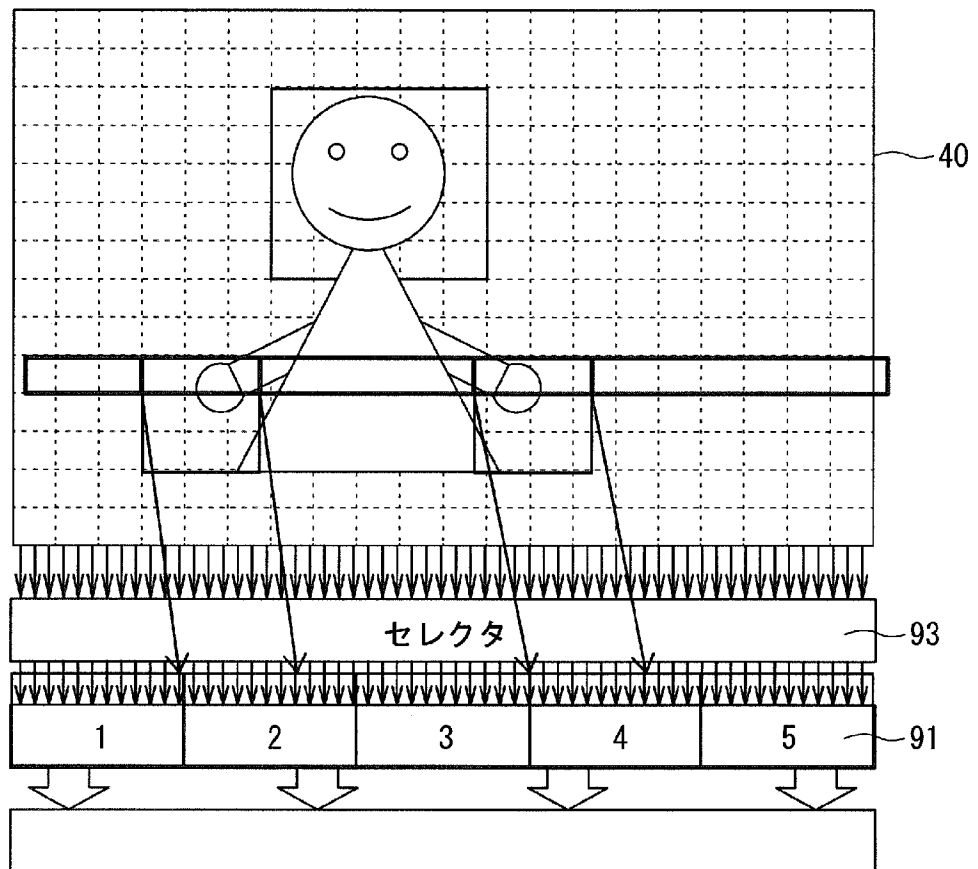
[図24]



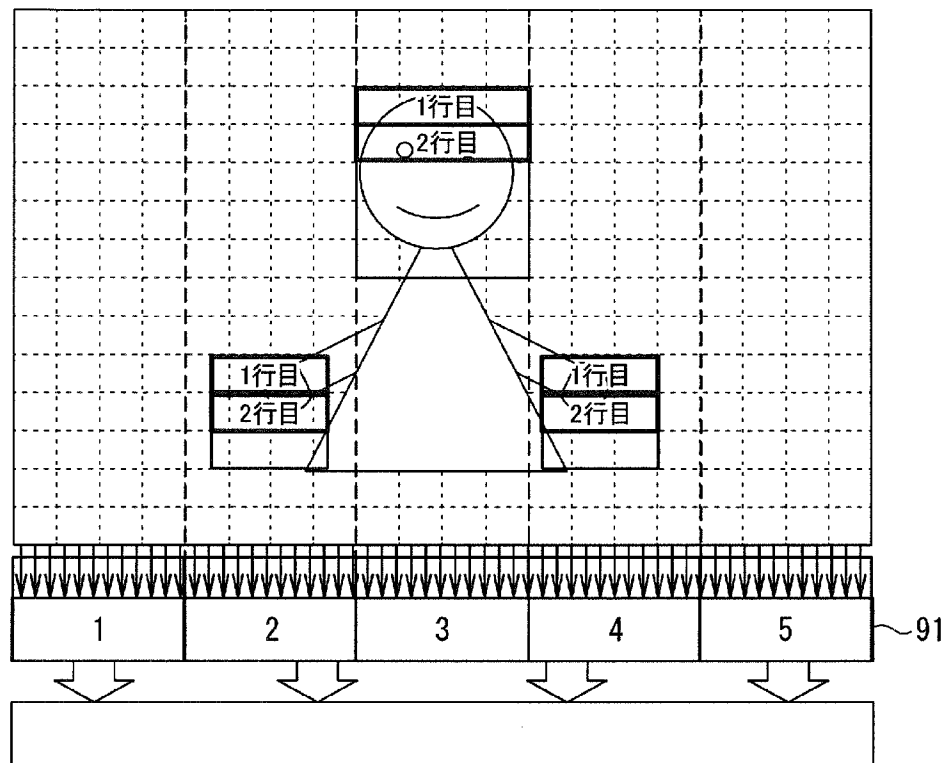
[図25]



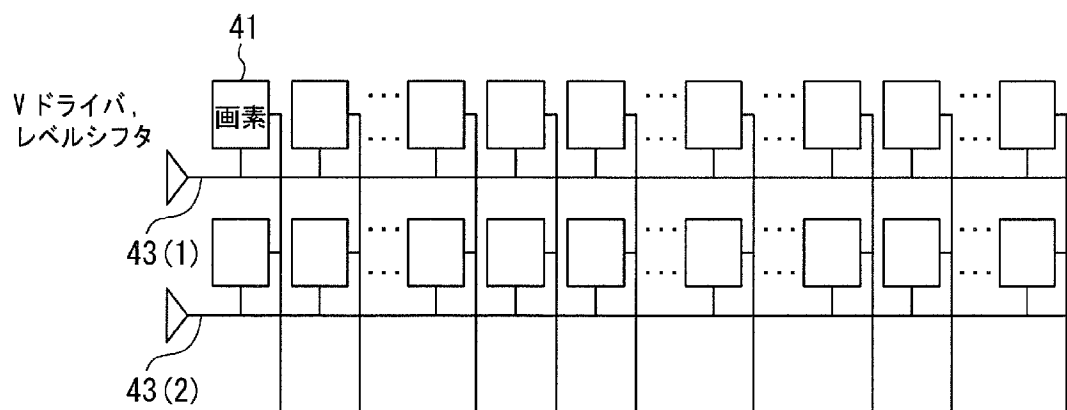
[図26]



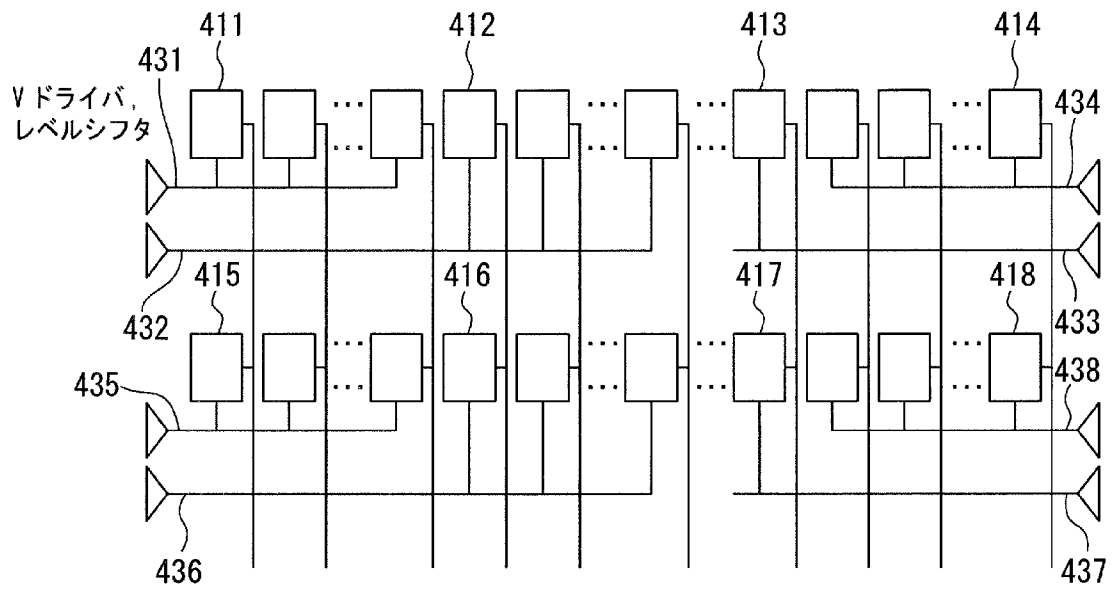
[図27]



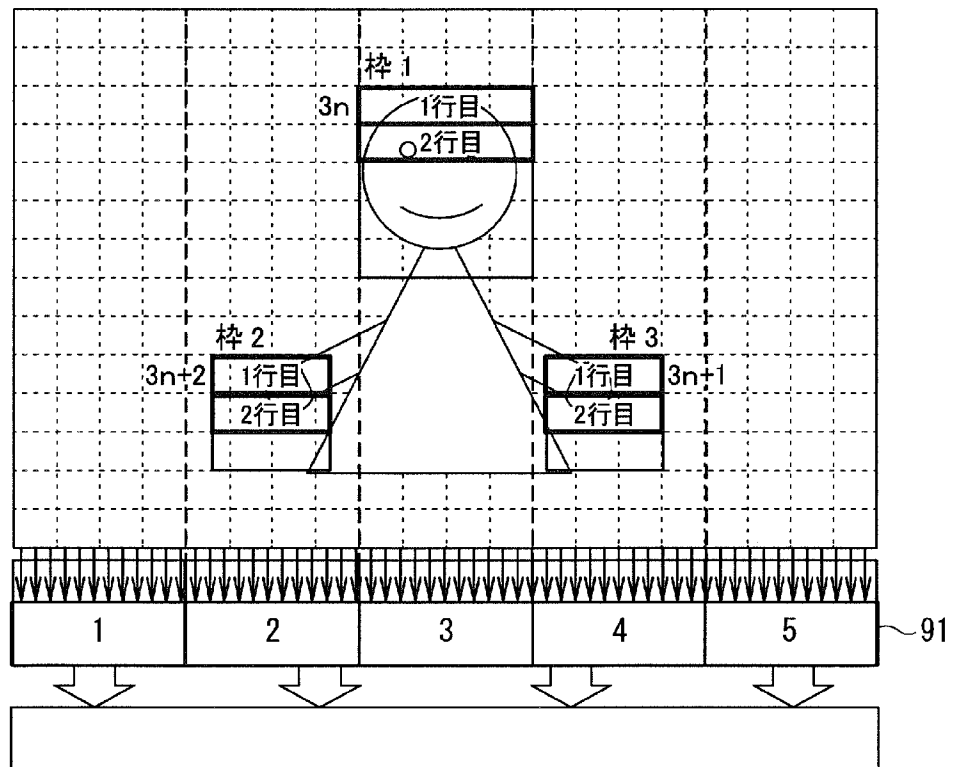
[図28]



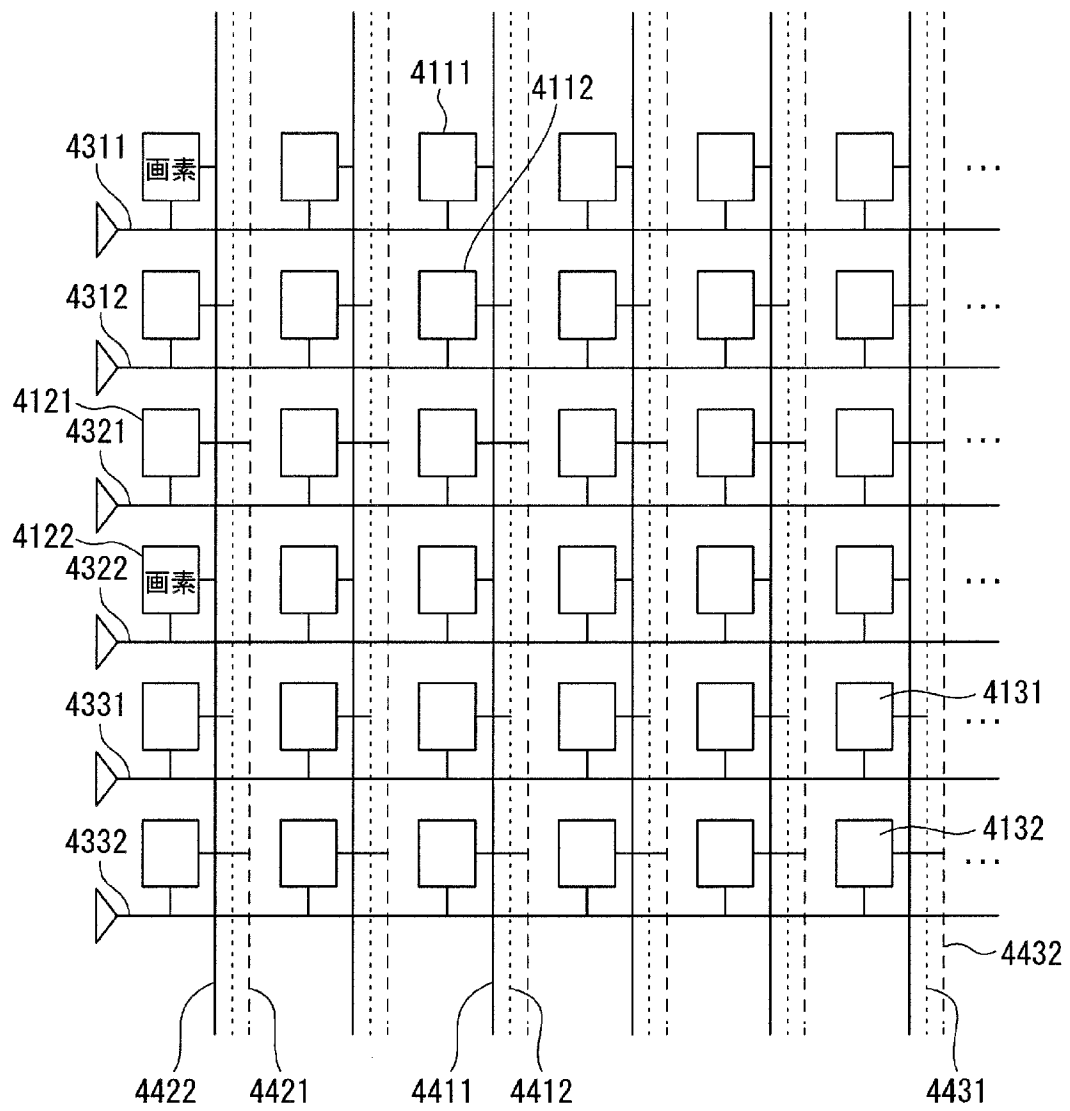
[図29]



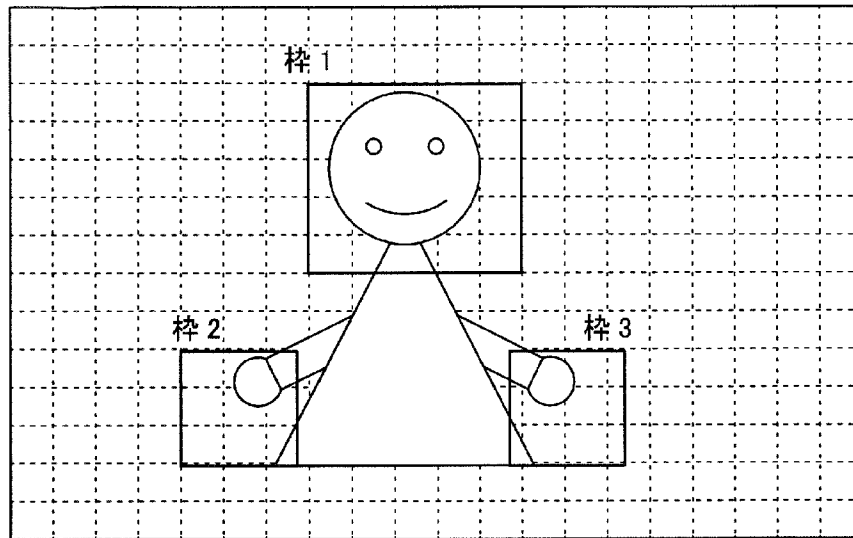
[図30]



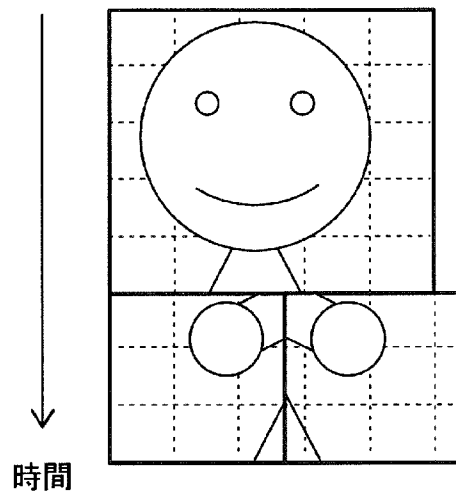
[図31]



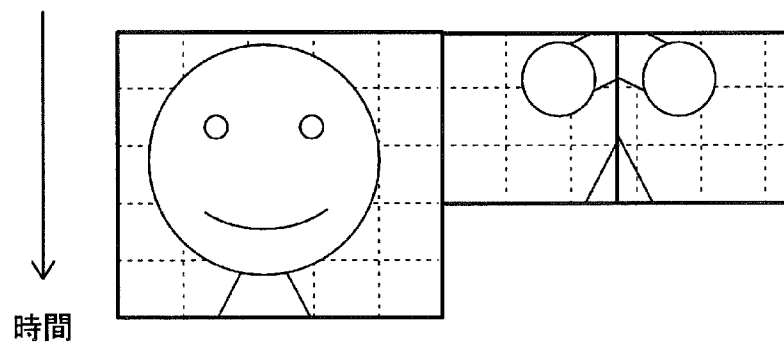
[図32]



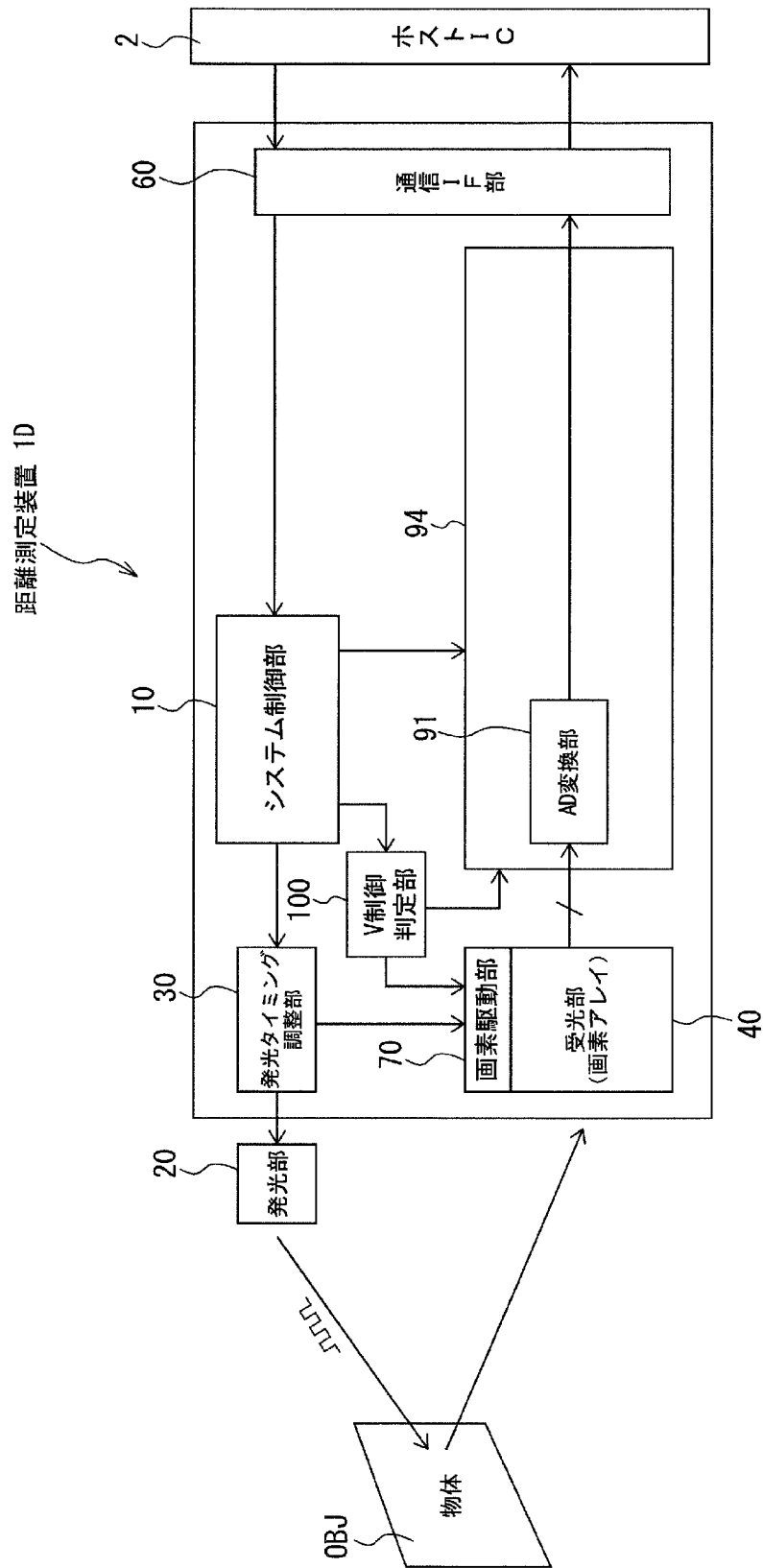
[図33]



[図34]



[図35]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/001281

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G01S7/4863(2020.01)i, G01C3/06(2006.01)i, G01S17/89(2020.01)i,
H01L31/10(2006.01)i, H01L31/107(2006.01)i
FI: G01S7/4863, G01S17/89, G01C3/06 120Q, G01C3/06 140, H01L31/10 G, H01L31/10 B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G01S7/48-7/51, G01S17/00-17/95, G01C3/06, H01L27/146, H01L31/10,
H01L31/107, H04N5/345, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2017-173298 A (RICOH CO., LTD.) 28 September	20
Y	2017, paragraphs [0009]-[0112], fig. 1-14	20
A		1-19
Y	JP 2013-46232 A (NIPPON HOSO KYOKAI) 04 March	20
A	2013, paragraphs [0037]-[0040], [0051]-[0053], fig. 3	1-19
A	JP 2016-161438 A (DENSO CORP.) 05 September 2016, paragraphs [0009]-[0035], fig. 1-7	1-20
A	JP 2018-205288 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 27 December 2018, paragraphs [0019]-[0041], fig. 1	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
03.03.2021

Date of mailing of the international search report
16.03.2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/001281

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 10445896 B1 (APPLE INC.) 15 October 2019, column 17, line 29 to column 18, line 55, fig. 7	1-20

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/001281

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2017-173298 A	28.09.2017	US 2017/0273161 A1 paragraphs [0045]- [0154], fig. 1-14 EP 3223034 A1 (Family: none)	
JP 2013-46232 A	04.03.2013	(Family: none)	
JP 2016-161438 A	05.09.2016	(Family: none)	
JP 2018-205288 A	27.12.2018	US 2020/0096636 A1 paragraphs [0087]- [0109], fig. 1 WO 2018/221241 A1 CN 110573906 A KR 10-2020-0011929 A (Family: none)	
US 10445896 B1	15.10.2019	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G01S 7/4863(2020.01)i; G01C 3/06(2006.01)i; G01S 17/89(2020.01)i; H01L 31/10(2006.01)i; H01L 31/107(2006.01)i FI: G01S7/4863; G01S17/89; G01C3/06 120Q; G01C3/06 140; H01L31/10 G; H01L31/10 B		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G01S7/48-7/51, G01S17/00-17/95, G01C3/06, H01L27/146, H01L31/10, H01L31/107, H04N5/345, H04N5/374		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2017-173298 A（株式会社リコー） 28.09.2017（2017-09-28） 段落 [0009]-[0112], 図 1-14	20
Y		20
A		1-19
Y	JP 2013-46232 A（日本放送協会） 04.03.2013（2013-03-04） 段落 [0037]-[0040], [0051]-[0053], 図 3	20
A		1-19
A	JP 2016-161438 A（株式会社デンソー） 05.09.2016（2016-09-05） 段落 [0009]-[0035], 図 1-7	1-20
A	JP 2018-205288 A（ソニーセミコンダクタソリューションズ株式会社） 27.12.2018 （2018-12-27） 段落 [0019]-[0041], 図 1	1-20
A	US 10445896 B1（APPLE INC.） 15.10.2019（2019-10-15） 第 17 欄第29行 - 第 18 欄第55行, 図 7	1-20
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 03.03.2021		国際調査報告の発送日 16.03.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 藤田 都志行 2S 3014 電話番号 03-3581-1101 内線 3216

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/001281

引用文献			公表日	パテントファミリー文献	公表日
JP	2017-173298	A	28.09.2017	US 2017/0273161 A1 段落 [0045]-[0154], 図 1-14 EP 3223034 A1	
JP	2013-46232	A	04.03.2013	(ファミリーなし)	
JP	2016-161438	A	05.09.2016	(ファミリーなし)	
JP	2018-205288	A	27.12.2018	US 2020/0096636 A1 段落 [0087]-[0109], 図 1 WO 2018/221241 A1 CN 110573906 A KR 10-2020-0011929 A	
US	10445896	B1	15.10.2019	(ファミリーなし)	