

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6074587号
(P6074587)

(45) 発行日 平成29年2月8日 (2017.2.8)

(24) 登録日 平成29年1月20日 (2017.1.20)

(51) Int.Cl.

F I

G O 9 G 3 / 3 2 3 3 (2 0 1 6 . 0 1)

G O 9 G 3 / 2 0 (2 0 0 6 . 0 1)

G O 9 G 3 / 3 2 3 3

G O 9 G 3 / 2 0 6 2 1 F

G O 9 G 3 / 2 0 6 2 4 B

G O 9 G 3 / 2 0 6 4 2 J

G O 9 G 3 / 2 0 6 5 O M

請求項の数 7 (全 39 頁) 最終頁に続く

(21) 出願番号	特願2012-174278 (P2012-174278)	(73) 特許権者	514188173
(22) 出願日	平成24年8月6日 (2012.8.6)		株式会社 J O L E D
(65) 公開番号	特開2014-32367 (P2014-32367A)		東京都千代田区神田錦町三丁目2 3 番地
(43) 公開日	平成26年2月20日 (2014.2.20)	(74) 代理人	110001357
審査請求日	平成27年5月18日 (2015.5.18)		特許業務法人つばき国際特許事務所
		(72) 発明者	河田 仁
			東京都港区港南1 丁目7 番1 号 ソニー株
			式会社内
		(72) 発明者	豊村 直史
			東京都港区港南1 丁目7 番1 号 ソニー株
			式会社内
		審査官	小川 浩史
			最終頁に続く

(54) 【発明の名称】 表示パネル、表示装置ならびに電子機器

(57) 【特許請求の範囲】

【請求項 1】

発光色の種類の互いに異なる3つ以上のサブピクセルを含む複数の画素と、
k ($k \geq 2$) 本の画素行を1ユニットとしたときに1ユニットごとにk本ずつ割り当てられ、かつ各サブピクセルの選択に用いられる複数の走査線と
1ユニットごとに1本ずつ割り当てられ、かつ各サブピクセルへの駆動電流の供給に用いられる複数の電源線と
を備え、
各走査線は、1ユニット内で同一発光色の複数のサブピクセルに接続され、
各電源線は、1ユニット内の全てのサブピクセルに接続され、
1画素に含まれる各発光色の $u'v'$ 色度図における座標を単色座標とし、1画素に含まれる複数の発光色のうちの任意の2色を使って形成可能な複数の混色の $u'v'$ 色度図における座標を混色座標としたときに、
1ユニットごとに割り当てられたk本の走査線のうちの最上段の走査線が、前記単色座標と前記混色座標との距離が相対的に最も短い発光色のサブピクセルを含む、1種類または複数種類の発光色のサブピクセルに接続されており、
当該表示パネルは、各画素行において画素ごとにa本 ($2 \leq a < (1 \text{ 画素中のサブピクセルの総数})$) ずつ割り当てられ、かつ映像信号に応じた信号電圧の各サブピクセルへの供給に用いられる複数の信号線をさらに備え、
各画素行において画素ごとに割り当てられたa本の信号線のうちの第1の信号線は、1

画素において前記走査線が共有されていない 2 種類の発光色のサブピクセルに接続されており、

1 画素に含まれる発光色の種類数が 3 であり、

前記第 1 の信号線は、前記単色座標と前記混色座標との距離が相対的に最も短い発光色のサブピクセル以外の 2 種類の発光色のサブピクセルに接続されている

表示パネル。

【請求項 2】

表示パネルと、前記表示パネルを駆動する駆動回路とを備え、

前記表示パネルは、

発光色の種類の互いに異なる 3 つ以上のサブピクセルを含む複数の画素と、

k ($k \geq 2$) 本の画素行を 1 ユニットとしたときに 1 ユニットごとに k 本ずつ割り当てられ、かつ各サブピクセルの選択に用いられる複数の走査線と

1 ユニットごとに 1 本ずつ割り当てられ、かつ各サブピクセルへの駆動電流の供給に用いられる複数の電源線と

を有し、

各走査線は、1 ユニット内で同一発光色の複数のサブピクセルに接続され、

各電源線は、1 ユニット内の全てのサブピクセルに接続され、

1 画素に含まれる各発光色の $u'v'$ 色度図における座標を単色座標とし、1 画素に含まれる複数の発光色のうちの任意の 2 色を使って形成可能な複数種類の混色の $u'v'$ 色度図における座標を混色座標としたときに、

1 ユニットごとに割り当てられた k 本の走査線のうちの最上段の第 1 の走査線が、前記単色座標と前記混色座標との距離が相対的に最も短い発光色のサブピクセルを含む、1 種類または複数種類の発光色のサブピクセルに接続されており、

当該表示パネルは、各画素行において画素ごとに a 本 ($2 \leq a < (1 \text{ 画素中のサブピクセルの総数})$) ずつ割り当てられ、かつ映像信号に応じた信号電圧の各サブピクセルへの供給に用いられる複数の信号線をさらに備え、

各画素行において画素ごとに割り当てられた a 本の信号線のうちの第 1 の信号線は、1 画素において前記走査線が共有されていない 2 種類の発光色のサブピクセルに接続されており、

1 画素に含まれる発光色の種類数が 3 であり、

前記第 1 の信号線は、前記単色座標と前記混色座標との距離が相対的に最も短い発光色のサブピクセル以外の 2 種類の発光色のサブピクセルに接続されている

表示装置。

【請求項 3】

各サブピクセルは、発光素子と、前記発光素子を駆動する駆動トランジスタと、映像信号に対応する信号電圧を前記駆動トランジスタのゲートに書き込む書込トランジスタとを含み、

前記駆動回路は、前記駆動トランジスタのゲートソース間電圧を前記駆動トランジスタの閾値電圧に近づける V_{th} 補正、および前記信号電圧の書き込みをユニットごとに行う

前記駆動回路は、1 ユニットにおける各サブピクセルへの前記信号電圧の書き込みを、前記第 1 の走査線に接続された全てのサブピクセルに対して行ったのち、他の走査線に接続された複数のサブピクセルに対して行う

請求項 2 に記載の表示装置。

【請求項 4】

表示装置を備え、

前記表示装置は、表示パネルと、前記表示パネルを駆動する駆動回路とを有し、

前記表示パネルは、

発光色の種類の互いに異なる 3 つ以上のサブピクセルを含む複数の画素と、

k ($k \geq 2$) 本の画素行を 1 ユニットとしたときに 1 ユニットごとに k 本ずつ割り当て

10

20

30

40

50

られ、かつ各サブピクセルの選択に用いられる複数の走査線と

1ユニットごとに1本ずつ割り当てられ、かつ各サブピクセルへの駆動電流の供給に用いられる複数の電源線と

を有し、

各走査線は、1ユニット内で同一発光色の複数のサブピクセルに接続され、

各電源線は、1ユニット内の全てのサブピクセルに接続され、

1画素に含まれる各発光色の $u'v'$ 色度図における座標を単色座標とし、1画素に含まれる複数の発光色のうちの任意の2色を使って形成可能な複数種類の混色の $u'v'$ 色度図における座標を混色座標としたときに、

1ユニットごとに割り当てられた k 本の走査線のうちの最上段の走査線が、前記単色座標と前記混色座標との距離が相対的に最も短い発光色のサブピクセルを含む、1種類または複数種類の発光色のサブピクセルに接続されており、

10

当該表示パネルは、各画素行において画素ごとに a 本 ($2 \leq a < (1 \text{ 画素中のサブピクセルの総数})$) ずつ割り当てられ、かつ映像信号に応じた信号電圧の各サブピクセルへの供給に用いられる複数の信号線をさらに備え、

各画素行において画素ごとに割り当てられた a 本の信号線のうちの第1の信号線は、1画素において前記走査線が共有されていない2種類の発光色のサブピクセルに接続されており、

1画素に含まれる発光色の種類の数が3であり、

前記第1の信号線は、前記単色座標と前記混色座標との距離が相対的に最も短い発光色のサブピクセル以外の2種類の発光色のサブピクセルに接続されている

20

電子機器。

【請求項5】

表示パネルと、前記表示パネルを駆動する駆動回路とを備え、

前記表示パネルは、発光色の種類の互いに異なる複数のサブピクセルを含む複数の画素を有し、

各サブピクセルは、発光素子と、前記発光素子を駆動する駆動トランジスタと、映像信号に対応する信号電圧を前記駆動トランジスタのゲートに書き込む書込トランジスタとを含み、

前記駆動回路は、 k ($k \geq 2$) 本の画素行を1ユニットとしたときに、前記駆動トランジスタのゲートソース間電圧を前記駆動トランジスタの閾値電圧に近づける V_{th} 補正、および前記信号電圧の書き込みをユニットごと一括して実行し、

30

前記駆動回路は、1画素に含まれる各発光色の $u'v'$ 色度図における座標を単色座標とし、1画素に含まれる複数の発光色のうちの任意の2色を使って形成可能な複数種類の混色の $u'v'$ 色度図における座標を混色座標としたときに、1ユニットにおける各サブピクセルへの前記信号電圧の書き込みを、前記単色座標と前記混色座標との距離が相対的に最も短い発光色のサブピクセルを含む、1種類または複数種類の発光色のサブピクセルに対して行ったのち、それらのサブピクセルとは発光色の種類の異なる、1種類または複数種類の発光色のサブピクセルに対して行い、

1画素に含まれる発光色の種類の数が3であり、

40

前記駆動回路は、1ユニットにおける各サブピクセルへの前記信号電圧の書き込みを、前記単色座標と前記混色座標との距離が相対的に最も短い発光色のサブピクセルを含む、1種類または2種類の発光色のサブピクセルに対して行ったのち、それらのサブピクセルとは発光色の種類の異なる種類の発光色のサブピクセルに対して行う

表示装置。

【請求項6】

表示装置を備え、

前記表示装置は、表示パネルと、前記表示パネルを駆動する駆動回路とを有し、

前記表示パネルは、発光色の種類の互いに異なる複数のサブピクセルを含む複数の画素を有し、

50

各サブピクセルは、発光素子と、前記発光素子を駆動する駆動トランジスタと、映像信号に対応する信号電圧を前記駆動トランジスタのゲートに書き込む書込トランジスタとを含み、

前記駆動回路は、 k ($k \geq 2$) 本の画素行を1ユニットとしたときに、前記駆動トランジスタのゲートソース間電圧を前記駆動トランジスタの閾値電圧に近づける V_{th} 補正、および前記信号電圧の書き込みをユニットごと一括して実行し、

前記駆動回路は、1画素に含まれる各発光色の $u'v'$ 色度図における座標を単色座標とし、1画素に含まれる複数の発光色のうちの任意の2色を使って形成可能な複数種類の混色の $u'v'$ 色度図における座標を混色座標としたときに、1ユニットにおける各サブピクセルへの前記信号電圧の書き込みを、前記単色座標と前記混色座標との距離が相対的に最も短い発光色のサブピクセルを含む、1種類または複数種類の発光色のサブピクセルに対して行ったのち、それらのサブピクセルとは発光色の種類の異なる、1種類または複数種類の発光色のサブピクセルに対して行い、

1画素に含まれる発光色の種類の数が3であり、

前記駆動回路は、1ユニットにおける各サブピクセルへの前記信号電圧の書き込みを、前記単色座標と前記混色座標との距離が相対的に最も短い発光色のサブピクセルを含む、1種類または2種類の発光色のサブピクセルに対して行ったのち、それらのサブピクセルとは発光色の種類の異なる種類の発光色のサブピクセルに対して行う

電子機器。

【請求項7】

発光色の種類の互いに異なる3つ以上のサブピクセルを含む複数の画素と、各画素行において画素ごとに a 本 ($2 \leq a < (1 \text{画素中のサブピクセルの総数})$) ずつ割り当てられ、かつ映像信号に応じた信号電圧の各サブピクセルへの供給に用いられる複数の信号線と

画素行ごとに b 本 ($2 \leq b \leq (1 \text{画素中のサブピクセルの総数})$) ずつ割り当てられるとともに同一発光色の複数のサブピクセルに接続され、かつ各サブピクセルの選択に用いられる複数の走査線と

を備え、

画素ごとに割り当てられた a 本の信号線のうちの第1の信号線は、1画素において前記走査線が共有されていない2種類の発光色のサブピクセルに接続されており、

1画素に含まれる発光色の種類の数が3であり、

1画素に含まれる各発光色の $u'v'$ 色度図における座標を単色座標とし、1画素に含まれる複数の発光色のうちの任意の2色を使って形成可能な複数種類の混色の $u'v'$ 色度図における座標を混色座標としたときに、

前記第1の信号線は、前記単色座標と前記混色座標との距離が相対的に最も短い発光色のサブピクセル以外の2種類の発光色のサブピクセルに接続されている

表示パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、例えば有機EL(Electro Luminescence)素子などの発光素子を画素ごとに備えた表示パネル、ならびに、その表示パネルを備えた表示装置および電子機器に関する。

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、画素の発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の発光素子、例えば有機EL素子を用いた表示装置が開発され、商品化が進められている。有機EL素子は、液晶素子などと異なり自発光素子である。そのため、有機EL素子を用いた表示装置(有機EL表示装置)では、光源(バックライト)が必要ないので、光源を必要とする液晶表示装置と比べて、薄型化、高輝度

10

20

30

40

50

化することができる。

【0003】

ところで、一般的に、有機EL素子の電流－電圧（ $I-V$ ）特性は、時間の経過に従って劣化（経時劣化）する。有機EL素子を電流駆動する画素回路では、有機EL素子の $I-V$ 特性が経時変化すると、有機EL素子と、有機EL素子に直列に接続された駆動トランジスタとの分圧比が変化するので、駆動トランジスタのゲートソース間電圧も変化する。その結果、駆動トランジスタに流れる電流値が変化するので、有機EL素子に流れる電流値も変化し、その電流値に応じて発光輝度も変化する。

【0004】

また、駆動トランジスタの閾値電圧（ V_{th} ）や移動度（ μ ）が経時的に変化したり、製造プロセスのばらつきによって V_{th} や μ が画素回路ごとに異なったりする場合がある。駆動トランジスタの V_{th} や μ が画素回路ごとに異なる場合には、駆動トランジスタに流れる電流値が画素回路ごとにばらつくので、駆動トランジスタのゲートに同じ電圧を印加しても、有機EL素子の発光輝度がばらつき、画面の一様性（ユニフォーミティ）が損なわれる。

10

【0005】

そこで、有機EL素子の $I-V$ 特性が経時変化したり、駆動トランジスタの V_{th} や μ が経時変化したりしても、それらの影響を受けることなく、有機EL素子の発光輝度を一定に保つようにするために、有機EL素子の $I-V$ 特性の変動に対する補償機能および駆動トランジスタの V_{th} や μ の変動に対する補正機能を組み込んだ表示装置が開発されている（例えば、特許文献1参照）。

20

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2008-083272号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

ところで、例えば、図11に示したような従来の駆動方法では、駆動トランジスタのゲートソース間電圧を駆動トランジスタの閾値電圧に近づける V_{th} 補正と、映像信号に応じた信号電圧を駆動トランジスタのゲートに書き込む信号書き込みとが、1H期間ごとに行われる。そのため、この駆動方法では、1H期間を短くし、1F当たりの走査期間を短くする（つまり、高速駆動化する）ことが難しかった。そのため、例えば、図12に示したように、 V_{th} 補正が共通の1H期間内に2ラインまとめて行われたのち、信号書き込みが次の1H期間内にラインごとに行われる。この駆動方法は、 V_{th} 補正が束ねられていることから、高速駆動に向いている。しかし、将来的には、さらなる高速駆動化が望まれている。

30

【0008】

そこで、例えば、図12に示した駆動方法において、1H期間を大幅に短くすることが考えられる。しかし、そのようにした場合には、例えば、 n 行目の画素と、 $n+1$ 行目の画素とにおいて、信号書き込みにおけるタイミングマージンが非常に短くなる。タイミングマージンが不十分になると、トランジェントにより、所望の値の信号電圧を画素に書き込むことができなくなる。その結果、輝度むらや、色度ずれが生じるという問題があった。

40

【0009】

本技術はかかる問題点に鑑みてなされたものであり、その目的は、高速駆動時のトランジェントにより輝度むらや色度ずれが生じるのを低減することの可能な表示パネル、ならびにそのような表示パネルを備えた表示装置および電子機器を提供することにある。

【課題を解決するための手段】

【0010】

50

本技術の第1の表示パネルは、発光色の種類の互いに異なる3つ以上のサブピクセルを含む複数の画素を備えている。この表示パネルは、さらに、 k ($k \geq 2$) 本の画素行を1ユニットとしたときに1ユニットごとに k 本ずつ割り当てられ、かつ各サブピクセルの選択に用いられる複数の走査線と、1ユニットごとに1本ずつ割り当てられ、かつ各サブピクセルへの駆動電流の供給に用いられる複数の電源線とを備えている。各走査線は、1ユニット内で同一発光色の複数のサブピクセルに接続されている。各電源線は、1ユニット内の全てのサブピクセルに接続されている。ここで、1画素に含まれる各発光色の $u'v'$ 色度図における座標を単色座標とし、1画素に含まれる複数の発光色のうちの任意の2色を使って形成可能な複数の混色の $u'v'$ 色度図における座標を混色座標とする。このとき、1ユニットごとに割り当てられた k 本の走査線のうちの最上段の走査線が、単色座標と前記混色座標との距離が相対的に最も短い発光色のサブピクセルを含む、1種類または複数種類の発光色のサブピクセルに接続されている。

10

【0011】

本技術の第1の表示装置は、上記の第1の表示パネルと、上記の第1の表示パネルを駆動する駆動回路とを備えている。

【0012】

本技術の第1の電子機器は、上記の第1の表示装置を備えている。

【0013】

本技術の第1の表示パネル、第1の表示装置および第1の電子機器では、各サブピクセルの選択走査に用いられる各走査線が、1ユニット内で同一発光色の複数のサブピクセルに接続されている。さらに、各サブピクセルへの駆動電流の供給に用いられる各電源線が、1ユニット内の全てのサブピクセルに接続されている。これにより、例えば、 V_{th} 補正を、1ユニット内の全てのサブピクセルに対して同時期に行ったのち、信号電圧の書き込みを、1ユニット内の同一発光色のサブピクセルごとに順次行うことができる。なお、信号電圧の書き込みを、常に、単色ごとに分けて行う必要はない。例えば、複数種類の発光色のサブピクセルに対して、同時期に信号電圧の書き込みを行ったのち、その他の種類の発光色のサブピクセルに対して、同時期に信号電圧の書き込みを行うことも、もちろん可能である。その結果、例えば、 V_{th} 補正および信号電圧の書き込みをユニットごと一括して実行することができ、高速駆動化を図ることが可能である。また、上記の駆動方法では、同一発光色の各サブピクセルにおいて、 V_{th} 補正が終わってから信号電圧の書き込みが始まるまでの期間（いわゆる、待ち時間）が一致するので、同一発光色のサブピクセルにおける待ち時間をラインごとに一致させることができる。

20

30

【0014】

また、本技術では、1ユニットごとに割り当てられた k 本の走査線のうちの最上段の走査線が、単色座標と前記混色座標との距離が相対的に最も短い発光色のサブピクセルを含む、1種類または複数種類の発光色のサブピクセルに接続されている。ここで、「単色座標と前記混色座標との距離が相対的に最も短いサブピクセル（以下、「特定サブピクセル」と称する。）」とは、信号電圧が所望の値からずれた場合に、発光輝度や色度の変動が相対的に最も大きなサブピクセルを指している。また、「最上段」とは、1ユニット内での信号書き込みのシーケンスにおいて最初に選択される走査線を指している。つまり、本技術では、1ユニット内での信号書き込みのシーケンスにおいて、特定サブピクセルへの信号書き込みが最初に行われる。そのため、特定サブピクセルへの信号書き込みでは、タイミングマージンが、他のサブピクセルへの信号書き込みによって制限されない。

40

【0015】

本技術の第1の表示パネル、第1の表示装置および第1の電子機器において、第1の表示パネルが、各画素行において画素ごとに a 本 ($2 \leq a < (1 \text{ 画素中のサブピクセルの総数})$) ずつ割り当てられ、かつ映像信号に応じた信号電圧の各サブピクセルへの供給に用いられる複数の信号線をさらに備えていてもよい。この場合に、各画素行において画素ごとに割り当てられた a 本の信号線のうちの第1の信号線が、1画素において前記走査線が共有されていない2種類の発光色のサブピクセルに接続されていてもよい。

50

【0016】

本技術の第1の表示パネル、第1の表示装置および第1の電子機器において、1画素に含まれる発光色の種類の数が3であってもよい。この場合に、第1の信号線が、単色座標と混色座標との距離が相対的に最も短い発光色のサブピクセル以外の2種類の発光色のサブピクセルに接続されていてもよい。また、本技術の第1の表示パネル、第1の表示装置および第1の電子機器において、1画素に含まれる発光色の種類の数が4であってもよい。この場合に、各画素行において画素ごとに割り当てられたa本の信号線のうちの第2の信号線が、1画素において走査線が共有されていない2種類の発光色のサブピクセルに接続されるとともに、単色座標と混色座標との距離が相対的に最も短い発光色のサブピクセルを含む、2種類の発光色のサブピクセルに接続されていてもよい。また、第1の信号線が、第2の信号線に未接続の2種類の発光色のサブピクセルに接続されていてもよい。

10

【0017】

本技術の第1の表示装置および第1の電子機器において、各サブピクセルが、発光素子と、発光素子を駆動する駆動トランジスタと、映像信号に対応する信号電圧を駆動トランジスタのゲートに書き込む書込トランジスタとを含んでいてもよい。この場合に、駆動回路が、駆動トランジスタのゲートソース間電圧を駆動トランジスタの閾値電圧に近づけるV_th補正、および信号電圧の書き込みをユニットごと一括して実行するようになっていてもよい。さらに、駆動回路が、1ユニットにおける各サブピクセルへの信号電圧の書き込みを、1ユニットごとに割り当てられたk本の走査線のうちの最上段の走査線に接続された全てのサブピクセルに対して行ったのち、他の走査線に接続された全てのサブピクセルに対して行うようになっていてもよい。

20

【0018】

本技術の第2の表示パネルは、発光色の種類の互いに異なる3つ以上のサブピクセルを含む複数の画素を備えている。この表示パネルは、また、各画素行において画素ごとにa本 ($2 \leq a < (1 \text{ 画素中のサブピクセルの総数})$) ずつ割り当てられ、かつ映像信号に応じた信号電圧の各サブピクセルへの供給に用いられる複数の信号線を備えている。この表示パネルは、さらに、画素行ごとにb本 ($2 \leq b \leq (1 \text{ 画素中のサブピクセルの総数})$) ずつ割り当てられるとともに同一発光色の複数のサブピクセルに接続され、かつ各サブピクセルの選択に用いられる複数の走査線を備えている。ここで、画素ごとに割り当てられたa本の信号線のうちの第1の信号線は、1画素において走査線が共有されていない2種類の発光色のサブピクセルに接続されている。

30

【0019】

本技術の第2の表示装置は、上記の第2の表示パネルと、上記の第2の表示パネルを駆動する駆動回路とを備えている。

【0020】

本技術の第2の電子機器は、上記の第2の表示装置を備えている。

【0021】

本技術の第2の表示パネル、第2の表示装置および第2の電子機器では、各サブピクセルの選択走査に用いられる各走査線が、画素行ごとにb本 ($2 \leq b \leq (1 \text{ 画素中のサブピクセルの総数})$) ずつ割り当てられるとともに同一発光色の複数のサブピクセルに接続されている。さらに、各サブピクセルへの信号電圧の書き込みに用いられる複数の信号線が、各画素行において画素ごとにa本 ($2 \leq a < (1 \text{ 画素中のサブピクセルの総数})$) ずつ割り当てられている。これにより、例えば、V_th補正を、複数のサブピクセルに対して同時期に行ったのち、信号電圧の書き込みを、同一発光色のサブピクセルごとに順次行うことができる。なお、信号電圧の書き込みを、常に、単色ごとに分けて行う必要はない。例えば、複数種類の発光色のサブピクセルに対して、同時期に信号電圧の書き込みを行ったのち、その他の種類の発光色のサブピクセルに対して、同時期に信号電圧の書き込みを行うことも、もちろん可能である。いずれの場合においても、同一発光色の各サブピクセルにおいて、V_th補正が終わってから信号電圧の書き込みが始まるまでの期間（いわゆる、待ち時間）が一致するので、同一発光色のサブピクセルにおける待ち時間をラインごとに一

40

50

致させることができる。

【0022】

また、本技術では、信号線とサブピクセルとの接続態様と、走査線とサブピクセルとの接続態様とから、信号書き込みのシーケンスにおいて、トランジエントによる影響を受け易いサブピクセルへの信号書き込みを最初に行い、トランジエントによる影響を受けにくいサブピクセルへの信号書き込みを、トランジエントによる影響を受け易いサブピクセルと一緒に رفتたり、当該シーケンスの中途や最後に行ったりすることが可能である。そのため、トランジエントによる影響を受け易いサブピクセルへの信号書き込みでは、タイミングマージンが、他のサブピクセルへの信号書き込みによって制限されないようにすることが可能である。

10

【0023】

本技術の第2の表示パネル、第2の表示装置および第2の電子機器において、1画素に含まれる発光色の種類の数3であってもよい。ここで、1画素に含まれる各発光色のu'v'色度図における座標を単色座標とし、1画素に含まれる複数の発光色のうちの任意の2色を使って形成可能な複数種類の混色のu'v'色度図における座標を混色座標とする。このとき、第1の信号線が、単色座標と混色座標との距離が相対的に最も短い発光色のサブピクセル以外の2種類の発光色のサブピクセルに接続されていてもよい。また、本技術の第2の表示パネル、第2の表示装置および第2の電子機器において、1画素に含まれる発光色の種類の数4であってもよい。ここで、1画素に含まれる各発光色のu'v'色度図における座標を単色座標とし、1画素に含まれる複数の発光色のうちの任意の2色を使って形成可能な複数種類の混色のu'v'色度図における座標を混色座標とする。このとき、画素ごとに割り当てられたa本の信号線のうちの第2の信号線が、1画素において走査線が共有されていない2種類の発光色のサブピクセルに接続されるとともに、単色座標と混色座標との距離が相対的に最も短い発光色のサブピクセルを含む、2種類の発光色のサブピクセルに接続されていてもよい。さらに、第1の信号線が、第2の信号線に未接続の2種類の発光色のサブピクセルに接続されていてもよい。さらに、第1の信号線が、単色座標と混色座標との距離が相対的に2番目に短い発光色のサブピクセルを含む、2種類の発光色のサブピクセルに接続されていてもよい。

20

【0024】

本技術の第3の表示装置は、表示パネルと、表示パネルを駆動する駆動回路とを備えている。表示パネルは、発光色の種類の互いに異なる複数のサブピクセルを含む複数の画素を有している。各サブピクセルは、発光素子と、発光素子を駆動する駆動トランジスタと、映像信号に対応する信号電圧を駆動トランジスタのゲートに書き込む書込トランジスタとを含んでいる。駆動回路は、k ($k \geq 2$) 本の画素行を1ユニットとしたときに、駆動トランジスタのゲートソース間電圧を駆動トランジスタの閾値電圧に近づけるV_{th}補正、および信号電圧の書き込みをユニットごと一括して実行するようになっている。ここで、1画素に含まれる各発光色のu'v'色度図における座標を単色座標とし、1画素に含まれる複数の発光色のうちの任意の2色を使って形成可能な複数種類の混色のu'v'色度図における座標を混色座標とする。このとき、駆動回路は、1ユニットにおける各サブピクセルへの信号電圧の書き込みを、単色座標と混色座標との距離が相対的に最も短い発光色のサブピクセルを含む、1種類または複数種類の発光色のサブピクセルに対して行ったのち、それらのサブピクセルとは発光色の種類異なる、1種類または複数種類の発光色のサブピクセルに対して行うようになっている。

30

40

【0025】

本技術の第3の電子機器は、上記の第3の表示装置を備えている。

【0026】

本技術の第3の表示装置および第3の電子機器では、V_{th}補正および信号書き込みがユニットごと一括して実行される。これにより、高速駆動化を図ることが可能である。また、上記の駆動方法では、同一発光色の各サブピクセルにおいて、V_{th}補正が終わってから信号電圧の書き込みが始まるまでの期間（いわゆる、待ち時間）が一致するので、

50

同一発光色のサブピクセルにおける待ち時間をラインごとに一致させることができる。

【0027】

また、本技術では、1ユニットにおける各サブピクセルへの信号電圧の書き込みが、単色座標と混色座標との距離が相対的に最も短い発光色のサブピクセルを含む、1種類または複数種類の発光色のサブピクセルに対して行われたのち、それらのサブピクセルとは発光色の種類の異なる、1種類または複数種類の発光色のサブピクセルに対して行われる。ここで、「単色座標と前記混色座標との距離が相対的に最も短いサブピクセル（以下、「特定サブピクセル」と称する。）」とは、信号電圧が所望の値からずれた場合に、発光輝度や色度の変動が相対的に最も大きなサブピクセルを指している。つまり、本技術では、1ユニット内での信号書き込みのシーケンスにおいて、特定サブピクセルへの信号書き込みが最初に行われる。そのため、特定サブピクセルへの信号書き込みでは、タイミングマージンが、他のサブピクセルへの信号書き込みによって制限されない。

10

【0028】

本技術の第3の表示装置および第3の電子機器において、1画素に含まれる発光色の種類の数が3であってもよい。この場合に、駆動回路が、1ユニットにおける各サブピクセルへの信号電圧の書き込みを、単色座標と前記混色座標との距離が相対的に最も短い発光色のサブピクセルを含む、1種類または2種類の発光色のサブピクセルに対して行ったのち、それらのサブピクセルとは発光色の種類の異なる種類の発光色のサブピクセルに対して行うようになっていてもよい。また、本技術の第3の表示装置および第3の電子機器において、1画素に含まれる発光色の種類の数が4であってもよい。この場合に、駆動回路が、1ユニットにおける各サブピクセルへの信号電圧の書き込みを、単色座標と混色座標との距離が相対的に最も短い発光色のサブピクセルを含む、1種類または2種類の発光色のサブピクセルに対して行ったのち、それらのサブピクセルとは発光色の種類の異なる種類の発光色のサブピクセルに対して行うようになっていてもよい。

20

【発明の効果】

【0029】

本技術の第1および第2の表示パネル、第1ないし第3の表示装置ならびに第1ないし第3の電子機器によれば、同一発光色のサブピクセルにおける待ち時間をラインごとに一致させることができるようにし、さらに、特定サブピクセルへの信号書き込みでは、タイミングマージンが、他のサブピクセルへの信号書き込みによって制限されないようにすることができるようにしたので、高速駆動時のトランジェントにより輝度むらや色度ずれが生じるのを低減することが可能である。

30

【図面の簡単な説明】

【0030】

【図1】本技術による第1の実施の形態に係る表示装置の概略構成図である。

【図2】図1の画素の回路構成の一例を表す図である。

【図3】図1の各画素のレイアウトの一例を表す図である。

【図4】図1の各画素のレイアウトの他の例を表す図である。

【図5】RGBの座標がプロットされたx y色度図である。

【図6】RGBとそれらの中間色の座標がプロットされたu' v'色度図である。

40

【図7】図3、図4のDTLの電圧の一例を表す図である。

【図8】図1の表示装置の動作の一例について説明するための波形図である。

【図9】図1の表示装置におけるV_{t h}補正と信号書込・μ補正の走査の一例について説明するための波形図である。

【図10】従来の表示パネルにおける配線接続の一例を表す図である。

【図11】図10の表示パネルを備えた表示装置の動作の一例について説明するための波形図である。

【図12】図10の表示パネルを備えた表示装置の動作の他の例について説明するための波形図である。

【図13】比較例に係る表示パネルの各画素のレイアウトの一例を表す図である。

50

【図 1 4】図 1 3 の表示パネルを備えた表示装置の動作の一例について説明するための波形図である。

【図 1 5】図 3、図 4 の走査線および電源線の結線形態の一変形例を表す図である。

【図 1 6】本技術による第 2 の実施の形態に係る表示装置における各画素のレイアウトの一例を表す図である。

【図 1 7】図 1 6 の各画素のレイアウトの他の変形例を表す図である。

【図 1 8】RGBW とそれらの中間色の座標がプロットされた $u'v'$ 色度図である。

【図 1 9】図 1 6、図 1 7 のレイアウトを備えた表示装置の動作の一例について説明するための波形図である。

【図 2 0】図 3、図 4 の走査線および電源線の結線形態の他の変形例を表す図である。

【図 2 1】図 1 6、図 1 7 の走査線および電源線の結線形態の他の変形例を表す図である。

【図 2 2】上記各実施の形態の発光装置の適用例 1 の外観を表す斜視図である。

【図 2 3】(A) は適用例 2 の表側から見た外観を表す斜視図であり、(B) は裏側から見た外観を表す斜視図である。

【図 2 4】適用例 3 の外観を表す斜視図である。

【図 2 5】適用例 4 の外観を表す斜視図である。

【図 2 6】(A) は適用例 5 の開いた状態の正面図、(B) はその側面図、(C) は閉じた状態の正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。

【発明を実施するための形態】

【0031】

以下、発明を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第 1 の実施の形態（表示装置）
2. 第 1 の実施の形態の変形例（表示装置）
3. 第 2 の実施の形態（表示装置）
4. 適用例（電子機器）

【0032】

< 1. 第 1 の実施の形態 >

[構成]

図 1 は、本技術の第 1 の実施の形態に係る表示装置 1 の概略構成を表したものである。この表示装置 1 は、表示パネル 10 と、外部から入力された映像信号 20A および同期信号 20B に基づいて表示パネル 10 を駆動する駆動回路 20 とを備えている。駆動回路 20 は、例えば、タイミング生成回路 21、映像信号処理回路 22、信号線駆動回路 23、走査線駆動回路 24、および電源線駆動回路 25 を有している。

【0033】

（表示パネル 10）

表示パネル 10 は、複数の画素 11 が表示パネル 10 の表示領域 10A 全面に渡って 2 次元配置されたものである。表示パネル 10 は、駆動回路 20 によって各画素 11 がアクティブマトリクス駆動されることにより、外部から入力された映像信号 20A に基づく画像を表示するものである。

【0034】

図 2 は、画素 11 の回路構成の一例を表したものである。各画素 11 は、例えば、画素回路 12 と、有機 EL 素子 13 とを有している。有機 EL 素子 13 は、例えば、アノード電極、有機層およびカソード電極が順に積層された構成を有している。有機 EL 素子 13 は、素子容量 C_{oled} （図示せず）を有している。画素回路 12 は、例えば、駆動トランジスタ T_{r1} 、書込トランジスタ T_{r2} および保持容量 C_s によって構成されたものであり、 $2T_{r1}C$ の回路構成となっている。

【0035】

書込トランジスタ T_r2 は、駆動トランジスタ T_r1 のゲートに対する、映像信号に対応した信号電圧の印加を制御するものである。具体的には、書込トランジスタ T_r2 は、後述の信号線 DTL の電圧をサンプリングするとともに駆動トランジスタ T_r1 のゲートに書き込むものである。駆動トランジスタ T_r1 は、有機 EL 素子 13 を駆動するものであり、有機 EL 素子 13 に直列に接続されている。駆動トランジスタ T_r1 は、書込トランジスタ T_r2 によって書き込まれた電圧の大きさに応じて有機 EL 素子 13 に流れる電流を制御するものである。保持容量 C_s は、駆動トランジスタ T_r1 のゲートソース間に所定の電圧を保持するものである。なお、画素回路 12 は、上述の $2Tr1C$ の回路構成とは異なる回路構成となってもよい。例えば、画素回路 12 が、駆動トランジスタ T_r1 のソースに補助容量 C_{sub} が接続された $2Tr2C$ の回路構成となってもよい。

10

【0036】

駆動トランジスタ T_r1 および書込トランジスタ T_r2 は、例えば、 n チャネル MOS 型の薄膜トランジスタ($TFET$ (Thin Film Transistor))により形成されている。なお、 $TFET$ の種類は特に限定されるものではなく、例えば、逆スタガー構造(いわゆるボトムゲート型)であってもよいし、スタガー構造(トップゲート型)であってもよい。また、駆動トランジスタ T_r1 および書込トランジスタ T_r2 は、 p チャネル MOS 型の $TFET$ により形成されていてもよい。

20

【0037】

表示パネル 10 は、行方向に延在する複数の走査線 WSL と、列方向に延在する複数の信号線 DTL と、行方向に延在する複数の電源線 DSL とを有している。走査線 WSL は、各画素 11 の選択に用いられるものである。信号線 DTL は、映像信号に応じた信号電圧の、各画素 11 への供給に用いられるものである。電源線 DSL は、各画素 11 への駆動電流の供給に用いられるものである。

【0038】

各信号線 DTL と各走査線 WSL との交差点近傍には、画素 11 が設けられている。各信号線 DTL は、後述の信号線駆動回路 23 の出力端(図示せず)と、書込トランジスタ T_r2 のソースまたはドレインとに接続されている。各走査線 WSL は、後述の走査線駆動回路 24 の出力端(図示せず)と、書込トランジスタ T_r2 のゲートに接続されている。各電源線 DSL は、固定の電圧を出力する電源の出力端(図示せず)と、駆動トランジスタ T_r1 のソースまたはドレインに接続されている。

30

【0039】

書込トランジスタ T_r2 のゲートは、走査線 WSL に接続されている。書込トランジスタ T_r2 のソースまたはドレインが信号線 DTL に接続され、書込トランジスタ T_r2 のソースおよびドレインのうち信号線 DTL に未接続の端子が駆動トランジスタ T_r1 のゲートに接続されている。駆動トランジスタ T_r1 のソースまたはドレインが電源線 DSL に接続され、駆動トランジスタ T_r1 のソースおよびドレインのうち電源線 DSL に未接続の端子が有機 EL 素子 13 のアノードに接続されている。保持容量 C_s の一端が駆動トランジスタ T_r1 のゲートに接続され、保持容量 C_s の他端が駆動トランジスタ T_r1 のソース(図2では有機 EL 素子 13 側の端子)に接続されている。つまり、保持容量 C_s は、駆動トランジスタ T_r1 のゲートソース間に挿入されている。

40

【0040】

表示パネル 10 は、さらに、図2に示したように、有機 EL 素子 13 のカソードに接続されたグラウンド線 GND を有している。グラウンド線 GND は、グラウンド電位となっている外部回路(図示せず)と電気的に接続されるものである。グラウンド線 GND は、例えば、表示領域 $10A$ 全体に渡って形成されたシート状の電極である。なお、グラウンド線 GND は、画素行または画素列に対応して短冊状に形成された帯状の電極であってもよい。表示パネル 10 は、さらに、例えば、表示領域 $10A$ の周縁に、映像を表示しないフレーム領域を有している。フレーム領域は、例えば、遮光部材によって覆われている。

50

【0041】

図3、図4は、列方向に互いに隣接する2つの表示画素14（後述）における回路構成の一例を表したものである。図3は、 n 行目（ $1 \leq n < N$ 、 N は表示画素行の総数（偶数））および $n+1$ 行目の表示画素行における各画素11のレイアウトの一例を表したものであり、図4は、 $n+2$ 行目および $n+3$ 行目の表示画素行における各画素11のレイアウトの一例を表したものである。

【0042】

ここで、表示画素行とは、行方向に並んで配置された複数の表示画素14によって形成されるラインを指している。一方、画素行とは、行方向に並んで配置された複数の画素11によって形成されるラインを指しており、サブピクセル行に相当するものである。本実施の形態では、表示画素行と画素行とが、実質的に同一のラインを指しており、表示画素行と画素行とを互いに使い分ける必要はない。しかし、本実施の形態の変形例では、表示画素行と画素行とを互いに使い分ける必要がある。そこで、以下では、画素行と表示画素行との混同を避けるために、画素行をサブピクセル行と称する。

【0043】

各画素11のレイアウトは、 n 行目および $n+1$ 行目の表示画素行と、 $n+2$ 行目および $n+3$ 行目の表示画素行とにおいて、共通となっている。なお、以下では、説明の重複を避ける趣旨で、 $n+2$ 行目および $n+3$ 行目の表示画素行における各画素11のレイアウトについての説明を省略する。

【0044】

各画素11は、表示パネル10上の画面を構成する最小単位の点に対応するものである。表示パネル10は、カラー表示パネルとなっており、画素11は、例えば赤、緑または青などの単色の光を発するサブピクセルに相当する。本実施の形態では、発光色の種類の互いに異なる3つの画素11によって表示画素14が構成されている。つまり、発光色の種類の数は3であり、各表示画素14に含まれる画素11の数も3である。表示画素14に含まれる3つの画素11は、赤色光を発する画素11R、緑色光を発する画素11Gおよび青色光を発する画素11Bで構成されている。

【0045】

複数の走査線WSLは、 k （ $k \geq 2$ ）本の表示画素行を1ユニットとしたときに1ユニットごとに k 本ずつ割り当てられている。1ユニットに含まれる表示画素行の数は2以上、発光色の種類の数以下である。従って、 k は、 $2 \leq k \leq (1 \text{ 表示画素14中の画素11の発光色の種類の総数})$ を満たす。具体的には、複数の走査線WSLは、2本の表示画素行を1ユニットとしたときに1ユニットごとに2本ずつ割り当てられている。従って、1ユニットに含まれる表示画素行の数は2であり、1ユニットに含まれる走査線WSLの数も2である。走査線WSLの総数は、表示画素行の総数と等しくなっており、 N 本となっている。なお、図3中の n は、1以上、 $N/2$ 以下の正の整数であり、図3中のWSL(n)は、 n 番目の走査線WSLを意味している。

【0046】

各走査線WSLは、1ユニット内で同一発光色の複数の画素11に接続されている。具体的には、1ユニットに含まれる2本の走査線WSL(n)、WSL($n+1$)において、走査線WSL(n)（第1の走査線）は、1ユニットに含まれる複数の画素11Gおよび複数の画素11Bに接続されており、走査線WSL($n+1$)は、1ユニットに含まれる複数の画素11Rに接続されている。なお、本実施の形態では、1ユニットに含まれる2本の走査線WSL(n)、WSL($n+1$)において、走査線WSL(n)が「上段」または「最上段」の走査線に相当し、走査線WSL($n+1$)が「下段」または「最下段」の走査線に相当する。

【0047】

ここで、「上段」とは、1ユニット内での信号書き込みのシーケンスにおいて前半に選択される走査線を指している。「最上段」とは、1ユニット内での信号書き込みのシーケンスにおいて最初に選択される走査線を指している。また、「下段」とは、1ユニット内

10

20

30

40

50

での信号書き込みのシーケンスにおいて後半に選択される走査線を指している。「最下段」とは、1ユニット内での信号書き込みのシーケンスにおいて最後に選択される走査線を指している。

【0048】

また、各走査線WSLは、1ユニット内で同一発光色の全ての画素11に接続されている。具体的には、1ユニットに含まれる2本の走査線WSL(n), WSL(n+1)において、走査線WSL(n)は、1ユニット内の全ての画素11Gおよび全ての画素11Bに接続されており、走査線WSL(n+1)は、1ユニット内の全ての画素11Rに接続されている。

【0049】

複数の電源線DSLは、1ユニットごとに1本ずつ割り当てられている。従って、1ユニットに含まれる電源線DSLの数は1である。電源線DSLの総数は、画素行の総数の半分に相当しており、 $J(=N/2)$ 本となっている。なお、図3中のjは、1以上、 $N/2$ 以下の正の整数であり、図3中のDSL(j)は、j番目の電源線DSLを意味している。各電源線DSLは、1ユニット内の全ての画素11に接続されている。具体的には、1ユニットに含まれる1本の電源線DSLは、1ユニットに含まれる全ての画素11(11R, 11G, 11B)に接続されている。

【0050】

複数の信号線DTLは、各表示画素行において表示画素14ごとにa本($2 \leq a < (1$ 画素中のサブピクセルの総数))ずつ割り当てられている。具体的には、複数の信号線DTLは、各表示画素行において表示画素14ごとに2本ずつ割り当てられている。各表示画素行において表示画素14ごとに割り当てられたa本の信号線DTLにおいて、1本の信号線DTL(第1の信号線)は、1表示画素14において走査線WSLが共有されていない2種類の発光色の画素11に接続されている。具体的には、各表示画素行において表示画素14ごとに割り当てられた2本の信号線DTLにおいて、一方の信号線DTL(第1の信号線)は、1表示画素14において走査線WSLが共有されていない2種類の発光色の画素11に接続されており、他方の信号線DTLは、1表示画素14において残りの種類(1種類または複数種類)の発光色の画素11に接続されている。

【0051】

より具体的には、n行目およびn+1行目の画素行に含まれる複数の表示画素14のうち、列方向に互いに隣接する2つの表示画素14(つまり、1ユニット内で行が互いに異なり、かつ互いに隣接する2つの表示画素14)に着目する。これら2つの表示画素14のうちn行目の表示画素行に含まれる表示画素14には、2本の信号線DTL(m), DTL(m+2)が割り当てられている。なお、信号線DTLの本数は、1つの画素行に含まれる画素11の数と等しく、M(Mは4の倍数)本となっている。図3において、mは、1以上、M-4以下の正の整数であり、1以外の場合には(4の倍数+1)に相当する数である。従って、図3中のDTL(m)は、m番目の信号線DTLを意味している。

【0052】

上記の2本の信号線DTL(m), DTL(m+2)において、一方の信号線DTL(m+2)(第1の信号線)は、1表示画素14において走査線WSLが共有されていない2種類の発光色の画素11R, 11Bに接続されており、他方の信号線DTL(m)は、残りの1種類の発光色の画素11Gに接続されている。さらに、上記2つの表示画素14のうちn+1行目の画素行に含まれる表示画素14には、2本の信号線DTL(m+1), DTL(m+3)が割り当てられている。その2本の信号線DTL(m+1), DTL(m+3)において、一方の信号線DTL(m+1)(第1の信号線)は、1表示画素14において走査線WSLが共有されていない2種類の発光色の画素11R, 11Bに接続されており、他方の信号線DTL(m+3)は、残りの種類の発光色の画素11Gに接続されている。つまり、1ユニット内で表示画素行が互いに異なり、かつ互いに隣接する2つの表示画素14において、一方の表示画素14に対しては偶数列目の2本の信号線DTL(m), DTL(m+2)が割り当てられ、他方の表示画素14に対しては奇数列目の

10

20

30

40

50

2本の信号線DTL(m+1), DTL(m+3)が割り当てられる。これにより、信号線DTLの総数を最小限に抑えている。

【0053】

1ユニット内で表示画素行が互いに異なり、かつ互いに隣接する2つの表示画素14において、走査線WSLが共有される2種類の発光色の画素11の発光色の組み合わせが互いに等しくなっている。その一方で、1ユニット内で表示画素行が互いに異なり、かつ互いに隣接する2つの表示画素14において、発光色の配列は互いに異なっている。例えば、1ユニット内の上段では、3つの画素11がGRBの順番で行方向に配列されており、1ユニット内の下段では、3つの画素11がBRGの順番で行方向に配列されている。

【0054】

(発光色の種類について)

次に、1ユニットごとに割り当てられたk本の走査線WSLと、表示画素14に含まれる画素11の発光色の種類との組み合わせについて説明する。さらに、各表示画素行において表示画素14ごとに割り当てられたa本の信号線DTLと、表示画素14に含まれる画素11の発光色の種類との組み合わせについて説明する。

【0055】

図5は、表示画素14に含まれる3つの画素11の発光色の色度の座標をx y色度図にプロットしたものである。図6は、以下の数1, 2, 3を利用して、表示画素14に含まれる3つの画素11の発光色の色度の座標(単色座標)を、u' v'色度図にプロットし直したものである。

【数1】

$$\begin{aligned} X &= \frac{x}{y} L \\ Y &= L \\ Z &= \frac{1-x-y}{y} L \end{aligned}$$

【数2】

$$\begin{bmatrix} X \\ Y \\ Z \end{bmatrix} = \begin{bmatrix} 0.4124 & 0.3576 & 0.1805 \\ 0.2126 & 0.7152 & 0.0722 \\ 0.0193 & 0.1192 & 0.9505 \end{bmatrix} \begin{bmatrix} R \\ G \\ B \end{bmatrix}$$

【数3】

$$\begin{aligned} u' &= \frac{4X}{X+15Y+3Z} \\ v' &= \frac{9Y}{X+15Y+3Z} \end{aligned}$$

【0056】

図6中のA, B, Cは、1表示画素14に含まれる3つの発光色のうちの任意の2色を使って形成可能な3つの混色のu' v'色度図における座標(混色座標)のプロットである。具体的には、図6中のAは、画素11Rの発光色(赤色)と、画素11Gの発光色(緑色)との混色のu' v'色度図における座標のプロットである。図6中のBは、画素11Gの発光色(緑色)と、画素11Bの発光色(青色)との混色のu' v'色度図における座標のプロットである。図6中のCは、画素11Bの発光色(青色)と、画素11Rの発光色

10

20

30

40

50

(赤色)との混色の $u'v'$ 色度図における座標のプロットである。

【0057】

上述したように、各走査線WSLは、1ユニット内で同一発光色の複数の画素11に接続されている。このとき、1ユニットごとに割り当てられたk本の走査線WSLにおいて、最上段の走査線WSL(第1の走査線)は、単色座標と混色座標との距離が相対的に最も短い発光色の画素11を含む、1種類または複数種類の発光色の画素11に接続されている。本実施の形態では、単色座標と混色座標との距離が相対的に最も短い発光色の画素11は、図6から、画素11Gであることがわかる。従って、例えば、1ユニットごとに割り当てられた2本の走査線WSLにおいて、最上段の走査線WSL(第1の走査線)は、単色座標と混色座標との距離が相対的に最も短い画素11Gを含む、2種類の発光色の画素11G、11Bに接続されている。このとき、最下段の走査線WSLは、1種類の発光色の画素11Rに接続されている。なお、図示しないが、1ユニットごとに割り当てられたk本の走査線WSLにおいて、最上段の走査線WSL(第1の走査線)は、単色座標と混色座標との距離が相対的に最も短い画素11Gを含む、2種類の発光色の画素11G、11Rに接続されていてもよい。このとき、最下段の走査線WSLは、1種類の発光色の画素11Bに接続されている。

10

【0058】

また、上述したように、各表示画素行において表示画素14ごとに割り当てられたa本($2 \leq a < (1 \text{ 画素中のサブピクセルの総数})$)の信号線DTLにおいて、1本の信号線DTL(第1の信号線)は、1表示画素14において走査線WSLが共有されていない2種類の発光色の画素11に接続されている。本実施の形態では、各表示画素行において表示画素14ごとに2本の信号線DTLが割り当てられおり、さらに、1表示画素14に含まれる発光色の種類の数が3である。従って、一方の信号線DTL(第1の信号線)は、単色座標と混色座標との距離が相対的に最も短い発光色の画素11以外の2種類の発光色の画素11に接続されている。本実施の形態では、単色座標と混色座標との距離が相対的に最も短い発光色の画素11は、図6から、画素11Gであることがわかる。従って、例えば、一方の信号線DTL(第1の信号線)は、画素11G以外の2種類の発光色の画素11R、11Bに接続されている。このとき、残りの信号線DTLは、画素11Gに接続されている。

20

【0059】

(駆動回路20)

次に、駆動回路20について説明する。駆動回路20は、上述したように、例えば、タイミング生成回路21、映像信号処理回路22、信号線駆動回路23、走査線駆動回路24および電源線駆動回路25を有している。タイミング生成回路21は、駆動回路20内の各回路が連動して動作するように制御するものである。タイミング生成回路21は、例えば、外部から入力された同期信号20Bに応じて(同期して)、上述した各回路に対して制御信号21Aを出力するようになっている。

30

【0060】

映像信号処理回路22は、例えば、外部から入力されたデジタルの映像信号20Aに対して所定の補正を行い、それにより得られた映像信号22Aを信号線駆動回路23に出力するものである。所定の補正としては、例えば、ガンマ補正や、オーバードライブ補正などが挙げられる。

40

【0061】

信号線駆動回路23は、例えば、制御信号21Aの入力に応じて(同期して)、映像信号処理回路22から入力された映像信号22Aに対応するアナログの信号電圧を、各信号線DTLに印加するものである。信号線駆動回路23は、例えば、2種類の電圧(V_{ofs} 、 V_{sig})を出力可能となっている。具体的には、信号線駆動回路23は、走査線駆動回路24により選択された画素11へ、信号線DTLを介して2種類の電圧(V_{ofs} 、 V_{sig})を供給するようになっている。

【0062】

50

図7は、列方向に互いに隣接する2つのユニットにおいて列方向に配列された4つの表示画素14に接続された4本の信号線DTL(DTL(m)、DTL(m+1)、DTL(m+2)、DTL(m+3))に対して、走査線WSLの走査に応じて順次、印加される電圧V(n)、V(n+1)、V(n+2)、V(n+3)の一例を表したものである。信号線駆動回路23は、走査線WSL(n)の選択に対応して信号電圧V(n)を出力し、走査線WSL(n+1)の選択に対応して信号電圧V(n+1)を出力するようになっている。同様に、信号線駆動回路23は、走査線WSL(n+2)の選択に対応して信号電圧V(n+2)を出力し、走査線WSL(n+3)の選択に対応して信号電圧V(n+3)を出力するようになっている。ここで、走査線駆動回路24は、後述するように、信号電圧の書き込みに際して、走査線WSLを、WSL(n)、WSL(n+1)、WSL(n+2)、WSL(n+3)の順に選択するようになっている。そのため、信号線駆動回路23は、信号電圧の書き込みに際して、信号電圧Vsigを、V(n)、V(n+1)、V(n+2)、V(n+3)の順に出力するようになっている。

10

【0063】

信号線駆動回路23は、例えば、図7に示したように、走査線駆動回路24により同時に選択された複数の画素11のうち、n表示画素行に属する複数の画素11に対しては、偶数番目の信号線DTL(m)、DTL(m+2)を介して、n表示画素行に対応する電圧Vsig(Vsig(n, m), Vsig(n, m+2))を供給するようになっている。さらに、信号線駆動回路23は、走査線駆動回路24により同時に選択された複数の画素11のうち、n+1画素行に属する複数の画素11に対しては、奇数番目の信号線DTL(m+1)、DTL(m+3)を介して、n+1表示画素行に対応する電圧Vsig(Vsig(n+1, m+1), Vsig(n+1, m+3))を供給するようになっている。

20

【0064】

つまり、信号線駆動回路23は、信号書き込み時に、走査線WSL(n)が選択されたときには、偶数番目の信号線DTL(m)、DTL(m+2)に対してn表示画素行に対応する電圧Vsig(n, m), Vsig(n, m+2)を出力すると同時に、奇数番目の信号線DTL(m+1)、DTL(m+3)に対してn+1表示画素行に対応する電圧Vsig(n, m+1), Vsig(n, m+3)を出力するようになっている。また、信号線駆動回路23は、信号書き込み時に、走査線WSL(n+1)が選択されたときには、偶数番目の信号線DTL(m)、DTL(m+2)に対してn+1表示画素行に対応する電圧Vsig(n+1, m), Vsig(n+1, m+2)を出力すると同時に、奇数番目の信号線DTL(m+1)、DTL(m+3)に対してn表示画素行に対応する電圧Vsig(n, m+1), Vsig(n, m+3)を出力するようになっている。なお、信号線駆動回路23は、n+2画素行およびn+3画素行についても、n画素行およびn+1画素行と同様にして、電圧を印加するようになっている。

30

【0065】

Vsigは、映像信号20Aに対応する電圧値となっている。Vofsは、映像信号20Aとは無関係の一定電圧である。Vsigの最小電圧はVofsよりも低い電圧値となっており、Vsigの最大電圧はVofsよりも高い電圧値となっている。

40

【0066】

走査線駆動回路24は、例えば、制御信号21Aの入力に応じて(同期して)、複数の走査線WSLを所定のシーケンスで選択することにより、Vth補正や、信号電圧Vsigの書き込み、およびμ補正を所望の順番で実行させるものである。ここで、Vth補正とは、駆動トランジスタTr1のゲートソース間電圧Vgsを駆動トランジスタの閾値電圧に近づける補正動作を指している。信号電圧Vsigの書き込み(信号書き込み)とは、駆動トランジスタTr1のゲートに対して、信号電圧Vsigを、書込トランジスタTr2を介して書き込む動作を指している。μ補正とは、駆動トランジスタTr1のゲートソース間に保持される電圧Vgsを、駆動トランジスタTr1の移動度μの大きさに応じて補正する動作を指している。信号書き込みと、μ補正とは、互いに別個のタイミン

50

グで行われることもある。本実施の形態では、走査線駆動回路24が、1つの選択パルスを、走査線WSLへ出力することによって、信号書き込みと、 μ 補正とを同時に（もしくは間髪空けずに連続して）行うようになっている。

【0067】

ところで、駆動回路20は、Vth補正および信号書き込みをユニットごと一括して実行するようになっている。具体的には、駆動回路20は、図9に示したように、第1のユニットで、Vth補正および信号書き込みを実行した後に、第1のユニットと列方向において隣接する第2のユニットで、Vth補正および信号書き込みを実行するようになっている。つまり、駆動回路20は、一連の動作（Vth補正および信号書き込み）を、ユニット単位で順次、実行するようになっている。

10

【0068】

走査線駆動回路24は、Vth補正に際しては、1ユニットに含まれる全ての走査線WSLを、同時に（または同時期に）選択するようになっている。具体的には、走査線駆動回路24は、Vth補正に際しては、1ユニットに含まれる2本の走査線WSL(n)、WSL(n+1)を、同時に（または同時期に）選択するようになっている。つまり、走査線駆動回路24は、Vth補正に際しては、n表示画素行の複数の画素11（例えば画素11R、11G、11B）と、n+1表示画素行の複数の画素11（例えば画素11R、11G、11B）とを、同時に（または同時期に）選択するようになっている。

【0069】

さらに、走査線駆動回路24は、信号書き込みに際しては、1ユニットに含まれる複数の走査線WSLを、一連の動作（Vth補正および信号書き込み）をユニット単位で順次実行する際の走査方向（以下、「ユニット走査方向」と称する。）と同一方向に順次、選択するようになっている。ユニット走査方向は、例えば、表示パネル10の上端側から下端側に向かう方向と平行な方向である。従って、走査線駆動回路24は、1表示画素行における各画素11への信号書き込みを、走査線WSL(n)に接続された各画素11に対して実行したのち、走査線WSL(n+1)に接続された各画素11に対して実行するようになっている。なお、ユニット走査方向は、表示パネル10の下端側から上端側に向かう方向と平行な方向であってもよい。このときは、図示しないが、走査線駆動回路24は、1表示画素行における各画素11への信号書き込みを、走査線WSL(n+1)に接続された各画素11に対して実行したのち、走査線WSL(n)に接続された各画素11に対して実行するようになっている。

20

30

【0070】

走査線駆動回路24は、信号書き込みに際して、1ユニットに含まれる2つの走査線WSL(n)、WSL(n+1)を、走査線WSL(n)、走査線WSL(n+1)の順に選択するようになっている。そのため、走査線駆動回路24は、信号書き込みに際して、走査線WSL(n)を介して、n表示画素行の2種類の画素11G、11Bと、n+1表示画素行の2種類の画素11G、11Bとを同時に選択したのち、走査線WSL(n+1)を介して、n表示画素行の1種類の画素11Rと、n+1表示画素行の1種類の画素11Rとを、同時に選択するようになっている。

【0071】

40

走査線駆動回路24は、例えば、2種類の電圧(Von、Voff)を出力可能となっている。具体的には、走査線駆動回路24は、駆動対象の画素11へ、走査線WSLを介して2種類の電圧(Von、Voff)を供給し、書込トランジスタTr2のオンオフ制御を行うようになっている。ここで、Vonは、書込トランジスタTr2のオン電圧以上の値となっている。Vonは、後述の「Vth補正準備期間の後半部分」や、「Vth補正期間」、「信号書込・ μ 補正期間」などに走査線駆動回路24から出力される書込パルスの波高値である。Voffは、書込トランジスタTr2のオン電圧よりも低い値となっており、かつ、Vonよりも低い値となっている。Voffは、後述の「Vth補正準備期間の前半部分」や、「発光期間」などに走査線駆動回路24から出力される書込パルスの波高値である。

50

【0072】

電源線駆動回路25は、例えば、制御信号21Aの入力に応じて（同期して）、複数の電源線DSLを所定の単位ごとに順次選択するものである。電源線駆動回路25は、例えば、2種類の電圧（Vcc、Vss）を出力可能となっている。具体的には、電源線駆動回路25は、走査線駆動回路24により選択された画素11を含む1ユニット全体（つまり1ユニットに含まれる全ての画素11）へ、電源線DSLを介して2種類の電圧（Vcc、Vss）を供給するようになっている。ここで、Vssは、有機EL素子13の閾値電圧V_{el}と、有機EL素子13のカソード電圧V_{cat}hとを足し合わせた電圧（V_{el}+V_{cat}h）よりも低い電圧値である。Vccは、電圧（V_{el}+V_{cat}h）以上の電圧値である。

10

【0073】

[動作]

次に、本実施の形態の表示装置1の動作（消光から発光までの動作）について説明する。本実施の形態では、有機EL素子13のI-V特性が経時変化したり、駆動トランジスタTr1の閾値電圧や移動度が経時変化したりしても、それらの影響を受けることなく、有機EL素子13の発光輝度を一定に保つようにするために、有機EL素子13のI-V特性の変動に対する補償動作および駆動トランジスタTr1の閾値電圧や移動度の変動に対する補正動作を組み込んでいる。

【0074】

図8は、表示装置1における各種波形の一例を表したものである。図8には、走査線WSL、電源線DSLおよび信号線DTLにおいて、時々刻々と2値の電圧変化が生じている様子が示されている。さらに、図8には、走査線WSL、電源線DSLおよび信号線DTLの電圧変化に応じて、駆動トランジスタTr1のゲート電圧V_gおよびソース電圧V_sが時々刻々と変化している様子が示されている。

20

【0075】

(V_{th}補正準備期間)

まず、駆動回路20は、駆動トランジスタTr1のゲート-ソース間電圧V_{gs}を駆動トランジスタTr1の閾値電圧に近づけるV_{th}補正の準備を行う。具体的には、走査線WSLの電圧がV_{off}となっており、信号線DTLの電圧がV_{ofs}となっており、電源線DSLの電圧がVccとなっている時（つまり有機EL素子13が発光している時）に、電源線駆動回路25は、制御信号21Aに応じて電源線DSLの電圧をVccからVssに下げる（T1）。すると、ソース電圧V_sがVssまで下がり、有機EL素子13が消光する。このとき、保持容量Csを介したカップリングによりゲート電圧V_gも下がる。

30

【0076】

次に、電源線DSLの電圧がVssとなっており、かつ信号線DTLの電圧がV_{ofs}となっている間に、走査線駆動回路24は、制御信号21Aに応じて走査線WSLの電圧をV_{off}からV_{on}に上げる（T2）。すると、ゲート電圧V_gがV_{ofs}まで下がる。このとき、ゲート電圧V_gとソース電圧V_sとの電位差V_{gs}が駆動トランジスタTr2の閾値電圧よりも小さくなっていてもよいし、それと等しいか、またはそれよりも大きくなっていてもよい。

40

【0077】

(V_{th}補正期間)

次に、駆動回路20は、V_{th}の補正を行う。具体的には、信号線DTLの電圧がV_{ofs}となっており、かつ、走査線WSLの電圧がV_{on}となっている間に、電源線駆動回路25は、制御信号21Aに応じて電源線DSLの電圧をVssからVccに上げる（T3）。すると、駆動トランジスタTr1のドレイン-ソース間に電流I_{ds}が流れ、ソース電圧V_sが上昇する。このとき、ソース電圧V_sがV_{ofs}-V_{th}よりも低い場合（V_{th}補正がまだ完了していない場合）には、駆動トランジスタTr1がカットオフするまで（電位差V_{gs}がV_{th}になるまで）、駆動トランジスタTr1のドレイン-ソース

50

間に電流 I_{ds} が流れる。これにより、ゲート電圧 V_g が V_{ofs} となり、ソース電圧 V_s が上昇し、その結果、保持容量 C_s が V_{th} に充電され、電位差 V_{gs} が V_{th} となる。

【0078】

その後、信号線駆動回路23は、制御信号21Aに応じて信号線DTLの電圧を V_{ofs} から V_{sig} に切り替える前に、走査線駆動回路24が制御信号21Aに応じて走査線WSLの電圧を V_{on} から V_{off} に下げる (T4)。すると、駆動トランジスタTr1のゲートがフローティングとなるので、電位差 V_{gs} を信号線DTLの電圧の大きさに拘わらず V_{th} のままで維持することができる。このように、電位差 V_{gs} を V_{th} に設定することにより、駆動トランジスタTr1の閾値電圧 V_{th} が画素回路12ごとにばらつ

10

【0079】

(V_{th} 補正休止期間)

その後、 V_{th} 補正の休止期間中に、信号線駆動回路23は、信号線DTLの電圧を V_{ofs} から V_{sig} に切り替える。

【0080】

(信号書込・ μ 補正期間)

V_{th} 補正休止期間が終了した後 (つまり V_{th} 補正が完了した後)、駆動回路20は、映像信号20Aに応じた信号電圧の書き込みと、 μ 補正を行う。具体的には、信号線DTLの電圧が V_{sig} となっており、かつ電源線DSLの電圧が V_{cc} となっている間に、走査線駆動回路24は、制御信号21Aに応じて走査線WSLの電圧を V_{off} から V_{on} に上げ (T5)、駆動トランジスタTr1のゲートを信号線DTLに接続する。すると、駆動トランジスタTr1のゲート電圧 V_g が信号線DTLの電圧 V_{sig} となる。このとき、有機EL素子13のアノード電圧はこの段階ではまだ有機EL素子13の閾値電圧 V_{el} よりも小さく、有機EL素子13はカットオフしている。そのため、電流 I_{ds} は有機EL素子13の素子容量 C_{oled} に流れ、素子容量 C_{oled} が充電されるので、ソース電圧 V_s が ΔV_s だけ上昇し、やがて電位差 V_{gs} が $V_{sig} + V_{th} - \Delta V_s$ となる。このようにして、書き込みと同時に μ 補正が行われる。ここで、駆動トランジスタTr1の移動度 μ が大きい程、 ΔV_s も大きくなるので、電位差 V_{gs} を発光前に ΔV だけ小さくすることにより、画素11ごとの移動度 μ のばらつきを取り除くことができる。

20

30

【0081】

(発光)

最後に、走査線駆動回路24は、制御信号21Aに応じて走査線WSLの電圧を V_{on} から V_{off} に下げる (T6)。すると、駆動トランジスタTr1のゲートがフローティングとなり、駆動トランジスタTr1のドレインーソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇する。その結果、有機EL素子13に閾値電圧 V_{el} 以上の電圧が印加され、有機EL素子13が所望の輝度で発光する。

【0082】

40

次に、図8、図9を参照しつつ、本実施の形態の表示装置1における V_{th} 補正と信号書込み・ μ 補正の走査の一例について説明する。なお、図9は、列方向に互いに隣接する2つのユニットにおける V_{th} 補正と信号書込み・ μ 補正の走査の一例を表したものである。

【0083】

なお、以下では、1ユニット内の全ての画素11を、接続された走査線WSLごとにグループに分けたものとして、説明を行う。本実施の形態では、1ユニット内の全ての画素11Gおよび全ての画素11Bが1つのグループとなり、1ユニット内の全ての画素11Rが1つのグループとなる。そこで、以下では、走査線WSL(n)、WSL(n+1)が接続されたユニット内の全ての画素11Gおよび全ての画素11Bが第1のグループとな

50

っており、そのユニット内の全ての画素 1 1 R が第 2 のグループとなっているものとする。さらに、走査線 W S L (n + 2)、W S L (n + 3) が接続されたユニット内の全ての画素 1 1 G および全ての画素 1 1 B が第 3 のグループとなっており、そのユニット内の全ての画素 1 1 R が第 4 のグループとなっているものとする。

【0084】

駆動回路 2 0 は、V t h 補正を 1 ユニット内の全てのグループ（第 1 および第 2 のグループ）に対して同時期に行ったのち、信号電圧の書き込みを、そのユニット内の全てのグループ（第 1 および第 2 のグループ）に対して、グループごとに順番に行う。このとき、駆動回路 2 0 は、信号書き込みを、最上段の走査線 W S L (n) に接続された画素 1 1 からなる第 1 のグループに対して行ったのち、最下段の走査線 W S L (n + 1) に接続された画素 1 1 からなる第 2 のグループに対して行う。

10

【0085】

その後、駆動回路 2 0 は、V t h 補正を次のユニット内の全てのグループ（第 3 および第 4 のグループ）に対して同時期に行ったのち、信号電圧の書き込みを、そのユニット内の全てのグループ（第 3 および第 4 のグループ）に対して、グループごとに順番に行う。このとき、駆動回路 2 0 は、上記と同様に、信号書き込みを、最上段の走査線 W S L (n + 2) に接続された画素 1 1 からなる第 1 のグループに対して行ったのち、最下段の走査線 W S L (n + 3) に接続された画素 1 1 からなる第 2 のグループに対して行う。

【0086】

このとき、駆動回路 2 0 は、1 つのユニットに対して、1 水平期間（1 H）内で V t h 補正を行ったのち、次の 1 水平期間（1 H）内で、信号書き込みを行う。つまり、駆動回路 2 0 は、1 つのユニットに対して、2 水平期間（2 H）を連続して使って、V t h 補正と、信号書き込みとを行う。

20

【0087】

さらに、駆動回路 2 0 は、グループごとに信号書き込みを行う際に、そのグループに含まれる全ての画素 1 1 に対して信号書き込みを同時に行う。具体的には、駆動回路 2 0 は、走査線 W S L (n) が選択されたときには、各信号線 D T L に対して、上述の電圧 V (n) を出力する。すなわち、駆動回路 2 0 は、走査線 W S L (n) が選択されたときには、偶数番目の信号線 D T L (D T L (m)、D T L (m + 2)) に対して n 画素行目の V s i g (V s i g (n , m)、V s i g (n , m + 2)) を出力すると同時に、奇数番目の信号線 D T L (m + 1)、D T L (m + 3) に対して n + 1 画素行に対応する電圧 V s i g (V s i g (n + 1 , m + 1)、V s i g (n + 1 , m + 3)) を出力する。さらに、駆動回路 2 0 は、走査線 W S L (n + 1) が選択されたときには、偶数番目の信号線 D T L (D T L (m)、D T L (m + 2)) に対して n + 1 画素行目の V s i g (V s i g (n + 1 , m)、V s i g (n + 1 , m + 2)) を出力すると同時に、奇数番目の信号線 D T L (m + 1)、D T L (m + 3) に対して n 画素行に対応する電圧 V s i g (V s i g (n , m + 1)、V s i g (n , m + 3)) を出力する。

30

【0088】

そのようにした結果、同一発光色の各画素 1 1 G において、V t h 補正が終わってから μ 補正が始まるまでの期間（いわゆる、待ち時間 $\Delta t 1$ ）が一致するので、複数の画素 1 1 G における待ち時間 $\Delta t 1$ が画素行ごとに一致する。なお、本実施の形態では、各画素 1 1 B の待ち時間 $\Delta t 2$ は、各画素 1 1 G の待ち時間 $\Delta t 1$ と等しい。そのため、同一発光色の各画素 1 1 B においても、待ち時間 $\Delta t 2$ が一致するので、複数の画素 1 1 B における待ち時間 $\Delta t 2$ が画素行ごとに一致する。さらに、同一発光色の各画素 1 1 R においても、待ち時間 $\Delta t 3$ が一致するので、複数の画素 1 1 R における待ち時間 $\Delta t 3$ が画素行ごとに一致する。なお、画素 1 1 G、1 1 B の待ち時間 $\Delta t 1$ 、 $\Delta t 2$ と、画素 1 1 R の待ち時間 $\Delta t 3$ とが互いに異なるが、これは色再現性に若干影響するだけであり、色むらに影響することはない。

40

【0089】

また、駆動回路 2 0 は、1 ユニットにおける各画素 1 1 への信号電圧の書き込みを、単

50

色座標と混色座標との距離が相対的に最も短い発光色の画素 1 1（例えば画素 1 1 G）を含む、1 種類または複数種類の発光色の画素 1 1（例えば画素 1 1 G, 1 1 B）に対して行ったのち、それらの画素 1 1 とは発光色の種類の異なる、1 種類または複数種類の発光色の画素 1 1（例えば画素 1 1 R）に対して行う。これにより、1 ユニット内での信号書き込みのシーケンスにおいて、単色座標と混色座標との距離が相対的に最も短い発光色の画素 1 1 への信号書き込みを、最初に行うことができる。

【0090】

[効果]

次に、本実施の形態の表示装置 1 における効果について説明する。

【0091】

図 10 は、従来から一般的に用いられる画素配列の一例を表したものである。従来では、表示画素 1 4 0 に含まれる各画素 1 1 R, 1 1 G, 1 1 B が共通の走査線 W S L (n) および電源線 D S L (n) に接続されている。このような画素配列となっている場合に、例えば、図 1 1 に示したように、V t h 補正および信号書き込みが 1 H 期間ごとに行われるときには、1 H 期間を短くし、1 F 当たりの走査期間を短くする（つまり、高速駆動化すること）が難しかった。そのため、例えば、図 1 2 に示したように、V t h 補正が共通の 1 H 期間内に 2 ラインまとめて行われたのち、信号書き込みが次の 1 H 期間内にラインごとに行われる。この駆動方法は、V t h 補正が束ねられていることから、高速駆動に向いている。しかし、V t h 補正が終わってから信号書き込みが始まるまでの待ち期間 Δt がラインごとに異なる。そのため、同一階調の信号電圧がそれぞれのラインの駆動トランジスタのゲートに印加されたとしても、発光輝度がラインごとに異なってしまい、輝度ムラが生じるという問題があった。

【0092】

一方、本実施の形態では、各画素 1 1 の選択に用いられる各走査線 W S L が、1 ユニット内で同一発光色の複数の画素 1 1 に接続されている。さらに、各画素 1 1 への駆動電流の供給に用いられる各電源線 D S L が、1 ユニット内の全ての画素 1 1 に接続されている。これにより、上述したように、V t h 補正を、1 ユニット内の全てのグループに対して同時期に行ったのち、信号電圧の書き込みを、1 ユニット内の全てのグループに対してグループごとに行うことができる。その結果、同一発光色の各画素 1 1 において、V t h 補正が終わってから μ 補正が始まるまでの待ち時間が一致するので、同一発光色の画素 1 1 における待ち時間がラインごとに一致する。従って、V t h 補正を束ねたことによる輝度ムラの発生を低減することができる。

【0093】

図 1 3 は、比較例に係る画素配列の一例を表したものである。図 1 3 に示した画素配列では、1 ユニットごとに割り当てられた 2 本の走査線 W S L (n), (n+1) のうちの最上段の走査線 (n) が、単色座標と混色座標との距離が相対的に最も短い発光色の画素 1 1（ここでは画素 1 1 G）を除く、2 種類の発光色の画素 1 1（ここでは画素 1 1 R, 1 1 B）に接続されている。そのため、図 1 4 に示したように、1 ユニット内での信号書き込みのシーケンスにおいて、画素 1 1 G への信号書き込みが、画素 1 1 R, 1 1 B への信号書き込みに続いて行われる。このような信号書き込みシーケンスでは、画素 1 1 G への信号書き込みにおいて、タイミングマージンが、画素 1 1 R, 1 1 B への信号書き込みによって制限されるので、1 H 期間を大幅に短くすると、タイミングマージンが不十分になる。その結果、トランジェントにより、所望の値の信号電圧を画素 1 1 に書き込むことができなくなり、輝度むらや、色度ずれが生じてしまう。

【0094】

一方、本実施の形態では、1 ユニットごとに割り当てられた k 本の走査線 W S L のうちの最上段の走査線（走査線 W S L (n)）が、単色座標と混色座標との距離が相対的に最も短い発光色の画素 1 1（ここでは画素 1 1 G）を含む、1 種類または複数種類の発光色の画素 1 1（以下、「特定の画素 1 1」と称する。）（例えば、画素 1 1 G, 1 1 B）に接続されている。これにより、1 ユニット内での信号書き込みのシーケンスにおいて、特

定の画素 1 1 への信号書き込みが最初に行われる。このような信号書き込みシーケンスでは、特定の画素 1 1 への信号書き込みにおいて、タイミングマージンが、後段の信号書き込みによって制限されないので、1 H 期間を大幅に短くしても、タイミングマージンを十分にとることができる。従って、高速駆動時のトランジェントにより輝度むらや色度ずれが生じるのを低減することができる。

【0095】

< 2. 第 1 の実施の形態の変形例 >

以下に、上記実施の形態の表示装置 1 の変形例について説明する。なお、以下では、上記実施の形態の表示装置 1 と共通する構成要素に対しては、同一の符号が付与される。さらに、上記実施の形態の表示装置 1 と共通する構成要素についての説明は、適宜、省略されるものとする。

10

【0096】

上記実施の形態において、各画素のレイアウトが、例えば、図 1 5 に示したようになっていてもよい。図 1 5 では、各走査線 W S L (W S L (n) ~ W S L (n + 3)) が 1 ユニットに含まれる画素行の数と同一の本数の分枝（つまり、2 本の分枝）を有している。各走査線 W S L (W S L (n) ~ W S L (n + 3)) において、各分枝は、当該表示パネル 1 0 内で互いに接続されている。分枝同士の接続点 C 1 は、表示領域 1 0 A 内にあってもよいし、表示領域 1 0 A の周縁（フレーム領域）内にあってもよい。また、表示パネル 1 0 の法線方向から見たときに、同一ユニット内において、各走査線 W S L は、他の走査線 W S L と交差している。さらに、図 1 5 では、各電源線 D S L (D S L (j) 、 D S L (j + 1)) についても、1 ユニットに含まれる画素行の数と同一の本数の分枝（つまり、2 本の分枝）を有している。各電源線 D S L (D S L (j) 、 D S L (j + 1)) においても、各分枝は、当該表示パネル 1 0 内で互いに接続されている。分枝同士の接続点 C 2 は、表示領域 1 0 A 内にあってもよいし、表示領域 1 0 A の周縁（フレーム領域）内にあってもよい。このように、各走査線 W S L や各電源線 D S L に分枝を設けることにより、各走査線 W S L の間隔や、各電源線 D S L の間隔を広くすることができる。その結果、配線レイアウトが容易となる。

20

【0097】

< 3. 第 2 の実施の形態 >

[構成]

30

図 1 6 は、本技術の第 2 の実施の形態に係る表示装置 1 における各表示画素 1 4 のレイアウトの一例を表わしたものである。本実施の形態では、表示画素 1 4 が、発光色の互いに異なる 4 種類以上の画素 1 1 で構成されている。例えば、図 1 6、図 1 7 に示したように、表示画素 1 4 が、発光色の互いに異なる 4 種類の画素 1 1 R、1 1 G、1 1 B、1 1 W で構成されている。図 1 6、図 1 7 は、列方向に互いに隣接する 2 つの表示画素 1 4 における回路構成の一例を表したものである。図 1 6 は、n 行目 ($1 \leq n < N$ 、N は表示画素行の総数 (偶数)) および n + 1 行目の表示画素行における各表示画素 1 4 の回路構成の一例を表したものである。図 1 7 は、n + 2 行目および n + 3 行目の表示画素行における各表示画素 1 4 の回路構成の一例を表したものである。

【0098】

40

このとき、発光色の種類の数は 4 である。ここで、画素 1 1 W は、白色光を発する画素であり、他の画素 1 1 R、1 1 G、1 1 B と同様の構成となっている。なお、本実施の形態において、画素 1 1 W の代わりに、黄色光を発する画素 1 1 Y が設けられていてもよい。各表示画素 1 4 において、4 つの画素 1 1 は、いわゆる田の字配列 (square4) となっており、2 × 2 のマトリクスで配置されている。また、各表示画素 1 4 において、4 つの画素 1 1 は共通の色配列となっている。例えば、図 1 6 に示したように、田の字配列の左上に画素 1 1 R が配置され、田の字配列の左下に画素 1 1 G が配置され、田の字配列の右下に画素 1 1 B が配置され、田の字配列の右上に画素 1 1 W が配置されている。

【0099】

本実施の形態において、1 表示画素行とは、表示画素 1 4 を基準として考えるものとする

50

る。複数の走査線WSLは、 k 本 ($k \geq 2$) の表示画素行を1ユニットとしたときに1ユニットごとに k 本ずつ割り当てられている。1ユニットに含まれる表示画素行の数は2以上、発光色の種類の数以下である。具体的には、複数の走査線WSLは、2本の表示画素行を1ユニットとしたときに1ユニットごとに2本ずつ割り当てられている。従って、1ユニットに含まれる表示画素行の数は2であり、1ユニットに含まれる走査線WSLの数も2である。走査線WSLの総数は、表示画素行の総数と等しくなっており、 N 本となっている。なお、図3中の n は、1以上、 $N/2$ 以下の正の整数であり、図3中のWSL(n)は、 n 番目 (n 行目) の走査線WSLを意味している。

【0100】

各走査線WSLは、1ユニット内で同一発光色の複数の画素11に接続されている。具体的には、1ユニットに含まれる2本の走査線WSL(n)、WSL($n+1$)において、走査線WSL(n)は、1ユニットに含まれる複数の画素11Gおよび複数の画素11Wに接続されており、走査線WSL($n+1$)は、1ユニットに含まれる複数の画素11Rおよび複数の画素11Bに接続されている。また、各走査線WSLは、1ユニット内で同一発光色の全ての画素11に接続されている。具体的には、1ユニットに含まれる2本の走査線WSL(n)、WSL($n+1$)において、走査線WSL(n)は、1ユニット内の全ての画素11Gおよび全ての画素11Wに接続されており、走査線WSL($n+1$)は、1ユニット内の全ての画素11Rおよび全ての画素11Bに接続されている。1ユニット内で行が互いに異なり、かつ列方向において互いに隣接する2つの表示画素14において、走査線WSLが共有される2種類の発光色の画素11の発光色の組み合わせが互いに等しくなっている。

【0101】

各走査線WSL (WSL(n)~WSL($n+3$))は、1表示画素行に含まれるサブピクセル行の数と同一の本数の分枝 (つまり、2本の分枝 (第1配線、第2配線)) を有している。各第1配線は、1ユニット内の各表示画素行における上段のサブピクセル行に対して1本ずつ割り当てられている。各第1配線は、1ユニット内で同一発光色の複数の画素11に接続されている。各第2配線は、1ユニット内の各表示画素行における下段のサブピクセル行に対して1本ずつ割り当てられている。各第2配線は、第1配線に接続された画素11の発光色とは異なる発光色であって、かつ1ユニット内で同一発光色の複数の画素11に接続されている。各走査線WSL (WSL(n)~WSL($n+3$))において、各分岐は、当該表示パネル10内で互いに接続されている。分枝同士の接続点C1は、表示領域10A内にあってもよいし、表示領域10Aの周縁 (フレーム領域) 内にあってもよい。また、表示パネル10の法線方向から見たときに、同一ユニット内において、各走査線WSLは、他の走査線WSLと交差している。各走査線WSLの分岐は、田の字配列の中央を横断している。書込トランジスタTr2のゲート電極14Aは、走査線WSLの分岐に接続されている。

【0102】

複数の電源線DSLは、1ユニットごとに1本ずつ割り当てられている。従って、1ユニットに含まれる電源線DSLの数は1である。電源線DSLの総数は、表示画素行の総数の半分に相当しており、 $J (=N/2)$ 本となっている。なお、図16中の j は、1以上、 $N/2$ 以下の正の整数であり、図16中のDSL(j)は、 j 番目の電源線DSLを意味している。各電源線DSLは、1ユニット内の全ての画素11に接続されている。具体的には、1ユニットに含まれる1本の電源線DSLは、1ユニットに含まれる全ての画素11 (11R, 11G, 11B, 11W) に接続されている。

【0103】

さらに、図16、図17では、各電源線DSL (DSL(j)、DSL($j+1$)) については、1ユニットに含まれる表示画素行の数と同一の本数の分枝 (つまり、2本の分枝) を有している。各電源線DSL (DSL(j)、DSL($j+1$)) においても、各分岐は、当該表示パネル10内で互いに接続されている。分枝同士の接続点C2は、表示領域10A内にあってもよいし、表示領域10Aの周縁 (フレーム領域) 内にあってもよ

10

20

30

40

50

い。このように、各走査線WSLや各電源線DSLに分枝を設けることにより、各走査線WSLの間隔や、各電源線DSLの間隔を広くすることができる。その結果、配線レイアウトが容易となる。各電源線DSLの分枝は、田の字配列の中央を横断している。

【0104】

複数の信号線DTLは、各表示画素行において表示画素14ごとに2本ずつ割り当てられている。各表示画素行において表示画素14ごとに割り当てられた2本の信号線DTLにおいて、一方の信号線DTLは、走査線WSLが共有されていない2種類の発光色の画素11に接続されており、他方の信号線DTLは、残りの2種類の発光色の画素11に接続されている。以下では、 n 行目および $n+1$ 行目の表示画素行に含まれる複数の表示画素14のうち、列方向に互いに隣接する2つの表示画素14に着目して、上記の接続態様について説明する。なお、上記の2つの表示画素14は、1ユニット内で表示画素行が互いに異なり、かつ列方向に互いに隣接する2つの表示画素14に相当する。

10

【0105】

上記の2つの表示画素14のうち n 行目の表示画素行に含まれる表示画素14には、2本の信号線DTL(m)、DTL($m+2$)が割り当てられている。さらに、上記の2つの表示画素14のうち $n+1$ 行目の表示画素行に含まれる表示画素14には、2本の信号線DTL($m+2$)、DTL($m+3$)が割り当てられている。つまり、1ユニット内で表示画素行が互いに異なり、かつ列方向に互いに隣接する2つの表示画素14において、一方の表示画素14に対しては偶数列目の2本の信号線DTL(m)、DTL($m+2$)が割り当てられ、他方の表示画素14に対しては奇数列目の2本の信号線DTL($m+1$)、DTL($m+3$)が割り当てられている。これにより、信号線DTLの総数が最小限に抑えられている。

20

【0106】

複数の信号線DTLは、列方向において互いに隣接する2つの表示画素14ごとに4本ずつ割り当てられている。従って、信号線DTLの総本数は、 M (M は4の倍数)本となっている。図16において、 m は、1以上、 $M-4$ 以下の正の整数であり、1以外の場合には(4の倍数+1)に相当する数である。従って、図16中のDTL(m)は、 m 番目の信号線DTLを意味している。列方向において互いに隣接する2つの表示画素14には、例えば、4本の信号線DTL(m)、DTL($m+1$)、DTL($m+2$)、DTL($m+3$)が割り当てられている。4本の信号線DTL(m)、DTL($m+1$)、DTL($m+2$)、DTL($m+3$)は、行方向において、この順に並んで配置されている。各表示画素14において、4つの画素11のうち左側の2つの画素11が、行方向から信号線DTL(m)と信号線DTL($m+1$)とによって挟まれている。また、各表示画素14において、4つの画素11のうち右側の2つの画素11が、行方向から信号線DTL($m+2$)と信号線DTL($m+3$)とによって挟まれている。

30

【0107】

また、1ユニット内で表示画素行が互いに異なり、かつ列方向において互いに隣接する2つの表示画素14において、発光色の互いに等しい2つの画素11が共通の2本の信号線DTLの間に配置されている。具体的には、1ユニット内で表示画素行が互いに異なり、かつ列方向において互いに隣接する2つの表示画素14において、2つの画素11Rが2本の信号線DTL(m)、DTL($m+1$)の間に配置されている。同様に、1ユニット内で表示画素行が互いに異なり、かつ互いに隣接する2つの表示画素14において、2つの画素11Gが2本の信号線DTL(m)、DTL($m+1$)の間に配置されている。また、1ユニット内で表示画素行が互いに異なり、かつ互いに隣接する2つの表示画素14において、2つの画素11Bが2本の信号線DTL($m+2$)、DTL($m+3$)の間に配置されている。また、1ユニット内で表示画素行が互いに異なり、かつ互いに隣接する2つの表示画素14において、2つの画素11Wが2本の信号線DTL($m+2$)、DTL($m+3$)の間に配置されている。

40

【0108】

上記の2本の信号線DTL(m)、DTL($m+2$)は、それぞれ、走査線WSLが互

50

いに共有されていない2種類の発光色の画素11に接続されている。具体的には、信号線DTL(m)は、走査線WSLが互いに共有されていない2種類の発光色の画素11R, 11Gに接続されており、信号線DTL(m+2)は、走査線WSLが互いに共有されていない2種類の発光色の画素11B, 11Wに接続されている。さらに、上記2つの表示画素14のうちn+1行目の画素行に含まれる表示画素14には、2本の信号線DTL(m+1), DTL(m+3)が割り当てられている。その2本の信号線DTL(m+1), DTL(m+3)は、走査線WSLが互いに共有されていない2種類の発光色の画素11に接続されている。具体的には、信号線DTL(m+1)は、走査線WSLが共有されていない2種類の発光色の画素11R, 11Gに接続されており、信号線DTL(m+3)は、残りの2種類の発光色の画素11B, 11Wに接続されている。

10

【0109】

1ユニット内で表示画素行が互いに異なり、かつ互いに隣接する2つの表示画素14において、走査線WSLが共有される2種類の発光色の画素11の発光色の組み合わせが互いに等しくなっている。さらに、1ユニット内で表示画素行が互いに異なり、かつ互いに隣接する2つの表示画素14においても、発光色の配列は互いに等しくなっている。

【0110】

(発光色の種類について)

次に、1ユニットごとに割り当てられたk本の走査線WSLと、表示画素14に含まれる画素11の発光色の種類との組み合わせについて説明する。さらに、各表示画素行において表示画素14ごとに割り当てられたa本の信号線DTLと、表示画素14に含まれる

20

【0111】

図18は、上述の数1, 2, 3を利用して、表示画素14に含まれる4つの画素11の発光色の色度の座標(単色座標)を、 $u'v'$ 色度図にプロットし直したものである。図18中のA~Dは、1表示画素14に含まれる4つの発光色のうちの任意の2色を使って形成可能な4つの混色の $u'v'$ 色度図における座標(混色座標)のプロットである。具体的には、図18中のAは、画素11Rの発光色(赤色)と、画素11Gの発光色(緑色)との混色の $u'v'$ 色度図における座標のプロットである。図18中のBは、画素11Gの発光色(緑色)と、画素11Bの発光色(青色)との混色の $u'v'$ 色度図における座標のプロットである。図18中のCは、画素11Bの発光色(青色)と、画素11Rの発光色(赤色)との混色の $u'v'$ 色度図における座標のプロットである。図18中のDは、画素11Rの発光色(赤色)と、画素11Wの発光色(白色)との混色の $u'v'$ 色度図における座標のプロットである。図18中のEは、画素11Gの発光色(緑色)と、画素11Wの発光色(白色)との混色の $u'v'$ 色度図における座標のプロットである。図18中のFは、画素11Bの発光色(青色)と、画素11Wの発光色(白色)との混色の $u'v'$ 色度図における座標のプロットである。

30

【0112】

上述したように、各走査線WSLは、1ユニット内で同一発光色の複数の画素11に接続されている。このとき、1ユニットごとに割り当てられたk本の走査線WSLにおいて、最上段の走査線WSL(第1の走査線)は、単色座標と混色座標との距離が相対的に最も短い発光色の画素11(以下、「特定の画素11」と称する。)を含む、1種類または複数種類の発光色の画素11に接続されている。1ユニットごとに割り当てられたk本の走査線WSLにおいて、最上段の走査線WSL(第1の走査線)は、特定の画素11と、単色座標と混色座標との距離が相対的に2番目に短い発光色の画素11とを含む、複数種類の発光色の画素11に接続されていることが好ましい。

40

【0113】

本実施の形態では、単色座標と混色座標との距離が相対的に最も短い発光色の画素11は、図18から、画素11Wであることがわかる。さらに、単色座標と混色座標との距離が相対的に2番目に短い発光色の画素11は、図18から、画素11Gであることがわかる。従って、例えば、1ユニットごとに割り当てられた2本の走査線WSLにおいて、最

50

上段の走査線WSL（第1の走査線）は、単色座標と混色座標との距離が相対的に最も短い画素11Wを含む、2種類の発光色の画素11に接続されている。なお、1ユニットごとに割り当てられた2本の走査線WSLにおいて、最上段の走査線WSL（第1の走査線）は、単色座標と混色座標との距離が相対的に最も短い画素11Wと、相対的に2番目に短い画素11Gとを含む、2種類の発光色の画素11に接続されていることが好ましい。後段の走査線WSLは、2種類の発光色の画素11R、11Bに接続されている。

【0114】

また、上述したように、各表示画素行において表示画素14ごとに割り当てられたa本（ $2 \leq a < (1 \text{ 画素中のサブピクセルの総数})$ ）の信号線DTLにおいて、1本の信号線DTL（第1の信号線）は、1表示画素14において走査線WSLが共有されていない2種類の発光色の画素11に接続されている。さらに、各表示画素行において表示画素14ごとに割り当てられたa本（ $2 \leq a < (1 \text{ 画素中のサブピクセルの総数})$ ）の信号線DTLにおいて、別の1本の信号線DTL（第2の信号線）は、1表示画素14において走査線WSLが共有されていない2種類の発光色の画素11に接続されている。

【0115】

本実施の形態では、各表示画素行において表示画素14ごとに2本の信号線DTLが割り当てられおり、さらに、1表示画素14に含まれる発光色の種類の数4である。従って、一方の信号線DTL（第1の信号線）は、単色座標と混色座標との距離が相対的に最も短い発光色の画素11以外の2種類の発光色の画素11に接続されている。さらに、一方の信号線DTL（第1の信号線）は、単色座標と前記混色座標との距離が相対的に2番目に短い発光色のサブピクセルを含む、2種類の発光色のサブピクセルに接続されていることが好ましい。なお、一方の信号線DTL（第1の信号線）は、他方の信号線DTL（第2の信号線）に未接続の2種類の発光色の画素11に接続されている。一方、他方の信号線DTL（第2の信号線）は、単色座標と混色座標との距離が相対的に最も短い発光色の画素11を含む、2種類の発光色の画素11に接続されている。

【0116】

本実施の形態では、単色座標と混色座標との距離が相対的に最も短い発光色の画素11は、図18から、画素11Wであることがわかる。さらに、単色座標と混色座標との距離が相対的に2番目に短い発光色の画素11は、図18から、画素11Gであることがわかる。従って、一方の信号線DTL（第1の信号線）は、画素11W以外の2種類の発光色の画素11に接続されている。さらに、一方の信号線DTL（第1の信号線）は、画素11Gを含む、2種類の発光色の画素11に接続されていることが好ましい。一方、他方の信号線DTL（第2の信号線）は、画素11Wを含む、2種類の発光色の画素11に接続されている。さらに、他方の信号線DTL（第2の信号線）は、画素11Wと、画素11Bまたは画素11Rとを含む、2種類の発光色の画素11に接続されていることが好ましい。

【0117】

（駆動回路20）

以下では、上記実施の形態とは異なる点について、主に説明する。

【0118】

信号線駆動回路23は、走査線WSL（n）の選択に対応して信号電圧V（n）を出力し、走査線WSL（n+1）の選択に対応して信号電圧V（n+1）を出力するようになっている。同様に、信号線駆動回路23は、走査線WSL（n+2）の選択に対応して信号電圧V（n+2）を出力し、走査線WSL（n+3）の選択に対応して信号電圧V（n+3）を出力するようになっている。ここで、走査線駆動回路24は、信号電圧の書き込みに際して、走査線WSLを、WSL（n+1）、WSL（n）、WSL（n+3）、WSL（n+2）の順に選択するようになっている。そのため、信号線駆動回路23は、信号電圧の書き込みに際して、信号電圧Vsigを、V（n+1）、V（n）、V（n+3）、V（n+2）の順に出力するようになっている。

【0119】

信号線駆動回路 23 は、例えば、図 7 に示したように、走査線駆動回路 24 により同時に選択された複数の画素 11 のうち、 n 表示画素行に属する複数の画素 11 に対しては、偶数番目の信号線 DTL (m)、DTL ($m+2$) を介して、 n 表示画素行に対応する電圧 V_{sig} ($V_{sig}(n, m)$, $V_{sig}(n, m+2)$) を供給するようになっている。さらに、信号線駆動回路 23 は、走査線駆動回路 24 により同時に選択された複数の画素 11 のうち、 $n+1$ 表示画素行に属する複数の画素 11 に対しては、奇数番目の信号線 DTL ($m+1$)、DTL ($m+3$) を介して、 $n+1$ 表示画素行に対応する電圧 V_{sig} ($V_{sig}(n+1, m+1)$, $V_{sig}(n+1, m+3)$) を供給するようになっている。

【0120】

つまり、信号線駆動回路 23 は、信号書き込み時に、走査線 WSL (n) が選択されたときには、偶数番目の信号線 DTL (m)、DTL ($m+2$) に対して n 表示画素行に対応する電圧 $V_{sig}(n, m)$, $V_{sig}(n, m+2)$ を出力すると同時に、奇数番目の信号線 DTL ($m+1$)、DTL ($m+3$) に対して $n+1$ 表示画素行に対応する電圧 $V_{sig}(n, m+1)$, $V_{sig}(n, m+3)$ を出力するようになっている。また、信号線駆動回路 23 は、信号書き込み時に、走査線 WSL ($n+1$) が選択されたときには、偶数番目の信号線 DTL (m)、DTL ($m+2$) に対して $n+1$ 表示画素行に対応する電圧 $V_{sig}(n+1, m)$, $V_{sig}(n+1, m+2)$ を出力すると同時に、奇数番目の信号線 DTL ($m+1$)、DTL ($m+3$) に対して n 表示画素行に対応する電圧 $V_{sig}(n, m+1)$, $V_{sig}(n, m+3)$ を出力するようになっている。なお、信号線駆動回路 23 は、 $n+2$ 画素行および $n+3$ 画素行についても、 n 画素行および $n+1$ 画素行と同様にして、電圧を印加するようになっている。

【0121】

走査線駆動回路 24 により同時に選択された複数の画素 11 のうち、偶数番目の信号線 DTL (m) と、奇数番目の信号線 DTL ($m+1$) との間に配置された 2 つの画素 11 は、発光色の互いに等しい画素である。同様に、走査線駆動回路 24 により同時に選択された複数の画素 11 のうち、偶数番目の信号線 DTL ($m+2$) と、奇数番目の信号線 DTL ($m+3$) との間に配置された 2 つの画素 11 も、発光色の互いに等しい画素である。従って、信号線駆動回路 23 は、走査線 WSL (n) が選択されたときに、信号線 DTL (m)、DTL ($m+1$) に対して、発光色の互いに等しい画素に対応する電圧 V_{sig} を出力すると同時に、信号線 DTL ($m+2$)、DTL ($m+3$) に対して、別の種類で発光色の互いに等しい画素に対応する電圧 V_{sig} を出力するようになっている。例えば、信号線駆動回路 23 は、走査線 WSL (n) が選択されたときに、信号線 DTL (m)、DTL ($m+1$) に対して、画素 11R に対応する電圧 V_{sig} を出力すると同時に、信号線 DTL ($m+2$)、DTL ($m+3$) に対して、画素 11W に対応する電圧 V_{sig} を出力するようになっている。

【0122】

ところで、駆動回路 20 は、Vth 補正および信号書き込みをユニットごと一括して実行するようになっている。具体的には、駆動回路 20 は、第 1 のユニットで、Vth 補正および信号書き込みを実行した後、第 1 のユニットと列方向において隣接する第 2 のユニットで、Vth 補正および信号書き込みを実行するようになっている。つまり、駆動回路 20 は、一連の動作 (Vth 補正および信号書き込み) を、ユニット単位で順次、実行するようになっている。

【0123】

走査線駆動回路 24 は、Vth 補正に際しては、1 ユニットに含まれる全ての走査線 WSL を、同時に (または同時期に) 選択するようになっている。具体的には、走査線駆動回路 24 は、Vth 補正に際しては、1 ユニットに含まれる 2 本の走査線 WSL (n)、WSL ($n+1$) を、同時に (または同時期に) 選択するようになっている。つまり、走査線駆動回路 24 は、Vth 補正に際しては、 n 表示画素行の上段のサブピクセル行に含まれる複数の画素 11 (例えば画素 11G, 11W) と、 n 表示画素行の下段のサブピク

セル行に含まれる複数の画素 1 1（例えば画素 1 1 R, 1 1 B）と、 $n + 1$ 表示画素行の上段のサブピクセル行に含まれる複数の画素 1 1（例えば画素 1 1 G, 1 1 W）と、 $n + 1$ 表示画素行の下段のサブピクセル行に含まれる複数の画素 1 1（例えば画素 1 1 R, 1 1 B）とを、同時に（または同時期に）選択するようになっている。

【0124】

さらに、走査線駆動回路 2 4 は、信号書き込みに際しては、1 ユニットに含まれる複数の走査線 W S L を、一連の動作（V t h 補正および信号書き込み）をユニット単位で順次実行する際の走査方向（以下、「ユニット走査方向」と称する。）とは反対方向に順次、選択するようになっている。ユニット走査方向は、例えば、表示パネル 1 0 の上端側から下端側に向かう方向と平行な方向である。従って、走査線駆動回路 2 4 は、1 表示画素行における各画素 1 1 への信号書き込みを、第 2 配線に接続された各画素 1 1 に対して実行したのち、第 1 配線に接続された各画素 1 1 に対して実行するようになっている。なお、ユニット走査方向は、表示パネル 1 0 の下端側から上端側に向かう方向と平行な方向であってもよい。このときは、図示しないが、走査線駆動回路 2 4 は、1 表示画素行における各画素 1 1 への信号書き込みを、第 1 配線に接続された各画素 1 1 に対して実行したのち、第 2 配線に接続された各画素 1 1 に対して実行するようになっている。

10

【0125】

走査線駆動回路 2 4 は、信号書き込みに際して、1 ユニットに含まれる 2 つの走査線 W S L (n), W S L (n + 1) を、走査線 W S L (n + 1)、走査線 W S L (n) の順に選択するようになっている。そのため、走査線駆動回路 2 4 は、信号書き込みに際して、走査線 W S L (n + 1) を介して、 n 表示画素行の下段のサブピクセル行に含まれる複数の画素 1 1 と、 $n + 1$ 表示画素行の下段のサブピクセル行に含まれる複数の画素 1 1 とを同時に選択したのち、走査線 W S L (n) を介して、 n 表示画素行の上段のサブピクセル行に含まれる複数の画素 1 1 と、 $n + 1$ 表示画素行の上段のサブピクセル行に含まれる複数の画素 1 1 とを、同時に選択するようになっている。

20

【0126】

走査線駆動回路 2 4 は、例えば、2 種類の電圧（V o n、V o f f）を出力可能となっている。具体的には、走査線駆動回路 2 4 は、駆動対象の画素 1 1 へ、走査線 W S L を介して 2 種類の電圧（V o n、V o f f）を供給し、書込トランジスタ T r 2 のオンオフ制御を行うようになっている。ここで、V o n は、書込トランジスタ T r 2 のオン電圧以上の値となっている。V o n は、後述の「V t h 補正準備期間の後半部分」や、「V t h 補正期間」、「信号書込・ μ 補正期間」などに走査線駆動回路 2 4 から出力される書込パルスの波高値である。V o f f は、書込トランジスタ T r 2 のオン電圧よりも低い値となっており、かつ、V o n よりも低い値となっている。V o f f は、後述の「V t h 補正準備期間の前半部分」や、「発光期間」などに走査線駆動回路 2 4 から出力される書込パルスの波高値である。

30

【0127】

電源線駆動回路 2 5 は、例えば、制御信号 2 1 A の入力に応じて（同期して）、複数の電源線 D S L を所定の単位ごとに順次選択するものである。電源線駆動回路 2 5 は、例えば、2 種類の電圧（V c c、V s s）を出力可能となっている。電源線駆動回路 2 5 は、走査線駆動回路 2 4 により選択された画素 1 1 を含む 1 ユニット全体（つまり 1 ユニットに含まれる全ての画素 1 1）へ、電源線 D S L を介して 2 種類の電圧（V c c、V s s）を供給するようになっている。ここで、V s s は、有機 E L 素子 1 3 の閾値電圧 V e l と、有機 E L 素子 1 3 のカソード電圧 V c a t h とを足し合わせた電圧（V e l + V c a t h）よりも低い電圧値である。V c c は、電圧（V e l + V c a t h）以上の電圧値である。

40

【0128】

次に、図 8、図 1 9 を参照しつつ、本変形例の表示装置 1 における V t h 補正と信号書込み・ μ 補正の走査の一例について説明する。なお、図 1 9 は、列方向に互いに隣接する 2 つのユニットにおける V t h 補正と信号書込み・ μ 補正の走査の一例を表したものであ

50

る。

【0129】

なお、以下では、1ユニット内の全ての画素11を、接続された走査線WSLごとにグループに分けたものとして、説明を行う。本変形例では、1ユニット内の全ての画素11Gおよび全ての画素11Wが1つのグループとなり、1ユニット内の全ての画素11Rおよび全ての画素11Bが1つのグループとなる。そこで、以下では、走査線WSL(n)、WSL(n+1)が接続されたユニット内の全ての画素11Gおよび全ての画素11Wが第1のグループとなっており、そのユニット内の全ての画素11Rおよび全ての画素11Bが第2のグループとなっているものとする。さらに、走査線WSL(n+2)、WSL(n+3)が接続されたユニット内の全ての画素11Gおよび全ての画素11Wが第3のグループとなっており、そのユニット内の全ての画素11Rおよび全ての画素11Bが第4のグループとなっているものとする。

10

【0130】

駆動回路20は、Vth補正を1ユニット内の全てのグループ（第1および第2のグループ）に対して同時期に行ったのち、信号書き込みを、そのユニット内の全てのグループ（第1および第2のグループ）に対して、グループごとに順番に行う。このとき、駆動回路20は、信号書き込みを、1画素行内の上段に配置された画素11からなる第1のグループに対して行ったのち、1画素行内の下段に配置された画素11からなる第2のグループに対して行う。

20

【0131】

その後、駆動回路20は、Vth補正を次のユニット内の全てのグループ（第3および第4のグループ）に対して同時期に行ったのち、信号書き込みを、そのユニット内の全てのグループ（第3および第4のグループ）に対して、グループごとに順番に行う。このとき、駆動回路20は、上記と同様に、信号書き込みを、1画素行内の上段に配置された画素11からなる第1のグループに対して行ったのち、1画素行内の下段に配置された画素11からなる第2のグループに対して行う。

【0132】

このとき、駆動回路20は、1つのユニットに対して、1水平期間(1H)内でVth補正を行ったのち、次の1水平期間(1H)内で、信号書き込みを行う。つまり、駆動回路20は、1つのユニットに対して、2水平期間(2H)を連続して使って、Vth補正と、信号書き込みとを行う。

30

【0133】

さらに、駆動回路20は、グループごとに信号書き込みを行う際に、そのグループに含まれる全ての画素11に対して信号書き込みを同時に行う。具体的には、駆動回路20は、走査線WSL(n)が選択されたときには、各信号線DTLに対して、上述の電圧V(n)を出力する。すなわち、駆動回路20は、走査線WSL(n)が選択されたときには、偶数番目の信号線DTL(DTL(m)、DTL(m+2))に対してn画素行目のVsig(Vsig(n, m), Vsig(n, m+2))を出力すると同時に、奇数番目の信号線DTL(m+1), DTL(m+3)に対してn+1画素行に対応する電圧Vsig(Vsig(n+1, m+1), Vsig(n+1, m+3))を出力する。さらに、駆動回路20は、走査線WSL(n+1)が選択されたときには、偶数番目の信号線DTL(DTL(m)、DTL(m+2))に対してn+1画素行目のVsig(Vsig(n+1, m), Vsig(n+1, m+2))を出力すると同時に、奇数番目の信号線DTL(m+1), DTL(m+3)に対してn画素行に対応する電圧Vsig(Vsig(n, m+1), Vsig(n, m+3))を出力する。

40

【0134】

そのようにした結果、同一色の各画素11Gにおいて、Vth補正が終わってからμ補正が始まるまでの期間（いわゆる、待ち時間Δt1）が一致するので、複数の画素11Rにおける待ち時間Δt1が画素行ごとに一致する。本実施の形態では、各画素11Wの待ち時間Δt2は、各画素11Gの待ち時間Δt1と等しい。そのため、同一色の各画素1

50

1 Wにおいても、待ち時間 Δt_2 が一致するので、複数の画素 1 1 Wにおける待ち時間 Δt_2 が画素行ごとに一致する。さらに、同一色の各画素 1 1 Rにおいても、待ち時間 Δt_3 が一致するので、複数の画素 1 1 Rにおける待ち時間 Δt_3 が画素行ごとに一致する。本実施の形態では、各画素 1 1 Bの待ち時間 Δt_4 は、各画素 1 1 Rの待ち時間 Δt_3 と等しい。そのため、同一色の各画素 1 1 Bにおいても、待ち時間 Δt_4 が一致するので、複数の画素 1 1 Bにおける待ち時間 Δt_4 が画素行ごとに一致する。なお、画素 1 1 G, 1 1 Wの待ち時間 Δt_1 , Δt_2 と、画素 1 1 R, 1 1 Bの待ち時間 Δt_3 , Δt_4 とが互いに異なるが、これは色再現性に若干影響するだけであり、色むらに影響することはない。

【0135】

10

また、駆動回路 20 は、1 ユニットにおける各画素 1 1 への信号電圧の書き込みを、単色座標と混色座標との距離が相対的に最も短い発光色の画素 1 1（例えば画素 1 1 W）を含む、1 種類または複数種類の発光色の画素 1 1（例えば画素 1 1 W, 1 1 G）に対して行ったのち、それらの画素 1 1 とは発光色の種類の異なる、複数種類の発光色の画素 1 1（例えば画素 1 1 R, 1 1 B）に対して行う。これにより、1 ユニット内での信号書き込みのシーケンスにおいて、単色座標と混色座標との距離が相対的に最も短い発光色の画素 1 1 への信号書き込みを、最初に行うことができる。

【0136】

[効果]

次に、本実施の形態に係る表示装置 1 の効果について説明する。本実施の形態では、各画素 1 1 の選択に用いられる各走査線 W S L が、1 ユニット内で同一発光色の複数の画素 1 1 に接続されている。さらに、各画素 1 1 への駆動電流の供給に用いられる各電源線 D S L が、1 ユニット内の全ての画素 1 1 に接続されている。これにより、上述したように、V t h 補正を、1 ユニット内の全てのグループに対して同時期に行ったのち、信号電圧の書き込みを、1 ユニット内の全てのグループに対してグループごとに行うことができる。その結果、同一発光色の各画素 1 1 において、V t h 補正が終わってから μ 補正が始まるまでの待ち時間が一致するので、同一発光色の画素 1 1 における待ち時間がラインごとに一致する。従って、V t h 補正を束ねたことによる輝度ムラの発生を低減することができる。

20

【0137】

30

また、本実施の形態では、1 ユニットごとに割り当てられた k 本の走査線 W S L のうちの最上段の走査線（走査線 W S L (n)）が、単色座標と混色座標との距離が相対的に最も短い発光色の画素 1 1（ここでは画素 1 1 G）を含む、1 種類または複数種類の発光色の画素 1 1（以下、「特定の画素 1 1」と称する。）に接続されている。これにより、1 ユニット内での信号書き込みのシーケンスにおいて、特定の画素 1 1 への信号書き込みが最初に行われる。このような信号書き込みシーケンスでは、特定の画素 1 1 への信号書き込みにおいて、タイミングマージンが、後段の信号書き込みによって制限されないので、1 H 期間を大幅に短くしても、タイミングマージンを十分にとることができる。従って、高速駆動時のトランジェントにより輝度むらや色度ずれが生じるのを低減することができる。

40

【0138】

< 4. 各実施の形態に共通の変形例 >

上記各実施の形態では、走査線 W S L に、分枝が設けられていたり、サブピクセル行の互いに異なる複数の画素 1 1 が接続されていたりした。しかし、図 20、図 21 に示したように、走査線 W S L には、分枝が設けられておらず、さらに、サブピクセル行の互いに等しい複数の画素 1 1 だけが接続されていてもよい。

【0139】

< 5. 適用例 >

以下、上記各実施の形態およびその変形例（以下、「上記実施の形態等」と称する。）で説明した表示装置 1 の適用例について説明する。上記実施の形態等の表示装置 1 は、テ

50

レビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

【0140】**(適用例1)**

図22は、上記実施の形態等の表示装置1が適用されるテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル310およびフィルターガラス320を含む映像表示画面部300を有しており、この映像表示画面部300は、上記実施の形態等の表示装置1により構成されている。

10

【0141】**(適用例2)**

図23は、上記実施の形態等の表示装置1が適用されるデジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部410、表示部420、メニュースイッチ430およびシャッターボタン440を有しており、その表示部420は、上記実施の形態等の表示装置1により構成されている。

【0142】**(適用例3)**

図24は、上記実施の形態等の表示装置1が適用されるノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体510、文字等の入力操作のためのキーボード520および画像を表示する表示部530を有しており、その表示部530は、上記実施の形態等の表示装置1により構成されている。

20

【0143】**(適用例4)**

図25は、上記実施の形態等の表示装置1が適用されるビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部610、この本体部610の前方側面に設けられた被写体撮影用のレンズ620、撮影時のスタート/ストップスイッチ630および表示部640を有しており、その表示部640は、上記実施の形態等の表示装置1により構成されている。

30

【0144】**(適用例5)**

図26は、上記実施の形態等の表示装置1が適用される携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体710と下側筐体720とを連結部（ヒンジ部）730で連結したものであり、ディスプレイ740、サブディスプレイ750、ピクチャーライト760およびカメラ770を有している。そのディスプレイ740またはサブディスプレイ750は、上記実施の形態等の表示装置1により構成されている。

【0145】

以上、実施の形態および適用例を挙げて本技術を説明したが、本技術は上記実施の形態等に限定されるものではなく、種々変形が可能である。

40

【0146】

例えば、上記実施の形態等では、アクティブマトリクス駆動のための画素回路12の構成は、上記各実施の形態で説明したものに限られず、必要に応じて容量素子やトランジスタを追加してもよい。その場合、画素回路12の変更に応じて、上述した信号線駆動回路23や、走査線駆動回路24、電源線駆動回路25などの他に、必要な駆動回路を追加してもよい。

【0148】

また、上記実施の形態等では、信号線駆動回路23、走査線駆動回路24および電源線駆動回路25の駆動をタイミング生成回路21および映像信号処理回路22が制御していたが、他の回路がこれらの駆動を制御するようにしてもよい。また、信号線駆動回路23

50

、走査線駆動回路 24 および電源線駆動回路 25 の制御は、ハードウェア（回路）で行われていてもよいし、ソフトウェア（プログラム）で行われていてもよい。

【0149】

また、上記実施の形態等では、書込トランジスタ T_{r2} のソースおよびドレインや、駆動トランジスタ T_{r1} のソースおよびドレインが固定されたものとして説明されていたが、いうまでもなく、電流の流れる向きによっては、ソースとドレインの対向関係が上記の説明とは逆になることがある。そのときは、上記実施の形態等において、ソースをドレインと読み替えるとともに、ドレインをソースと読み替えてもよい。

【0150】

また、上記実施の形態等では、書込トランジスタ T_{r2} および駆動トランジスタ T_{r1} が n チャネル MOS 型の TFT により形成されているものとして説明されていたが、書込トランジスタ T_{r2} および駆動トランジスタ T_{r1} の少なくとも一方が p チャネル MOS 型の TFT により形成されていてもよい。なお、駆動トランジスタ T_{r1} が p チャネル MOS 型の TFT により形成されている場合には、上記実施の形態等において、有機 EL 素子 13 のアノードがカソードとなり、有機 EL 素子 13 のカソードがアノードとなる。また、上記実施の形態等において、書込トランジスタ T_{r2} および駆動トランジスタ T_{r1} は、常に、アモルファスシリコン型の TFT やマイクロシリコン型の TFT である必要はなく、例えば、低温ポリシリコン型の TFT や、酸化物半導体 TFT であってもよい。

【符号の説明】

【0151】

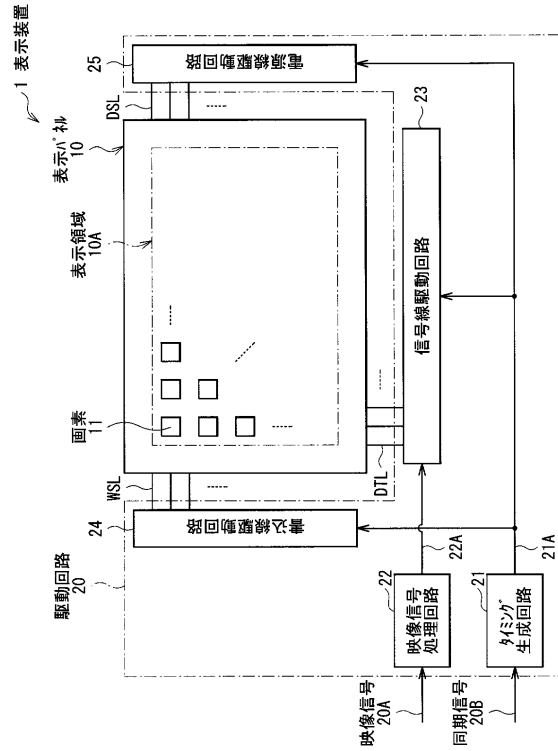
1…表示装置、10…表示パネル、10A…表示領域、11, 11R, 11G, 11B, 11W…画素、12…画素回路、13…有機 EL 素子、14…表示画素、20…駆動回路、20A…映像信号、20B…同期信号、21…タイミング生成回路、21A…制御信号、22…映像信号処理回路、22A…映像信号、23…信号線駆動回路、24…走査線駆動回路、25…電源線駆動回路、300…映像表示画面部、310…フロントパネル、320…フィルターガラス、410…発光部、420, 530, 640…表示部、430…メニュースイッチ、440…シャッターボタン、510…本体、520…キーボード、610…本体部、620…レンズ、630…スタート／ストップスイッチ、710…上側筐体、720…下側筐体、730…連結部、740…ディスプレイ、750…サブディスプレイ、760…ピクチャーライト、770…カメラ、Cs…保持容量、DTL, DTL(m), DTL(m+1), DTL(m+2), DTL(m+3)…信号線、DSL, DSL(j), DSL(j+1)…電源線、GND…グラウンド線、Ids…電流、 T_{r1} …駆動トランジスタ、 T_{r2} …書込トランジスタ、Vcc, Vofs, Von, Vsig, Vss…電圧、Vg…ゲート電圧、Vgs…ゲートーソース間電圧、Voled…有機 EL 素子の電圧、Vs…ソース電圧、Vth…閾値電圧、WSL, WSL(n), WSL(n+1), WSL(n+2), WSL(n+3), WSL(n+4)…走査線、 Δt , Δt_1 , Δt_2 , Δt_3 , Δt_4 …待ち時間。

10

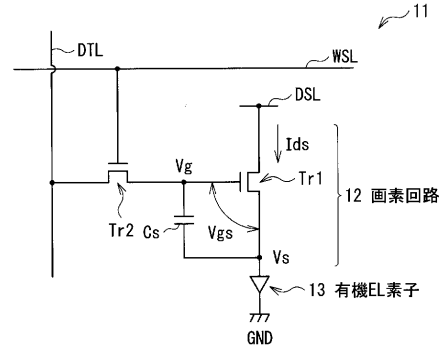
20

30

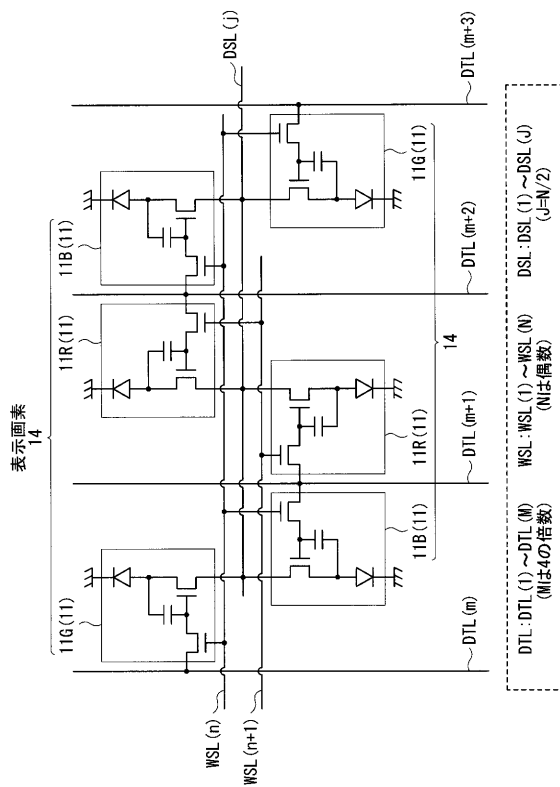
【図 1】



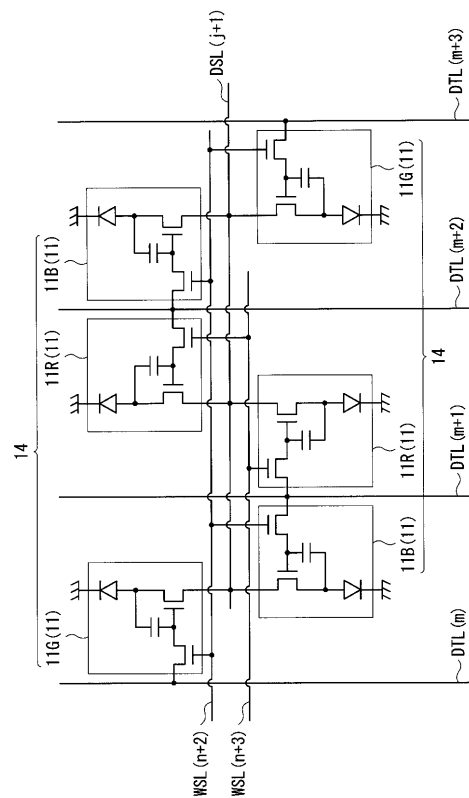
【図 2】



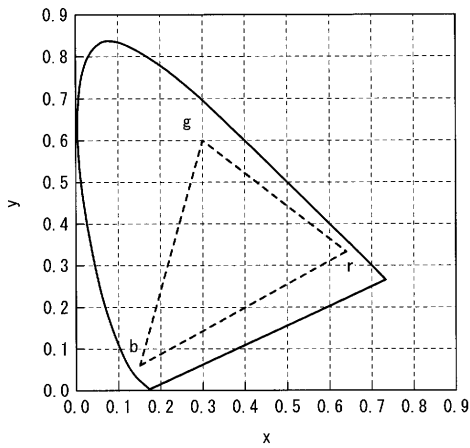
【図 3】



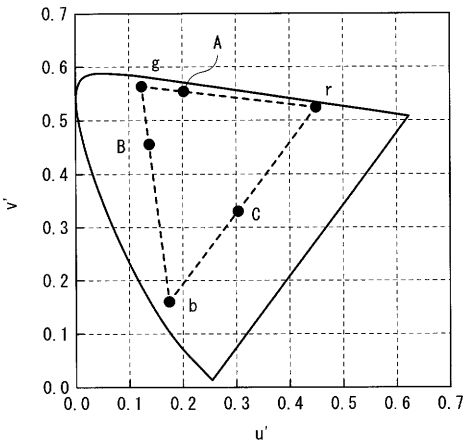
【図 4】



【図 5】



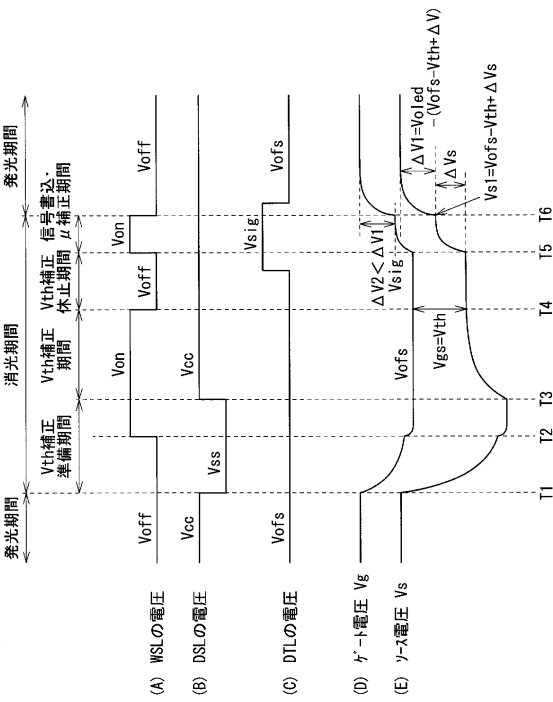
【図 6】



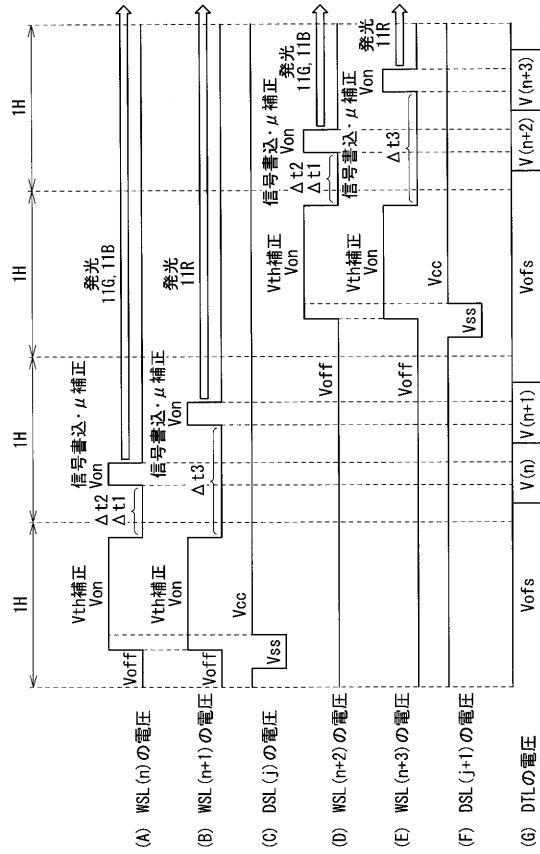
【図 7】

	DTL (m)	DTL (m+1)	DTL (m+2)	DTL (m+3)
V(n)	Vsig(n, m)	Vsig(n+1, m+1)	Vsig(n, m+2)	Vsig(n+1, m+3)
V(n+1)	Vsig(n+1, m)	Vsig(n, m+1)	Vsig(n+1, m+2)	Vsig(n, m+3)
V(n+2)	Vsig(n+2, m)	Vsig(n+3, m+1)	Vsig(n+2, m+2)	Vsig(n+3, m+3)
V(n+3)	Vsig(n+3, m)	Vsig(n+2, m+1)	Vsig(n+3, m+2)	Vsig(n+2, m+3)

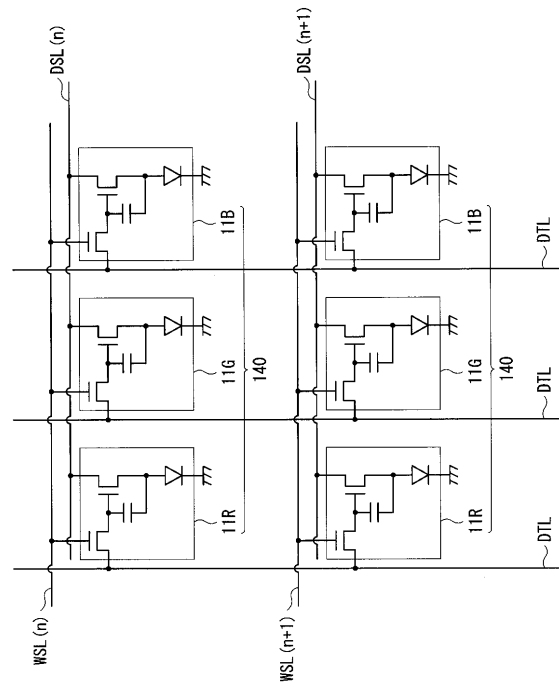
【図 8】



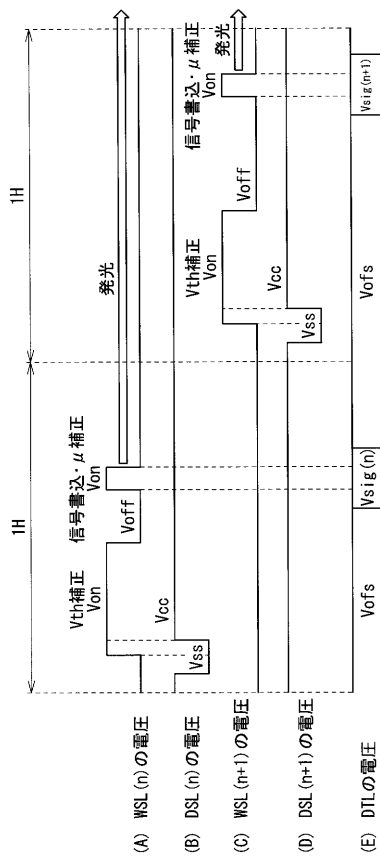
【図 9】



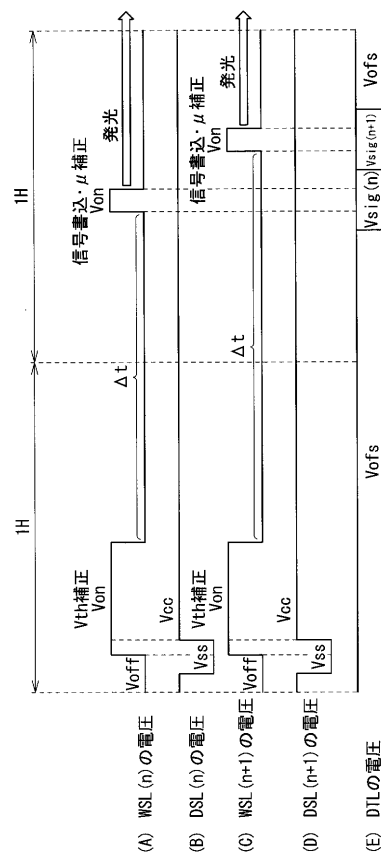
【図 10】



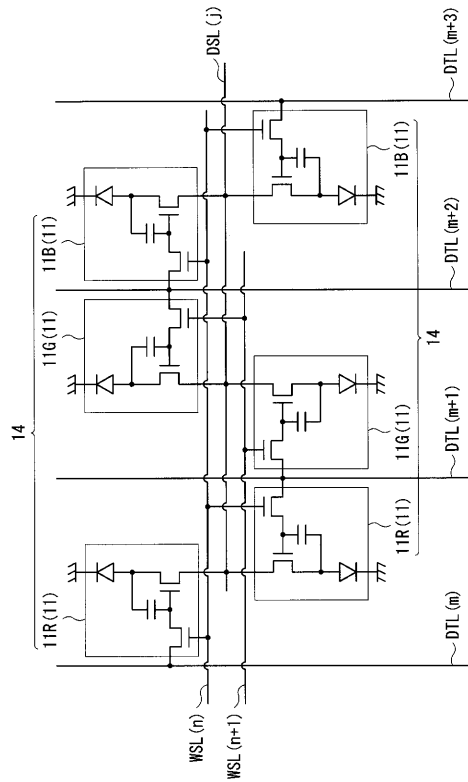
【図 11】



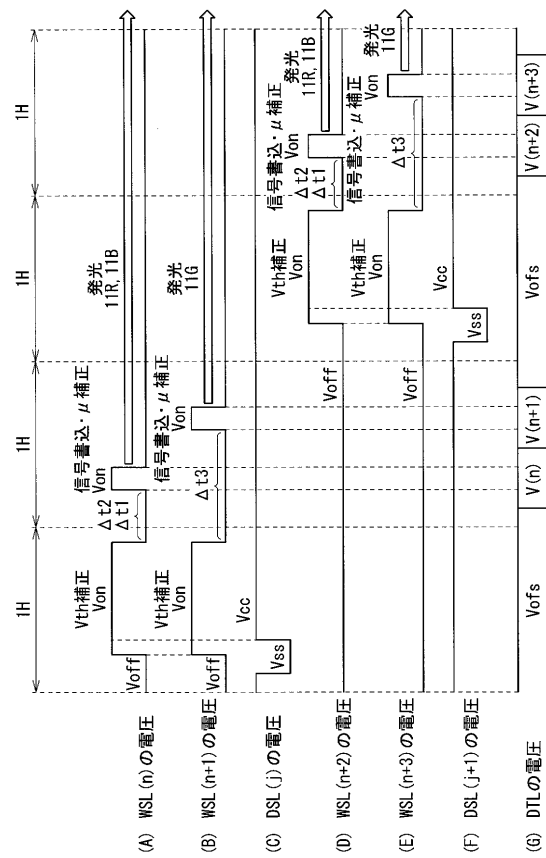
【図 12】



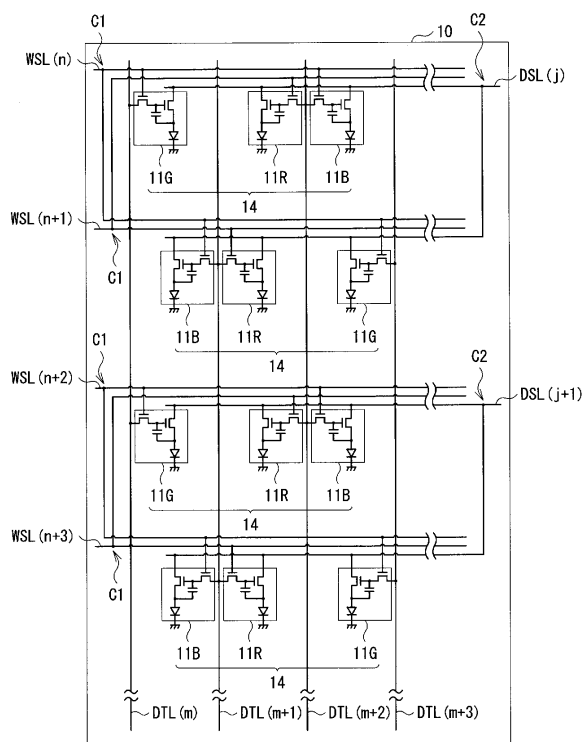
【図 13】



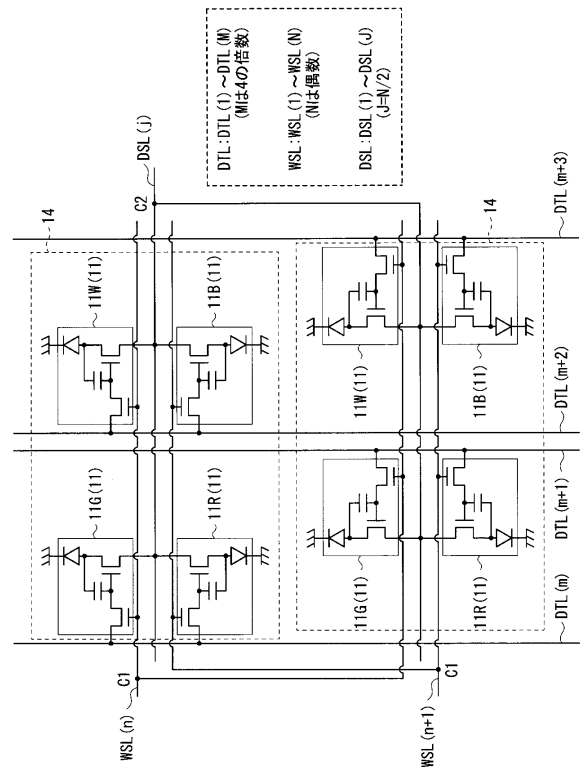
【図 14】



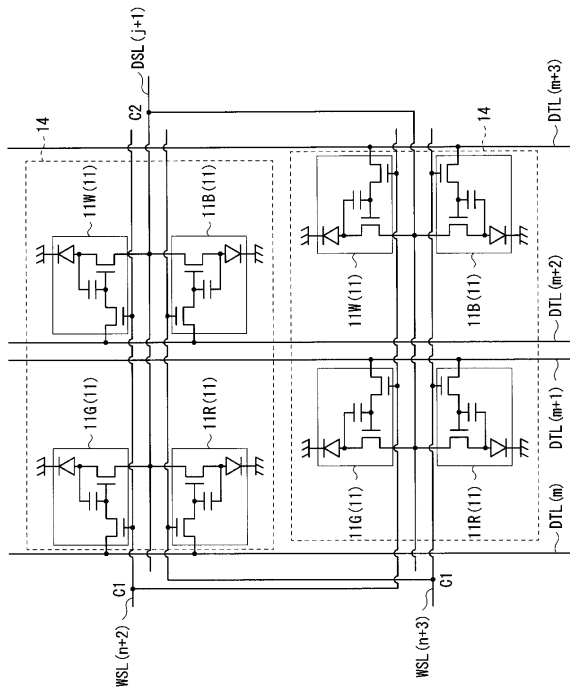
【図 15】



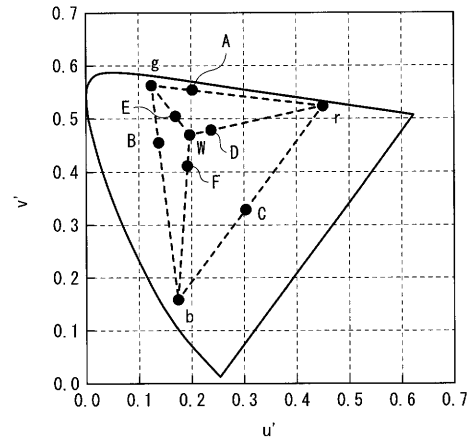
【図 16】



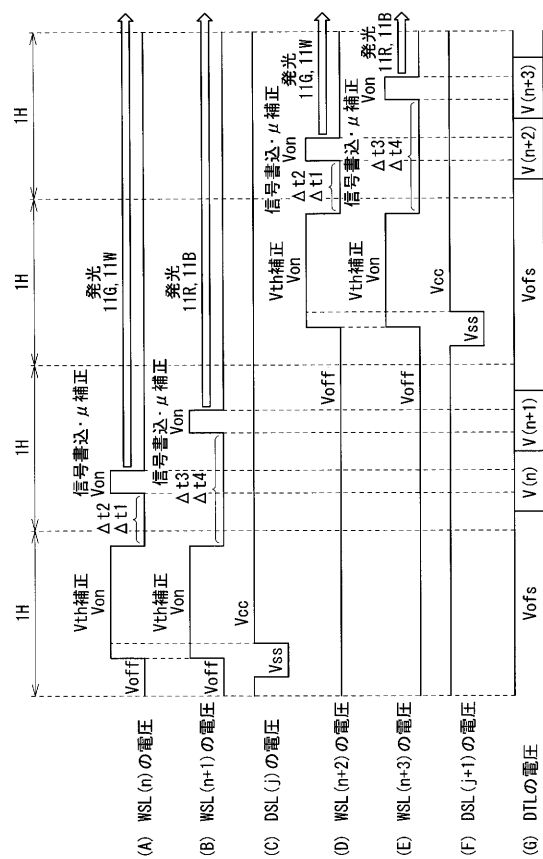
【図 17】



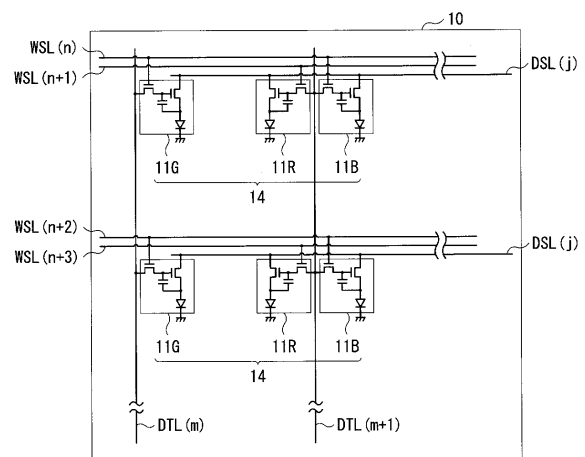
【図 18】



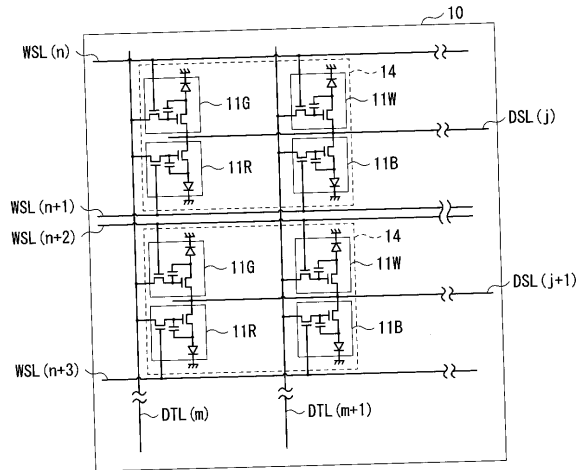
【図 19】



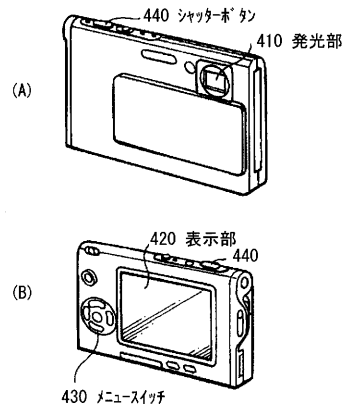
【図 20】



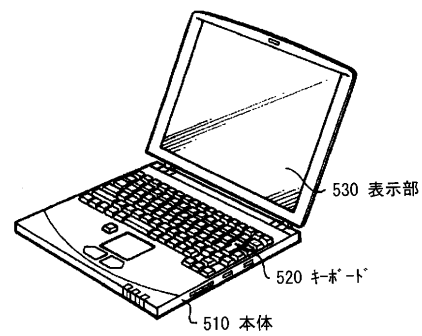
【図 2 1】



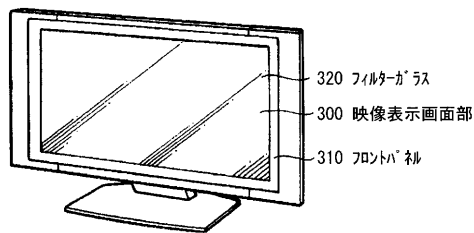
【図 2 3】



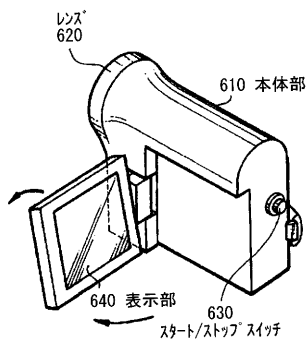
【図 24】



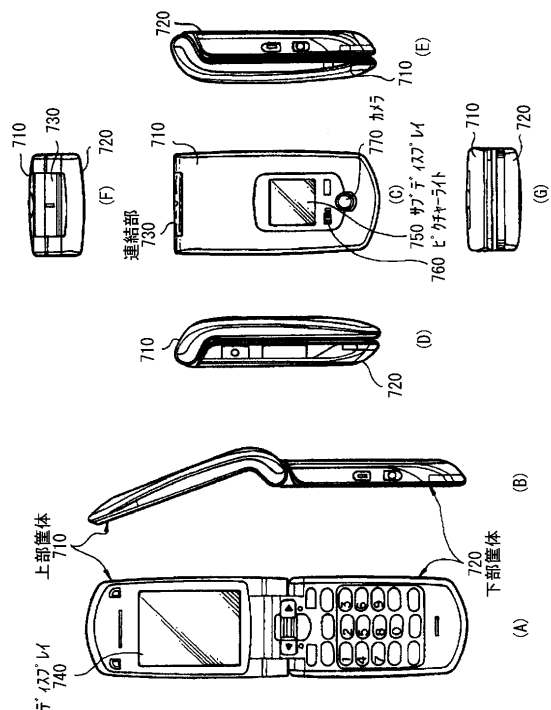
【图 2 2】



【図 25】



【図 2 6】



フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 4 2 A
	G 0 9 G	3/20	6 1 1 H
	G 0 9 G	3/20	6 7 0 J
	G 0 9 G	3/20	6 2 2 Q
	G 0 9 G	3/20	6 4 2 L
	G 0 9 G	3/20	6 8 0 G

(56)参考文献 特許第5891493 (JP, B2)
特開2009-103868 (JP, A)
特開2011-123184 (JP, A)
特開2004-334204 (JP, A)
特表2008-523446 (JP, A)
特表2011-523720 (JP, A)
米国特許出願公開第2012/0098871 (US, A1)
特開2012-168358 (JP, A)
特開2014-29423 (JP, A)
特開2014-29424 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3/20-3/38