

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4703769号  
(P4703769)

(45) 発行日 平成23年6月15日 (2011.6.15)

(24) 登録日 平成23年3月18日 (2011.3.18)

(51) Int. Cl.	F I
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 B
HO 1 L 27/092 (2006.01)	HO 1 L 29/78 3 O 1 S
HO 1 L 29/78 (2006.01)	HO 1 L 27/08 3 2 1 E
HO 1 L 21/266 (2006.01)	HO 1 L 21/265 M

請求項の数 6 (全 17 頁)

(21) 出願番号	特願2010-1153 (P2010-1153)	(73) 特許権者	000003078
(22) 出願日	平成22年1月6日 (2010.1.6)		株式会社東芝
(65) 公開番号	特開2010-186989 (P2010-186989A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成22年8月26日 (2010.8.26)	(74) 代理人	100108062
審査請求日	平成22年10月6日 (2010.10.6)		弁理士 日向寺 雅彦
(31) 優先権主張番号	特願2009-6880 (P2009-6880)	(72) 発明者	末代 知子
(32) 優先日	平成21年1月15日 (2009.1.15)		東京都港区芝浦一丁目1番1号 株式会社
(33) 優先権主張国	日本国 (JP)		東芝内
早期審査対象出願		(72) 発明者	安原 紀夫
			東京都港区芝浦一丁目1番1号 株式会社
			東芝内
		審査官	宇多川 勉

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

第1導電型の第1の半導体領域と、前記第1の半導体領域よりも第1導電型不純物濃度が低い第1導電型の第2の半導体領域とを有する半導体層と、

前記第1の半導体領域上に設けられた第2導電型のソース領域と、

前記第2の半導体領域上に設けられた第2導電型のドレイン領域と、

前記第1の半導体領域上における前記ソース領域と前記ドレイン領域との間に設けられた第1導電型のチャンネル領域と、

前記チャンネル領域上に設けられた絶縁膜と、

前記絶縁膜上に設けられたゲート電極と、

前記ゲート電極と前記ドレイン領域との間の前記半導体層の表層部であって前記第2の半導体領域上に設けられて前記ドレイン領域に接し、前記ドレイン領域よりも第2導電型不純物濃度が低い第2導電型のドリフト領域と、

を備え、

前記第2の半導体領域は、

前記第1の半導体領域側に設けられ、前記ドリフト領域における前記ゲート電極側の部分に接する第1の領域と、

前記第1の領域よりも第1導電型不純物濃度が低く、前記ドリフト領域における前記ドレイン領域側の部分に接する第2の領域と、

を有することを特徴とする半導体装置。

## 【請求項 2】

前記ドリフト領域において、前記ドレイン領域側の部分は前記ゲート電極側の部分よりも不純物濃度が高いことを特徴とする請求項 1 記載の半導体装置。

## 【請求項 3】

前記第 2 の半導体領域は、前記ドレイン領域の下に設けられて前記ドレイン領域に接し、前記第 2 の領域よりも第 1 導電型不純物濃度が低い第 3 の領域をさらに有することを特徴とする請求項 1 記載の半導体装置。

## 【請求項 4】

前記半導体層を支持する基板と、  
前記基板と前記半導体層との間に設けられ、前記半導体層を前記基板の電位から分離する第 2 の半導体層と、  
をさらに備えたことを特徴とする請求項 1 ~ 3 のいずれか 1 つに記載の半導体装置。 10

## 【請求項 5】

前記第 1 の半導体領域と前記第 2 の半導体領域とは、同じ深さに第 1 導電型不純物濃度ピークを有することを特徴とする請求項 1 ~ 4 のいずれか 1 つに記載の半導体装置。

## 【請求項 6】

互いに素子分離された第 1 のトランジスタ形成領域と第 2 のトランジスタ形成領域とを有する基板をさらに備え、

前記第 1 の半導体領域及び前記第 2 の半導体領域は、前記基板の前記第 1 のトランジスタ形成領域に設けられ、 20

前記基板の前記第 2 のトランジスタ形成領域には、前記第 1 の半導体領域と実質第 1 導電型不純物濃度が同じ第 1 導電型の第 3 の半導体領域が設けられ、

前記第 3 の半導体領域上に、第 2 導電型チャネル型の電界効果トランジスタが設けられていることを特徴とする請求項 1 ~ 5 のいずれか 1 つに記載の半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置及びその製造方法に関する。

## 【背景技術】

## 【0002】

要求される用途に応じた様々な耐圧系にて横方向拡散型 MOS ( LDMOS : Lateral Diffusion Metal-Oxide-Semiconductor ) 構造が知られている ( 例えば特許文献 1 ) 。近年、LDMOS に対しても、低オン抵抗化、高速化を図るため、CMOS ( Complementary Metal-Oxide-Semiconductor ) 同様の微細プロセス、微細設計ルールを適用することが増えてきた。微細設計ルールを適用することで、CMOS 並みの短チャネルの LDMOS や、素子全体のサイズを縮小したり、低電圧駆動の LDMOS を設計することができるほか、微細 CMOS と LDMOS とを混載した回路設計も可能となる。 30

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献 1】特開 2007 - 53257 号公報 40

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

本発明は、高耐圧な半導体装置及びその製造方法を提供する。

## 【課題を解決するための手段】

## 【0005】

本発明の一態様によれば、第 1 導電型の第 1 の半導体領域と、前記第 1 の半導体領域よりも第 1 導電型不純物濃度が低い第 1 導電型の第 2 の半導体領域とを有する半導体層と、前記第 1 の半導体領域上に設けられた第 2 導電型のソース領域と、前記第 2 の半導体領域 50

上に設けられた第2導電型のドレイン領域と、前記第1の半導体領域上における前記ソース領域と前記ドレイン領域との間に設けられた第1導電型のチャネル領域と、前記チャネル領域上に設けられた絶縁膜と、前記絶縁膜上に設けられたゲート電極と、前記ゲート電極と前記ドレイン領域との間の前記半導体層の表層部であって前記第2の半導体領域上に設けられて前記ドレイン領域に接し、前記ドレイン領域よりも第2導電型不純物濃度が低い第2導電型のドリフト領域と、を備え、前記第2の半導体領域は、前記第1の半導体領域側に設けられ、前記ドリフト領域における前記ゲート電極側の部分に接する第1の領域と、前記第1の領域よりも第1導電型不純物濃度が低く、前記ドリフト領域における前記ドレイン領域側の部分に接する第2の領域と、を有することを特徴とする半導体装置が提供される。

10

【発明の効果】

【0006】

本発明によれば、高耐圧な半導体装置及びその製造方法が提供される。

【図面の簡単な説明】

【0007】

【図1】本発明の実施形態に係る半導体装置の要部断面構造を示す模式図。

【図2】同半導体装置におけるLDMOSの第1実施形態を示す模式図。

【図3】図2に示すLDMOSの製造方法を示す模式図。

【図4】図3に続く工程を示す模式図。

【図5】図4に続く工程を示す模式図。

20

【図6】本実施形態で用いられるイオン注入用マスクの平面パターン例を示す模式図。

【図7】LDMOSの第2実施形態を示す模式図。

【図8】図7に示すLDMOSの製造方法を示す模式図。

【図9】図8に続く工程を示す模式図。

【図10】図7に示すLDMOSの他の製造方法を示す模式図。

【図11】図10に続く工程を示す模式図。

【図12】LDMOSの第3実施形態を示す模式図。

【図13】図12に示すLDMOSの製造方法を示す模式図。

【図14】図12に示すLDMOSの他の製造方法を示す模式図。

【図15】LDMOSのさらに他の実施形態を示す模式図。

30

【図16】LDMOSのさらに他の実施形態を示す模式図。

【発明を実施するための形態】

【0008】

以下、図面を参照し本発明の実施形態について説明する。なお、以下の実施形態では第1導電型をP型、第2導電型をN型として説明するが、第1導電型をN型、第2導電型をP型としても本発明は実現可能である。

【0009】

本実施形態に係る半導体装置は、LDMOS (Lateral Diffusion Metal-Oxide-Semiconductor) 構造のFET (Field Effect Transistor) と、CMOS (Complementary Metal-Oxide-Semiconductor) 構造のFETとが同じ基板上に混載されて1チップ化された構造を有する。図1に、その要部断面構造を示す。

40

【0010】

例えばP型の基板11における第1のトランジスタ形成領域101にLDMOS10が形成され、第2のトランジスタ形成領域102にCMOS40が形成されている。基板11における第1のトランジスタ形成領域101には、高濃度P型ウェル領域41と低濃度P型ウェル領域42が形成されている。基板11における第1のトランジスタ形成領域101には、高濃度P型ウェル領域41と低濃度P型ウェル領域42とを有する半導体層50が形成されている。基板11における第2のトランジスタ形成領域102には、P型ウェル領域12とN型ウェル領域13が形成されている。

【0011】

50

P型ウェル領域12とN型ウェル領域13とは、例えばSTI(Shallow Trench Isolation)構造の絶縁層6によって素子分離されている。これらP型ウェル領域12及びN型ウェル領域13に対して、第1のトランジスタ形成領域101の半導体層50もSTI構造の絶縁層6によって素子分離されている。

【0012】

CMOS40は、P型ウェル領域12上に設けられたNチャネル型MOS20と、N型ウェル領域13上に設けられたPチャネル型MOS30を有する。

【0013】

P型ウェル領域12の表層部には、N<sup>+</sup>型のソース領域14と、N<sup>+</sup>型のドレイン領域16とが互いに離間して設けられている。また、P型ウェル領域12の表層部には、ソース領域14よりもN型不純物濃度が低いN型のLDD(Lightly Doped Drain)領域15がソース領域14に隣接して設けられ、さらにドレイン領域16よりもN型不純物濃度が低いN型のLDD領域17がドレイン領域16に隣接して設けられている。

10

【0014】

LDD領域15とLDD領域17との間のP型ウェル領域12上には、絶縁膜5を介してゲート電極18が設けられている。ゲート電極18の側壁には、サイドウォール絶縁膜19が設けられている。LDD領域15及びLDD領域17は、サイドウォール絶縁膜19の下に位置する。

【0015】

ソース領域14上には、ソース領域14に対して例えばオーミック接触して電氣的に接続されたソース電極21が設けられている。ドレイン領域16上には、ドレイン領域16に対して例えばオーミック接触して電氣的に接続されたドレイン電極22が設けられている。

20

【0016】

ゲート電極18に所望のゲート電圧が印加されると、ゲート電極18下のP型ウェル領域12表層部にN型のチャネルが形成され、ソース-ドレイン間が電氣的に導通する。

【0017】

一方、N型ウェル領域13の表層部には、P<sup>+</sup>型のソース領域24と、P<sup>+</sup>型のドレイン領域26とが互いに離間して設けられている。また、N型ウェル領域13の表層部には、ソース領域24よりもP型不純物濃度が低いP型のLDD領域25がソース領域24に隣接して設けられ、さらにドレイン領域26よりもP型不純物濃度が低いP型のLDD領域27がドレイン領域26に隣接して設けられている。

30

【0018】

LDD領域25とLDD領域27との間のN型ウェル領域13上には、絶縁膜5を介してゲート電極28が設けられている。ゲート電極28の側壁には、サイドウォール絶縁膜19が設けられている。LDD領域25及びLDD領域27は、サイドウォール絶縁膜19の下に位置する。

【0019】

ソース領域24上には、ソース領域24に対して例えばオーミック接触して電氣的に接続されたソース電極31が設けられている。ドレイン領域26上には、ドレイン領域26に対して例えばオーミック接触して電氣的に接続されたドレイン電極32が設けられている。

40

【0020】

ゲート電極28に所望のゲート電圧が印加されると、ゲート電極28下のN型ウェル領域13表層部にP型のチャネルが形成され、ソース-ドレイン間が電氣的に導通する。

【0021】

CMOS40の形成時に同時に、CMOS形成で使っているプロセスを利用してLDMOS10も形成される。

【0022】

以下、LDMOS10の構造について説明する。

50

## 【 0 0 2 3 】

## [ 第 1 実施形態 ]

図 2 は、本発明の第 1 実施形態に係る L D M O S 1 0 の模式断面図を示す。

## 【 0 0 2 4 】

半導体層 5 0 の表層部に、 $P^+$  型のコンタクト領域 4 3、 $N^+$  型のソース領域 4 4、 $N$  型の L D D 領域 4 5、 $P$  型のチャネル領域 4 6、 $N^-$  型のドリフト領域 4 7、 $N^+$  型のドレイン領域 4 8 の各不純物拡散領域が形成されている。

## 【 0 0 2 5 】

半導体層 5 0 は、高濃度  $P$  型ウェル領域 4 1 と、これよりも  $P$  型不純物濃度が低い低濃度  $P$  型ウェル領域 4 2 を有する。高濃度  $P$  型ウェル領域 4 1 は、図 1 に示す  $N$  チャンネル型 M O S 2 0 の  $P$  型ウェル領域 1 2 と同じイオン注入工程で形成され、高濃度  $P$  型ウェル領域 4 1 と  $P$  型ウェル領域 1 2 の  $P$  型不純物濃度とプロファイルは実質同じである。また、低濃度  $P$  型ウェル領域 4 2 も、 $P$  型ウェル領域 1 2 及び高濃度  $P$  型ウェル領域 4 1 と同じイオン注入工程で形成され、後述するマスクを使うことで、低濃度  $P$  型ウェル領域 4 2 は、 $P$  型ウェル領域 1 2 及び高濃度  $P$  型ウェル領域 4 1 よりも  $P$  型不純物濃度が低くされる。

10

## 【 0 0 2 6 】

コンタクト領域 4 3、ソース領域 4 4、L D D 領域 4 5 およびチャネル領域 4 6 は、高濃度  $P$  型ウェル領域 4 1 の表層部に形成されている。ドリフト領域 4 7 とドレイン領域 4 8 は、低濃度  $P$  型ウェル領域 4 2 の表層部に形成されている。

20

## 【 0 0 2 7 】

高濃度  $P$  型ウェル領域 4 1 と低濃度  $P$  型ウェル領域 4 2 との間における  $P$  型不純物濃度の変曲点箇所を、図 2 において点線で模式的に表す。すなわち、点線よりもソース領域 4 4 側はドレイン領域 4 8 側よりも実効的な  $P$  型の不純物濃度が高く、逆に、点線よりもドレイン領域 4 8 側はソース領域 4 4 側よりも実効的な  $P$  型の不純物濃度が低い。

## 【 0 0 2 8 】

ソース領域 4 4 とドレイン領域 4 8 との間に、ソース領域 4 4 側から順に、L D D 領域 4 5、チャネル領域 4 6、ドリフト領域 4 7 が形成されている。L D D 領域 4 5 はソース領域 4 4 に接し、チャネル領域 4 6 はソース領域 4 4 の反対側で L D D 領域 4 5 に接している。L D D 領域 4 5 は、ソース領域 4 4 及びドレイン領域 4 8 よりも  $N$  型不純物濃度が低い。ソース領域 4 4 における L D D 領域 4 5 と接する部分の反対側にコンタクト領域 4 3 が接して設けられている。ドリフト領域 4 7 は、ソース領域 4 4 及びドレイン領域 4 8 よりも  $N$  型不純物濃度が低く、ドレイン領域 4 8 に接している。

30

## 【 0 0 2 9 】

コンタクト領域 4 3 及びソース領域 4 4 の上にはソース電極 5 1 が設けられている。ソース電極 5 1 は、コンタクト領域 4 3 及びソース領域 4 4 と例えばオーミック接触して電氣的に接続されている。高濃度  $P$  型ウェル領域 4 1 は、コンタクト領域 4 3 を介してソース電位とされる。ドレイン領域 4 8 上にはドレイン電極 5 2 が設けられ、ドレイン電極 5 2 はドレイン領域 4 8 と例えばオーミック接触して電氣的に接続されている。

## 【 0 0 3 0 】

ソース領域 4 4 とドリフト領域 4 7 との間における半導体層 5 0 表面上には、絶縁膜 5 を介してゲート電極 5 3 が設けられている。ゲート電極 5 3 の側壁には、サイドウォール絶縁膜 1 9 が設けられている。チャネル領域 4 6 はゲート電極 5 3 の下に位置し、L D D 領域 4 5 はサイドウォール絶縁膜 1 9 の下に位置する。

40

## 【 0 0 3 1 】

各不純物拡散領域やゲート電極 5 3 は、例えば紙面を貫く方向に延在するストライプ状のパターンで形成されている。あるいは、コンタクト領域 4 3 とソース領域 4 4 は、紙面を貫く方向に交互もしくはある間隔を保って並んだ構造であってもよい。

## 【 0 0 3 2 】

ゲート電極 5 3 に所望のゲート電圧が印加されると、チャネル領域 4 6 に反転層が形成

50

され、ソース領域 4 4、L D D 領域 4 5、反転層、ドリフト領域 4 7 およびドレイン領域 4 8 を介して、ソース電極 5 1 とドレイン電極 5 2 間が電氣的に導通し、オン状態とされる。チャンネル領域 4 6 の不純物濃度の制御により、しきい値電圧が調整される。

【 0 0 3 3 】

そして、L D M O S においては、比較的 N 型不純物濃度が低いドリフト領域 4 7 を設けることで、ドレインとソース間に逆バイアスが印加された場合、ドリフト領域 4 7 が空乏化することで電界を緩和し、素子耐圧を維持する。また、素子に必要とされる耐圧に応じて、ドリフト領域 4 7 の N 型不純物濃度や横方向長さを調整することで、所望の耐圧を実現できる。

【 0 0 3 4 】

本実施形態では、C M O S 4 0 と L D M O S 1 0 とが同じ基板 1 1 に形成され 1 チップ化されている。例えば、C M O S 4 0 は L D M O S 1 0 のゲートを駆動するドライバ回路として機能する。C M O S 4 0 と L D M O S 1 0 との混載チップを製造するにあたって、工程数削減による低コスト化を図るため、C M O S 製造で使っているプロセスを利用して L D M O S もあわせて形成する。

【 0 0 3 5 】

その場合、L D M O S のウェル領域は C M O S のウェル領域と同じイオン注入工程で形成される。C M O S のウェル領域の不純物濃度が高い場合、L D M O S のドレイン領域と高不純物濃度ウェル領域との接合部の耐圧で L D M O S の素子耐圧が決まってしまう。換言すると、L D M O S の耐圧が C M O S に設定された耐圧で決まってしまうことになる。すなわち、C M O S 以上の耐圧が要求されることの多い L D M O S にとって、ドレイン領域下が C M O S と同様の高不純物濃度ウェル領域となるのは適切でない。また、通常 L D M O S はドリフト領域のドーズ量と長さによって素子耐圧を決めるのに対し、ドレイン領域直下にて耐圧が決まる構造では、自在に素子耐圧を設計することができなくなる。

【 0 0 3 6 】

これに対して本実施形態では、相対的に不純物濃度が異なる高濃度 P 型ウェル領域 4 1 と低濃度 P 型ウェル領域 4 2 を L D M O S 形成領域に形成し、L D M O S 1 0 のドレイン領域 4 8 を低濃度 P 型ウェル領域 4 2 上に形成するようにしている。これにより、ドレイン領域 4 8 とその下の低濃度 P 型ウェル領域 4 2 との接合部の耐圧低下を抑制できる。すなわち、L D M O S 1 0 の耐圧が、C M O S 4 0 の耐圧で決まってしまうことがなく、ドリフト領域 4 7 の N 型不純物濃度や横方向長さを調整することで、C M O S 4 0 よりも高い所望の耐圧を実現できる。

【 0 0 3 7 】

また、L D M O S 1 0 におけるソース領域 4 4 側の下を比較的高不純物濃度の高濃度 P 型ウェル領域 4 1 とすることで逆バイアス印加時のパンチスルーを抑制することができる。

【 0 0 3 8 】

なお、図 1、2 に示す例では、高濃度 P 型ウェル領域 4 1 と低濃度 P 型ウェル領域 4 2 との不純物濃度変曲点（点線で示す）は、ゲート電極 5 3 下に位置するが、これに限らず、例えばドリフト領域 4 7 下に位置していてもよい。要するに、C M O S 用に設計された高不純物濃度の高濃度 P 型ウェル領域 4 1 がドレイン領域 4 8 に接しなければよい。

【 0 0 3 9 】

次に、図 3 ~ 5 を参照して、L D M O S 1 0 の製造方法について説明する。

【 0 0 4 0 】

まず、イオン注入法により、基板 1 1 に P 型不純物を導入して高濃度 P 型ウェル領域 4 1 と低濃度 P 型ウェル領域 4 2 を同時に形成する。具体的には、図 3 ( a ) に示すように、マスク 6 0 を用いてイオン注入を行う。

【 0 0 4 1 】

マスク 6 0 の平面図を図 6 ( a ) に示す。マスク 6 0 は、第 1 の開口形成領域 6 0 a と、第 1 の開口形成領域 6 0 a よりも単位面積あたりの開口率が低い第 2 の開口形成領域 6

10

20

30

40

50

0 bとを有する。第2の開口形成領域60bには例えばストライプ状の遮蔽部61が形成され、その第2の開口形成領域60bにおける他の部分は開口62となっている。なお、遮蔽部パターンは、ストライプ状に限らず、図6(b)に示すように格子状であってもよいし、図6(c)に示すように複数の島状であってもよい。

#### 【0042】

イオン注入のドーズ量は面方向で略均一である。そのイオン注入を、マスク60を用いて行うことで、第2の開口形成領域60bの下の部分へのイオン注入量が相対的に少なくなり、第2の開口形成領域60bの隣で広く開口された第1の開口形成領域60aの下の部分へのイオン注入量が相対的に多くなる。すなわち、図3(b)に示すように、相対的に不純物濃度が高い高濃度P型ウェル領域41と、相対的に不純物濃度が低い低濃度P型ウェル領域42とが一度のイオン注入工程で同時に形成される。

10

#### 【0043】

高濃度P型ウェル領域41と低濃度P型ウェル領域42との間でP型不純物濃度が大きく変わる不純物濃度変曲点(図3(b)において点線で表す)の位置は、前述した図6(a)に示すマスク60における第2の開口形成領域60bと第1の開口形成領域60aとの境界近傍となる。

#### 【0044】

上記イオン注入は、異なる加速電圧で異なる深さに複数回(複数段)行われ、このイオン注入後、熱処理を行うことで、注入された不純物が基板11中にて活性化・拡散する。したがって、高濃度P型ウェル領域41と低濃度P型ウェル領域42は、それぞれ、膜厚方向に複数の不純物濃度ピークを有する。そして、高濃度P型ウェル領域41と低濃度P型ウェル領域42は、同じイオン注入工程で形成されるため、加速エネルギーも同じとなり高濃度P型ウェル領域41と低濃度P型ウェル領域42は、ほぼ同じ深さに不純物濃度ピークを有する。

20

#### 【0045】

なお、高濃度P型ウェル領域41と低濃度P型ウェル領域42を形成するイオン注入時には同時に、図1に示すCMOS40におけるNチャネル型MOS20のP型ウェル領域12も形成される。このP型ウェル領域12は、LDMOS10の高濃度P型ウェル領域41と同様に遮蔽部で覆われず、したがってLDMOS10の高濃度P型ウェル領域41とNチャネル型MOS20のP型ウェル領域12とは、比較的高濃度のほぼ同じ不純物濃度とされる。

30

#### 【0046】

また、上記P型不純物のイオン注入時、基板11におけるPチャネル型MOS30を形成する部分はマスクで覆われP型不純物が注入されない。そして、Pチャネル型MOS30のN型ウェル領域13は、上記P型不純物の注入を行う前あるいは後に、基板11におけるN型ウェル領域13を形成する部分以外をマスクで覆った上でN型不純物の注入を行うことで形成される。

#### 【0047】

以上説明したように、本実施形態によれば、マスク60を用いたイオン注入により、微細ルールで適用されるCMOSのウェル領域濃度条件を変えずに、LDMOS用の低不純物濃度ウェル領域を同時に形成できる。すなわち、CMOSのウェル領域を形成する工程時にあわせてLDMOS用については実効的な不純物濃度が相対的に異なる2つのウェル領域を形成できる。この結果、CMOSと、これよりも耐圧が高いLDMOSとの混載チップの製造にあたって、CMOS用のプロセスを適用でき、LDMOS用に別途工程を追加することがなくコスト低減を図れる。しかも、LDMOSについては、CMOSの設定耐圧に依存しない、所望の高耐圧設計を行うことができる。

40

#### 【0048】

高濃度P型ウェル領域41と低濃度P型ウェル領域42を形成した後、次に、図3(c)に示すように、高濃度P型ウェル領域41の表層部に、LDMOSのチャネル領域となるP型領域46を選択的なイオン注入及びその後の熱処理により形成する。このP型領域

50

4 6 における P 型不純物濃度は、所望のゲートしきい値を得るべく設定される。この P 型領域 4 6 の形成時に、同時に C M O S 4 0 における P チャネル型 M O S 3 0 の P 型 L D D 領域 2 5、2 7 も形成される。

【 0 0 4 9 】

次に、図 4 ( a ) に示すように、半導体層 5 0 の表面上に絶縁膜 5 を形成し、その絶縁膜 5 上にゲート電極材を形成し、その後ゲート電極材を所望の位置に残るように所望の形状に加工してゲート電極 5 3 を形成する。このとき、同時に、C M O S 4 0 における絶縁膜 5 及びゲート電極 1 8、2 8 も形成される。

【 0 0 5 0 】

次に、図 4 ( b ) に示すように、低濃度 P 型ウェル領域 4 2 上、およびゲート電極 5 3 におけるドレイン側の一部をマスク 7 1 で覆い、その状態で P 型領域 4 6 に N 型不純物をイオン注入法で注入して、L D D 領域となる N 型領域 4 5 を形成する。N 型領域 4 5 と P 型領域 4 6 との境界 ( P N 接合部 ) は、ゲート電極 5 3 におけるソース側の端部付近に位置する。このとき、同時に、C M O S 4 0 における N チャネル型 M O S 2 0 の L D D 領域 1 5、1 7 も形成される。

【 0 0 5 1 】

次に、図 4 ( c ) に示すように、N 型領域 4 5 が形成された部分、およびゲート電極 5 3 におけるソース側の一部をマスク 7 2 で覆い、その状態で低濃度 P 型ウェル領域 4 2 の表層部に、N 型不純物をイオン注入法で注入してドリフト領域となる N<sup>-</sup> 型領域 4 7 を形成する。

【 0 0 5 2 】

次に、図 5 ( a ) に示すように、ゲート電極 5 3 におけるゲート長方向の両側壁にサイドウォール絶縁膜 1 9 を形成する。このとき、同時に、C M O S 4 0 におけるゲート電極 1 8、2 8 の側壁にもサイドウォール絶縁膜 1 9 が形成される。

【 0 0 5 3 】

次に、図 5 ( b ) に示すように、N 型領域 4 5 の一部、ゲート電極 5 3 における N<sup>-</sup> 型領域 4 7 側の一部、N<sup>-</sup> 型領域 4 7 側のサイドウォール絶縁膜 1 9、および N<sup>-</sup> 型領域 4 7 の一部をマスク 7 3 で覆う。そして、マスク 7 3 で覆われていない N 型領域 4 5 および N<sup>-</sup> 型領域 4 7 に N 型不純物をイオン注入法で注入して、図 5 ( c ) に示すようにソース領域 4 4 及びドレイン領域 4 8 を形成する。このとき、同時に、C M O S 4 0 における N チャネル型 M O S 2 0 のソース領域 1 4 とドレイン領域 1 6 も形成される。

【 0 0 5 4 】

その後、図示しないマスクで必要な部分を覆った上で、ソース領域 4 4 に P 型不純物の選択的イオン注入を行いコンタクト領域 4 3 を形成する。このとき、同時に、C M O S 4 0 における P チャネル型 M O S 3 0 のソース領域 2 4 とドレイン領域 2 6 も形成される。

【 0 0 5 5 】

その後、L D M O S 1 0 及び C M O S 4 0 について、ソース電極 5 1、2 1、3 1 と、ドレイン電極 5 2、2 2、3 2 を同時に形成して、図 1 に示す構造が得られる。

【 0 0 5 6 】

[ 第 2 実施形態 ]

図 7 は、L D M O S 1 0 の第 2 実施形態を示す模式図である。なお、上記第 1 実施形態と同じ要素については同じ符号を付し、その詳細な説明は省略する。

【 0 0 5 7 】

本実施形態では、半導体層 5 0 を支持する基板 1 1 上に N 型層 8 0 を設け、その N 型層 8 0 の上に、高濃度 P 型ウェル領域 4 1 と低濃度 P 型ウェル領域 4 2 とを有する半導体層 5 0 が設けられている。

【 0 0 5 8 】

N 型層 8 0 は、素子終端で比較的高不純物濃度の N<sup>+</sup> 層 ( 図示せず ) を介して任意の電極に接続されている。これにより、N 型層 8 0 より上の素子部分は、任意の電位が与えられる N 型層 8 0 で囲まれ、基板 1 1 側電位と分離された構造となる。

10

20

30

40

50



## 【 0 0 5 9 】

図 8、9 は、本実施形態の L D M O S の製造方法を示す。

## 【 0 0 6 0 】

まず、図 8 ( a ) に示すようにイオン注入法で基板 1 1 に N 型不純物を導入して、その後熱処理を行うことで図 8 ( b ) に示すように N 型層 8 0 を形成する。このイオン注入にはマスクは使われず、基板 1 1 面方向に均一なドーズ量で不純物が導入される。

## 【 0 0 6 1 】

次に、イオン注入法により、N 型層 8 0 に P 型不純物を導入して高濃度 P 型ウェル領域 4 1 と低濃度 P 型ウェル領域 4 2 を同時に形成する。具体的には、図 9 ( a ) に示すように、前述した第 1 実施形態と同様にマスク 6 0 を用いてイオン注入を行う。

10

## 【 0 0 6 2 】

このマスク 6 0 を用いて基板 1 1 にイオン注入を行うことで、相対的に不純物濃度が高い高濃度 P 型ウェル領域 4 1 と、相対的に不純物濃度が低い低濃度 P 型ウェル領域 4 2 とが一度のイオン注入工程で同時に形成される。このときも、同時に、図 1 に示す C M O S 4 0 における N チャネル型 M O S 2 0 の P 型ウェル領域 1 2 も形成される。

## 【 0 0 6 3 】

その後、前述した図 3 ( c ) 以降と同様の工程が続けられ、図 7 に示す構造が得られる。

## 【 0 0 6 4 】

また、図 8、9 の方法の代わりに、図 1 0、1 1 に示す方法を用いてもよい。

20

## 【 0 0 6 5 】

この方法では、まず、イオン注入法により基板 1 1 に N 型不純物を導入して、低濃度 N 型領域 8 1 と高濃度 N 型領域 8 2 とを有する N 型層 8 0 を形成する。具体的には、図 1 0 ( a ) に示すように、前述したマスク 6 0 を用いてイオン注入を行う。

## 【 0 0 6 6 】

このマスク 6 0 を用いて基板 1 1 にイオン注入を行うことで、相対的に不純物濃度が低い低濃度 N 型領域 8 1 と、相対的に不純物濃度が高い高濃度 N 型領域 8 2 とが一度のイオン注入工程で同時に形成される。

## 【 0 0 6 7 】

次に、図 1 1 ( a ) に示すように、N 型層 8 0 に対して、マスクを使わずに面方向に均一なドーズ量で P 型不純物をイオン注入法で導入する。その後熱処理を行うと、図 1 1 ( b ) に示すように、低濃度 N 型領域 8 1 上に高濃度 P 型ウェル領域 4 1 が、高濃度 N 型領域 8 2 上に低濃度 P 型ウェル領域 4 2 が形成される。

30

## 【 0 0 6 8 】

すなわち、N 型層 8 0 に注入される P 型不純物の面方向のドーズ量は均一であるが、低濃度 N 型領域 8 1 における P 型不純物が導入された部分は相対的に P 型不純物濃度が高くなり、高濃度 N 型領域 8 2 における P 型不純物が導入された部分は相対的に P 型不純物濃度が低くなる。

## 【 0 0 6 9 】

以上説明した第 2 実施形態においても、微細ルールで適用される C M O S のウェル領域濃度条件を変えずに、L D M O S 用の低不純物濃度ウェル領域を同時に形成できる。すなわち、C M O S のウェル領域を形成する工程時にあわせて L D M O S 用については実効的な不純物濃度が相対的に異なる 2 つのウェル領域を形成できる。この結果、C M O S と、これよりも耐圧が高い L D M O S との混載チップの製造にあたって、C M O S 用のプロセスを適用でき、L D M O S 用に別途工程を追加することがなくコスト低減を図れる。しかも、L D M O S については、C M O S の設定耐圧に依存しない、所望の高耐圧設計を行うことができる。

40

## 【 0 0 7 0 】

[ 第 3 実施形態 ]

次に、図 1 2 は、本発明の第 3 実施形態に係る L D M O S の模式断面図を示す。

50

## 【 0 0 7 1 】

本実施形態では、低濃度 P 型ウェル領域 4 2 は、さらに 2 つの領域（第 1 の領域 4 2 a と第 2 の領域 4 2 b ）を有する。

## 【 0 0 7 2 】

第 1 の領域 4 2 a は、高濃度 P 型ウェル領域 4 1 側に設けられ、ドリフト領域 4 7 におけるゲート電極 5 3 側の部分 4 7 a に接する。第 2 の領域 4 2 b は、第 1 の領域 4 2 a を挟んで高濃度 P 型ウェル領域 4 1 の反対側に設けられ、ドリフト領域 4 7 におけるドレイン領域 4 8 側の部分 4 7 b 及びドレイン領域 4 8 に接する。第 2 の領域 4 2 b は、第 1 の領域 4 2 a よりも P 型不純物濃度が低い。

## 【 0 0 7 3 】

第 1 の領域 4 2 a 及び第 2 の領域 4 2 b の表面に対して、N 型不純物イオンが注入され、その後熱処理されることで、ドリフト領域 4 7 が形成される。その N 型不純物イオンのドーズ量は第 1 の領域 4 2 a 及び第 2 の領域 4 2 b の面方向で略均一であるが、第 1 の領域 4 2 a の方が第 2 の領域 4 2 b よりも P 型不純物濃度が高いため、ドリフト領域 4 7 には相対的に N 型不純物領域の実効的な濃度が異なる 2 つの部分 4 7 a、4 7 b が形成される。

## 【 0 0 7 4 】

第 1 の領域 4 2 a の上で第 1 の領域 4 2 a に接する部分 4 7 a は、第 2 の領域 4 2 b の上で第 2 の領域 4 2 b に接する部分 4 7 b よりも相対的に N 型不純物濃度が低い。

## 【 0 0 7 5 】

ドリフト領域 4 7 におけるゲート電極 5 3 側の部分 4 7 a の不純物濃度を相対的に低くすることで、その部分 4 7 a がオフ時（ゲート電極 5 3 に閾値以上の電圧が印加されていない時）に完全空乏化して、高いオフ耐圧が得られる。

## 【 0 0 7 6 】

ドリフト領域 4 7 におけるドレイン領域 4 8 側の部分 4 7 b の不純物濃度を相対的に高くすることで、ゲート電極 5 3 に閾値以上のフルバイアスが印加されたときに、部分 4 7 b の空乏化を抑制して、高いオン耐圧が得られる。本実施形態に係る半導体装置は、例えば、高いオン耐圧が要求されるシステム電源に適している。

## 【 0 0 7 7 】

図 1 3（a）及び（b）は、本実施形態における高濃度 P 型ウェル領域 4 1 及び低濃度 P 型ウェル領域 4 2 の形成方法を示す模式図である。

## 【 0 0 7 8 】

図 1 3（a）に示すように、マスク 9 0 を用いて、基板 1 1 に対して P 型不純物のイオン注入を行うことで、高濃度 P 型ウェル領域 4 1 と低濃度 P 型ウェル領域 4 2 が形成される。

## 【 0 0 7 9 】

マスク 9 0 は、第 1 の開口形成領域と第 2 の開口形成領域とを有し、第 1 の開口形成領域はほぼ全面にわたって開口され、その下に高濃度 P 型ウェル領域 4 1 が形成される。

## 【 0 0 8 0 】

第 2 の開口形成領域は、図 6（a）～（c）を参照して前述したマスクと同様に、例えばストライプ状、格子状、島状の遮蔽部が形成され、第 1 の開口形成領域よりも単位面積あたりの開口率が低い。さらに、第 2 の開口形成領域は、第 1 の領域 9 1 と第 2 の領域 9 2 とを有する。第 1 の領域 9 1 は第 1 の開口形成領域に隣接している。第 2 の領域 9 2 は、第 1 の領域 9 1 を挟んで第 1 の開口形成領域の反対側に位置し、第 1 の領域 9 1 よりも単位面積あたりの開口率が低い。

## 【 0 0 8 1 】

このため、開口率が相対的に高いマスク 9 0 の第 1 の領域 9 1 の下には、相対的に P 型不純物濃度が高い第 1 の領域 4 2 a が形成され、開口率が相対的に低いマスク 9 0 の第 2 の領域 9 2 の下には、相対的に P 型不純物濃度が低い第 2 の領域 4 2 b が形成される（図 1 3（b））。

10

20

30

40

50

## 【 0 0 8 2 】

すなわち、本実施形態では、高濃度 P 型ウェル領域 4 1 と、これよりも P 型不純物濃度が低い第 1 の領域 4 2 a と、さらにこれよりも P 型不純物濃度が低い第 2 の領域 4 2 b とが、同じイオン注入工程にて同時に形成することができる。

## 【 0 0 8 3 】

そして、第 1 の領域 4 2 a 及び第 2 の領域 4 2 b の表面に一様に N 型不純物を注入することで、相対的に N 型の実効不純物濃度が異なる部分 4 7 a、4 7 b を有するドリフト領域 4 7 が得られる。

## 【 0 0 8 4 】

相対的に P 型不純物濃度が異なる第 1 の領域 4 2 a 及び第 2 の領域 4 2 b を同時に形成するにあたっては、図 1 4 ( a ) に示すように、相対的に膜厚が異なるマスク 9 3、9 4 を用いてもよい。マスク 9 4 の方がマスク 9 3 よりも膜厚が厚い。P 型不純物イオンは、マスク 9 3、9 4 を通過して基板 1 1 内に入り込むように加速電圧が制御される。

## 【 0 0 8 5 】

そして、相対的に膜厚が厚いマスク 9 4 を通過して基板 1 1 に注入されるイオンの方が、相対的に膜厚が薄いマスク 9 3 を通過して基板 1 1 に注入されるイオンよりも相対的に注入量が少なくなる。この結果、マスク 9 3 の下に相対的に P 型不純物濃度が高い第 1 の領域 4 2 a が形成され、マスク 9 4 の下に相対的に P 型不純物濃度が低い第 2 の領域 4 2 b が形成される。

## 【 0 0 8 6 】

また、図 1 4 ( b ) に示すように、第 1 の領域から第 2 の領域にかけて、徐々に膜厚が増大するマスク 9 5 を用いてもよい。マスク 9 5 において相対的に膜厚が薄い部分の下には相対的に P 型不純物濃度が高い領域が形成され、相対的に膜厚が厚い部分の下には相対的に P 型不純物濃度が低い領域が形成される。このマスク 9 5 を使った場合、第 1 の領域 4 2 a の端から第 2 の領域 4 2 b の端にかけて、徐々に P 型不純物濃度が減少する構造を形成することが可能である。

## 【 0 0 8 7 】

低濃度 P 型ウェル領域 4 2 は、図 1 5 に示すように、3 つの領域 ( 第 1 の領域 4 2 a、第 2 の領域 4 2 b 及び第 3 の領域 4 2 c ) に分けてもよい。

## 【 0 0 8 8 】

第 1 の領域 4 2 a は、高濃度 P 型ウェル領域 4 1 側に設けられ、ドリフト領域 4 7 におけるゲート電極 5 3 側の部分 4 7 a に接する。第 2 の領域 4 2 b は、第 1 の領域 4 2 a を挟んで高濃度 P 型ウェル領域 4 1 の反対側に設けられ、ドリフト領域 4 7 におけるドレイン領域 4 8 側の部分 4 7 b に接する。第 3 の領域 4 2 c は、ドレイン領域 4 8 の下に設けられ、ドレイン領域 4 8 に接する。

## 【 0 0 8 9 】

第 1 の領域 4 2 a の P 型不純物濃度を  $Q d 1$ 、第 2 の領域 4 2 b の P 型不純物濃度を  $Q d 2$ 、第 3 の領域 4 2 c の P 型不純物濃度を  $Q d 3$  とすると、 $Q d 1 > Q d 2 > Q d 3$  が成り立つ。

## 【 0 0 9 0 】

第 1 の領域 4 2 a 及び第 2 の領域 4 2 b の表面に対して、N 型不純物イオンが注入され、その後熱処理されることで、ドリフト領域 4 7 が形成される。その N 型不純物イオンのドーズ量は第 1 の領域 4 2 a 及び第 2 の領域 4 2 b の面方向で略均一であるが、第 1 の領域 4 2 a の方が第 2 の領域 4 2 b よりも P 型不純物濃度が高いため、ドリフト領域 4 7 には相対的に不純物の実効濃度が異なる 2 つの部分 4 7 a、4 7 b が形成される。

## 【 0 0 9 1 】

すなわち、第 1 の領域 4 2 a の上で第 1 の領域 4 2 a に接する部分 4 7 a は、第 2 の領域 4 2 b の上で第 2 の領域 4 2 b に接する部分 4 7 b よりも相対的に N 型不純物濃度が低い。

## 【 0 0 9 2 】

ドリフト領域 4 7 におけるゲート電極 5 3 側の部分 4 7 a の不純物濃度を相対的に低くすることで、その部分 4 7 a がオフ時（ゲート電極 5 3 に閾値以上の電圧が印加されていない時）に完全空乏化して、高いオフ耐圧が得られる。

【 0 0 9 3 】

ドリフト領域 4 7 におけるドレイン領域 4 8 側の部分 4 7 b の不純物濃度を相対的に高くすることで、ゲート電極 5 3 に閾値以上のフルバイアスが印加されたときに、部分 4 7 b の空乏化を抑制して、高いオン耐圧が得られる。

【 0 0 9 4 】

また、本実施形態では、ドレイン領域 4 8 下の第 3 の領域 4 2 c を第 2 の領域 4 2 b よりもさらに低不純物濃度とすることで、ドレイン領域 4 8 と第 3 の領域 4 2 c との接合部の耐圧低下をよりいっそう抑制できる。

10

【 0 0 9 5 】

本実施形態は、前述した図 7 に示す第 2 実施形態の構造にも適用可能である。その構造を図 1 6 に示す。

【 0 0 9 6 】

比較的不純物濃度が高いドレイン領域 4 8 と N 型層 8 0 との間の部分の不純物濃度が高いと、ドレイン領域 4 8 と N 型層 8 0 とがパンチスルーして耐圧を低下させる懸念がある。

【 0 0 9 7 】

図 1 6 に示す構造では、ドレイン領域 4 8 と N 型層 8 0 との間に、不純物濃度をより低下させた第 3 の領域 4 2 c を設けることで、上記パンチスルーを抑制して、高耐圧を得ることができる。

20

【 0 0 9 8 】

以上、具体例を参照しつつ本発明の実施形態について説明した。しかし、本発明は、それらに限定されるものではなく、本発明の技術的思想に基づいて種々の変形が可能である。

【 0 0 9 9 】

半導体材料としては例えばシリコンを用いることができるが、これに限らず、他の半導体材料を用いてもよい。また、単元素の半導体に限らず、化合物半導体を用いてもよい。

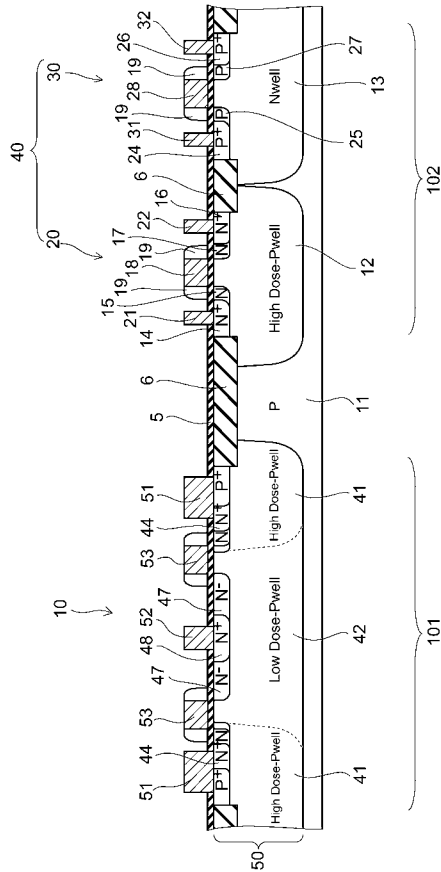
【 符号の説明 】

30

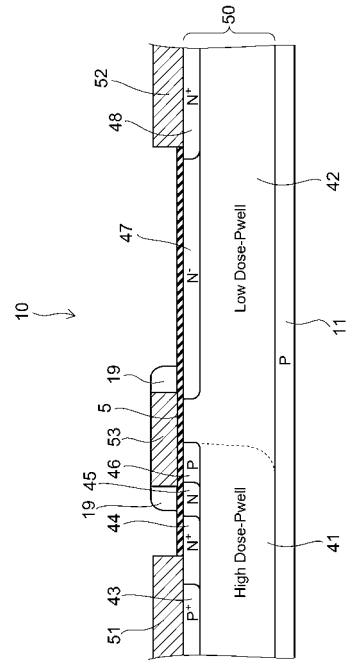
【 0 1 0 0 】

1 0 ... L D M O S 、 1 1 ... 基板、 1 2 ... P 型ウェル領域、 1 3 ... N 型ウェル領域、 2 0 ... N チャネル型 M O S 、 3 0 ... P チャネル型 M O S 、 4 0 ... C M O S 、 4 1 ... 高濃度 P 型ウェル領域、 4 2 ... 低濃度 P 型ウェル領域、 4 4 ... ソース領域、 4 7 ... ドリフト領域、 4 8 ... ドレイン領域、 5 1 ... ソース電極、 5 2 ... ドレイン電極、 5 3 ... ゲート電極

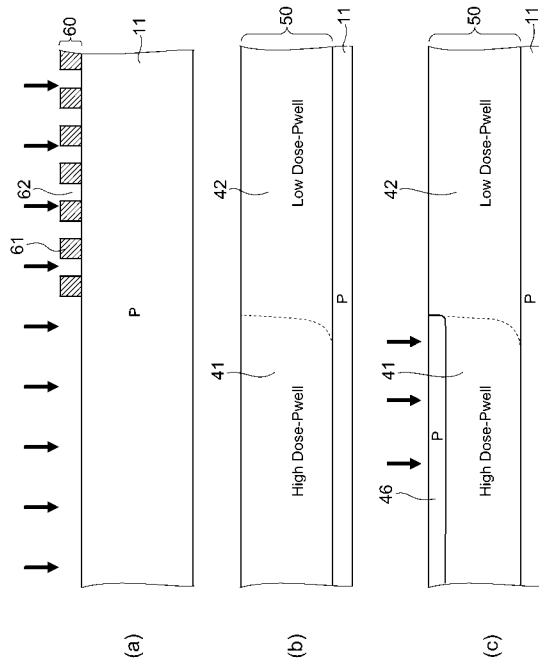
【図 1】



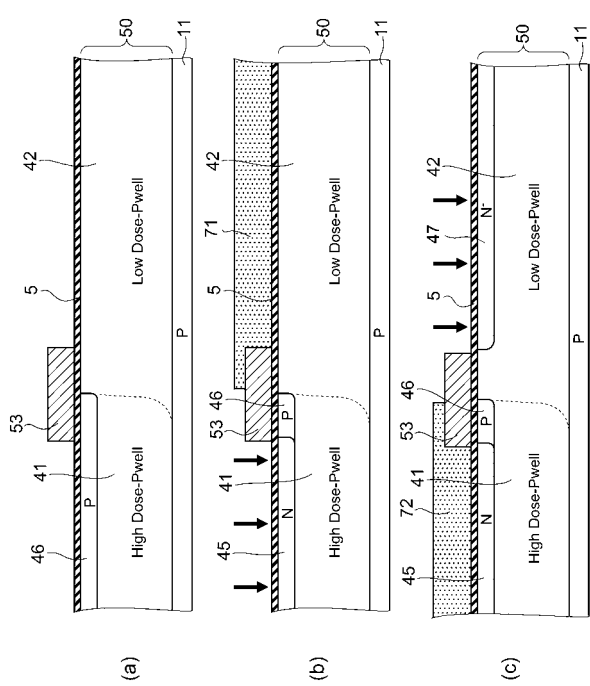
【図 2】



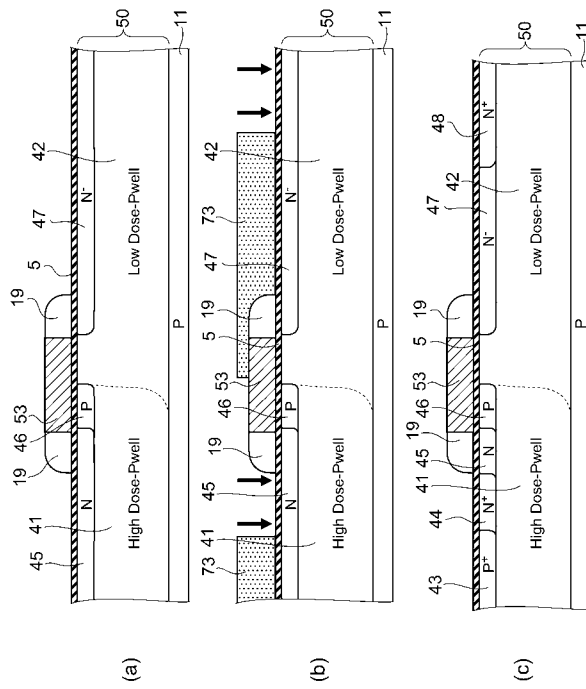
【図 3】



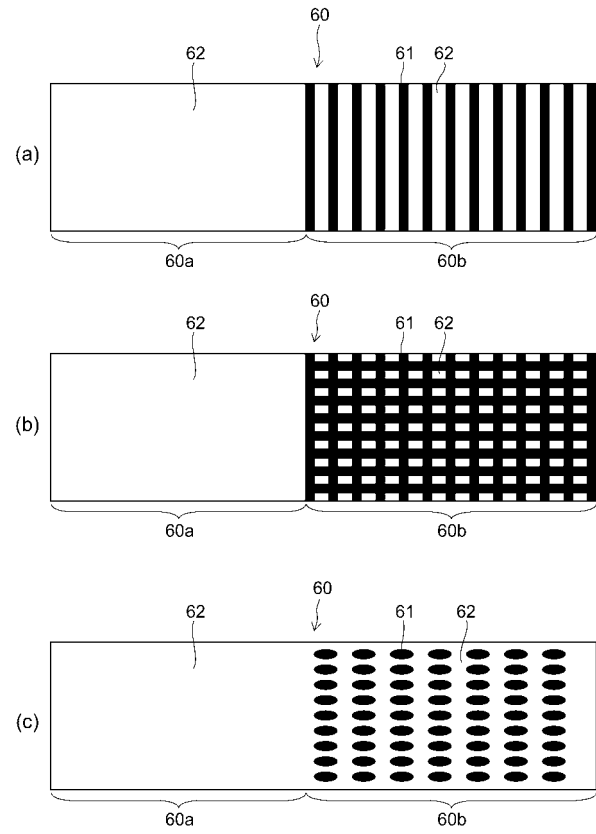
【図 4】



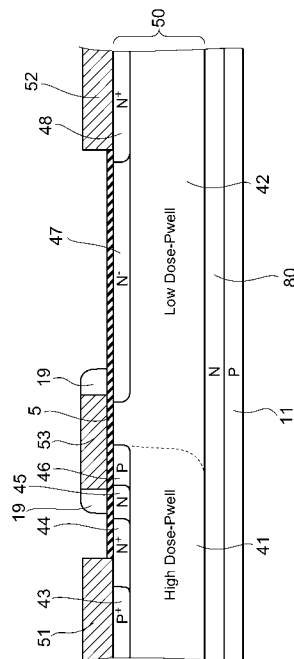
【図 5】



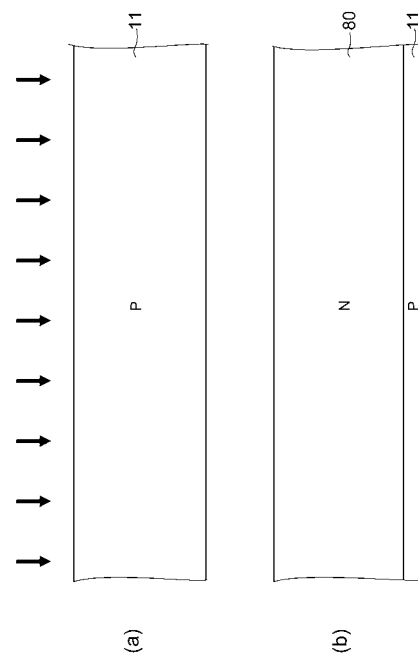
【図 6】



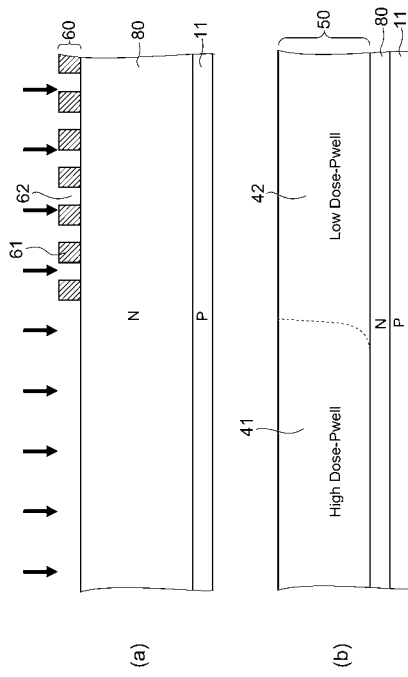
【図 7】



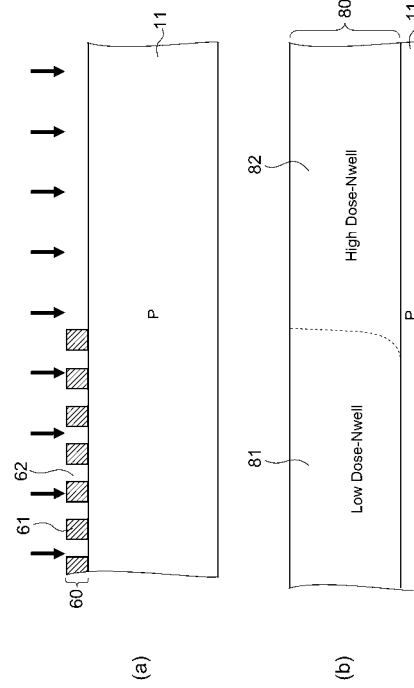
【図 8】



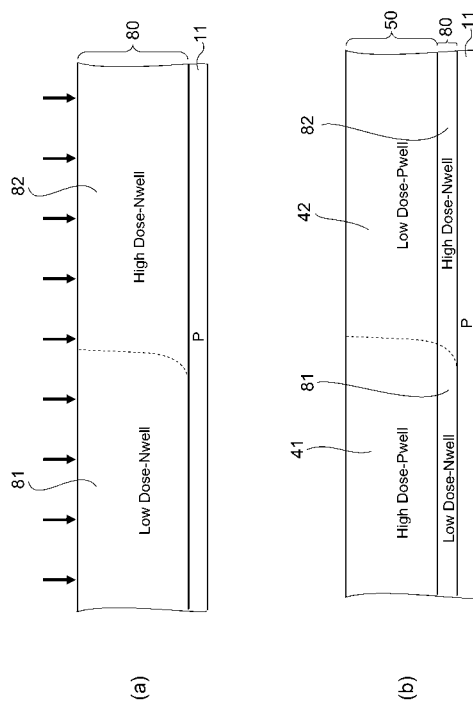
【図 9】



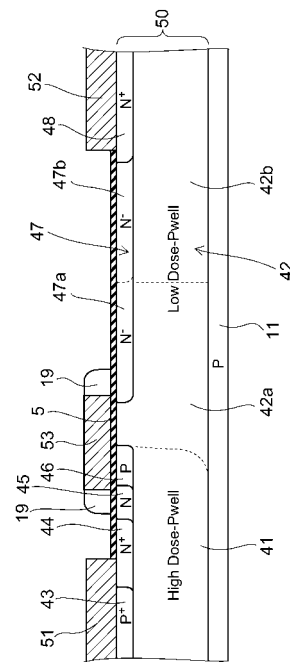
【図 10】



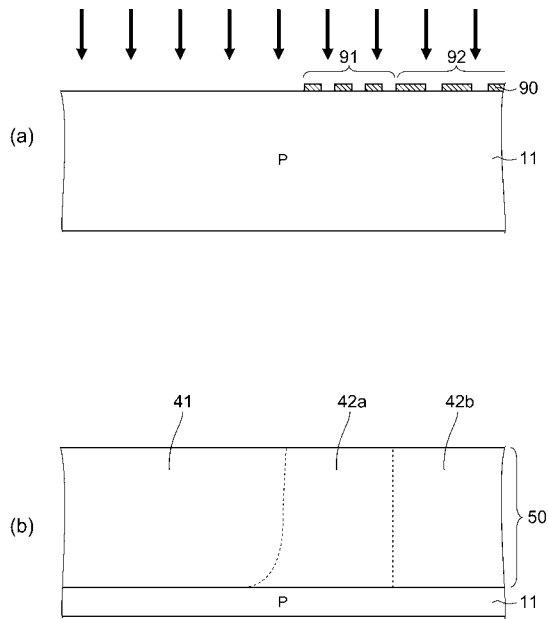
【図 11】



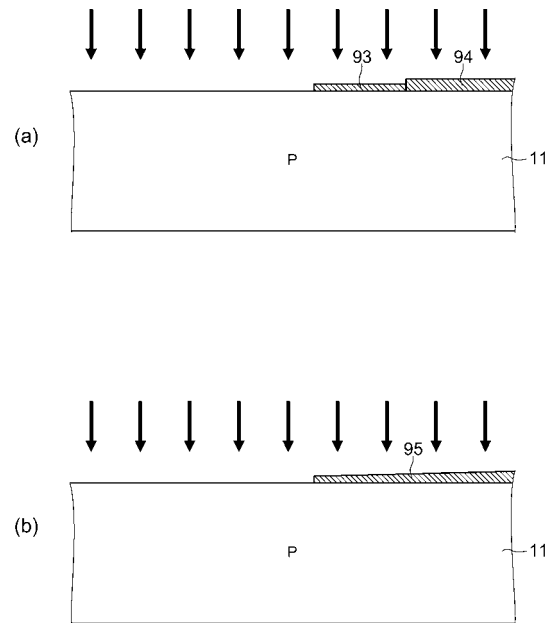
【図 12】



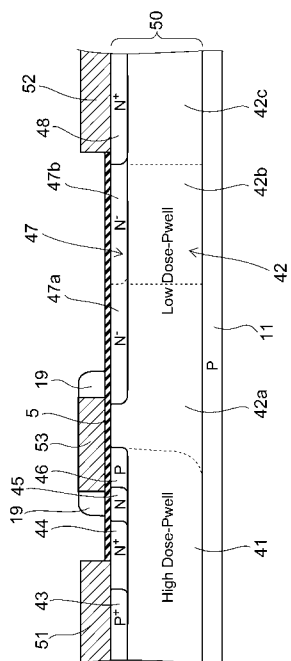
【図 13】



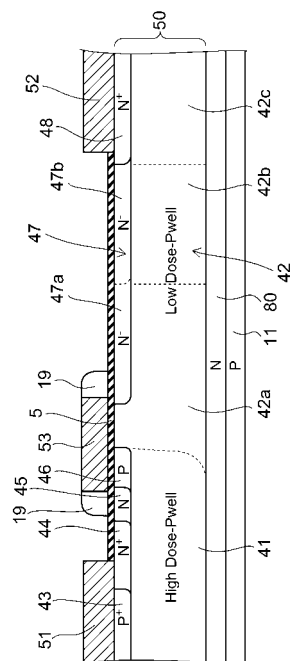
【図 14】



【図 15】



【図 16】





---

フロントページの続き

(56)参考文献 特開2006-245482(JP,A)  
特開2004-031519(JP,A)  
特開2008-235933(JP,A)  
特開2008-172112(JP,A)  
特表2008-507140(JP,A)  
特開平05-259444(JP,A)  
特開平09-036248(JP,A)  
特開2007-103721(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8238  
H01L 21/266  
H01L 27/092  
H01L 29/78