



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.

H01L 21/8247 (2006.01)  
H01L 27/115 (2006.01)

(11) 공개번호 10-2007-0002744  
(43) 공개일자 2007년01월05일

(21) 출원번호 10-2005-0058407  
(22) 출원일자 2005년06월30일  
심사청구일자 2006년02월06일

(71) 출원인 주식회사 하이닉스반도체  
경기 이천시 부발읍 아미리 산136-1  
(72) 발명자 서일석  
경기 이천시 대월면 사동리 441-1 현대사원아파트 102-1101  
(74) 대리인 특허법인 신성

전체 청구항 수 : 총 3 항

(54) 반도체 소자의 제조방법

(57) 요약

본 발명은 SAFG(Self Aligned Floating Gate) 공정을 적용한 플래시 메모리 소자의 플로팅 게이트 형성공정시 비교적 넓은 폭을 갖는 소자 분리막 상부에 잔류되는 폴리 실리콘막 잔류물에 의해 야기되는 소자 특성 저하를 개선시킬 수 있는 반도체 소자의 제조방법을 제공하기 위한 것으로, 이를 위해 본 발명은 셀 지역과 주변회로 지역으로 정의된 기판을 제공하는 단계와, 상기 기판 상에 패드 산화막과 패드 질화막을 순차적으로 형성하는 단계와, 상기 패드 질화막, 상기 패드 산화막 및 상기 기판을 식각하여 복수의 트렌치를 형성하는 단계와, 상기 트렌치 내부에 고립되도록 소자 분리막을 형성하는 단계와, 상기 제2 지역에 형성된 제1 소자 분리막이 개방되는 마스크를 형성하는 단계와, 상기 마스크를 이용한 식각공정을 실시하여 상기 제1 소자 분리막을 리세스시키는 단계와, 상기 마스크, 상기 패드 질화막과 상기 패드 산화막을 제거하는 단계와, 상기 패드 산화막이 제거되어 노출된 상기 기판 상에 터널 산화막을 형성하는 단계와, 상기 터널 산화막을 덮도록 플로팅 게이트용 폴리 실리콘막을 증착하는 단계와, 상기 폴리 실리콘막을 평탄화하여 상기 제1 지역에 형성된 제2 소자 분리막 사이에 고립된 플로팅 게이트를 형성하고, 상기 제1 소자 분리막의 리세스 영역에 더미패턴을 형성하는 단계를 포함하는 반도체 소자의 제조방법을 제공한다.

대표도

도 3e

특허청구의 범위

청구항 1.

셀 지역과 주변회로 지역으로 정의된 기판을 제공하는 단계;

상기 기판 상에 패드 산화막과 패드 질화막을 순차적으로 형성하는 단계;

상기 패드 질화막, 상기 패드 산화막 및 상기 기판을 식각하여 복수의 트렌치를 형성하는 단계;

상기 트렌치 내부에 고립되도록 소자 분리막을 형성하는 단계;

상기 제2 지역에 형성된 제1 소자 분리막이 개방되는 마스크를 형성하는 단계;

상기 마스크를 이용한 식각공정을 실시하여 상기 제1 소자 분리막을 리세스시키는 단계;

상기 마스크, 상기 패드 질화막과 상기 패드 산화막을 제거하는 단계;

상기 패드 산화막이 제거되어 노출된 상기 기판 상에 터널 산화막을 형성하는 단계;

상기 터널 산화막을 덮도록 플로팅 게이트용 폴리 실리콘막을 증착하는 단계; 및

상기 폴리 실리콘막을 평탄화하여 상기 제1 지역에 형성된 제2 소자 분리막 사이에 고립된 플로팅 게이트를 형성하고, 상기 제1 소자 분리막의 리세스 영역에 더미패턴을 형성하는 단계

를 포함하는 반도체 소자의 제조방법.

## 청구항 2.

제 1 항에 있어서,

상기 제1 소자 분리막이 상기 제2 소자 분리막보다 폭이 넓게 형성되는 반도체 소자의 제조방법.

## 청구항 3.

제 1 항 또는 제 2 항에 있어서, 상기 더미패턴을 형성하는 단계 후,

상기 제1 소자 분리막을 리세스시키는 단계;

상기 플로팅 게이트의 단차를 따라 유전체막을 형성하는 단계;

상기 유전체막 상부에 컨트롤 게이트용 폴리 실리콘막을 증착하는 단계; 및

상기 컨트롤 게이트용 폴리 실리콘막, 상기 유전체막 및 상기 플로팅 게이트를 식각하여 컨트롤 게이트를 형성하는 동시에 상기 더미패턴을 식각하여 제거하는 단계

를 더 포함하는 반도체 소자의 제조방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 소자의 제조방법에 관한 것으로, 특히 비휘발성 메모리 소자(nonvolatile memory device)인 플래시 메모리 소자의 플로팅 게이트 형성방법에 관한 것이다.

최근에는 전기적으로 프로그램(program)과 소거(erase)가 가능하며, 일정 주기로 데이터(data)를 재작성하는 리프레시(refresh) 기능이 필요 없는 플래시 메모리 소자의 수요가 증가하고 있다. 그리고, 많은 데이터를 저장할 수 있는 대용량 메모리 소자의 개발을 위해서 메모리 소자의 고집적화 기술에 대한 연구가 활발하게 진행되고 있다. 여기서, 프로그램이라 함은 데이터를 메모리 셀에 기입(write)하는 동작을 가리키며, 소거라 함은 메모리 셀에 기입된 데이터를 제거하는 동작을 가리킨다.

플래시 메모리 소자의 제조함에 있어서, 일반적으로 소자 분리 공정으로 얇은 트렌치 소자 분리(Shallow Trench Isolation, 이하, STI라 함) 공정을 이용하여 플래시 메모리 셀을 구현하고 있는데, 플로팅 게이트의 격리를 위한 마스크 패터닝이 고집적화되는 설계 특성상 0.15 $\mu$ m 이하의 작은 스페이스(space) 구현시에 마스크 작업 등의 문제가 더욱 어려워지고 있다. 이에 따라, 균일한 플로팅 게이트 구현이 중요한 요소로 작용하는 플래시 메모리 소자의 제조 공정의 난이도가 한층 높아지고 있다.

최근에는 플래시 메모리 소자의 디자인 룰(design rule)의 감소에 따른 소자의 신뢰성 확보가 중요한 문제로 대두되고 있다. 이에 따라, 0.07 $\mu$ m 이하급 소자에서는 자기정렬방식으로 플로팅 게이트를 형성하는 SAFG(Self Aligned Floating Gate) 공정을 도입하였다.

이하, SAFG 공정을 이용한 종래기술에 따른 플래시 메모리 소자의 플로팅 게이트 형성방법을 설명하기로 한다.

도 1a 내지 도 1e는 종래기술에 따른 플래시 메모리 소자의 플로팅 게이트 형성방법을 설명하기 위하여 도시한 공정 단면도이다. 여기서, 동일한 참조번호는 동일한 기능을 수행하는 동일요소이다.

먼저, 도 1a에 도시된 바와 같이, 소자 분리막의 밀도가 높은 지역(이하, 제1 지역이라 함)(A)과 소자 분리막의 밀도가 낮은 지역으로서 제1 지역(A)보다 넓은 폭을 갖는 소자 분리막이 형성되는 지역(이하, 제2 지역이라 함)(B)으로 정의된 반도체 기판(1)을 제공한다. 여기서, 제1 지역(A)은 셀 영역이고, 제2 지역(B)은 페이지 버퍼 또는 디코더가 형성될 주변회로 영역이다. 그런 다음, 반도체 기판(1) 상부에 패드 산화막(2)과 패드 질화막(3)을 증착한 후 STI(Shallow Trench Isolation) 식각공정을 실시하여 트렌치(5a, 5b)를 형성한다.

이어서, 도 1b에 도시된 바와 같이, 트렌치(5a, 5b)가 매립되도록 매립 특성이 우수한 HDP(High Density Plasma) 산화막을 증착한 후 CMP(Chemical Mechanical Polishing) 공정을 실시하여 트렌치(5a, 5b) 내부에 고립되는 소자 분리막(6a, 6b)을 형성한다.

이어서, 도 1c에 도시된 바와 같이, 인산( $H_3PO_4$ )을 이용한 식각공정을 실시하여 패드 질화막(3, 도 1b참조)을 제거한다. 그런 다음, 세정공정을 실시하여 패드 산화막(2, 도 1b참조)을 제거한다.

이어서, 도 1d에 도시된 바와 같이, 도 1c에서 패드 산화막(2)이 제거되어 노출된 기판(1) 상부면에 터널 산화막(7)을 형성한다. 그런 다음, 터널 산화막(7)을 포함한 전체 구조 상부를 더도록 플로팅 게이트용 폴리 실리콘막(8)을 증착한다.

이어서, 도 1e에 도시된 바와 같이, 산화막(소자 분리막) 간의 고선택비를 갖는 슬러리(slurry)를 이용한 CMP 공정을 실시하여 폴리 실리콘막(8)을 연마한다. 이로써, 각 소자 분리막(6a, 6b) 간에 고립되도록 자기정렬된 플로팅 게이트(8a)가 형성된다.

상기에서 설명한 바와 같이, 종래기술에 따른 SAFG 공정을 적용한 플래시 메모리 소자의 플로팅 게이트 형성방법에서는 소자 분리막(6a, 6b)을 형성하기 위하여 도 1b에 도시된 바와 같이 CMP 공정을 실시한다. 그러나, CMP 공정시 질화막과 산화막 간의 고선택비를 갖는 슬러리를 사용하였음에도 불구하고, 제2 지역(B)에 형성된 넓은 폭을 갖는 소자 분리막(6b)에 손실(loss)이 일어나 제1 및 제2 지역(A, B) 간에 단차가 발생하게 된다. 이로 인하여, 도 1e에 도시된 바와 같이 플로팅 게이트(8a)를 형성하기 위한 CMP 공정시 슬러리 특성상 단차지역에서는 폴리 실리콘막(8)이 연마되지 않고 잔류물(C)이 그대로 소자 분리막(6b) 상부에 잔류되게 된다.

이러한 폴리 실리콘막의 잔류물은 도 2의 (a)에 도시된 TEM(Transmission Electron Microscope) 사진에서도 나타난 것을 알 수 있다. 도 2는 도 1e의 CMP 공정까지 공정을 진행한 후 제2 지역(B)을 촬영한 TEM 사진이다. 이와 같이, 소자 분리막(6b) 상부에 폴리 실리콘막 잔류물(C)이 잔류되는 경우 다음과 같은 문제점이 발생한다.

도 1e에 도시된 바와 같이, 플로팅 게이트(8a)를 자기정렬 방식으로 형성한 후 유전체막을 형성하기 전 커플링 비(coupling ratio)를 증대시키기 위하여 소자 분리막(6a, 6b)을 리세스(recess)시키기 위한 식각공정이 실시된다. 보통, 커플링 비는 액티브 영역과 플로팅 게이트 간의 정전용량과 플로팅 게이트와 컨트롤 게이트 간의 정전용량의 비로 나타낸다. 따라서, 커플링 비를 증대시키기 위해서는 소자 분리막(6a, 6b)을 일부 리세스시켜 플로팅 게이트가 노출되는 면적을 증대시켜야 한다.

이후, 노출된 플로팅 게이트를 포함하는 전체 구조 상부의 단차를 따라 산화막-질화막-산화막으로 유전체막을 증착하는데, 폴리 실리콘막의 잔류물이 존재하는 지역에서는 불규칙하고, 어느 부분은 잔류물이 조각 조각 깨져 있어 도 2의 (b)에 도시된 바와 같이 버섯 모양처럼 유전체막이 증착되게 된다. 이러한 것이 도 2의 (c) 및 (d)에 도시된 바와 같이 후속 게이트 패턴 형성용 식각공정시 불규칙적인 잔류물이 남는 부분에서 브릿지(bridge)를 유발할 수가 있어 소자 특성을 저하시키는 원인이 된다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 안출된 것으로서, SAFG 공정을 적용한 플래시 메모리 소자의 플로팅 게이트 형성공정시 비교적 넓은 폭을 갖는 소자 분리막 상부에 잔류되는 폴리 실리콘막 잔류물에 의해 야기되는 소자 특성 저하를 개선시킬 수 있는 플래시 메모리 소자의 플로팅 게이트 형성방법을 제공하는데 그 목적이 있다.

### 발명의 구성

상기한 목적을 달성하기 위한 일측면에 따른 본 발명은, 셀 지역과 주변회로 지역으로 정의된 기판을 제공하는 단계와, 상기 기판 상에 패드 산화막과 패드 질화막을 순차적으로 형성하는 단계와, 상기 패드 질화막, 상기 패드 산화막 및 상기 기판을 식각하여 복수의 트렌치를 형성하는 단계와, 상기 트렌치 내부에 고립되도록 소자 분리막을 형성하는 단계와, 상기 제2 지역에 형성된 제1 소자 분리막이 개방되는 마스크를 형성하는 단계와, 상기 마스크를 이용한 식각공정을 실시하여 상기 제1 소자 분리막을 리세스시키는 단계와, 상기 마스크, 상기 패드 질화막과 상기 패드 산화막을 제거하는 단계와, 상기 패드 산화막이 제거되어 노출된 상기 기판 상에 터널 산화막을 형성하는 단계와, 상기 터널 산화막을 덮도록 플로팅 게이트용 폴리 실리콘막을 증착하는 단계와, 상기 폴리 실리콘막을 평탄화하여 상기 제1 지역에 형성된 제2 소자 분리막 사이에 고립된 플로팅 게이트를 형성하고, 상기 제1 소자 분리막의 리세스 영역에 더미패턴을 형성하는 단계를 포함하는 반도체 소자의 제조방법을 제공한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 설명한다. 또한, 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이며, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나, 또는 그들 사이에 제3의 층이 개재될 수도 있다. 또한 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분은 동일한 구성요소들을 나타낸다.

### 실시예

도 3a 내지 도 3e는 본 발명의 바람직한 실시예에 따른 SAFG 방식을 이용한 플래시 메모리 소자의 플로팅 게이트 형성방법을 설명하기 위하여 도시한 공정 단면도이다.

먼저, 도 3a에 도시된 바와 같이, 소자 분리막의 밀도가 높은 지역(이하, 제1 지역이라 함)(A)과 소자 분리막의 밀도가 낮은 지역으로서 제1 지역(A)보다 넓은 폭을 갖는 소자 분리막이 형성되는 지역(이하, 제2 지역이라 함)(B)으로 정의된 반도체 기판(11)을 제공한다.

이어서, 반도체 기판(11) 상부에 기판(11)의 결정 결함 억제 또는 표면 처리를 위하여 패드 산화막(12)을 형성한다. 이때, 패드 산화막(12)은 건식 또는 습식산화공정으로 형성하며, 750~900℃의 온도범위 내에서 70~100Å의 두께로 형성한다.

이어서, 패드 산화막(12) 상부에 패드 질화막(13)을 증착한다. 이때, 패드 질화막(13)은 LPCVD(Low Pressure Chemical Vapor Deposition) 방식으로 증착하며, 후속 공정을 통해 형성되는 소자 분리막(15a, 15b, 도3b참조)의 두께를 충분히 확보하기 위하여 최대한 두껍게 증착하되, 바람직하게는 2500~3500Å의 두께로 증착한다.

이어서, STI 식각공정을 실시하여 기판(11) 내부에 제1 및 제2 지역(A, B)에 따라 서로 다른 폭을 갖는 트렌치(14a, 14b)를 형성한다. 이때, 트렌치(14a, 14b)는 소정 각도 범위의 기울기(slope,  $\theta$ )를 갖도록 형성하되, 바람직하게는 75~85° 범위의 각도로 경사지게 형성한다. 한편, STI 식각공정은 마스크 공정과 식각공정으로 이루어지며, 패드 질화막(13) 상부에 감광막을 도포한 후 포토 마스크(photo mask)를 이용한 노광 및 현상공정을 실시하여 감광막 패턴을 형성한 후 이 감광막 패턴을 식각 마스크로 이용한 식각공정을 실시하여 기판(13)을 식각하는 과정으로 이루어진다.

이어서, 도 3b에 도시된 바와 같이, STI 식각공정시 트렌치(14a, 14b) 내측벽 및 저부면의 손상을 보상하고, 상부 모서리 부위를 라운딩처리하며, 액티브 영역의 임계치수(Critical Dimension)를 감소시키기 위하여 월 산화공정을 실시하여 월 산화막(미도시)을 형성한다. 이때, 월 산화막은 1000~1150°C 정도의 온도범위 내에서 150~250Å의 두께로 형성한다.

이어서, 트렌치(14a, 14b)에 의해 형성된 단차를 따라 월 산화막 상부에 라이너 산화막(미도시)을 형성한다. 여기서, 라이너 산화막은 후속 공정을 통해 형성되는 소자 분리막(15a, 15b)과의 접착력 강화하고, 후속 세정공정시 소자 분리막(212)의 상부 모서리 부위가 움푹 들어가는 모트 또는 덴트(dent) 현상을 방지하는 역할을 한다. 이러한 라이너 산화막은 고온 산화막(High Temperature Oxide; HTO)으로 형성하는 것이 바람직하다. 예컨대,  $\text{SiH}_2\text{Cl}_2$ (dichlorosilane; DCS)와 산소를 반응시켜 고온, 예컨대 1000~1100°C 정도의 온도에서 100~120Å의 두께로 증착한다.

이어서, 트렌치(14a, 14b)가 매립되도록 소자 분리막용 절연막을 증착한 후 CMP(Chemical Mechanical Polishing) 공정을 실시하여 소자 분리막(15a, 15b)을 형성한다. 이때, 소자 분리막(15a, 15b)은 트렌치(14a, 14b) 내부에서 공극(void)이 발생되지 않도록 매립 특성이 우수한 HDP(High Density Plasma) 산화막으로 형성하는 것이 바람직하다.

이어서, 마스크 공정을 실시하여 제1 지역(A)이 닫히고, 제2 지역(B)이 개방된 식각 마스크(16)을 형성한다. 이때, 식각 마스크(16)는 감광막을 도포한 후 포토 마스크를 이용한 노광 및 현상공정을 실시하여 제2 지역(B)이 개방되는 감광막 패턴으로 형성한다.

이어서, 식각 마스크(16)를 이용한 식각공정(17)을 실시하여 노출된 제2 지역(B)의 소자 분리막(15b)을 일정 깊이로 리세스시킨다.

이어서, 도 3c에 도시된 바와 같이, 패드 질화막(13, 도3b참조)을 제거한다. 이때, 패드 질화막(13)은 습식 또는 건식으로 제거한다. 예컨대, 인산( $\text{H}_3\text{PO}_4$ )을 이용하여 제거한다.

이어서, 패드 산화막(12)을 제거한다. 이때, 패드 산화막(12)은 DHF 용액(Diluted HF, 예컨대 50:1의 비율로  $\text{H}_2\text{O}$ 로 희석된 HF용액) 또는 BOE 용액(Buffered Oxide Etchant, 예컨대 HF와  $\text{NH}_4\text{F}$ 가 100:1 또는 300:1로 혼합된 용액)을 이용하여 제거한다.

이어서, 도 3d에 도시된 바와 같이, 패드 산화막(12, 도3b참조)이 제거되어 노출된 기판(11) 상에 터널 산화막 또는 게이트 산화막(19)을 형성한다. 이때, 터널 산화막(19)은 습식산화공정으로 형성하며, 예컨대 750~800°C 정도의 온도에서 습식산화를 진행하고, 900~910°C 정도의 온도에서 질소( $\text{N}_2$ ) 분위기에서 20~30분 동안 어닐링을 진행하여 형성한다.

이어서, 터널 산화막(19) 상부에 플로팅 게이트로 사용될 폴리 실리콘막(20)을 증착한다. 폴리 실리콘막(20)은  $\text{SiH}_4$  또는  $\text{Si}_2\text{H}_6$ 와  $\text{PH}_3$  가스를 이용하여 LPCVD 방식으로 형성한다. 이때, 폴리 실리콘막의 그레인 사이즈(grain size)가 최소화되도록 증착하는 것이 바람직하다. 예컨대 580~620°C의 온도범위 내에서 0.1~3Torr 정도의 낮은 압력으로 형성한다.

이어서, 도 3e에 도시된 바와 같이, CMP 공정을 통해 소자 분리막(15a, 15b)의 상부가 노출되도록 폴리 실리콘막(20)을 평탄화하여 제1 지역(A)에는 소자 분리막(15a)을 경계로 분리된 플로팅 게이트(20a)를 형성하고, 제2 지역(B)에는 더미 패턴(dummy pattern, 20b)을 형성한다. 이때, CMP 공정은 산화막과 폴리 실리콘막 간의 고선택비를 갖는 슬러리를 이용하여 실시한다. 일반적으로 주변회로 영역에는 소자 분리막으로 더미패턴을 형성할 수 없는 영역이 존재하는데, 이 영역에 더미패턴(20b)을 형성함으로써 공정 균일성을 확보할 수 있으며, 소자 특성이 개선시킬 수 있다.

한편, 도 4는 도 3e까지 진행된 웨이퍼를 도시한 TEM 사진으로서, 도시된 바와 같이 더미패턴(15b)이 형성되어 있다.

이어서, 식각공정을 실시하여 플로팅 게이트(20a) 사이로 노출된 소자 분리막(15a)을 일정 깊이로 리세스시킨 후 유전체막(미도시)과 컨트롤 게이트용 폴리 실리콘막(미도시)을 순차적으로 증착한다. 그런 다음, 컨트롤 게이트용 폴리 실리콘막, 유전체막 및 플로팅 게이트(13)을 순차적으로 식각하여 컨트롤 게이트를 형성한다. 이로써, 플로팅 게이트, 유전체막 및 컨트롤 게이트로 이루어진 게이트 전극이 형성된다. 한편, 컨트롤 게이트를 형성하기 위한 식각공정시 제2 지역에 형성된 더미패턴(20b)이 식각되어 제거된다.

본 발명의 기술 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 이 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예들이 가능함을 이해할 수 있을 것이다.

### 발명의 효과

이상에서 설명한 바와 같이, 본 발명에 의하면, 셀 영역에 형성되는 소자 분리막에 비해 폭이 넓게 소자 분리막이 형성되는 주변회로 영역 중 소자 분리막으로 더미패턴을 삽입하기 어려운 영역에 플로팅 게이트용 폴리 실리콘막으로 이루어진 더미패턴을 형성한 후 후속 컨트롤 게이트 형성공정시 제거함으로써 플로팅 게이트를 형성하기 위한 CMP 공정시 주변회로 영역에 잔류되는 폴리 실리콘막을 안정적으로 제거할 수 있으며, 이를 통해 공정 균일성을 개선시켜 소자의 특성을 향상시킬 수 있다.

### 도면의 간단한 설명

도 1a 내지 도 1e는 종래기술에 따른 플래시 메모리 소자의 플로팅 게이트 형성방법을 도시한 공정 단면도.

도 2의 (a) 내지 (d)는 종래기술에 따른 플래시 메모리 소자의 플로팅 게이트 형성방법을 통해 제조된 소자를 도시한 TEM (Transmission Electron Microscope) 사진.

도 3a 내지 도 3e는 본 발명의 바람직한 실시예에 따른 플래시 메모리 소자의 플로팅 게이트 형성방법의 공정 단면도.

도 4는 본 발명의 바람직한 실시예에 따른 플래시 메모리 소자의 플로팅 게이트 형성방법을 통해 제조된 소자를 도시한 TEM 사진.

<도면의 주요 부분에 대한 부호의 설명>

1, 11 : 기판

2, 12 : 패드 산화막

3, 13 : 패드 질화막

5a, 5b, 14a, 14b : 트렌치

6a, 6b, 15a, 15b : 소자 분리막

7, 19 : 터널 산화막

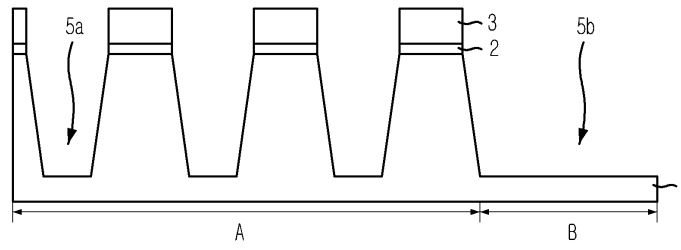
8, 20 : 폴리 실리콘막

8a, 20a : 플로팅 게이트

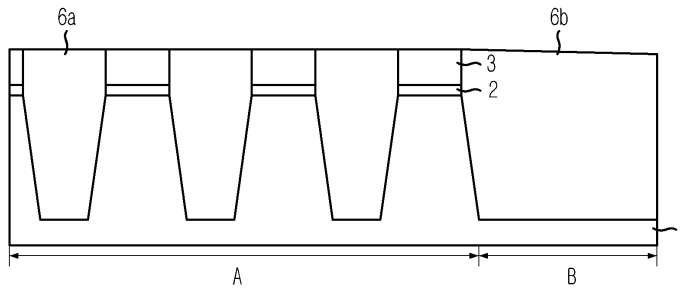
20b : 더미 패턴

도면

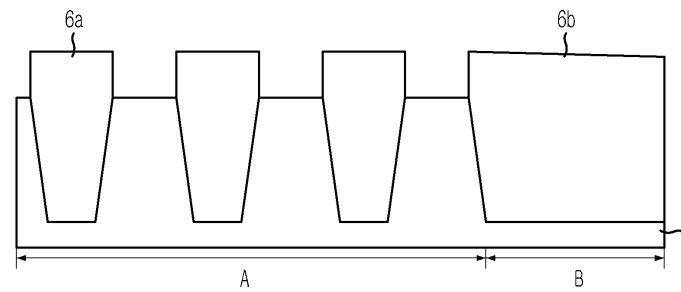
도면1a



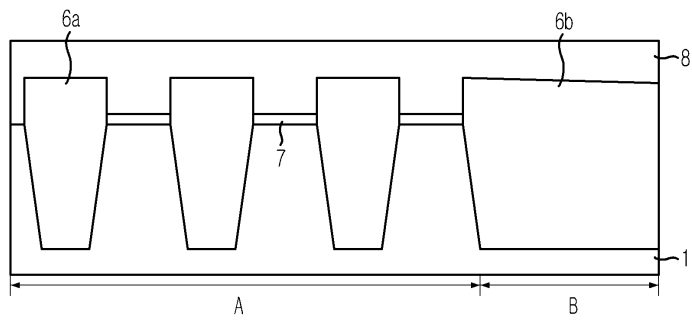
도면1b



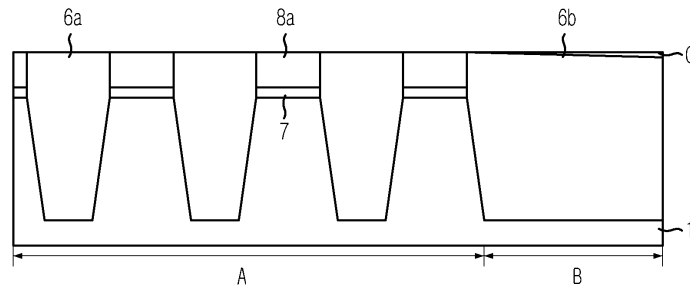
도면1c



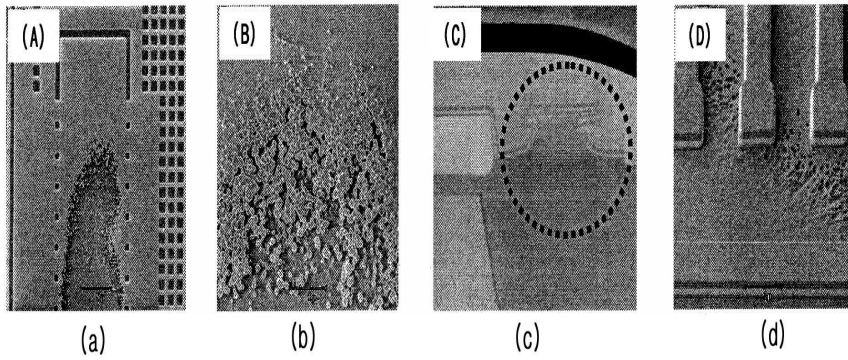
도면1d



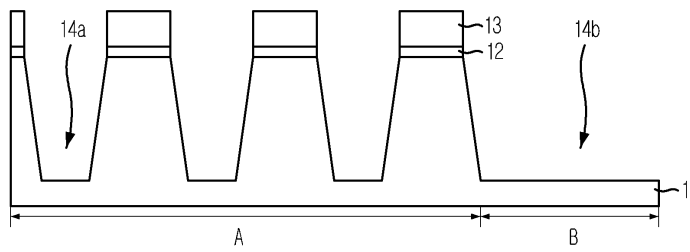
도면1e



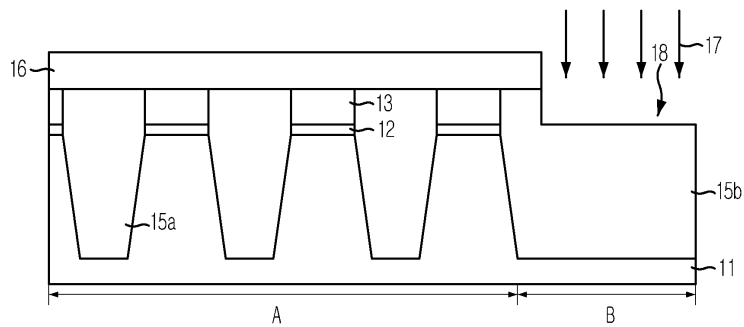
도면2



도면3a

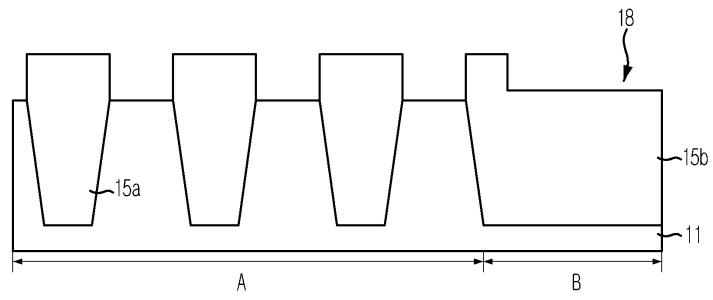


도면3b

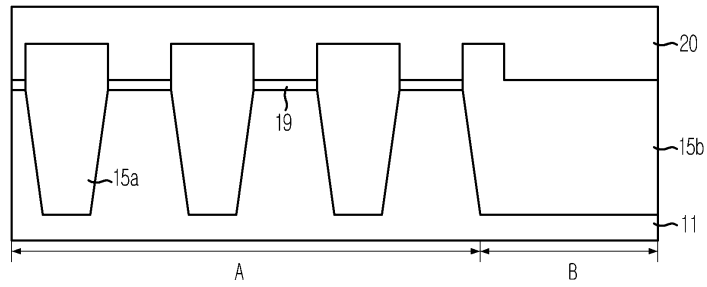




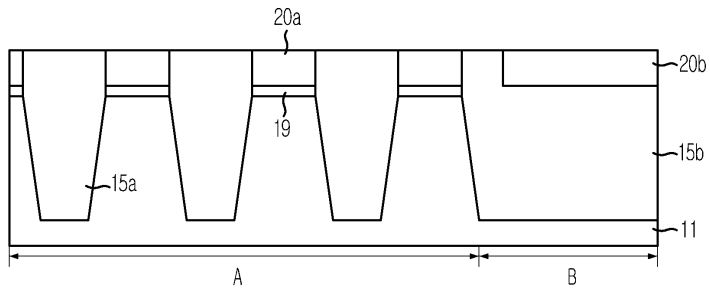
도면3c



도면3d



도면3e



도면4

