

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4386851号
(P4386851)

(45) 発行日 平成21年12月16日 (2009.12.16)

(24) 登録日 平成21年10月9日 (2009.10.9)

(51) Int. Cl.	F I
HO 1 L 25/04 (2006.01)	HO 1 L 25/04 Z
HO 1 L 25/18 (2006.01)	HO 1 L 27/04 M
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 E
HO 1 L 27/04 (2006.01)	

請求項の数 1 (全 11 頁)

(21) 出願番号	特願2005-44820 (P2005-44820)	(73) 特許権者	000154325
(22) 出願日	平成17年2月21日 (2005.2.21)		住友電工デバイス・イノベーション株式会
(65) 公開番号	特開2006-229175 (P2006-229175A)		社
(43) 公開日	平成18年8月31日 (2006.8.31)		神奈川県横浜市栄区金井町 1 番地
審査請求日	平成19年5月16日 (2007.5.16)	(74) 代理人	100087480
前置審査			弁理士 片山 修平
		(72) 発明者	宮澤 直行
			山梨県中巨摩郡昭和町大字紙漉阿原 1 O O
			O 番地 ユーディナデバイス株式会社内
		審査官	酒井 英夫

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板上に、入力および出力パッドをそれぞれ別個に有するスイッチを複数形成する第 1 ステップと、

複数の前記入力パッドまたは前記出力パッドのうちの少なくとも一部を選択し、該選択した前記入力パッド同士または前記出力パッド同士を電氣的に共通に選択する複数のパターンと、前記入力パッドまたは前記出力パッドのすべてを共通に接続するパターンと、前記スイッチをすべて独立して外部に接続するパターンとから、少なくとも一つのパターンを品種の選択命令によって選択し、該選択したパターンでワイヤボンディングをなす第 2 ステップとを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、携帯電話等の通信装置において送信信号および受信信号を処理する半導体装置に関する。

【背景技術】

【0002】

近年、1 台の携帯電話機内に 2 つ以上の送受信系を搭載するマルチバンド方式を採用した携帯電話機が提案されている。マルチバンド方式の携帯電話は、地域性や使用目的等に合った送受信系を選択して送受信することができるようにした利便性の高い機器として期

待されている。例えば、欧州では、既に、GSM (Global System for Mobile Communications) 方式とDCS (Digital Cellular System) 方式とに対応可能な携帯電話が全域で普及している。

【0003】

このようなデュアルバンド方式の携帯電話では、高周波数帯域の信号と、低周波数帯域の信号とに分離するダイプレクサと、このダイプレクサに接続したスイッチとを備えている（例えば特許文献1参照）。

【0004】

図14を参照しながらスイッチの構成を説明する。スイッチ52は、ダイプレクサ51によって分離された周波数帯域ごとに設けられ、各周波数帯域での信号の送受信を切り替える。スイッチの一例として、2つのSP4T (Single Pole 4 Through) 53、54を1チップにした構成を図9に示す。SP4Tスイッチ53、54は、1入力4出力のスイッチであって、信号を送信する時には、送信用の出力端子を入力端子に接続して、図9に示すダイプレクサ51側に出力する。また信号を受信する時には、受信用の出力端子を入力端子に接続して、ダイプレクサ51から入力した信号を選択した出力端子に接続する。

10

【0005】

【特許文献1】特開2003-87150号公報

【発明の開示】

【発明が解決しようとする課題】

20

【0006】

しかしながら、スイッチ回路は、顧客からの要求に応じて出力端子数の振り分けを変更することがある。例えば、上述した (SP4T + SP4T) の構成だけでなく、(SP3T + SP5T) や (SP5T + SP3T) といった構成のスイッチが必要になる。このようなスイッチを半導体チップに形成する場合には、1種類ごとにチップパターン (マスクパターン) が必要となるので、3つのチップパターン (マスクパターン) が必要になる。このため、1種類につき1つのチップパターンを形成するため、チップ形成のプロセス工数や複数のチップパターン (マスクパターン) を形成することによる部材費が増大するという問題が発生する。

【0007】

30

本発明は上記事情に鑑みてなされたものであり、製造が容易で安価な半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0017】

本発明の半導体装置の製造方法は、半導体基板上に、入力および出力パッドをそれぞれ別個に有するスイッチを複数形成する第1ステップと、複数の前記入力パッドまたは前記出力パッドのうちの少なくとも一部を選択し、該選択した前記入力パッド同士または前記出力パッド同士を電氣的に共通に選択する複数のパターンと、前記入力パッドまたは前記出力パッドのすべてを共通に接続するパターンと、前記スイッチをすべて独立して外部に接続するパターンとから、少なくとも一つのパターンを品種の選択命令によって選択し、該選択したパターンでワイヤボンディングをなす第2ステップとを有している。このように本発明は、共通接続する入力パッドまたは出力パッドを選択して、外部で電氣的に接続することができるので、その半導体装置が搭載される装置の仕様に応じたスイッチを簡単にしかも安価に製造することができる。

40

【発明の効果】

【0024】

本発明は、製造が容易で安価な半導体装置を提供することができる。

【発明を実施するための最良の形態】

【0025】

添付図面を参照しながら本発明の最良の実施例を説明する。

50

【実施例 1】

【0026】

まず、図 1 を参照しながら本実施例の構成を説明する。図 1 に示すように本実施例の半導体装置 1 は、入出力される信号を分波するダイプレクサ 2 と、信号の入出力先を切り替えるスイッチ回路 3 とを有している。ダイプレクサ 2 とスイッチ回路 3 とは 1 つの実装基板 8 内に搭載されている。ダイプレクサ 2 は図 1 に示すように実装基板 8 の実装基板端子 7 と、ボンディングワイヤ 5 によって接続を取り、外部装置に接続している。スイッチ回路 3 もボンディングワイヤ 5 によって実装基板 8 の実装基板端子 7 やコントロール端子 6 に接続され、外部装置に接続している。

【0027】

ダイプレクサ 2 は、図 1 に示すようにハイパスフィルタ 2 1 と、ローパスフィルタ 2 2 とを備えている。ハイパスフィルタ 2 1 は、例えば、1.5 GHz 以上の高周波信号を通過させる。ローパスフィルタ 2 2 は、例えば、1 GHz 以下の低周波信号を通過させる。ハイパスフィルタ 2 1 又はローパスフィルタ 2 2 を通過した信号は、スイッチ回路 3 に入力される。

【0028】

スイッチ回路 3 は、1 つのチップ上に形成され、ダイプレクサ 2 や外部装置とボンディングワイヤによって電氣的に接続している。チップ内の周辺部に配置したボンディング用パッド 4 と、実装基板 8 のコントロール端子 6 や実装基板端子 7 とはボンディングワイヤで接続している。コントロール端子 6 は、スイッチ回路 3 の動作を制御する信号を入力する端子である。また実装基板端子 7 は、半導体装置 1 の信号入出力となる端子である。なお、本実施例では、ダイプレクサ 2 とスイッチ回路 3 との接続はボンディングワイヤによって行なっているが、実装基板 8 上に配線した配線パターンによって接続することもできる。

【0029】

スイッチ回路 3 の詳細な構成を図 2 を参照しながら説明する。スイッチ回路 3 には、1 つの入力パッド 1 6 と、 n (n は正の整数) 個の出力パッド 1 7 とを備えたスイッチが複数設けられている。図 1 に示す実施例では、出力パッド 1 7 を 3 つ備えた S P 3 T スイッチ (Single - Pole Triple Throw)、1 0、1 3 と、出力パッド 1 7 を 1 つ備えた S P S T スイッチ (Single Pole Single Throw) 1 1、1 2 とがそれぞれ 2 つずつ設けられている。

【0030】

各スイッチ 1 0、1 1、1 2、1 3 の入力パッド 1 6 と、出力パッド 1 7 とは、トランジスタ 1 8 によってつながれている。トランジスタ 1 8 のゲートには抵抗 1 9 を介してデコード回路 1 5 が接続されている。デコード回路 1 5 は、図 2 に示すようにスイッチ回路と同じチップ内に作り込んでもよいし (1 つのチップに集積化する)、スイッチ回路 3 の外部に設けてもよい。1 つのチップに集積化することでプロセスを共通にすることができる。また、外部に設ける場合には、デコード回路 1 5 とスイッチを別々の材料で形成することもできる。例えば、デコード回路 1 5 を Si で形成し、スイッチは GaAs で形成する。

【0031】

S P 3 T スイッチ 1 0 と S P 3 T スイッチ 1 3 とは、高周波信号用のスイッチと、低周波信号用のスイッチとに分けられている。S P 3 T スイッチ 1 0 は、ハイパスフィルタ 2 1 を通過した信号を入力して、所定の出力パッド 1 7 に信号を出力するようにスイッチングを行なう。S P 3 T スイッチ 1 3 は、ローパスフィルタ 2 2 を通過した信号を入力して、所定の出力パッド 1 7 に信号を出力するようにスイッチングを行なう。

【0032】

S P S T スイッチ 1 1、1 2 は、システムの仕様に応じてハイパスフィルタ 2 1 を通過した高周波信号の処理用に設定することができ、またローパスフィルタ 2 2 を通過した低周波信号の処理用にも設定することができる。チップ上に S P 3 T 1 0、1 3、S P S T 1 1、1 2 のチップパターンを作成した後に、システム仕様に応じて S P S T 1 1、1 2

10

20

30

40

50

を接続するダイプレクサ 2 の出力端子を決定してボンディングワイヤによって接続する。図 1 に示す出力端子 2 3 に接続することでハイパスフィルタ 2 1 を通過した高周波信号を処理するスイッチとすることができ、出力端子 2 4 に接続することでローパスフィルタ 2 2 を通過した低周波信号を処理するスイッチとすることができる。図 1 に示す配線設計では、S P S T スイッチ 1 1 は、ハイパスフィルタ 2 1 の出力端子 2 3 に接続し、S P S T スイッチ 1 2 は、ローパスフィルタ 2 2 の出力端子 2 4 に接続している。すなわち、高周波信号の処理用と、低周波信号の処理用とでスイッチの数を同数に設定している。

【 0 0 3 3 】

また、図 3 に示す配線接続例では、S P S T スイッチ 1 1、1 2 を共にいずれか一方の信号処理用に設定している。図 3 (A) では、S P 3 T 1 0 と、S P S P T 1 1 と、S P S T 1 2 とをハイパスフィルタ 2 1 の出力端子 2 3 に接続し、高周波信号の処理用に設定している。このとき低周波信号の処理用には S P 3 T 1 3 だけが設定されている。また、図 3 (B) では、S P 3 T 1 3 と、S P S P T 1 1 と、S P S T 1 2 とをローパスフィルタ 2 2 の出力端子 2 4 に接続し、低周波信号の処理用に設定している。このとき高周波信号の処理用には S P 3 T 1 1 だけが設定されている。

【 0 0 3 4 】

また上述した以外の構成として、例えば図 4 (A) に示すように入力パッド同士または出力パッド同士をワイヤ 6 1 で互いに共通接続する構成、図 4 (B) に示すように入力パッドまたは出力パッドと、実装基板 8 又はパッケージの 1 つのリード 6 0 とをワイヤで接続する構成、図 4 (C) に示すように実装基板 8 上に半導体装置を実装し、実装基板 8 のリード 6 0 を共通接続する構成などが挙げられる。

【 0 0 3 5 】

さらに、別の構成では、図 5 に示すように入力パッド同士又は出力パッド同士の少なくとも一部を内部配線 6 2 で共通接続する。加えて、その入力パッド又は出力パッドのうちいずれか一つを外部で接続する。入力パッド又は出力パッドを外部接続する場合には、図 6 (A) に示すように入力パッドまたは出力パッドに接続したワイヤを、実装基板 8 の電極 7 0 に接続し、この電極 7 0 とリード 6 0 とを接続する構成、図 6 (B) に示すように入力パッドまたは出力パッドとリード 6 0 とをワイヤで接続する構成、図 6 (C) に示すように入力パッドまたは出力パッドとリード 6 0 とを実装基板 8 の電極 7 0 で接続する構成などが挙げられる。なお、この構成で用いる実装基板 8 のリード 6 0 には、図 6 (B) に示すように接続されないものもあるが、実装基板 8 は、例えば、リード 6 0 それぞれに接続される構成において使用できる。つまり、共通に実装基板 8 を使用できる。

【 0 0 3 6 】

図 7 にデコード回路 1 5 の詳細な構成を示す。デコード回路 1 5 は、図 7 に示すように電圧信号 V 1、V 2 とセレクト信号とによってオンさせるスイッチを選択するものである。デコード回路 1 5 は、図 7 に示すようにインバータ 8 1 A、8 1 B と、N O R ゲート 8 2 A ~ 8 2 D と、A N D ゲート 8 3 A ~ 8 3 G と、O R ゲート 8 4 A ~ 8 4 C とを備えている。このような構成のデコード回路 1 5 で、図 8 (A) に示す S P S T スイッチ 3 つを選択する場合の電圧信号とセレクト信号との論理を図 8 (B) に示す。また、図 9 (A) に示す S P S T スイッチと、S P 2 T スイッチとを選択する場合の、電圧信号とセレクト信号との論理を図 9 (B) に示す。なお、デコード回路 1 5 は、図 7 に示すものに限定されるものではなく、スイッチの構成に応じて変更することができる。

【 0 0 3 7 】

このように本実施例は、複数のスイッチを形成し、選択的に、スイッチの入力パッドまたは出力パッドを共通に接続している。すなわち、同一パターンのスイッチを複数形成しておいて、入力パッド同士または出力パッド同士の少なくとも一部を電氣的に接続する組み合わせの異なるパターンを複数設ける。または共通に接続するパターンとスイッチをすべて独立して外部に接続するパターンとを設ける。共通に接続するパターンとはスイッチの全てのパッドを共通に接続することである。また入力パッド同士または出力パッド同士の少なくとも一部を電氣的に共通に接続する組み合わせの異なる複数のパターンとは、ス

10

20

30

40

50

イッチの一部は共通に接続し、残りは外部と接続するものである。このようにして、仕様に
に応じてスイッチの構成を変更することができる。このため同一パターンのスイッチを形
成すればよいので、製造が容易で安価なスイッチを備えた半導体装置とすることができる
。

【 0 0 3 8 】

また、半導体チップ上に同一のマスクパターンでスイッチを形成し、入力パッドまたは
出力パッドを共通に接続するスイッチの組み合わせを変更することで、仕様に応じたスイ
ッチ構成とすることができる。従って、製造が容易で安価な高周波スイッチとすること
ができる。

【 0 0 3 9 】

ここで、図 1 0 のフローチャートを参照しながら半導体装置の第 1 の製造手順を説明す
る。まず、実装基板 8 上に入力及び出力パッドをそれぞれ別個に有するスイッチを複数形
成する（ステップ S 1）。次に、複数のスイッチの配線パターンを選択する（ステップ S
2）。配線パターンには、複数の入力パッドまたは出力パッドのうちの少なくとも一部を
選択し、選択した入力パッド同士または出力パッド同士を電氣的に共通に選択するパター
ンと、入力パッドまたは出力パッドのすべてを共通に接続するパターンと、スイッチをす
べて独立して外部に接続するパターンとがある。なお、一部を選択して共通に接続するパ
ターンは、選択する入力パッドまたは出力パッドに応じて複数備えられている。配線パタ
ーンを選択すると、選択したパターンでワイヤボンディングを行ない入力パッドまたは出
力パッドをワイヤで接続する（ステップ S 3）。このとき、実装基板 8 のリードと入力パ
ッド、出力パッドもワイヤで接続される。

【 0 0 4 0 】

次に、図 1 1 のフローチャートを参照しながら半導体装置の第 2 の製造手順を説明する
。まず、実装基板 8 上に複数のスイッチを形成する（ステップ S 1 0）。このスイッチは
、図 2 に示すトランジスタと抵抗とを有している。次に、マスクパターンを選択する（ス
テップ S 1 1）。マスクパターンには、複数の入力パッドまたは出力パッドのうちの少な
くとも一部を選択し、選択した入力パッド同士または出力パッド同士を電氣的に共通に選
択する内部配線パターンを有する複数のマスクと、入力パッドまたは出力パッドのすべて
を共通に接続する内部配線パターンを有するマスクと、スイッチをすべて独立して外部に
接続する内部配線パターンのマスクとがある。品種の選択命令に従ってマスクパターンを
選択すると、選択したマスクを用いて該当する内部配線パターンを形成する（ステップ S
1 2）。なお、内部配線のマスクが複数設けられる場合、そのマスクは素子同士を接続す
る配線パターンのマスクでもよいし、パッドの形成工程でパッドのパターンを形成するマ
スクであってもよい。パッドのマスクに本発明の内部配線パターンが設けられる場合、パ
ッドの形成とパッド間を接続する本発明の内部配線の形成は同時になる。

【 0 0 4 1 】

なお、本実施例では、1 つの実装基板 8 内にダイプレクサ 2 とスイッチ回路 3 とを設け
ているが、図 1 2 に示すようにスイッチ回路 3 を設けた実装基板 8 の外にダイプレクサ 2
を設けてもよい。このような構成の場合、スイッチ 1 0、1 1、1 2、1 3 の入力パッド
と、ダイプレクサ 2 の出力端子 2 3、2 4 とは直接接続されるのではなく、実装基板 8 の
実装基板端子 7 を介して接続している。実装基板端子 7 とダイプレクサ 2 のインターフェ
ース端子とは配線 1 4 で接続される。

【 0 0 4 2 】

また、スイッチ回路 3 のスイッチの構成は、図 1 に示す実施例の構成に限定されるもの
ではない。例えば、図 1 3（A）に示すスイッチ回路 3 は、8 個の S P S T スイッチだけ
でスイッチ回路 3 を構成している。図 1 3（A）では、両端 3 つずつの S P S T スイッチ
を高周波信号用と、低周波信号用とにそれぞれ固定し、真ん中の 2 つを高周波信号用と低
周波信号用とで切り替え可能な構成としている。

【 0 0 4 3 】

また、図 1 3（B）に示すスイッチ回路 3 は、4 個の S P D T（（ S i n g l e P o

10

20

30

40

50

le Double Through)によって構成している。図13(B)では、両端のSPDTスイッチを高周波信号用と、低周波信号用とにそれぞれ固定し、真ん中の2つのSPDTスイッチを高周波信号用と低周波信号用とで切り替え可能な構成としている。

【0044】

さらに、上述した実施例では、SP8Tスイッチと同等となるように各スイッチの出力端子数の合計を8個としているが、出力端子数は8個に限定されるものでもなく、例えば、6個や10個であってもよい。

【0045】

なお、上述した実施例は本発明の好適な実施の例である。但し、これに限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変形実施可能である。

10

【図面の簡単な説明】

【0046】

【図1】高周波スイッチの構成を示す図である。

【図2】スイッチ回路3の構成を示す図である。

【図3】ダイプレクサ2とスイッチ回路3との接続構成を示す図である。

【図4】入力パッド又は出力パッドの一部を共通接続した構成を示す図である。

【図5】入力パッド又は出力パッドの一部を共通接続した構成を示す図である。

【図6】入力パッド又は出力パッドの一部を共通接続した構成を示す図である。

【図7】デコード回路の構成の一例を示す図である。

【図8】(A)は、スイッチとして3つのSPSTスイッチを設けた構成を示す図であり、(B)は、各スイッチを選択するデコード回路の信号を示す図である。

20

【図9】(A)は、スイッチとしてSPSTスイッチとSPDTスイッチとを設けた構成を示す図であり、(B)は、各スイッチを選択するデコード回路の信号を示す図である。

【図10】製造工程を示すフローチャートである。

【図11】製造工程を示すフローチャートである。

【図12】スイッチ回路3を搭載した実装基板の外にダイプレクサを設けた構成を示す図である。

【図13】スイッチ回路3の他の構成を示す図である。

【図14】従来のスイッチの構成を示す図である。

【符号の説明】

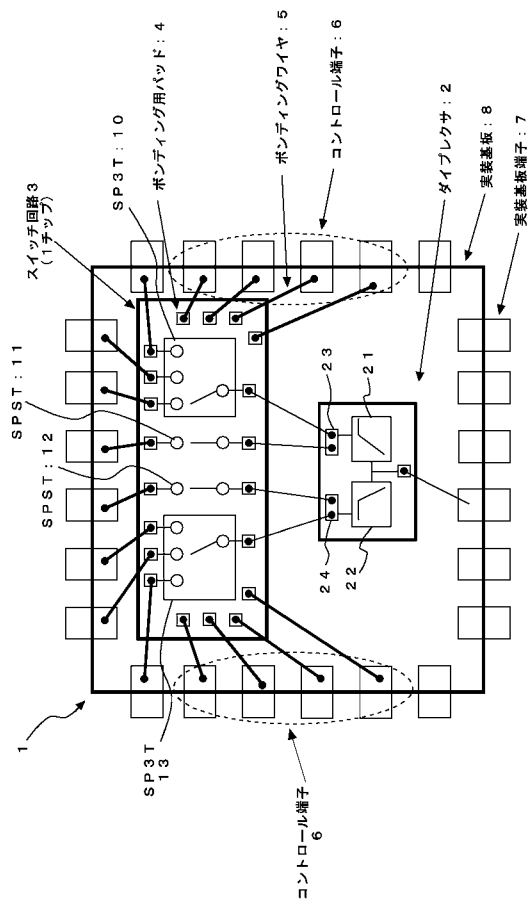
30

【0047】

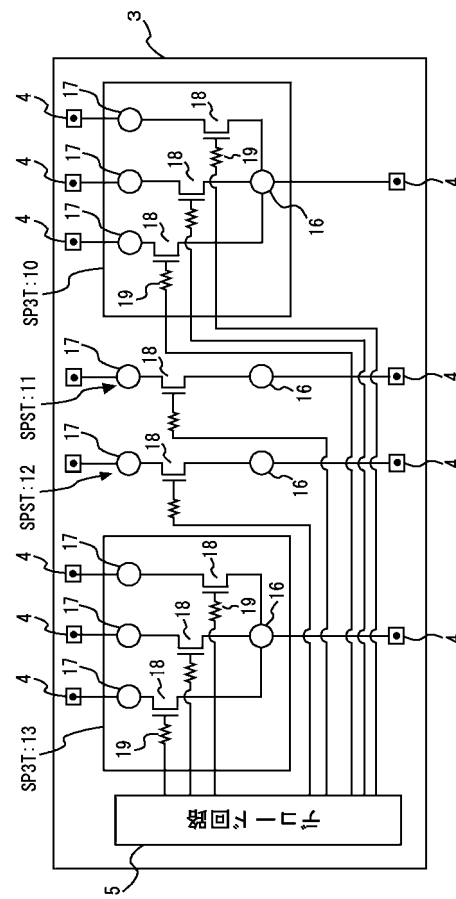
- | | |
|-------------|--------------|
| 1 高周波スイッチ | 2 ダイプレクサ |
| 3 スwitch回路 | 4 ボンディング用パッド |
| 5 ボンディングワイヤ | 6 コントロール端子 |
| 7 パッケージ端子 | 8 パッケージ |
| 10, 13 SP3T | 11, 12 SPST |
| 15 デコード回路 | 16 入力端子 |
| 17 出力端子 | 18 トランジスタ |
| 19 抵抗 | 21 ハイパスフィルタ |
| 22 ローパスフィルタ | 23, 24 出力端子 |
| 30 アンテナ | 31 RF部 |
| 32 IF部 | 33 ベースバンド部 |
| 34 入出力部 | 41 周波数混合器 |
| 42 帯域通過フィルタ | 43 増幅器 |
| 44 電力増幅器 | 45 低雑音増幅器 |
| 46 帯域通過フィルタ | 47 周波数混合器 |
| 48 中間周波数増幅器 | |

40

【圖 1】

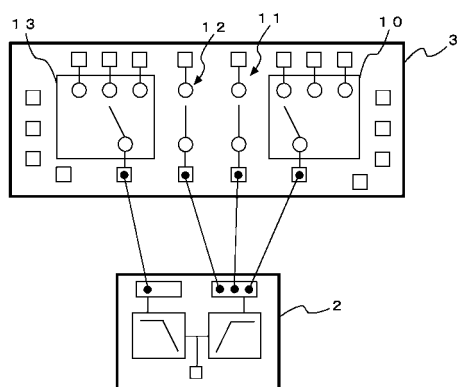


【圖 2】

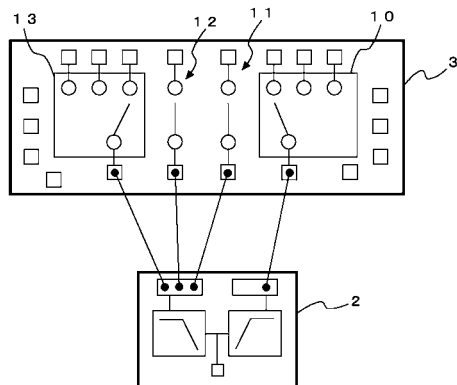


【 図 3 】

(A)

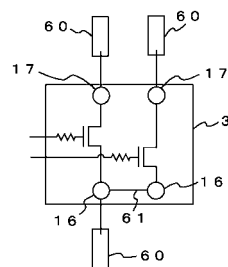


(B)

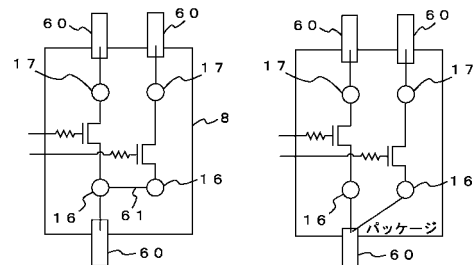


【 図 4 】

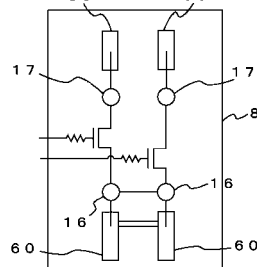
(A)



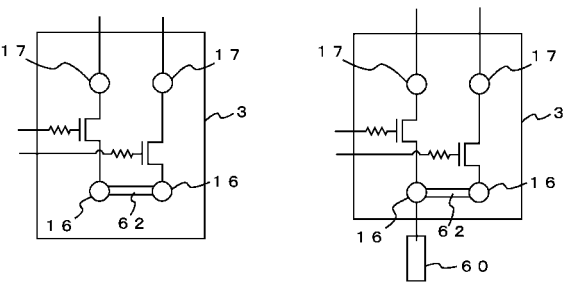
(B)



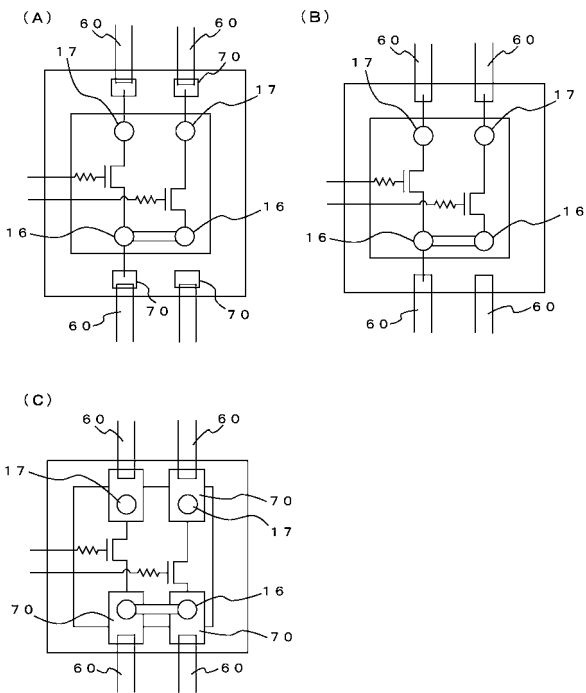
(C)



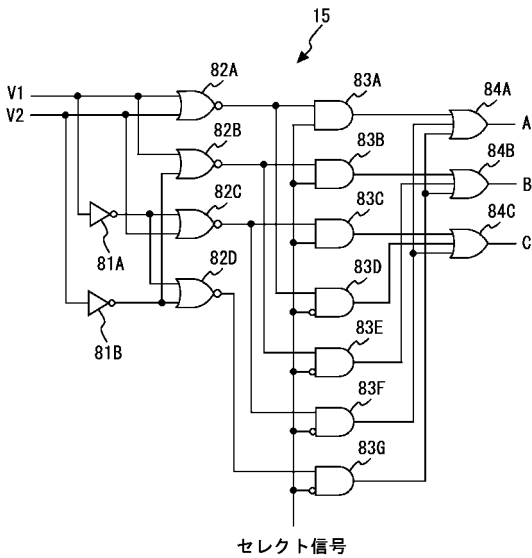
【図 5】



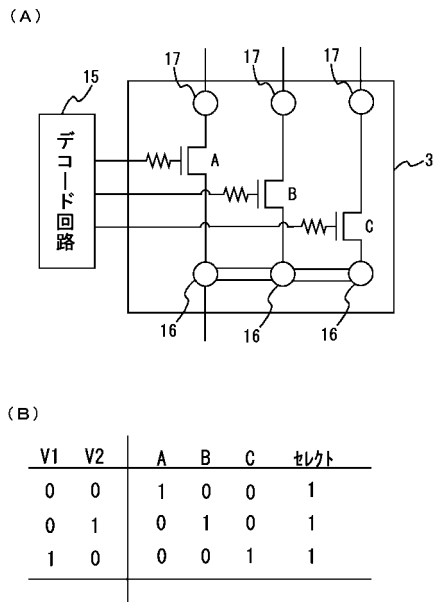
【図 6】



【図 7】

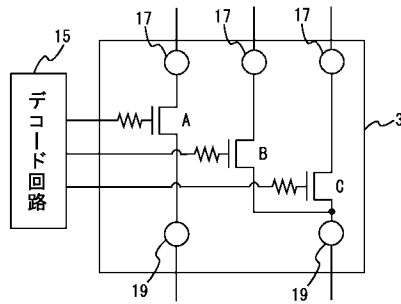


【図 8】



【図 9】

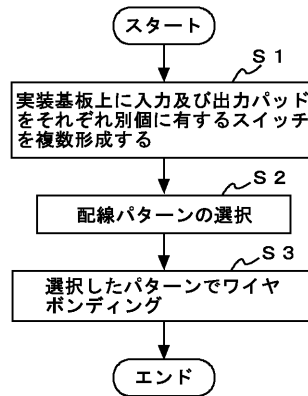
(A)



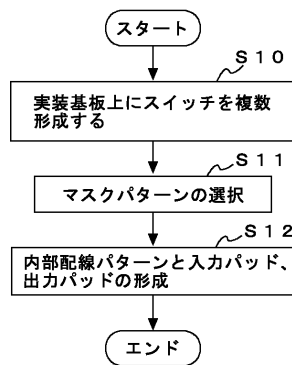
(B)

V1	V2	A	B	C	セレクト
0	0	0	0	1	0
0	1	0	1	0	0
1	0	1	0	1	0
1	1	1	1	0	0

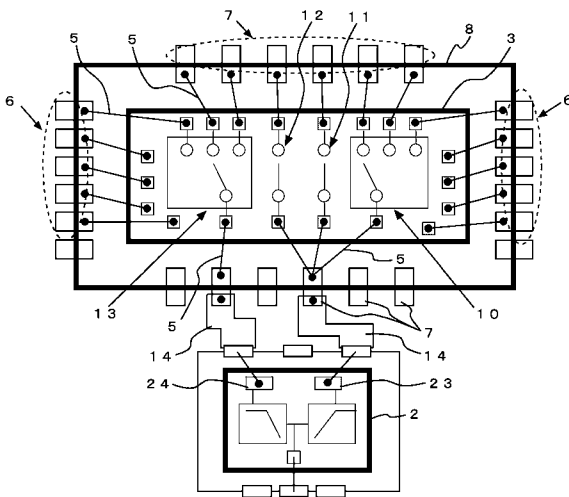
【図 10】



【図 11】

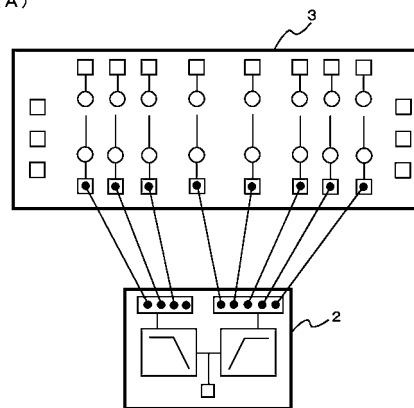


【図 12】

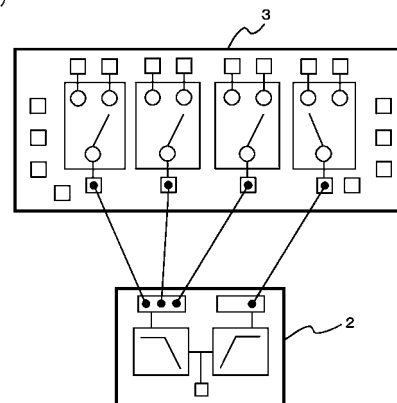


【図 13】

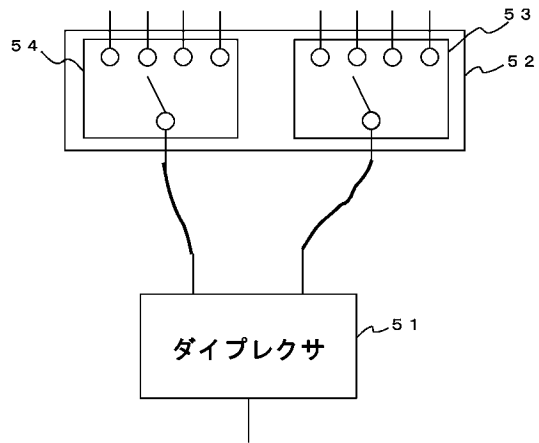
(A)



(B)



【図 14】



フロントページの続き

(56)参考文献 特開平 10 - 150395 (JP, A)
特開 2001 - 177050 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/00 - 25/18, 27/04,
H04B 1/38 - 1/58,
H03K 17/56 - 17/735