(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0139038
(43) 공개일자 2015년12월11일

(51) 국제특허분류(Int. Cl.)
G06F 7/02 (2006.01)
(21) 출원번호 10-2014-0066502
(22) 출원일자 2014년05월30일
심사청구일자 2014년05월30일

(71) 출원인
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
최우영
서울특별시 마포구 신수로15, 102동 403호 (현석동, 강변힐스테이트)
(74) 대리인
권오준

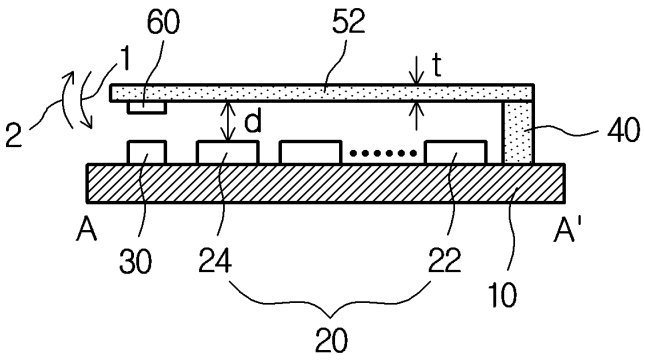
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **전기기계소자를 이용한 디지털 비교기 및 그 제조방법**

(57) 요 약

본 발명은 디지털 비교기에 관한 것으로, 일정 전압이 인가된 하나 이상의 도전성 빔 아래에 복수 개의 비트 입력라인과 하나의 출력라인이 교차 되도록 함으로써, 비트 입력라인에 통해 디지털 입력신호가 인가될 때, 비트 입력라인과 교차하는 부분에서의 정전기력에 의한 인력과 빔 고유의 탄성력(복원력)으로 빔이 하방으로 휘어졌다가 복원하며 동작하는 전기기계 디지털 비교기를 제공한다.

대 표 도 - 도4



이 발명을 지원한 국가연구개발사업
과제고유번호 201331033
부처명 미래창조과학부
연구관리전문기관 (재)한국연구재단
연구사업명 기초연구사업 (중견연구자지원사업-핵심연구-개인연구)
연구과제명 신경망 구현을 위한 저전력, 고성능, 고집적 기능전환형 삼차원 나노전기기
기 여 율 1/2
주관기관 서강대학교산학협력단
연구기간 2013.05.01 ~ 2014.04.30이 발명을 지원한 국가연구개발사업
과제고유번호 201436001
부처명 미래창조과학부
연구관리전문기관 정보통신산업진흥원
연구사업명 정보통신기술인력양성
연구과제명 정보통신용 아날로그 IP 기술 개발
기 여 율 1/2
주관기관 서강대학교산학협력단
연구기간 2014.01.01 ~ 2014.12.31

명 세 서

청구범위

청구항 1

평탄면을 갖는 기판;

상기 기판상에 제 1 방향으로 나란하게 형성된 복수 개의 도전성 라인들; 및

상기 도전성 라인들의 일측으로 상기 기판에 돌출된 지지대에 고정되어 상기 도전성 라인들과 위로 떨어져 교차하며 제 2 방향으로 형성된 하나 이상의 도전성 캔틸레버 빔을 포함하고,

상기 도전성 라인들은 복수 개의 비트 입력라인과 하나의 출력라인으로 구성된 것을 특징으로 하는 전기기계 디지털 비교기.

청구항 2

제 1 항에 있어서,

상기 복수 개의 비트 입력라인은 상기 지지대로부터 멀어지며 최하위 비트 입력라인에서 최상위 비트 입력라인으로 배열되고,

상기 출력라인은 상기 지지대로부터 멀어지는 상기 최상위 비트 입력라인의 측면에 이격되어 나란히 배열된 것을 특징으로 하는 전기기계 디지털 비교기.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 캔틸레버 빔의 끝단 하부에는 도전성 컨택부가 더 형성되고,

상기 캔틸레버 빔은 상기 복수 개의 비트 입력라인을 통해 입력되는 디지털 수치가 특정 값 이상일 경우 상기 도전성 컨택부가 상기 출력라인과 전기적으로 접촉된 상태에서 접촉되지 않은 상태로 혹은 접촉되지 않은 상태에서 접촉된 상태로 변화하는 것을 특징으로 하는 전기기계 디지털 비교기.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 비트 입력라인과 상기 캔틸레버 빔은 각각 상기 캔틸레버 빔의 길이방향을 따라 서로 교차하는 부분의 면적 및 서로 이격된 수직거리 중 적어도 하나 이상을 달리하며 형성된 것을 특징으로 하는 전기기계 디지털 비교기.

청구항 5

평탄면을 갖는 기판;

상기 기판상에 제 1 방향으로 나란하게 형성된 복수 개의 도전성 라인들; 및

상기 도전성 라인들의 양측으로 상기 기판에 돌출된 2개의 지지대에 고정되어 상기 도전성 라인들과 위로 떨어져 교차하며 제 2 방향으로 형성된 하나 이상의 도전성 빔을 포함하고,

상기 도전성 라인들 중 하나는 출력라인이고, 나머지 라인들은 복수 개의 비트 입력라인 중 하나와 전기적으로

연결된 것을 특징으로 하는 전기기계 디지털 비교기.

청구항 6

제 5 항에 있어서,

상기 출력라인은 상기 2개의 지지대 사이의 가운데에 위치하고,

상기 복수 개의 도전성 라인들 중 상기 출력라인을 제외한 나머지 라인들은 상기 출력라인을 중심으로 대칭으로 배열되고, 상기 출력라인에서 상기 각 지지대로 향하며 대칭 위치에 있는 2개의 도전성 라인들이 최상위 비트 입력라인에서 최하위 비트 입력라인으로 가며 상기 복수 개의 비트 입력라인 중 하나와 전기적으로 연결된 것을 특징으로 하는 전기기계 디지털 비교기.

청구항 7

제 5 항 또는 제 6 항에 있어서,

상기 도전성 빔의 하부에는 상기 출력라인과 교차하는 위치에 도전성 컨택부가 더 형성되고,

상기 도전성 빔은 상기 복수 개의 비트 입력라인을 통해 입력되는 디지털 수치가 특정 값 이상일 경우 상기 도전성 컨택부가 상기 출력라인과 전기적으로 접촉된 상태에서 접촉되지 않은 상태로 혹은 접촉되지 않은 상태에서 접촉된 상태로 변화하는 것을 특징으로 하는 전기기계 디지털 비교기.

청구항 8

소정의 절연성 기판에 제 1 방향으로 복수 개의 도전성 라인들로 하부전극을 형성하는 제 1 단계;

상기 기판상에 상기 하부전극을 덮도록 희생막을 증착하고 평탄화 후 사진식각 공정으로 하나 이상의 지지대와 컨택 형성용 홈부를 형성하고, 도전성 물질 증착 및 식각 공정으로 상기 제 1 방향과 소정의 각도로 교차 되는 제 2 방향으로 상부전극인 하나 이상의 도전성 빔, 상기 지지대 및 상기 컨택을 동시에 형성하는 제 2 단계; 및

상기 희생막을 제거하여 상기 도전성 빔을 부양시키는 제 3 단계를 포함하여 구성된 것을 특징으로 하는 전기기계 디지털 비교기의 제조방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 디지털 비교기에 관한 것으로, 더욱 상세하게는 전기기계소자를 이용한 디지털 비교기 및 그 제조방법에 관한 것이다.

배 경 기 술

[0002] 일반적으로 CMOS를 이용하여 구현되는 디지털 비교기는 복잡한 논리를 따르기 때문에 많은 MOSFET과 복잡한 배선을 필요로 하게 된다.

[0003] 도 1은 CMOS를 이용하여 구현된 종래 4비트 디지털 비교기의 일 예를 보여준다. 도 1에 의하면 CMOS로 구현된 디지털 회로 소자, 즉 다수의 인버터와 논리 게이트를 이용하여, 4비트로 표현되는 두 개의 수 A=A3A2A1A0, B=B3B2B1B0를 비교할 수 있게 된다. 두 개의 수 A, B에서 각각 최상위 비트(MSB: Most Significant Bit)는 A3, B3이고, 최하위 비트(LSB: Least Significant Bit)는 A0, B0가 되어, 최상위 비트부터 최하위 비트로 가며 비교하여, A<B, A>B, A=B인지를 판단하게 된다.

[0004] 도 1과 같이, 종래 디지털 비교기는 문턱전압이하의 기울기 값의 한계로 급격한 ON-OFF 스위칭이 어려운 기존 MOSFET 소자로 구현되고, 많은 논리 게이트 등의 집적이 필요하므로 누설전류가 많고 3차원 집적이 어려운 측면이 있어 왔다.

[0005] 이러한 문제점을 극복하고자, 최근에는 다양한 초저전력 전자소자가 연구되고 있다. 특히, 그 중에서도 반도체 소자가 아닌 기계적으로 움직이는 소자를 이용하여 회로를 구현하려는 전기기계소자에 대한 연구가 최근 활발히 진행되고 있다. 도 2는 UC Berkeley에서 제안한 전기기계소자로 2 입력(2-input) NAND/NOR 논리 게이트를 구현한 예를 보여준다. 그러나, 전기기계소자를 이용한 논리회로의 연구는 대부분 전기기계 릴레이(relay)를 MOSFET과 1:1로 대응하여 회로를 설계하고 있으므로 전기기계소자의 장점을 충분히 발현시키지 못하고 있는 상황이다.

[0006] 한편, 일본공개특허 특개(特開)2009-21227에 전기기계소자를 이용하여 고주파 신호 변환을 위해 사용되는 스위치를 구현하는 예는 개시되어 있으나, 종래 MOSFET 소자를 대신하여 디지털 비교기를 구현하기 위한 구성은 개시되어 있지 않다.

[0007] 따라서, 전기기계소자의 장점을 충분히 살리고, 기존 CMOS 회로설계로 구현되어 복잡하고 대면적이며 높은 전력소모를 유발하였던 디지털 비교기의 문제점을 해결할 필요성이 상존하고 있는 것이다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 상기 종래 기술의 문제점을 해결하고자 제안된 것으로서, 전기기계소자의 구조를 변경하여 기존의 반도체 칩 위에 3차원으로 집적이 가능하고, 간단한 공정과 비용으로 작은 면적에도 구현 가능하며, 종래의 기술보다 훨씬 낮은 전력소모로 구동이 가능한 전기기계소자를 이용한 디지털 비교기 및 그 제조방법을 제공하는데 목적이 있다.

과제의 해결 수단

[0009] 상기 목적을 달성하기 위하여, 본 발명에 의한 전기기계 디지털 비교기는 평탄면을 갖는 기판; 상기 기판상에 제 1 방향으로 나란하게 형성된 복수 개의 도전성 라인들; 및 상기 도전성 라인들의 일측으로 상기 기판에 돌출된 지지대에 고정되어 상기 도전성 라인들과 위로 떨어져 교차하며 제 2 방향으로 형성된 하나 이상의 도전성 캔틸레버 빔을 포함하고, 상기 도전성 라인들은 복수 개의 비트 입력라인과 하나의 출력라인으로 구성된 것을 특징으로 한다.

[0010] 상기 복수 개의 비트 입력라인은 상기 지지대로부터 멀어지며 최하위 비트 입력라인에서 최상위 비트 입력라인으로 배열되고, 상기 출력라인은 상기 지지대로부터 멀어지는 상기 최상위 비트 입력라인의 측면에 이격되어 나란히 배열된 것을 본 발명에 의한 전기기계 디지털 비교기의 다른 특징으로 한다.

[0011] 상기 캔틸레버 빔 2개가 일정거리 이격되어 나란히 형성된 되어 있고 입력 신호가 일정 수치 이하일 때에는 빔을 입력라인 쪽으로 끌어당기는 힘이 약하여 GND가 인가된 캔틸레버 빔이 출력라인과 컨택을 형성하지 않지만 VDD가 인가된 캔틸레버빔은 충분한 힘을 받기 때문에 출력라인과 컨택을 형성하여 출력라인이 VDD로 도전되고, 입력신호가 일정 수치 이상일 경우 GND가 인가된 캔틸레버 빔은 출력라인과 컨택을 형성하고 VDD가 인가된 캔틸레버 빔은 출력라인과 컨택을 형성하지 아니하여 출력라인이 GND로 도전되는 것을 본 발명에 의한 전기기계 디지털 비교기의 다른 특징으로 한다.

[0012] 상기 캔틸레버 빔의 끝단 하부에는 도전성 컨택부가 더 형성되고, 상기 캔틸레버 빔은 상기 복수 개의 비트 입력라인을 통해 입력되는 디지털 수치가 특정 값 이상일 경우 상기 도전성 컨택부가 상기 출력라인과 전기적으로 접촉된 상태에서 접촉되지 않은 상태로 혹은 접촉되지 않은 상태에서 접촉된 상태로 변화하는 것을 본 발명에 의한 전기기계 디지털 비교기의 다른 특징으로 한다.

[0013] 상기 컨택부, 상기 캔틸레버 빔은 도전성 물질로 형성되고, 상기 지지대는 도전성 혹은 비도전성 물질에 관계없이 형성 가능한 것을 본 발명에 의한 전기기계 디지털 비교기의 다른 특징으로 한다.

[0014] 상기 비트 입력라인과 상기 캔틸레버 빔은 각각 상기 캔틸레버 빔의 길이방향을 따라 서로 교차하는 부분의 면적 및 서로 이격된 수직거리 중 적어도 하나 이상을 달리하며 형성된 것을 본 발명에 의한 전기기계 디지털 비교기의 다른 특징으로 한다.

[0015] 본 발명에 의한 전기기계 디지털 비교기는 평탄면을 갖는 기판; 상기 기판상에 제 1 방향으로 나란하게 형성된 복수 개의 도전성 라인들; 및 상기 도전성 라인들의 양측으로 상기 기판에 돌출된 2개의 지지대에 고정되어 상기 도전성 라인들과 위로 떨어져 교차하며 제 2 방향으로 형성된 하나 이상의 도전성 빔을 포함하고, 상기 도전성 라인들 중 하나는 출력라인이고, 나머지 라인들은 복수 개의 비트 입력라인 중 하나와 전기적으로 연결된 것

을 특징으로 한다.

[0016] 상기 출력라인은 상기 2개의 지지대 사이의 가운데에 위치하고, 상기 복수 개의 도전성 라인들 중 상기 출력라인을 제외한 나머지 라인들은 상기 출력라인을 중심으로 대칭으로 배열되고, 상기 출력라인에서 상기 각 지지대로 향하며 대칭 위치에 있는 2개의 도전성 라인들이 최상위 비트 입력라인에서 최하위 비트 입력라인으로 가며 상기 복수 개의 비트 입력라인 중 하나와 전기적으로 연결된 것을 본 발명에 의한 전기기계 디지털 비교기의 다른 특징으로 한다.

[0017] 상기 도전성 빔의 하부에는 상기 출력라인과 교차하는 위치에 도전성 컨택부가 더 형성되고, 상기 도전성 빔은 상기 복수 개의 비트 입력라인을 통해 입력되는 디지털 수치가 특정 값 이상일 경우 상기 도전성 컨택부가 상기 출력라인과 전기적으로 접촉된 상태에서 접촉되지 않은 상태로 혹은 접촉되지 않은 상태에서 접촉된 상태로 변화하는 것을 본 발명에 의한 전기기계 디지털 비교기의 다른 특징으로 한다.

[0018] 한편, 전기기계 디지털 비교기의 제조방법은 소정의 절연성 기판에 제 1 방향으로 복수 개의 도전성 라인들로 하부전극을 형성하는 제 1 단계; 상기 기판상에 상기 하부전극을 덮도록 희생막을 증착하고 평탄화 후 사진식각 공정으로 하나 이상의 지지대와 컨택 형성용 홈부를 형성하고, 도전성 물질 증착 및 식각 공정으로 상기 제 1 방향과 소정의 각도로 교차 되는 제 2 방향으로 상부전극인 하나 이상의 도전성 빔, 상기 지지대 및 상기 컨택을 동시에 형성하는 제 2 단계; 및 상기 희생막을 제거하여 상기 도전성 빔을 부양시키는 제 3 단계를 포함하여 구성된 것을 특징으로 한다.

발명의 효과

[0019] 본 발명은 일정 전압이 인가된 하나 이상의 도전성 빔 아래에 복수 개의 비트 입력라인과 하나의 출력라인이 교차 되도록 함으로써, 비트 입력라인에 통해 디지털 입력신호가 인가될 때, 비트 입력라인과 교차하는 부분에서의 정전기력에 의한 인력과 빔 고유의 탄성력(복원력)으로 빔이 하방으로 휘어졌다가 복원하는 특성을 이용한 전기기계 디지털 비교기를 구현한 효과가 있다.

[0020] 본 발명에 의한 전기기계 디지털 비교기는 빔의 물질, 비트 입력라인과 빔의 디자인, 교차 되는 부위의 수직 이격거리, 빔의 지지대로부터 수평 이격거리 등을 공정상 조절하여 원하는 빔의 휨 특성이 나오도록 할 수 있을 뿐만 아니라 기존의 반도체 칩 위에 3차원으로 얼마든지 집적 가능하고, 간단한 공정과 비용으로 작은 면적에도 구현 가능하며, 종래 MOSFET 소자로 구현되는 것보다 훨씬 낮은 전력소모로 구동이 가능한 효과가 있다.

도면의 간단한 설명

[0021] 도 1은 종래 CMOS를 이용하여 구현된 4비트 디지털 비교기의 회로도이다.

도 2는 UC Berkeley에서 전기기계소자로 2 입력(2-input) NAND/NOR 논리 게이트를 구현한 회로도이다.

도 3은 본 발명의 일 실시예에 의한 전기기계 디지털 비교기의 레이아웃(평면도)이다.

도 4 및 도 5는 각각 도 3의 AA'선 및 BB'선의 단면도이다.

도 6은 본 발명의 다른 실시예에 의한 전기기계 디지털 비교기의 레이아웃(평면도)이다.

도 7 및 도 8은 각각 도 6의 AA'선 및 BB'선의 단면도이다.

도 9는 도 6의 실시예에 의한 전기기계 디지털 비교기의 일 배선도이다.

도 10은 본 발명의 일 실시예에 따른 전기기계 디지털 비교기의 제조방법을 보여주는 공정도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 첨부된 도면을 참조하며 본 발명의 바람직한 실시예에 대하여 설명한다.

[0023] 본 발명의 일 실시예에 의한 전기기계 디지털 비교기는, 도 3 내지 도 5와 같이, 평탄면을 갖는 기판(10); 상기 기판상에 제 1 방향(예컨대, x축 방향)으로 나란하게 형성된 복수 개의 도전성 라인들(20, 30); 및 상기 도전성 라인들(20, 30)의 일측으로 상기 기판(10)에 돌출된 지지대(anchor; 40)에 고정되어 상기 도전성 라인들(20, 30)과 위로 떨어져 교차하며 제 2 방향(예컨대, y축 방향)으로 형성된 하나 이상의 도전성 캔틸레버 빔(beam; 52, 54)을 포함하고, 상기 도전성 라인들(20, 30)은 복수 개의 비트 입력라인(20: 22, 24)과 하나의 출력라인(30)으로 구성된 것을 특징으로 한다.

[0024] 상기와 같이, 하나 이상의 도전성 캔틸레버 빔(beam; 52, 54)이 일단이 지지대(40)에 고정되어 부양되고, 그 아래에 복수 개의 비트 입력라인(20: 22, 24)과 하나의 출력라인(30)이 교차 되도록 함으로써, 비트 입력라인(20)을 통해 디지털 입력신호가 인가될 때, 비트 입력라인과 교차하는 부분에서 상하 라인간의 전압 차로 하방(1)으로 작용하는 정전기력(electrostatic force)과 상방(2)으로 작용하는 캔틸레버 빔 고유의 탄성력(복원력)으로 캔틸레버 빔이 하방으로 휘어졌다가 복원하는 전기기계소자의 특성을 그대로 이용하여 전기기계 디지털 비교기를 구현할 수 있게 된다.

[0025] 상기 도전성 캔틸레버 빔(52, 54)은, 도 3과 같이, 2개가 일정거리 이격되어 나란히 형성되어, 상기 복수 개의 비트 입력라인(20: 22, 24)으로 입력되는 디지털 입력신호에 따라 출력라인(30)에 접지용 빔(GND; 52) 또는 공급전압용 빔(VDD; 54)이 접촉하여 GND 또는 VDD의 일정 전압이 인가될 수 있으나, 접지용 빔(GND; 52) 및 공급전압용 빔(VDD; 54) 중 어느 하나만 형성하여, 출력라인(30)과 전기적으로 접촉되어 단락(ON/OFF)되는지 여부로 상기 복수 개의 비트 입력라인(20: 22, 24)으로 입력되는 값을 비교할 수도 있다. 전자의 경우에는 출력라인(30)에 공급전압용 빔(54)이 접촉되어 있고 접지용 빔(GND; 52)은 접촉되어 있지 않을 때 비트 입력라인을 통하여 디지털 입력신호가 정해진 수치를 넘어서게 되면 공급전압용 빔(54)은 출력라인(30)에서 떨어지고 접지용 빔(52)이 접촉하게 되는 것으로 입력되는 값과 미리 정해놓은 기준 수치를 비교하게 된다.

[0026] 그리고, 상기 복수 개의 비트 입력라인(20: 22, 24)은, 도 3과 같이, 상기 지지대(40)로부터 멀어지며 최하위 비트(LSB) 입력라인(22)에서 최상위 비트(MSB) 입력라인(24)으로 배열되고, 상기 출력라인(30)은 상기 지지대(40)로부터 멀어지는 상기 최상위 비트 입력라인(24)의 측면에 이격되어 최상위 비트 입력라인(24)과 나란히 배열되도록 하는 것이 바람직하다.

[0027] 이는 특히, 도 3과 같이, 상기 복수 개의 비트 입력라인(20: 22, 24)과 상기 도전성 캔틸레버 빔(52, 54)을 동일한 모양, 즉 도전성 캔틸레버 빔의 길이방향(y축 방향)을 따라 각 비트 입력라인 및 빔의 두께(t), 폭(w), 이격된 수직거리(d)가 동일하게 구현할 경우, 상기 각 비트 입력라인에 동일한 크기의 입력전압이 인가되더라도, 캔틸레버 빔에 정전기력이 작용하는 위치가 달라져 캔틸레버 빔의 거동(휨 정도)에 상이한 영향을 미치게 되는데, 이러한 점을 이용하여 입력되는 디지털 수치가 특정 값보다 큰 지 여부를 판단할 수 있기 때문이다.

[0028] 즉, 복수 개의 비트 입력라인(20: 22, 24)에 동일한 크기의 디지털 입력 신호가 최하위 비트 입력라인(LSB, 22)에서 최상위 비트 입력라인(MSB, 24) 순으로 입력하게 되면, 캔틸레버 빔(예컨대, 52)이 하방(1)으로 휘어 끝단의 컨택부(60)가 출력라인(30)과 전기적으로 접촉하게 되는 비트가 결정되고(반대로 캔틸레버 빔의 컨택부가 출력라인과 접촉된 상태에 있다가 접촉되지 않게 되는 비트가 결정되도록 할 수도 있음), 이를 통하여 입력되는 디지털 수치가 특정 값보다 큰 지 여부를 판단할 수 있게 된다.

[0029] 예컨대, 4 비트 입력라인을 갖는 전기기계 디지털 비교기일 경우, 2진수 0011에서 캔틸레버 빔(예컨대, 52)이 휘어져 출력라인(30)과 접촉하게 되었다면, 그 이상의 수치인 0100, 0101, 0110, 0111, 1000, 1001, 1010, 1011, 1100, 1101, 1110, 1111에서 모두 접촉하게 되므로, 이 경우에는 입력되는 디지털 수치가 0011(십진수 3)보다 큰지 여부를 결정할 수 있게 된다.

[0030] 그리고, 캔틸레버 빔(예컨대, 52)이 출력라인(30)과 전기적으로 접촉하게 되는 비트로 갖게 되는 특정 값은 상술한 복수 개의 비트 입력라인(20: 22, 24)과 캔틸레버 빔(52, 54)의 물리적 특성(모양 등)과 캔틸레버 빔의 물질에 따라 결정되므로, 이는 설계 및 공정 변수로 얼마든지 다양하게 할 수 있으므로, 다양한 특정 값을 갖는 전기기계 디지털 비교기를 만들 수 있게 된다.

[0031] 한편, 첨부된 도면에는 도시되지 않았으나, 상기 복수 개의 비트 입력라인과 상기 캔틸레버 빔을 각각 캔틸레버 빔의 길이방향(y축 방향)을 따라 서로 교차하는 부분(s)의 면적 및 서로 이격된 수직거리(d) 중 적어도 하나 이상을 달리하며 형성되게 할 수도 있다. 예컨대, 상기 캔틸레버 빔의 길이방향을 따라 지지대(40)를 향하여 가며 서로 교차하여 마주보는 비트 입력라인과 캔틸레버 빔의 면적이 점점 증가하거나 서로 교차하여 마주보는 부분에서 이격된 수직거리(d)는 점점 감소 되도록 하여, 각 비트 입력라인에 동일한 크기의 입력전압이 인가되더라도, 캔틸레버 빔에 작용하는 정전기력이 지지대(40)를 향하여 갈수록 더 크게 되어 정전기력이 가해지는 위치가 달라져도 캔틸레버 빔의 거동(휨 정도)에는 동일한 영향을 주도록 할 수 있다.

[0032] 이 경우에도, 상기 복수 개의 비트 입력라인(20: 22, 24)은, 도 3과 같이, 상기 지지대(40)로부터 멀어지며 최하위 비트(LSB) 입력라인(22)에서 최상위 비트(MSB) 입력라인(24)으로 배열되고, 상기 출력라인(30)은 상기 지지대(40)로부터 멀어지는 상기 최상위 비트 입력라인(24)의 측면에 이격되어 최상위 비트 입력라인(24)과 나란히 배열되도록 하는 것이 바람직하다.

[0033] 이렇게 함으로써, 종래 도 1과 같이 다수의 인버터와 논리 게이트를 이용하여 디지털 비교기를 구현하는 것 대신에 본 실시예에 의한 간단한 구조로 용이하게 두 수의 크기 비교를 할 수 있게 된다. 즉, 비교하는 두 수의 최상위 비트(MSB) 값부터 최하위 비트(LSB) 값을 향하여 비교하여, 보다 높은 상위 비트에서 캔틸레버 빔(예컨대, 52)이 휘어져 출력라인(30)과 접촉하게 되거나 반대로 접촉한 상태에서 접촉하지 않은 상태로 되면, 그 수가 상대적으로 큰 것으로 또는 작은 것으로 판단할 수 있게 된다.

[0034] 상술한 각 실시예에서, 상기 컨택부(60), 상기 캔틸레버 빔(52, 54)은 도전성 물질로 형성되도록 하고, 상기 지지대(40)는 도전성 혹은 비도전성 물질로 형성될 수 있으나, 모두 동일한 도전성 물질로 형성되도록 함이 캔틸레버 빔의 배선, 캔틸레버 빔의 물질선택 및 공정 측면에서 바람직하다.

[0035] 기타, 상기 기판(10)은 절연성 기판이 바람직하나, 반드시 이에 국한되지 않고, 하부전극을 형성할 수 있는 기판이면 모두 가능하다.

[0036] 본 발명의 다른 실시예에 의한 전기기계 디지털 비교기는, 도 6 내지 9와 같이, 도 4에 의한 실시예에서 하나 이상의 도전성 빔(Beam; 51, 53)을 양단에 2개의 지지대(Anchor 1, 2; 41, 42)로 고정시켜 기판(10)에 평행하게 형성하고, 2개의 지지대 사이를 통과하며 도전성 빔(Beam; 52, 54)과 교차 되도록 복수 개의 도전성 라인들(20a, 20b, 30)이 형성되고, 상기 복수 개의 도전성 라인들 중 하나는 출력라인(OUT; 30)이고, 나머지 라인들(20a, 20b)은 일 예로, 도 9와 같이, 도전성 빔(Beam)의 길이방향과 나란하게 형성된 복수 개의 비트 입력라인(Bit 1, Bir 2, ..., Bit n-1, Bit n) 중 하나와 전기적으로 연결되도록 배선된 것을 특징으로 한다.

[0037] 여기서, 상기 출력라인(OUT)은 도전성 빔이 가장 많이 휘어지는 상기 2개의 지지대(41, 42) 사이의 가운데에 위치하고, 나머지 도전성 라인들(20a, 20b)은, 도 6과 같이, 상기 출력라인(OUT; 30)을 중심으로 상하 대칭으로 배열되고, 상기 출력라인(OUT; 30)에서 상기 각 지지대(41)(42)로 향하며 대칭 위치에 있는 2개의 도전성 라인들이 배선 상으로 서로 전기적으로 연결되도록 함이 바람직하다.

[0038] 상기 2개의 지지대(41, 42)를 갖는 실시예에 있어서도, 도전성 빔(51, 53)의 하부에는 출력라인(30)과 교차하는 위치에 도전성 컨택부(60)가 더 형성될 수 있으며, 도전성 빔(51, 53)과 이와 교차하는 도전성 라인들(20a, 20b)의 물리적 특성(모양 등) 및 도전성 빔(51, 53)의 물질을 조절함으로써, 상기 도전성 빔(51, 53)이 상기 복수 개의 비트 입력라인(Bit 1, Bir 2, ..., Bit n-1, Bit n)을 통해 입력되는 디지털 수치가 특정 값 이상일 경우 도전성 빔의 컨택부(60)가 출력라인(OUT; 30)과 전기적으로 접촉되도록 함이 바람직하다. 그러나, 여기서도 입력되는 디지털 수치가 특정 값 이상일 경우 도전성 빔의 컨택부(60)가 출력라인(OUT; 30)과 전기적으로 접촉되어 있다가 떨어지게 하는 것으로 구성할 수도 있다.

[0039] 본 발명에 의한 전기기계 디지털 비교기의 제조방법은, 도 10과 같이, 상술한 본 발명의 전기기계 디지털 비교기를 제조하는 방법에 관한 것이다.

[0040] 우선, 도 10(a)와 같이, 소정의 절연성 기판(10)에 제 1 방향으로 복수 개의 도전성 라인들로 하부전극(20)을 형성한다(제 1 단계).

[0041] 이어, 도 10(b)와 같이, 상기 기판(10)상에 상기 하부전극(20)을 덮도록 희생막(70)을 증착하고 평탄화 후 사진식각 공정으로 하나 이상의 지지대(40)와 컨택(60) 형성용 홈부를 형성하고, 도전성 물질 증착 및 식각 공정으로 상기 제 1 방향과 소정의 각도로 교차 되는 제 2 방향으로 상부전극인 하나 이상의 도전성 빔(50), 상기 지지대(40) 및 상기 컨택(60)을 동시에 형성한다(제 2 단계).

[0042] 그리고, 마지막으로, 도 10(c)와 같이, 상기 희생막(70)을 제거하여 상기 도전성 빔(50)을 부양시킨다(제 3 단계).

[0043] 기타 공정은 공지의 CMOS의 배선공정과 유사하므로, 이에 대한 자세한 설명은 생략한다.

부호의 설명

[0044] 10: 기판

20: 하부전극, 복수 개의 비트 입력라인

20a, 20b, 21, 23, 25: 도전성 라인

22: 최하위 비트 입력라인

24: 최상위 비트 입력라인

30: 출력라인

40, 41, 42: 지지대

50: 상부전극, 도전성 빔, 켄틸레버 빔

51: 도전성 빔(접지용)

52: 켄틸레버 빔(접지용)

53: 도전성 빔(공급전압용)

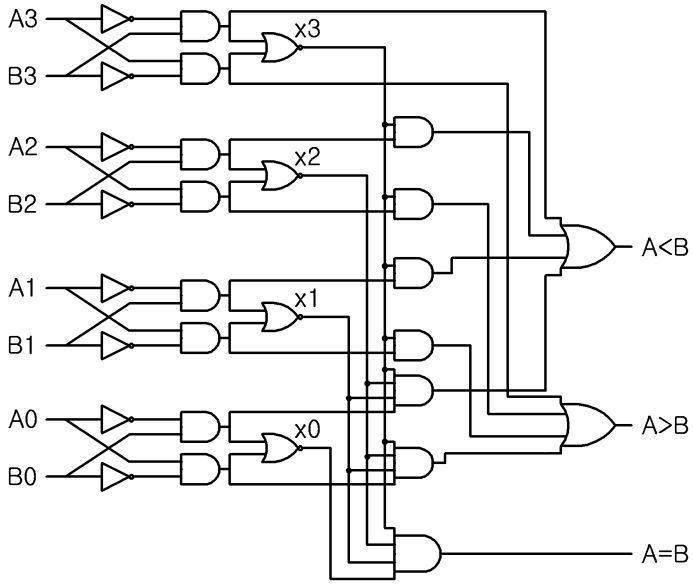
54: 켄틸레버 빔(공급전압용)

60: 컨택부

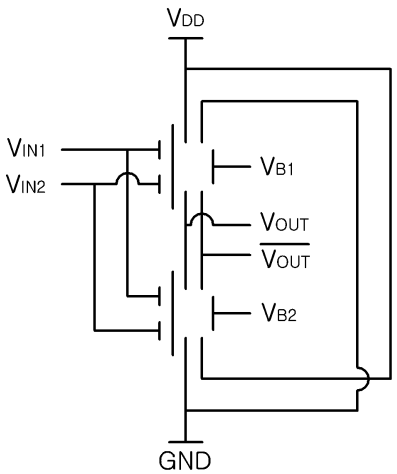
70: 희생막

도면

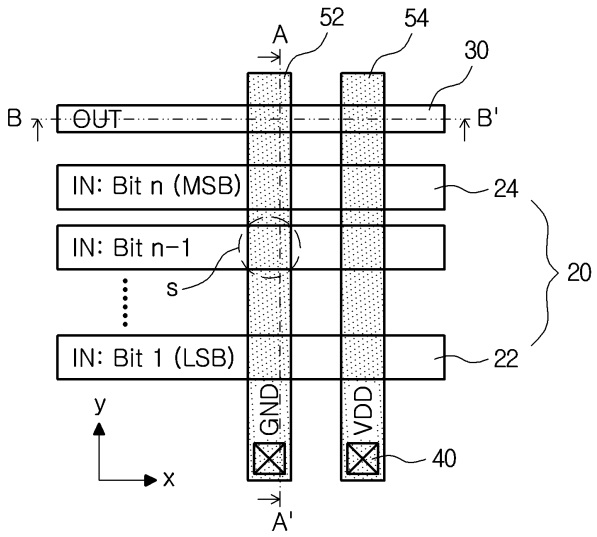
도면1



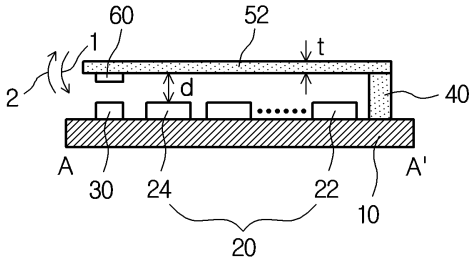
도면2



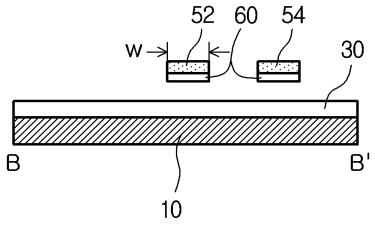
도면3


A
52
54
30
B
OUT
B'
IN: Bit n (MSB)
24
IN: Bit n-1
20
s
IN: Bit 1 (LSB)
22
y
GND
VDD
40
x
A'

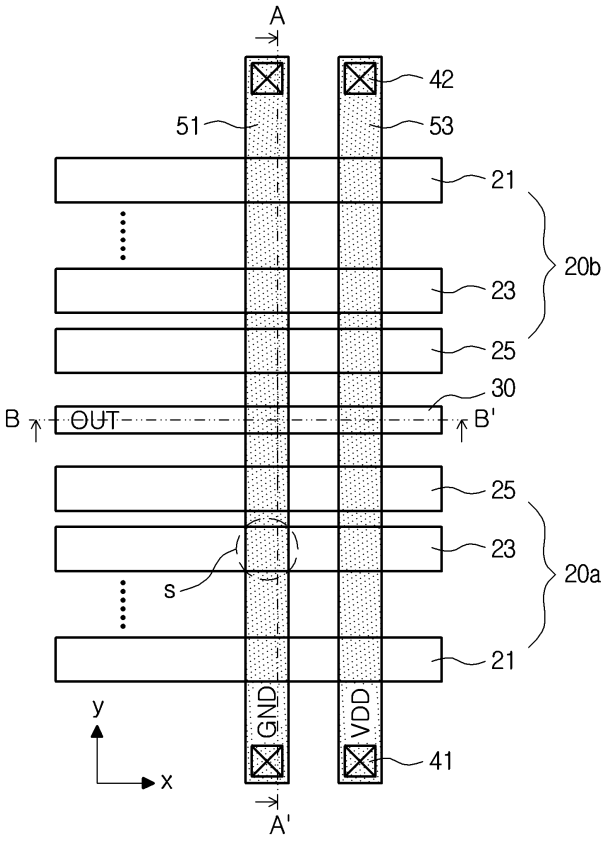
도면4


60
52
1
t
2
d
40
A
A'
30
24
22
10
20

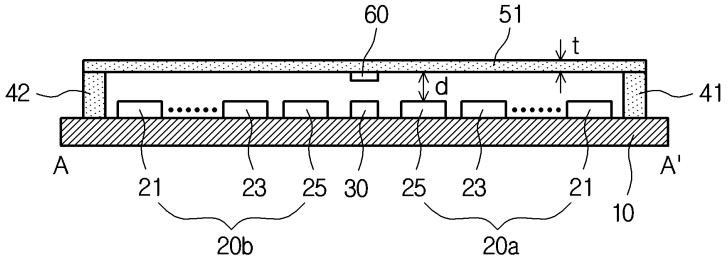
도면5


52
60
54
w
30
B
B'
10

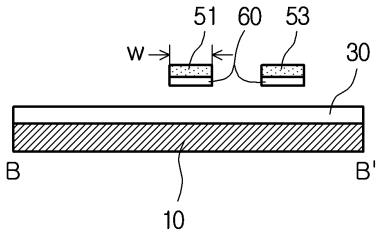
도면6


A
42
51
53
21
20b
23
25
30
B
OUT
B'
25
23
20a
s
21
y
x
GND
VDD
41
A'

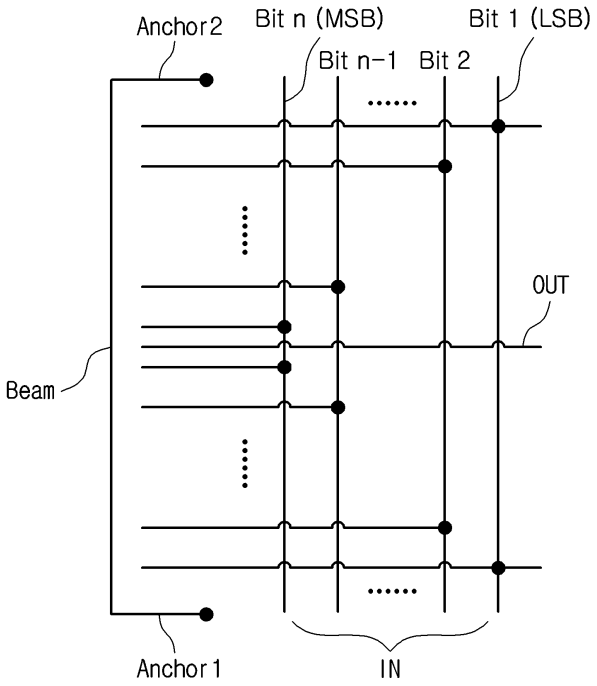
도면7


60
51
t
d
42
41
A
A'
21
23
25
30
25
23
21
10
20b
20a

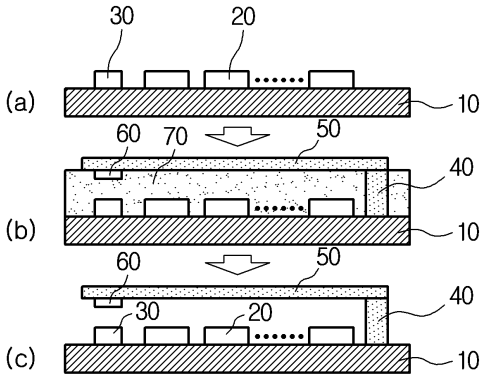
도면8


51
60
53
w
30
B
B'
10

도면9


Anchor2
Bit n (MSB)
Bit n-1
Bit 2
Bit 1 (LSB)
OUT
Beam
Anchor1
IN

도면10


30
20
(a)
10
60
70
50
40
(b)
10
60
50
40
30
20
(c)
10