

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4498685号
(P4498685)

(45) 発行日 平成22年7月7日(2010.7.7)

(24) 登録日 平成22年4月23日(2010.4.23)

(51) Int.Cl.

F 1

HO 1 L 21/8247 (2006.01)
 HO 1 L 29/788 (2006.01)
 HO 1 L 29/792 (2006.01)
 HO 1 L 27/115 (2006.01)

HO 1 L 29/78 3 7 1
 HO 1 L 27/10 4 3 4

請求項の数 8 (全 31 頁)

(21) 出願番号 特願2003-79583 (P2003-79583)
 (22) 出願日 平成15年3月24日 (2003.3.24)
 (62) 分割の表示 特願2003-78348 (P2003-78348)
 の分割
 原出願日 平成15年3月20日 (2003.3.20)
 (65) 公開番号 特開2004-6734 (P2004-6734A)
 (43) 公開日 平成16年1月8日 (2004.1.8)
 審査請求日 平成18年3月16日 (2006.3.16)
 (31) 優先権主張番号 特願2002-80462 (P2002-80462)
 (32) 優先日 平成14年3月22日 (2002.3.22)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 加藤 清
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 磯部 敦生
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 宮入 秀和
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】半導体記憶素子の作製方法

(57) 【特許請求の範囲】

【請求項 1】

絶縁表面を有する基板上に直線状凹部が形成されるように絶縁膜を形成し、
 前記直線状凹部を含む領域に半導体膜を形成し、
 前記半導体膜を溶融し、結晶化させて、結晶質半導体膜を形成し、
 前記結晶質半導体膜の側面が前記直線状凹部の側壁に覆われるよう前記結晶質半導体膜
 の表面をエッチング除去し、
 前記エッチングされた前記結晶質半導体膜の上面部に接する第1ゲート絶縁膜を形成し、
 前記第1ゲート絶縁膜上に積層して電荷蓄積層、第2ゲート絶縁膜、および制御ゲート電
 極を形成し、
 前記エッチング後の前記結晶質半導体膜は、双晶以外の結晶粒界を含まないことを特徴と
 する半導体記憶素子の作製方法。

【請求項 2】

絶縁表面を有する基板上に直線状凹部が形成されるように絶縁膜を形成し、
 前記直線状凹部を含む領域に半導体膜を形成し、
 前記半導体膜にレーザー光を照射し、前記凹部の直線方向に前記レーザー光を走査するこ
 とによって、前記半導体膜を溶融し、結晶化させて、結晶質半導体膜を形成し、
 前記結晶質半導体膜の側面が前記直線状凹部の側壁に覆われるよう前記結晶質半導体膜
 の表面をエッチング除去し、
 前記エッチングされた前記結晶質半導体膜の上面部に接する第1ゲート絶縁膜を形成し、

10

20

前記第1ゲート絶縁膜上に積層して電荷蓄積層、第2ゲート絶縁膜、および制御ゲート電極を形成し、

前記エッチング後の前記結晶質半導体膜は、双晶以外の結晶粒界を含まないことを特徴とする半導体記憶素子の作製方法。

【請求項3】

絶縁表面を有する基板上に第1の絶縁膜を形成し、

前記第1の絶縁膜上に複数の第2の絶縁膜を、隣接する2つの前記第2の絶縁膜の間に直線状凹部が設けられるように形成し、

前記直線状凹部を含む領域に半導体膜を形成し、

前記半導体膜を溶融し、結晶化させて、結晶質半導体膜を形成し、

10

前記結晶質半導体膜の側面が前記直線状凹部の側壁に覆われるように前記結晶質半導体膜の表面をエッチング除去し、

前記エッチングされた前記結晶質半導体膜の上面部に接する第1ゲート絶縁膜を形成し、前記第1ゲート絶縁膜上に積層して電荷蓄積層、第2ゲート絶縁膜、および制御ゲート電極を形成し、

前記エッチング後の前記結晶質半導体膜は、双晶以外の結晶粒界を含まないことを特徴とする半導体記憶素子の作製方法。

【請求項4】

絶縁表面を有する基板上に第1の絶縁膜を形成し、

前記第1の絶縁膜上に複数の第2の絶縁膜を、隣接する2つの前記第2の絶縁膜の間に直線状凹部が設けられるように形成し、

20

前記直線状凹部を含む領域に半導体膜を形成し、

前記半導体膜にレーザー光を照射し、前記凹部の直線方向に前記レーザー光を走査することによって、前記半導体膜を溶融し、結晶化させて、結晶質半導体膜を形成し、

前記結晶質半導体膜の側面が前記直線状凹部の側壁に覆われるように前記結晶質半導体膜の表面をエッチング除去し、

前記エッチングされた前記結晶質半導体膜の上面部に接する第1ゲート絶縁膜を形成し、前記第1ゲート絶縁膜上に積層して電荷蓄積層、第2ゲート絶縁膜、および制御ゲート電極を形成し、

前記エッチング後の前記結晶質半導体膜は、双晶以外の結晶粒界を含まないことを特徴とする半導体記憶素子の作製方法。

30

【請求項5】

前記レーザー光は連続発振レーザー光であることを特徴とする請求項2又は請求項4に記載の半導体記憶素子の作製方法。

【請求項6】

前記エッチングは、前記直線状凹部における前記結晶質半導体膜の厚さが前記直線状凹部の深さ以下となるように行われることを特徴とする請求項1乃至請求項5のいずれか一項に記載の半導体記憶素子の作製方法。

【請求項7】

前記半導体膜は、珪素、珪素とゲルマニウムの化合物又は合金、珪素と炭素の化合物又は合金のいずれかでなるように形成されることを特徴とする請求項1乃至請求項6のいずれか一項に記載の半導体記憶素子の作製方法。

40

【請求項8】

前記電荷蓄積層は浮遊ゲート電極であることを特徴とする請求項1乃至請求項7のいずれか一項に記載の半導体記憶素子の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、半導体記憶素子、特に電荷蓄積層を有する薄膜トランジスタに関する。また、電荷蓄積層を有する薄膜トランジスタ、および薄膜トランジスタを絶縁表面を有する基板

50

上に形成してなる半導体記憶装置に関する。

【0002】

【従来の技術】

E E P R O M (Electrically Erasable and Programmable Read Only Memory) やフラッシュメモリは、半導体不揮発性メモリを代表するメモリとして知られている。これらは不揮発性であるから、半導体メモリを代表する D R A M (Dynamic Random Access Memory) や S R A M (Static RAM) と異なり、電源を切ってもデータが失われることはない。また、他の不揮発性メモリを代表する磁気ディスクと比較した場合、集積密度、耐衝撃性、消費電力、書き込み／読み出し速度、等の点において優れた特徴を有する。

【0003】

10

このように半導体不揮発性メモリは携帯機器に適した特徴を有し、携帯機器への応用開発が進められている。特に、集積密度の高いフラッシュメモリが広く応用されており、また近年、さらに集積度を向上する多値のメモリが製品化され始めた。もちろん、これらは単結晶シリコン基板上の不揮発性メモリである（例えば、非特許文献 1 参照。）。

【0004】

【非特許文献 1】

舛岡富士雄、外 7 名、「フラッシュメモリ技術フォーラム 2000」、株式会社サイエンスフォーラム、2000 年 7 月 18 日

【0005】

20

一方、携帯電話などの表示部を有する携帯機器の普及を背景に、絶縁表面を有する基板上に表示部とロジック回路部を一体形成したシステムオンパネルの要求が強くなっている。これに伴い、絶縁表面を有する基板上に不揮発性メモリを作製する技術も要求されるようになってきた。

【0006】

【発明が解決しようとする課題】

不揮発性メモリを絶縁表面を有する基板上に作製する場合、メモリセルアレイを半導体記憶素子で構成し、メモリセルを選択するデコーダ回路、書き込み・読み出し回路等の周辺回路は薄膜トランジスタ（以下、TFT と記）で構成する形態が考えられる。

【0007】

30

なお、本発明において、半導体記憶素子とは、半導体活性層とゲート電極の間に絶縁膜によって囲まれた電荷蓄積層を有する薄膜トランジスタを指し、例えば、浮遊ゲート電極を有する構造、M N O S 構造、あるいは M O N O S 構造の薄膜トランジスタをその範疇に含む。

【0008】

このような不揮発性メモリを考えた場合、電荷蓄積層への電荷注入および電荷放出を伴う半導体記憶素子の信頼性の改善、および周辺回路を合わせた動作速度の改善が重要な課題となる。

【0009】

まず、半導体記憶素子の信頼性に関しては、次のような構造上の問題がある。図 2 に示すのは、絶縁表面を有する基板上に作製された典型的な半導体記憶素子の構造であり、（A）、（B）、（C）はそれぞれ平面図、チャネル長方向断面図、及びチャネル幅方向断面図である。図 2 において、半導体記憶素子は、絶縁表面を有する基板 201 上に、半導体活性層 202、第 1 ゲート絶縁膜 203、浮遊ゲート電極 204、第 2 ゲート絶縁膜 205、制御ゲート電極 206 が積層された構造となっている。半導体活性層 202 は、チャネル領域 207 と、一導電型の不純物が添加された高濃度不純物領域 208 とからなる。

40

【0010】

なお、浮遊ゲート電極 204 は電荷蓄積層の 1 形態である。また、高濃度不純物領域 208 の一方は、第 1 ゲート絶縁膜 203 を介して浮遊ゲート電極 204 と一部重なっていてもよい。

【0011】

50

半導体記憶素子の信頼性に関して問題となるのは、半導体活性層端部 209 の形状である。図 2 に示すような半導体活性層形状の場合、制御ゲート電極と活性層間に電位差を与えると、半導体活性層端部の角の部分に電界が集中し、半導体活性層端部 209 における局所的な電荷注入 / 放出が起こる。その結果、第 1 ゲート絶縁膜は、半導体活性層端部 209 において集中的に劣化してしまい、信頼性が低くなる。

【 0012 】

電界の集中による局所的な第 1 ゲート絶縁膜の劣化を防ぐには、半導体活性層端部 209 のような電界の集中する領域を有さない半導体記憶素子の構造を実現することが効果的である。

【 0013 】

次に、メモリの動作速度に関しては、絶縁表面を有する基板上に高特性の TFT および半導体記憶素子を作製することが重要となる。

10

【 0014 】

絶縁表面を有する基板上に TFT を形成する技術は、主に半導体表示装置（代表的には、液晶表示装置、EL 表示装置）の研究開発を通して大幅に進歩してきた。例えば、多結晶シリコン膜を用いた TFT は、非晶質シリコン膜を用いた TFT よりも電界効果移動度（モビリティともいう）が高く、従来、基板外の駆動回路で行っていた表示部の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となった。

【 0015 】

今後システムオンパネルを視野に入れた場合には、さらなる高速動作を実現する必要があり、より高特性の TFT が要求されている。

20

【 0016 】

近年、絶縁表面を有する基板上に TFT を形成する注目される技術の一つに、レーザー光の照射による結晶性半導体膜の作製方法がある。レーザー発振装置としては、通常、エキシマレーザーに代表される気体レーザーや、YAG レーザーに代表される固体レーザーが用いられる。特に、特開 2001-144027 号公報において、Nd : YVO₄ レーザーなど固体レーザー発振装置を用いて、その第 2 高調波であるレーザー光を非晶質半導体膜に照射して、従来に比べ結晶粒径の大きい結晶性半導体膜を形成し、TFT を作製する技術が開示されている。

【 0017 】

30

しかしながら、平坦な表面上に形成された非晶質半導体膜にレーザー光を照射して結晶化させると結晶は多結晶となり、結晶欠陥が含まれる結晶粒界の位置を制御することができなかった。また、結晶化に伴って起こる半導体膜の体積収縮や下地との熱応力や格子不整合などによる歪みやクラックが発生するが、この位置を制御することができなかった。

【 0018 】

その結果、TFT のチャネル領域の結晶性を制御することができず、結局はチャネル領域に含まれる結晶粒界や結晶欠陥によって個々の素子特性がばらつく要因となっていた。

【 0019 】

つまり、レーザー光の照射によって結晶性半導体膜を作製する場合には、結晶粒界の位置を制御し TFT のチャネル領域の結晶性を制御することが重要な課題となる。

40

【 0020 】

また、メモリの高速動作を実現する場合には、TFT 特性だけでなく、同時に半導体記憶素子特性を改善することも重要である。つまり、TFT 特性の改善により、周辺回路の動作速度が向上し、また、半導体記憶素子特性の改善により半導体記憶素子の駆動能力があがり、読み出し速度が向上する。

【 0021 】

本発明は上記問題点を鑑みてなされたものであり、チャネル領域において活性層端部での電界集中が起こらない構造の半導体記憶素子を実現し、かつ、結晶粒界や結晶欠陥、クラックの位置を制御することで、チャネル領域には双晶以外の結晶粒界を含まず、電界効果移動度が高く、ばらつきが小さい TFT および半導体記憶素子を実現することで、信頼性

50

の高い不揮発性メモリを有する動作の高速な半導体記憶装置を提供することを目的とする。

【0022】

【課題を解決するための手段】

上記問題点を解決するために、本発明の半導体記憶素子は、絶縁表面を有する基板上に直線状凹部が設けられた絶縁膜を形成し、該絶縁膜上に非晶質半導体膜あるいは多結晶半導体膜を形成し、絶縁膜の凹部に半導体膜を溶融して流し込み結晶化させた結晶性半導体膜を形成し、少なくともチャネル領域を形成する部位において結晶性半導体膜の厚みが凹部の深さ以下となるように結晶性半導体膜の表面をエッティング除去し、該結晶性半導体膜の上面部に接する第1ゲート絶縁膜、浮遊ゲート電極、第2ゲート絶縁膜、制御ゲート電極を形成することを特徴とするものである。

10

【0023】

また、本発明の半導体記憶装置は、半導体記憶素子をマトリクス状に配置してなるメモリセルアレイを有し、該メモリセルアレイは、絶縁表面を有する基板上に複数の直線状凹部をストライプ状に配置したストライプ状凹部が設けられた絶縁膜を形成し、該絶縁膜上に非晶質半導体膜あるいは多結晶半導体膜を形成し、絶縁膜の凹部に半導体膜を溶融して流し込み結晶化させた結晶性半導体膜を形成し、少なくともチャネル領域を形成する部位において結晶性半導体膜の厚みが凹部の深さ以下となるように結晶性半導体膜の表面をエッティング除去し、半導体記憶素子の配置に合わせて結晶性半導体膜の不要な領域をエッティング除去し、該結晶性半導体膜の上面部に接する第1ゲート絶縁膜、浮遊ゲート電極、第2ゲート絶縁膜、制御ゲート電極を形成することを特徴とするものである。

20

【0024】

また、本発明の他の構成の半導体記憶装置は、半導体記憶素子をマトリクス状に配置してなるメモリセルアレイを有し、該メモリセルアレイは、絶縁表面を有する基板上に複数の直線状凹部をストライプ状に配置したストライプ状凹部と該ストライプ状凹部間を接続するストライプ間凹部とが設けられた絶縁膜を形成し、該絶縁膜上に非晶質半導体膜あるいは多結晶半導体膜を形成し、絶縁膜の凹部に半導体膜を溶融して流し込み結晶化させた結晶性半導体膜を形成し、少なくともチャネル領域を形成する部位において結晶性半導体膜の厚みが凹部の深さ以下となるように結晶性半導体膜の表面をエッティング除去し、半導体記憶素子の配置および半導体記憶素子間の接続に合わせて結晶性半導体膜の不要な領域をエッティング除去し、該結晶性半導体膜の上面部に接する第1ゲート絶縁膜、浮遊ゲート電極、第2ゲート絶縁膜、制御ゲート電極を形成することを特徴とするものである。なお、本構成において、半導体記憶素子を接続する半導体膜配線は、ストライプ間凹部に形成された結晶性半導体膜によって形成される。

30

【0025】

また、本発明の他の構成の半導体記憶装置は、半導体記憶素子をマトリクス状に配置してなるメモリセルアレイを有し、該メモリセルアレイは、絶縁表面を有する基板上に複数の直線状凹部をストライプ状に配置したストライプ状凹部が設けられた絶縁膜を形成し、該絶縁膜上に非晶質半導体膜あるいは多結晶半導体膜を形成し、絶縁膜の凹部に半導体膜を溶融して流し込み結晶化させた結晶性半導体膜を形成し、半導体記憶素子を接続する半導体膜配線となる領域をフォトレジストでマスクした状態で、少なくともチャネル領域を形成する部位において結晶性半導体膜の厚みが凹部の深さ以下となるように結晶性半導体膜の表面をエッティング除去し、半導体記憶素子の配置および半導体記憶素子を接続する半導体膜配線の配置に合わせて結晶性半導体膜の不要な領域をエッティング除去し、該結晶性半導体膜の上面部に接する第1ゲート絶縁膜、浮遊ゲート電極、第2ゲート絶縁膜、制御ゲート電極を形成することを特徴とするものである。なお、本構成において、半導体記憶素子を接続する半導体膜配線は、結晶性半導体膜の表面をエッティングされず、ストライプ状凹部間を乗り越えて繋がっている結晶性半導体膜によって形成される。

40

【0026】

なお、半導体記憶装置とは、EEPROM (Electrically Erasable and Programmable R

50

ead Only Memory) やフラッシュメモリといった不揮発性メモリ、および、そのような不揮発性メモリを半導体記憶部として有する半導体装置全般を指す。例えば、不揮発性メモリを半導体記憶部として有するマイクロプロセッサ、半導体表示装置(代表的には液晶表示装置および E L 表示装置)、およびこれらを搭載した装置をその範疇に含む。

【0027】

なお、本発明でいう非晶質半導体膜とは、狭義の意味で完全な非晶質構造を有するものだけではなく、微細な結晶粒子が含まれた状態、又はいわゆる微結晶半導体膜、局所的に結晶構造を含む半導体膜を含む。代表的には非晶質シリコン膜が適用され、その他に非晶質シリコンゲルマニウム膜、非晶質シリコンカーバイト膜などを適用することもできる。また、多結晶半導体膜は、これら非晶質半導体膜を公知の方法で結晶化させたものである。

10

【0028】

図1に示すのは、上述した本発明の半導体記憶装置を構成する半導体記憶素子の典型的な構造であり、(1)、(2)、(3)はそれぞれ平面図、チャネル長方向断面図、及びチャネル幅方向断面図である。図1において、半導体記憶素子は、絶縁表面を有する基板101上に、絶縁膜109、110によって設けられた直線状凹部に形成された結晶性半導体活性層102、第1ゲート絶縁膜103、浮遊ゲート電極104、第2ゲート絶縁膜105、制御ゲート電極106が積層された構造となっている。結晶性半導体活性層102は、チャネル領域107と、一導電型の不純物が添加された高濃度不純物領域108とかなる。

【0029】

20

なお、高濃度不純物領域108の一方は、第1ゲート絶縁膜103を介して浮遊ゲート電極104と一部重なっていてもよい。

【0030】

本発明の半導体記憶素子は、少なくともチャネル領域を形成する部位において結晶性半導体膜の厚みが凹部の深さ以下となるように結晶性半導体膜の表面をエッチング除去する工程によって、チャネル領域を形成する結晶性半導体膜の側面が、凹部側壁によって完全に覆われていることを特徴とする。

【0031】

図1に示すように、結晶性半導体活性層の厚さは、絶縁膜109、110の厚さよりも小さくてもよいし、結晶性半導体活性層の厚さは、絶縁膜109、110の厚さと同じであつても良い。

30

【0032】

上記半導体記憶素子の断面構造は、半導体活性層と第1ゲート絶縁膜との界面に角部はなく平面であるから、半導体活性層端部において電界が集中し、局所的に電荷注入/放出が起こるといったことがなくなる。その結果、第1ゲート絶縁膜の局所的な劣化を防ぐことができ、高い信頼性を実現することが可能となる。

【0033】

なお、上述の半導体記憶装置は、メモリセルを形成する基板上に、メモリセルを選択するデコーダ回路、書き込み・読み出し回路等の周辺回路や、他の半導体集積回路を有してもよい。その場合、メモリの高速動作を実現するために、周辺回路や他の半導体集積回路を構成するTFTを、上述した方法で形成した結晶性半導体膜を用いて作製するが好ましい。

40

【0034】

結晶性半導体膜の形成方法についてさらに説明する。

【0035】

上述した直線状凹部あるいはストライプ状凹部はチャネル長方向に延在して設けられている。凹部の幅(チャネル形成領域とする場合におけるチャネル幅)が0.01μm以上2μm以下、好ましくは0.1~1μmで形成し、その深さは、0.01μm以上3μm以下、好ましくは0.1μm以上2μm以下で形成する。

【0036】

50

結晶性半導体膜を溶融して結晶化させる手段としては、気体レーザー発振装置、固体レーザー発振装置を光源とするパルス発振又は連続発振レーザー光を適用する。照射するレーザー光は光学系にて線状に集光されたものであり、その強度分布が長手方向において均一な領域を有し、短手方向に分布を持っていても良く、光源として用いるレーザー発振装置は、矩形ビーム固体レーザー発振装置が適用され、特に好ましくは、スラブレーザー発振装置が適用される。

【0037】

線状に集光され長手方向に拡張されたレーザー光又は強光を非晶質半導体膜あるいは多結晶半導体膜に照射し、且つレーザー光の照射位置と半導体膜が形成された基板とを相対的に動かして、レーザー光が一部又は全面を走査することにより半導体膜を溶融させ、その状態を経て結晶化又は再結晶化を行う。レーザー光の走査方向は、絶縁膜に形成された直線状凹部と平行な方向又はトランジスタのチャネル長方向に沿って行う。これによりレーザー光の走査方向に沿って結晶が成長し、結晶粒界がチャネル長方向と交差することを防ぐことができる。

10

【0038】

凹部の深さを半導体膜の厚さと同程度かそれ以上とすることにより、レーザー光又は強光の照射により溶融した半導体が表面張力により凹部に凝集して固化する。この時、凹部の底端部から結晶成長させることにより、結晶化に伴い発生する歪みは凹部以外の領域に集中する。一方、凹部に充填されるように形成した結晶性半導体膜は歪みから開放することができる。そして、結晶粒界、結晶欠陥を含む凹部周辺に残存する結晶性半導体膜はエッティングにより除去してしまう。

20

【0039】

上記の如く作製される半導体記憶素子には、絶縁表面上に設けられた直線状凹部において、双晶以外の結晶粒界を含まない結晶性半導体膜が備えられている。

【0040】

上記本発明によって、半導体記憶素子及びTFTにおいて、そのチャネル形成領域の場所を指定して、双晶以外の結晶粒界を含まない結晶性半導体膜を形成することが可能となる。つまり、TFTのチャネル領域の結晶性を制御し、チャネル領域の結晶性を高めることで、電界効果移動度高く、かつ特性ばらつきの小さい半導体記憶素子及びTFTを作製することができる。その結果、TFT特性の改善による周辺回路の高速化と、半導体記憶素子特性の改善による読み出し速度の高速化によって、高速動作を実現した半導体記憶装置を実現することができる。

30

【0041】

【発明の実施の形態】

(実施形態1)

本発明の半導体記憶装置の実施形態として、不揮発性メモリの回路構成と動作方法について説明する。

【0042】

本発明は、半導体記憶素子の構造や半導体活性層、および周辺回路を構成するTFTの構造や半導体活性層に特徴があり、メモリセルの回路構成や動作方法は公知の技術を用いればよい。本実施の形態では、典型的な不揮発性メモリとして、NOR型フラッシュメモリの回路構成と動作方法について簡単に説明する。

40

【0043】

図7に、 $m \times n$ ビットの記憶容量を有するNOR型フラッシュメモリのブロック回路図を示す。図7に示したNOR型フラッシュメモリは、複数のメモリセル(1, 1) ~ (n, m)が縦m個×横n個のマトリクス状に配置されたメモリセルアレイ701と、Xアドレスデコーダ703、Yアドレスデコーダ702、Yセレクタ704、書き込み・読み出し回路705といった周辺回路によって構成されている。他の周辺回路として、昇圧回路、アドレスバッファ回路等が設けられてもよい。

【0044】

50

各メモリセル（代表として、メモリセル（i、j）を考える。ここで、iは1以上n以下の整数、jは1以上m以下の整数）は、nチャネル型の半導体記憶素子によって構成される。そして、半導体記憶素子のドレイン電極と制御ゲート電極は、ピット線BL（i）とワード線WL（j）にそれぞれ接続されている。また、ピット線BL（1）～BL（n）はYアドレスデコーダ702に、ワード線WL（1）～WL（m）はXアドレスデコーダ703にそれぞれ接続されている。また、全ての半導体記憶素子のソース電極は共通のソース線に接続されており、ソース線電位Vsが与えられている。

【0045】

データの書き込みと読み出しが、Xアドレスデコーダ703およびYアドレスデコーダ702によって選択されたメモリセルにおいて行われる。メモリセル（1、1）を例にとって、ホットエレクトロンによる書き込み動作、読み出し動作について説明する。10

【0046】

まず、半導体記憶素子にデータを書き込む場合は、ソース線をGNDに落し、ピット線BL（1）およびワード線WL（1）に、それぞれ正の高電圧（例えば16V）を印加する。このような条件下では、半導体記憶素子のドレイン近傍での高電界により、インパクトイオン化が起こる。さらにゲート方向にも高電界が生じるために、発生したホットエレクトロンは浮遊ゲート電極に注入され、書き込みが行われる。半導体記憶素子のしきい値電圧は、浮遊ゲート電極に蓄積された電荷量に応じて変化する。

【0047】

半導体記憶素子に格納されたデータを読み出す場合は、ソース線をGNDに落し、ワード線WL（1）に所定の電圧を印加する。所定の電圧は、半導体記憶素子の浮遊ゲート電極に電荷が蓄積された状態のしきい値電圧と蓄積されない状態のしきい値電圧との間に設定すればよい。その結果、浮遊ゲート電極に電荷が蓄積されている半導体記憶素子がオフ状態に、蓄積されていない半導体記憶素子はオン状態となることを利用して、メモリセル（1、1）に記憶されているデータをピット線BL（1）から読み出す。20

【0048】

例えば、半導体記憶素子の2状態のしきい値電圧がそれぞれ2V以下、および4V以上である場合には、所定の電圧として3Vを用いることができる。

【0049】

データの消去は、選択された複数のメモリセルに対して同時に行われる。例えば、第1列目のメモリセル（1,1）～（m,1）を消去する場合、ソース線およびワード線WL（1）をGNDに落し、ピット線BL（1）に正の高電圧（例えば20V）を印加する。この時、半導体記憶素子のゲート・ドレイン間に高い電位差が生じるため、浮遊ゲート電極に蓄積されている電子がトンネル電流によってドレイン領域へ放出され、消去が行われる。このように、半導体記憶素子のドレイン領域から電荷を引き抜く場合には、ドレイン側の高濃度不純物領域と浮遊ゲート電極とが第1ゲート絶縁膜を介して一部重なっていることが好ましい。30

【0050】

なお、書き込み、読み出しありおよび消去時において選択されていない信号線BL（2）～BL（n）、WL（2）～WL（m）の電位は全て0Vとすればよい。また、上述した動作電圧の値は一例であって、その値に限られるわけではない。40

【0051】

なお、本実施形態では、1つの半導体記憶素子に2値（1ビット）の情報を格納する場合を説明したが、1つの半導体記憶素子に3値以上の情報を格納する多値の不揮発性メモリであっても構わない。また、本発明は、NOR型のフラッシュメモリに限られず、NAND型フラッシュメモリやAND型フラッシュメモリについても同様に適用することができる。この他、1つの半導体記憶素子と1つの選択用のTFTでもってメモリセルを構成するタイプの不揮発性メモリであってもよいし、選択用のTFTと半導体記憶素子との役割を合わせ持つスプリットゲート構造の半導体記憶素子でもってメモリセルを構成するタイプの不揮発性メモリであっても構わない。50

【0052】

(実施形態2)

本発明における結晶性半導体膜の形成方法について説明する。説明には、図3～図6を用いる。図3に示す斜視図には、基板301上に第1絶縁膜302と第2絶縁膜303～306が形成されており、絶縁膜によってストライプ状凹部が設けられた形態が示されている。なお、図3では直線状凹部が3本示されているが、勿論その数に限定されることはない。

【0053】

基板は市販の無アルカリガラス基板、石英基板、サファイア基板、単結晶又は多結晶半導体基板の表面を絶縁膜で被覆した基板、金属基板の表面を絶縁膜で被覆した基板を適用することができる。

10

【0054】

なお、サブミクロンのデザインルールでストライプ状凹部を形成するには、基板表面の凹凸、基板のうねり又はねじれを露光装置（特にステッパー）の焦点深度以下にしておく必要があることから、1回の露光領域内における基板表面の凹凸、基板のうねり又はねじれが1μm以下、好ましくは0.5μm以下とすることが望ましい。

【0055】

第2絶縁膜303～306の幅W2は0.1～10μm（好ましくは0.5～1μm）、隣接する第2絶縁膜の間隔W1は0.01～2μm（好ましくは0.1～1μm）であり、第2絶縁膜の厚さd1は0.01～3μm（好ましくは0.1～2μm）である。また、ストライプパターンは規則的な周期である必要はなく、島状の半導体膜の幅に合わせて所定の間隔で配置させても良い。直線状凹部の長さも限定はなく、例えばTFTのチャネル領域を形成することができる程度の長さがあれば良い。

20

【0056】

第1絶縁膜は、窒化珪素、窒素含有量が酸素含有量よりも大きな酸窒化珪素、窒化アルミニウム、又は酸窒化アルミニウムから選ばれた材料で、30～300nmの厚さで形成する。また、所定の形状で凹部が形成された第2絶縁膜は、酸化珪素又は酸窒化珪素で厚さd1が10～3000nm、好ましくは100～2000nmとなるように形成する。酸化珪素はオルトケイ酸テトラエチル（Tetraethyl Ortho Silicate：TEOS）とO₂とを混合しプラズマCVD（Chemical Vapor Deposition）法で形成することができる。窒酸化珪素膜はSiH₄、NH₃、N₂O又は、SiH₄、N₂Oを原料として用いプラズマCVD法で形成することができる。

30

【0057】

図3で示すように、直線状のストライプパターンを二層の絶縁膜で形成する場合には、エッチング加工において第1絶縁膜と第2絶縁膜との間に選択比をもたせる必要がある。実際には、第1絶縁膜よりも第2絶縁膜のエッチング速度が相対的に早くなるように材料及び成膜条件を適宜調整することが望ましい。エッチングの方法としては、緩衝フッ酸を用いたエッチング、又はCHF₃を用いたドライエッティングにより行う。このとき、第2絶縁膜で形成される凹部の側面部の角度は5～120度、好ましくは80～100度の範囲で適宜設定すれば良い。

40

【0058】

なお、ここでは結晶性半導体膜を形成する下地の凹凸形状は、第1絶縁膜と第2絶縁膜で形成する一例を示したが、ここで示す形態に限定されず同様な形状を有するものであれば代替することができる。例えば、石英基板の表面をエッチング処理して直接凹部を形成し、凹凸形状を設けても良い。

【0059】

図4で示すように、半導体膜401は珪素、珪素とゲルマニウムの化合物又は合金、珪素と炭素の化合物又は合金を用いて、0.01～3μm（好ましくは0.1～1μm）の厚さに形成する。即ち、半導体膜401の厚さd2は第2絶縁膜で形成される凹部の深さと同程度もしくはそれ以上とすることが望ましい。半導体膜401はプラズマCVD法、スパ

50

ツタリング法、減圧CVD法で形成される非晶質半導体膜又は多結晶半導体膜、或いは、固相成長により形成された多結晶半導体膜などが適用される。半導体膜401は図示するように、下地の第1絶縁膜と第2絶縁膜とで形成される凹凸構造を覆うように形成する。また、第1絶縁膜及び第2絶縁膜の表面に付着した硼素などの化学汚染の影響を排除し、しかもその絶縁表面と非晶質半導体膜が直接に接しないように、非晶質半導体膜の下層側に第3絶縁膜として酸窒化珪素膜を同一の成膜装置内で大気に触れさせることなく連続的に成膜すると良い。

【0060】

そして、この半導体膜401を瞬間に溶融させ結晶化させる。この結晶化はレーザー光又はランプ光源からの放射光を光学系にて半導体膜が溶融する程度のエネルギー密度に集光して照射する。この工程においては、特に連続発振レーザー発振装置を光源とするレーザー光を適用することが好ましい。適用されるレーザー光は光学系にて線状に集光及び長手方向に拡張されたものであり、その強度分布が長手方向において均一な領域を有し、短手方向に分布を持たせておくことが望ましい。

10

【0061】

レーザー発振装置は、矩形ビーム固体レーザー発振装置が適用され、特に好ましくは、スラブレーザー発振装置が適用される。スラブ材料としては、Nd:YAG、Nd:GSGG（ガドリニウム・ガリウム・ガーネット）、Nd:GSGG（ガドリニウム・スカンジウム・ガリウム・ガーネット）などの結晶が使用される。スラブレーザーでは、この板状のレーザー媒質の中を、全反射を繰り返しながらジグザグ光路で進む。或いは、Nd、Tm、Hoをドープしたロッドを用いた固体レーザー発振装置であり、特にYAG、YVO₄、YLF、YAlO₃などの結晶にNd、Tm、Hoをドープした結晶を使った固体レーザー発振装置にスラブ構造増幅器を組み合わせたものでも良い。

20

【0062】

また、連続発振レーザー光の波長は、半導体膜の光吸収係数を考慮して400～700nmであることが望ましい。このような波長帯の光は、波長変換素子を用いて基本波の第2高調波、第3高調波を取り出すことで得られる。波長変換素子としてはADP（リン酸二水素化アンモニウム）、Ba₂NaNb₅O₁₅（ニオブ酸バリウムナトリウム）、CdSe（セレンカドミウム）、KDP（リン酸二水素カリウム）、LiNbO₃（ニオブ酸リチウム）、Se、Te、LBO、BBO、KB₅などが適用される。特にLBOを用いることが望ましい。代表的な一例は、Nd:YVO₄レーザー発振装置（基本波1064nm）の第2高調波（532nm）を用いる。また、レーザーの発振モードはTEM00モードであるシングルモードを適用する。

30

【0063】

また、レーザー光に準ずる強光を照射しても良い。例えば、ハロゲンランプ、キセノンランプ、高圧水銀灯、メタルハライドランプ、エキシマランプから放射される光を反射鏡やレンズなどにより集光したエネルギー密度の高い光であっても良い。

【0064】

最も適した材料として選ばれる珪素の場合、吸収係数が10³～10⁴cm⁻¹である領域はほぼ可視光域にある。ガラスなど可視光透過率の高い基板と、珪素により30～200nmの厚さをもって形成される非晶質半導体膜を結晶化する場合、波長400～700nmの可視光域の光を照射することで、当該半導体膜を選択的に加熱して、下地絶縁膜にダメージを与えることなく結晶化を行うことができる。具体的には、非晶質珪素膜に対し、波長532nmの光の侵入長は概略100nm～1000nmであり、膜厚30nm～200nmで形成される非晶質半導体膜の内部まで十分達することができる。即ち、半導体膜の内側から加熱することができる、レーザー光の照射領域における半導体膜のほぼ全体を均一に加熱することができる。

40

【0065】

レーザー光は直線状の凹部方向と平行な方向に走査し、溶融した半導体は表面張力が働いて凹部に流れ込み凝固する。凝固した状態では図5で示すように表面がほぼ平坦になる。

50

その結果、凹部上で厚さ d_3 が第 2 絶縁膜上で厚さ d_4 より大きい結晶性半導体膜 501 が形成される。こうして形成された結晶性半導体膜 501 は、結晶の成長端や結晶粒界は第 2 絶縁膜上に形成され、凹部領域では双晶以外の結晶粒界が含まれないという特徴を有している。

【0066】

その後、好ましくは 500 ~ 600 の加熱処理を行い、結晶性半導体膜に蓄積された歪みを除去すると良い。この歪みは、結晶化によって起こる半導体の体積収縮、下地との熱応力や格子不整合などにより発生するものである。この加熱処理は、通常の熱処理装置を用いて行えば良いが、例えばガス加熱方式の瞬間熱アニール (RTA) 法を用いて 1 ~ 10 分の処理を行えば良い。なお、この工程は本発明において必須な要件ではなく、適宜選択して行えば良いものである。

【0067】

その後図 6 で示すように、結晶性半導体膜 501 の表面をエッチングして凹部に埋め込まれている結晶性半導体膜 601、602、603 を選択的に抽出する。第 2 絶縁膜上に形成された結晶の成長端や結晶粒界を含む領域をエッチング除去することにより良質な半導体領域のみ残すことができる。またこの時、結晶性半導体膜 601、602、603 の側面は完全に凹部側壁に覆われるようになる。つまり、結晶性半導体膜 601、602、603 の厚さ d_5 を第 2 絶縁膜の厚さ d_1 と同じかそれ以下となるようになる。

【0068】

なお、このような結晶性半導体膜を得るために、第 2 絶縁膜の厚さ（凹部の深さ） d_1 が半導体膜 401 の厚さ d_2 とほぼ等しいかそれより大きい形態が最も適している。第 2 絶縁膜の厚さ（凹部の深さ） d_1 が半導体膜 401 の厚さ d_2 より小さい場合には、凹部が浅いので結晶性半導体膜 501 の表面が十分平坦化されることはない。なお、第 2 絶縁膜の厚さ（凹部の深さ） d_1 が半導体膜 401 の厚さ d_2 よりも十分大きい場合には、結晶性半導体膜 501 が凹部に流れ込み、第 2 絶縁膜 203 上には殆ど残存しないようにすることも可能である。また、凹部の幅 W_2 が 1 μm よりも大きい場合には、第 2 絶縁膜上に結晶粒界が形成されるだけでなく、凹部の中央付近にも結晶粒界が発生しやすくなる傾向が見られる。これは、間隔が広がることで応力緩和の効果が低減するためであると推定している。

【0069】

図 25 で示す走査電子顕微鏡 (SEM) 写真はその一例を示し、170 nm の段差を設け、0.5 μm の凹部の幅と間隔を設けた下地絶縁膜上に 150 nm の非晶質珪素膜を形成して結晶化した結果を示している。結晶性半導体膜の表面は結晶粒界を顕在化するためにセコ液 (HF : H₂O = 2 : 1 に添加剤として K₂Cr₂O₇ を用いて調合した薬液) でエッチングしてある。

【0070】

図 28 には、図 25 で示す SEM 写真の見取り図が描かれている。図 28 において、斜線部 2802 は、図 3 に示す第 2 絶縁膜がある領域であり、斜線部 2802 に挟まれた領域 2803 は、凹部領域である。また、太線 2801 はクラックあるいは結晶粒界を表している。図 28 および図 25 から明らかなように、結晶粒界は、第 2 絶縁膜上に集中しており、凹部領域には顕著な粒界は見られないことが分かる。

【0071】

なお、図 28 および図 25 において、レーザ光の走査方向は図面下から上方向である。また、斜線部 2802 の下側端部では、第 2 絶縁膜が露出している。これは、レーザ光照射による結晶化工程において、融解した珪素膜がレーザ光の走査方向に移動し固化したためと推測される。

【0072】

図 26 は凹部に形成される結晶性半導体膜の配向性を反射電子回折パターン (EBSP : Electron Backscatter diffraction Pattern) により求めた結果を示している。EBSP は走査型電子顕微鏡 (SEM : Scanning Electron Microscopy) に専用の検出器を設け、

10

20

30

40

50

電子ビームを結晶面に照射してその菊池線からの結晶方位同定をコンピューターで画像認識させることによって、そのミクロな結晶性を表面配向のみならず、結晶の全方向に関して測定するものである（以下、この手法を便宜上 E B S P 法と呼ぶ）。

【 0 0 7 3 】

図 2 6 のデータは、凹部においては線状に集光されたレーザー光の走査方向と平行な方向に結晶が成長していることを示している。成長の面方位は、同一の直線状凹部においてほぼ均一に揃っていることが確認される。

【 0 0 7 4 】

また、図 2 7 には、170 nm の段差を設け、0.5 μm の凹部の幅と間隔を設けた下地絶縁膜上に 150 nm の非晶質珪素膜を形成して結晶化した結果の断面透過電子顕微鏡（Transmission Electron Microscope: T E M）写真を示す。

10

【 0 0 7 5 】

図 2 7 に示した写真では、写真中央縦方向にストライプパターンの断面が存在する。ストライプパターンの断面において、暗灰色の領域が第 2 絶縁膜であり、第 2 絶縁膜間に形成される凹部と第 2 絶縁膜上の薄い領域に、結晶性珪素膜が形成されている。第 2 絶縁膜上の結晶性珪素膜には、黒い領域が見られ、結晶粒界が第 2 絶縁膜上に集中していることがわかる。凹部に形成された結晶性珪素膜に見られる線状の境界は双晶であり、凹部の結晶性半導体膜には双晶以外の結晶粒界が含まれていないことがわかる。

【 0 0 7 6 】

上述した方法により、凹部に双晶以外の結晶粒界を含まない、結晶方位がほぼ均一に揃った結晶性半導体膜を残存させることができる。そして、半導体記憶素子の配置に合わせて、凹部の良質な結晶性半導体膜がチャネル領域となるように活性層を切り出し、第 1 ゲート絶縁膜及び浮遊ゲート電極を形成する。このような各段階を経て本発明の半導体記憶素子を形成することにより、特性ばらつきが小さく、電流駆動能力の高い半導体記憶素子を実現することが可能となる。

20

【 0 0 7 7 】

同時に、結晶性半導体膜の側面を完全に凹部側壁に覆われるようにすることにより、浮遊ゲート電極への電荷の注入および放出時の活性層端での電界集中のない構造とすることができる、信頼性の高い半導体記憶素子を実現することができる。

【 0 0 7 8 】

30

さらに、上述した方法により、TFT の配置に合わせて、凹部の良質な結晶性半導体膜がチャネル領域となるように活性層を切り出し、ゲート絶縁膜及びゲート電極を形成することで、特性ばらつきが小さく、電流駆動能力の高い TFT を実現することが可能となる。上述した半導体記憶素子および TFT を用いて、メモリセルおよび周辺回路を同時に形成することにより、信頼性が高く、高速動作可能な半導体記憶装置を実現することができる。

【 0 0 7 9 】

（実施形態 3 ）

次に、凹部を有する下地絶縁膜上に結晶性珪素膜を形成し、その凹部に充填された充填領域にチャネル形成領域が配設される半導体記憶素子および TFT を作製する一形態を図面を用いて説明する。なお、本実施形態の係る各図面において、（1）は上面図、（2）～（5）はそれに対応する各部位の縦断面図を示す。

40

【 0 0 8 0 】

本実施の形態では、メモリセルアレイと周辺回路とを同時に作製する形態を示し、図面の右側には半導体記憶素子がマトリクス状に配置されたNOR型メモリセルアレイの一部を、左側には、周辺回路を代表して、nチャネル型 TFT と pチャネル型 TFT により構成されるインバータを、作製する形態を説明する。

【 0 0 8 1 】

図 8 には、ガラス基板 801 上に第 1 絶縁膜 802 および第 2 絶縁膜 803 が形成され、絶縁表面上にストライプ状凹部が形成された形態が示されている。図 8 に示した形態は、

50

実施形態 2 において説明した方法によって作製することができる。本実施形態では、第 1 絶縁膜 802 を 30 ~ 300 nm の酸窒化アルミニウムで形成する。第 2 絶縁膜 803 はプラズマ CVD 法で TEOS と O₂ を混合し、反応圧力 40 Pa、基板温度 400 とし、高周波 (13.56 MHz) 電力密度 0.6 W/cm² で放電させ 10 ~ 3000 nm、好ましくは 100 ~ 2000 nm の厚さに酸化珪素膜を堆積し、その後エッチングにより凹部を形成する。凹部の幅は、特にチャネル形成領域が配置される場所において、0.01 ~ 2 μm、好ましくは 0.1 ~ 1 μm で形成する。

【0082】

その後、図 9 で示すように第 1 絶縁膜 802 及び第 2 絶縁膜 803 上に酸化膜又は酸窒化珪素膜から成る第 3 絶縁膜 901 と非晶質珪素膜を同一のプラズマ CVD 装置を用い大気に触れさせることなく連続的に成膜する。非晶質珪素膜は珪素を主成分に含む半導体膜で形成し、プラズマ CVD 法で SiH₄ を原料気体として用い形成する。非晶質珪素膜は下地の段差形状を反映した平坦でない表面形状が形成される。

10

【0083】

結晶化は連続発振レーザー光を照射して行う。図 9 はその結晶化後の状態を示している。結晶化の条件は連続発振モードの YVO₄ レーザー発振器を用い、その第 2 高調波 (波長 532 nm) の出力 5 ~ 10 W を、光学系にて短手方向に対する長手方向の比が 10 以上である線状レーザー光に集光し、且つ長手方向に均一なエネルギー密度分布を有するように集光し、10 ~ 200 cm/sec の速度で走査して結晶化させる。均一なエネルギー密度分布とは、完全に一定であるもの以外を排除することではなく、エネルギー密度分布において許容される範囲は ± 10 % である。

20

【0084】

線状に集光されたレーザー光の走査方向と凹部の配置との関係は図 21 に示されている。線状に集光されたレーザー光 2160 の強度分布はその強度分布が長手方向において均一な領域を有していることが望ましい。これは加熱される半導体の温度が照射領域の温度を一定にすることが目的である。線状に集光されたレーザー光の長手方向 (走査方向と交差する方向) に温度分布が生じると、結晶の成長方向をレーザー光の走査方向に限定することができなくなるためである。直線状のストライプパターンは図示のように線状に集光されたレーザー光 2160 の走査方向と合わせて配列させておくことで、結晶の成長方向と、全てのトランジスタのチャネル長方向とを合わせることができる。これによりトランジスタの素子間の特性ばらつきを小さくすることができる。

30

【0085】

また、線状に集光されたレーザー光による結晶化は、1 回の走査 (即ち、一方向) のみで完了させても良いし、より結晶性を高めるためには往復走査しても良い。さらに、レーザー光による結晶化した後、フッ酸などによる酸化物除去、或いは、アンモニア過酸化水素水処理などアルカリ溶液により珪素膜の表面を処理し、エッチング速度の速い品質の悪い部分を選択的に除去して、再度同様の結晶化処理を行っても良い。このようにして、結晶性を高めることができる。

【0086】

この条件でレーザー光を照射することにより、非晶質珪素膜は瞬間的に溶融し結晶化させる。実質的には溶融帯が移動しながら結晶化が進行する。溶融した珪素は表面張力が働いて凹部に凝集し固化する。これにより、図 9 に示すように凹部を充填する形態で表面が平坦な結晶性珪素膜 902 が形成される。

40

【0087】

その後図 10 に示すように、ソース・ドレイン領域となる領域および結晶性珪素膜を用いた配線となる領域をフォトレジストでマスクした状態で、結晶性珪素膜 902 の表面をエッチング除去する。この時、フォトレジストでマスクしない領域は、凹部に埋め込まれた結晶性珪素膜のみを残すようにエッチング処理を行う。その結果、少なくともチャネル領域となる部位においては、結晶性珪素膜の側面は完全に凹部を形成する絶縁膜によって覆われる。このエッチング処理により、マスクしない領域は凹部に埋め込まれ、マスクした

50

領域は凹部間が繋がった結晶性珪素膜 1001 が得られる。結晶性珪素膜はフッ素系のガスと酸素とをエッティングガスとして用いることにより下地の酸化膜と選択性をもってエッティングすることができる。例えば、エッティングガスとして、 CF_4 と O_2 の混合ガスが適用される。

【0088】

さらに、図10に示す結晶性珪素膜 1001 から、図11に示す島状の珪素膜 1101～1103 を形成する。この島状の珪素膜は、実施形態2で示したように、双晶以外の結晶粒界が含まれないという特徴を有している。なお、図11は、この島状の珪素膜 1101～1103 の形状を限定的に示すものではなく、所定のデザインルールに従う範囲内で自由に設計すれば良い。

10

【0089】

本実施形態では、半導体記憶素子は素子面積を最小にするように一つの直線状凹部に形成される結晶性珪素膜を用いて形成し、また、半導体記憶素子に接続されるソース線を結晶性珪素膜を用いて形成する構成としており、図11に示すような島状の珪素膜 1103 とした。一方、周辺回路を構成する TFT は、必要な電流駆動能力に応じてチャネル幅を設計する必要があり、複数の直線上凹部に形成される結晶性珪素膜をチャネル領域として用いることで、複数のチャネル領域が並列に配設した TFT (マルチチャネル TFT と呼ぶ) 構成としており、図11に示すような島状の珪素膜 1101、1102 とした。

【0090】

この後、図12で示すように、島状の珪素膜 1101～1103 の上面を覆い、TFT のゲート絶縁膜および半導体記憶素子の第1ゲート絶縁膜として用いる第4絶縁膜 1201、TFT のゲート電極および半導体記憶素子の浮遊ゲート電極として用いる導電膜 1202、1203、半導体記憶素子の第2ゲート絶縁膜として用いる第5絶縁膜 1204、および半導体記憶素子の制御ゲート電極として用いる導電膜 1205、を順に形成する。第4絶縁膜 1201 および第5絶縁膜 1204 は、公知の気相法 (プラズマ CVD 法、スパッタ法等) を用いて、30～200 nm の酸化珪素膜又は酸窒化珪素膜を形成する。第5絶縁膜 1204 として SiO_2 / SiN / SiO_2 による積層膜 (ONO膜と呼ばれる) を形成してもよい。また、導電膜 1202、1203、1205 はタンゲステン又はタンゲステンを含有する合金、アルミニウム又はアルミニウム合金、多結晶シリコンなどで形成する。

20

【0091】

なお、絶縁表面を有する基板として石英基板を用いる場合には、半導体記憶素子の第1ゲート絶縁膜として用いる第4絶縁膜 1201 を、熱酸化工程により形成してもよい。例えば、酸化雰囲気中で 950 の加熱処理を加え、10～200 nm の熱酸化膜を形成する。これにより、良質な酸化膜と界面準位の少ない半導体 / 絶縁膜界面が得られ、第1ゲート絶縁膜の高い信頼性が得られる。また、第1ゲート絶縁膜は、酸化珪素膜又は酸窒化珪素膜を形成した後、熱酸化工程を行い、堆積膜と熱酸化膜の積層構造としてもよい。この場合も、界面準位の少ない半導体 / 絶縁膜界面が得られ、高い信頼性が得られる。

30

【0092】

なお、従来構造の半導体記憶素子において、第1ゲート絶縁膜形成時に熱酸化を行うと、活性層端付近では、活性層底面でも熱酸化が進行し、活性層短部の形状が歪み、その結果、電界の集中による信頼性低下の問題があった。本発明の半導体記憶素子は、半導体活性層の側面が凹部の側壁によって覆われているため、活性層端付近においても活性層上面部で熱酸化が進行するだけであり、従来の活性層底面での熱酸化といった問題は生じない。

40

【0093】

図13では、島状の半導体膜 1101～1103 に一導電型の不純物領域 1301～1303 を形成する段階を示している。ここでは、n型不純物領域 1302、1303、p型不純物領域 1301 を設けるものとする。これらの不純物領域は TFT のゲート電極として用いる導電膜 1202 および半導体記憶素子の制御ゲート電極として用いる導電膜 1205 をマスクとして自己整合的に形成しても良いし、フォトレジストをマスクとして形成

50

しても良い。不純物領域 1301～1303 はソース・ドレイン領域を形成し、必要に応じて低濃度ドレイン領域を適宜設けることもできる。

【0094】

この不純物領域 1301～1303 は不純物イオンを電界で加速して、半導体膜に注入するイオン注入法又はイオンドーピング法などが適用される。

【0095】

そして、図 14 に示すように窒化珪素膜又は酸窒化珪素膜による第 6 絶縁膜 1401 を形成し、ソース・ドレイン領域を形成する不純物領域と接触する配線 1402 を形成する。その後、400～450 に熱処理をすることにより窒化珪素膜又は酸窒化珪素膜が含有する水素が放出され島状の半導体膜に対する水素化を行うことができる。

10

【0096】

こうして、図 14 に示すように、半導体記憶素子 1405 からなる NOR 型メモリセルアレイと、周辺回路を代表して、n チャネル型マルチチャネル TFT 1403、及び p チャネル型マルチチャネル TFT 1404 からなるインバータ回路と、を形成することができる。もちろん、この構成に限られるわけではなく、公知の他のメモリセルアレイや他の CMOS 回路あるいは単極性 TFT からなる回路であっても、本実施形態と同様にして作製することができる。また、並列に配設するチャネル形成領域の数に限定はなく、必要に応じて任意個数配設すれば良い。

【0097】

このように、半導体記憶素子および TFT の配置に合わせて、少なくとも半導体記憶素子のチャネル領域においては結晶性半導体膜の側面が凹部の側壁によって覆われた、双晶以外の結晶粒界を含まない良質な結晶性半導体膜がチャネル領域となるように活性層を切り出し、半導体記憶素子においては、第 1 ゲート絶縁膜、浮遊ゲート電極、第 2 ゲート絶縁膜、制御ゲート電極を、TFT においては、ゲート絶縁膜およびゲート電極を、それぞれ形成することによって、信頼性が高く、特性ばらつきが小さく、電流駆動能力の高い半導体記憶素子、および特性ばらつきが小さく、電流駆動能力の高い TFT を同時に作製することが可能となる。

20

【0098】

その結果、半導体記憶素子がマトリクス状に配置されたメモリセルアレイ、および TFT によって構成される周辺回路が同一基板上に形成された、信頼性が高く、高速動作可能な半導体記憶装置を実現することが可能となる。

30

【0099】

【実施例】

(実施例 1)

本発明は、半導体活性層と制御ゲート電極の間に電荷蓄積層を有する様々な半導体記憶素子に適用することが可能である。特に、電化蓄積層として半導体クラスタ層、金属クラスタ層、あるいは窒化膜を設けた半導体記憶素子に対しても適用することができる。これらの半導体記憶素子は、電荷を蓄積する領域が空間的に離散的に設けられていることを特徴とする。

【0100】

40

電荷を蓄積する領域として半導体または金属のクラスタ層を用いる半導体記憶素子のチャネル長方向断面図の一例を図 19 (a) に示す。図 19 (a) に示した半導体記憶素子は、基板 1900 上に、チャネル領域 1901 と一導電型の不純物が添加された不純物領域 1902、1903 とからなる半導体活性層、第 1 ゲート絶縁膜 1904、クラスタ層 1906、第 2 ゲート絶縁膜 1907、および制御ゲート電極 1908 が順に積層されてなる。クラスタ層 1906 は、離散的な塊状の半導体または金属（クラスタと呼ぶ）によって構成される層であり、この離散的なクラスタ 1905 が電荷の捕獲中心としての役割を果たす。

【0101】

電荷を蓄積する領域として窒化膜等を用いる半導体記憶素子としては、MNOS (Metal

50

Nitride Oxide Semiconductor)、MONOS (Metal Oxide Nitride Oxide Semiconductor) 等が知られている。MONOS 及びMONOS型の半導体記憶素子のチャネル長方向断面図の一例を図19(b)及び(c)にそれぞれ示す。図19(b)示した半導体記憶素子は、基板1910上に、チャネル領域1911と一導電型の不純物が添加された不純物領域1912、1913とからなる半導体活性層、第1ゲート絶縁膜1914、窒化膜1915、および制御ゲート電極1916が順に積層されてなる。また、図19(c)示した半導体記憶素子は、基板1920上に、チャネル領域1921と一導電型の不純物が添加された不純物領域1922、1923とからなる半導体活性層、第1ゲート絶縁膜1924、窒化膜1925、第2ゲート絶縁膜1926、および制御ゲート電極1927が順に積層されてなる。いずれにおいても、窒化膜中の空間的に離散的な不純物準位が電荷の捕獲中心としての役割を果たす。

【0102】

なお、本発明を上述した半導体記憶素子に適用する場合には、チャネル領域として絶縁表面を有する直線状凹部に形成され、側面が完全に凹部側壁に覆われ、双晶以外の結晶粒界を含まない、結晶方位がほぼ均一に揃った結晶性半導体膜を用いれば良い。

【0103】

半導体記憶素子として、電荷を蓄積する領域が離散的に設けられている電荷蓄積層を用いた場合、電荷保持特性が第1ゲート絶縁膜の欠陥やピンホールの影響を受けにくいという効果がある。浮遊ゲート電極を有する半導体記憶素子のように、電荷を蓄積する領域が連続的に設けられている場合には、第1ゲート絶縁膜に一箇所でもピンホールがあると、浮遊ゲート電極に蓄積された電荷は全てそのピンホールからリークしてしまうため、半導体記憶素子の電荷保持特性に大きく影響する。しかし、電荷を蓄積する領域が離散的に設けられている半導体記憶素子を用いた場合には、ピンホールの影響を受ける領域は限定され、多くの電荷蓄積領域はそのピンホールの影響を受けないため、半導体記憶素子の電荷保持特性への影響は少ない。

【0104】

(実施例2)

本発明における結晶性半導体膜の形成において、実施形態2で示すように非晶質半導体膜にレーザー光を照射して結晶化させる方法の他に、固相成長により結晶化した後さらにレーザー光を照射して溶融再結晶化しても良い。

【0105】

例えば、図4において非晶質半導体膜401を形成した後、該非晶質半導体膜(例えば非晶質珪素膜)の結晶化温度を低温化させ配向性を向上させるなど、結晶化を促進する触媒作用のある金属元素としてNiを添加する。Niの添加法に限定はなく、スピニ塗布法、蒸着法、スパッタ法などを適用するこができる。スピニ塗布法による場合には酢酸ニッケル塩が5ppmの水溶液を塗布して金属元素含有層を形成する。勿論、触媒元素はNiに限定されるものではなく、他の公知の材料を用いても良い。

【0106】

その後、580にて4時間の加熱処理により非晶質半導体膜401を結晶化させる。この結晶化した半導体膜に対し、レーザー光又はそれと同等な強光を照射して溶融させ再結晶化する。こうして、図5と同様に表面がほぼ平坦化された結晶性半導体膜501を得ることができる。この結晶性半導体膜501も同様に成長端や結晶粒界が第2絶縁膜304上に形成される。

【0107】

レーザー光の被照射体として結晶化した半導体膜を用いる利点は半導体膜の光吸収係数の変動率にあり、結晶化した半導体膜にレーザー光を照射して溶融させたとしても光吸収係数は殆ど変動しない。よって、レーザー照射条件のマージンを広くとることができる。

【0108】

こうして形成された結晶性半導体膜には金属元素が残存するが、ゲッタリング処理により取り除くことができる。この技術の詳細については、特願2001-019367号出願

10

20

30

40

50

(又は特願2002-020801号出願)を参照されたい。また、このゲッタリング処理に伴う加熱処理は、結晶性半導体膜の歪みを緩和するという効果も合わせ持っている。

【0109】

その後、実施形態2と同様に凹部の結晶性半導体膜を抽出する。抽出された結晶性半導体膜は、双晶以外の結晶粒界を含まず、結晶方位がほぼ均一に揃っているという特徴を有し、かつ、少なくとも半導体記憶素子のチャネル領域となる部位において側面が凹部の側壁によって覆われている。そして、この結晶性半導体を使って半導体記憶素子およびTFTを作製することができる。

【0110】

なお、本実施例は、実施例1で説明した半導体記憶素子に適用することもできる。

10

【0111】

(実施例3)

本実施例では、結晶化に際し適用することのできるレーザー処理装置の構成の一例を示す。

【0112】

図20はレーザー発振装置2001a、2001b、シャッター2002、高変換ミラー2003～2006、シリンドリカルレンズ2008、2009、スリット2007、載置台2011、載置台2011をX方向及びY方向に変位させる駆動手段2012、2013、当該駆動手段をコントロールする制御手段2014、予め記憶されたプログラムに基づいてレーザー発振装置2001や制御手段2014に信号を送る情報処理手段2015などから成っているレーザー処理装置の構成を正面図と側面図により示すものである。

20

【0113】

レーザー発振装置は矩形ビーム固体レーザー発振装置が適用され、特に好ましくは、スラブレーザー発振装置が適用される。或いは、YAG、YVO₄、YLF、YAlO₃などの結晶にNd、Tm、Hoをドープした結晶を使った固体レーザー発振装置にスラブ構造増幅器を組み合わせたものでも良い。スラブ材料としては、Nd:YAG、Nd:GGG(ガドリニウム・ガリウム・ガーネット)、Nd:GSGG(ガドリニウム・スカンジウム・ガリウム・ガーネット)などの結晶が使用される。その他にも、連続発振可能な気体レーザー発振装置、固体レーザー発振装置を適用することもできる。連続発振固体レーザー発振装置としてはYAG、YVO₄、YLF、YAlO₃などの結晶にCr、Nd、Er、Ho、Ce、Co、Ti又はTmをドープした結晶を使ったレーザー発振装置を適用する。発振波長の基本波はドープする材料によっても異なるが、1μmから2μmの波長で発振する。5W以上のより高い出力を得る為には、ダイオード励起の固体レーザー発振装置をカスケード接続しても良い。

30

【0114】

このようなレーザー発振装置から出力される円形状又は矩形状のレーザー光は、シリンドリカルレンズ2008、2009により照射面の断面形状において線状に集光される。また、照射面での干渉を防ぐため、高変換ミラーを適宜調節して10～80度の角度を持って斜め方向から入射する構成となっている。シリンドリカルレンズ2008、2009は合成石英製とすれば高い透過率が得られ、レンズの表面に施されるコーティングは、レーザー光の波長に対する透過率が99%以上を実現するために適用される。勿論、照射面の断面形状は線状に限定されず、矩形状、橢円形又は長円形など任意な形状としても構わない。いずれにしても短軸と長軸の比が、1対10～1対100の範囲に含まれるものを探している。また、波長変換素子2010は基本波に対する高調波を得るために備えられている。

40

【0115】

また、載置台2011を駆動手段2012、2013により二軸方向に動かすことにより基板2020のレーザー処理を可能としている。一方の方向への移動は基板2020の一辺の長さよりも長い距離を1～200cm/sec、好ましくは5～50cm/secの等速度で連続的に移動させることができ、他方へは線状ビームの長手方向と同程度の距離を不連

50

続にステップ移動させることができるとなっている。レーザー発振装置 2001a、2001b の発振と、載置台 2011 は、マイクロプロセッサを搭載した情報処理手段 2015 により同期して作動するようになっている。

【0116】

載置台 2011 は図中で示す X 方向に直線運動をすることにより、固定された光学系から照射されるレーザー光で基板全面の処理を可能としている。位置検出手段 2016 は基板 2020 がレーザー光の照射位置にあることを検出して、その信号を情報処理手段 2015 に伝送し、情報処理手段 2015 によりレーザー発振装置 2001a、2001b の発振動作とのタイミングを同期させている。つまり、基板 2020 がレーザー光の照射位置にない時は、レーザーの発振を止めその寿命を延長させている。

10

【0117】

このような構成のレーザー照射装置により基板 2020 に照射されるレーザー光は、図中に示す X 方向又は Y 方向に相対移動させることにより半導体膜の所望の領域または全面を処理することができる。

【0118】

なお、本実施例は、実施例 1、2 のいずれの構成とも自由に組み合わせることが可能である。

【0119】

(実施例 4)

実施形態 2 乃至 3 では、ストライプ状凹部を有する下地絶縁膜上に結晶性半導体膜を形成する場合を説明した。本発明は完全なストライプパターンである必要はなく、少なくとも半導体記憶素子および TFT のチャネル領域を構成する結晶性半導体膜を直線状凹部にて形成することを特徴としている。例えば、ソース・ドレイン領域や半導体膜を用いた配線領域は、直線状凹部間を接続するストライプ間凹部にて形成された結晶性半導体膜を用いても構わない。このような結晶性半導体膜中には結晶粒界や結晶欠陥が含まれ得るが、ソース・ドレイン領域や半導体膜配線として用いる場合には特に問題とならない。

20

【0120】

本実施例では、ソース・ドレイン領域や半導体膜を用いた配線領域に合わせて、ストライプ状凹部間を接続するストライプ間凹部を設けた下地絶縁膜を用いて半導体記憶素子および TFT を作製する工程について説明する。工程の詳細は実施形態 3 からの差異のみを、図 15、図 16 を用いて説明する。

30

【0121】

図 15 は第 1 絶縁膜 1501 とストライプ状凹部およびストライプ間凹部を形成する第 2 絶縁膜 1502 を形成した状態を示している。図中点線で囲む領域 1503 は、メモリセルアレイにおけるソース配線となる部位であり、ソース配線となる領域に合わせて凹部が設けられている。また、図中点線で囲む領域 1504 ~ 1507 は、TFT のソース・ドレイン領域となる部位である。

【0122】

次いで、この上に非晶質半導体膜を堆積し、それに線状に集光されたレーザー光を照射して結晶性半導体膜を形成した後、第 2 絶縁膜 1502 上にある結晶性半導体膜をエッチングにより除去し、凹部を充填する形で結晶性半導体膜を抽出する。図 16 は、さらに、半導体記憶素子および TFT を構成する半導体膜の配置と半導体膜配線の配置に合わせて、この結晶性半導体膜をエッチングして、島状の半導体膜 1601、1602、1603 を形成した状態を示している。

40

【0123】

そして、半導体記憶素子の配置に合わせて第 1 ゲート絶縁膜、浮遊ゲート電極、第 2 ゲート絶縁膜、及び制御ゲート電極を、TFT の配置に合わせてゲート絶縁膜及びゲート電極を、それぞれ形成する。その後、n 型又は p 型の不純物領域を形成し、層間絶縁膜を介して各種配線を形成することにより、実施形態 3 と同様、メモリセルアレイと周辺回路とを同時に作製することができる。

50

【0124】

このように、下地絶縁膜にソース・ドレイン領域や半導体膜を用いた配線領域に合わせた凹部を予め設けることによって、実施形態3で説明した、ソース・ドレイン領域や半導体膜を用いた配線領域をカバーするマスクは不要となり、半導体記憶装置の作製に必要なマスク枚数を1枚削減することが可能となる。

【0125】

なお、本実施例は、実施例1～3のいずれの構成とも自由に組み合わせることが可能である。

【0126】

(実施例5)

10

本実施例では、メモリセルアレイと周辺回路とを同時に作製する別の方法を説明する。本発明の半導体記憶素子は、チャネル領域を構成する結晶性半導体膜の側面が凹部側壁によって覆われていることを特徴とするが、メモリセルを選択するデコーダ回路、書き込み・読み出し回路等の周辺回路や他の半導体集積回路を構成する同一基板上のTFTはそのような構造である必要はない。

【0127】

特に、周辺回路や他の半導体集積回路を構成するTFTのチャネル領域を構成する結晶性半導体膜の側面を覆う凹部側壁を除去することによって、結晶性半導体膜の上面だけでなく、側面部もチャネル領域とする構造とし、電流駆動能力の高いTFTを実現することができる。

20

【0128】

工程の詳細は実施形態3からの差異のみを図17、図18を用いて説明する。

【0129】

図17は、実施形態3に従って図11まで作製した後、半導体記憶素子が配置される領域(図中、右半分)をフォトレジストでマスクした状態で、第2絶縁膜をエッチング処理により除去した状態を示している。このエッチング処理は緩衝フッ酸による薬液処理、又はCHF₃を用いたドライエッチングなどで行うことができる。

【0130】

この工程により、図17に示すように、TFTのチャネル領域となる島状の半導体膜1701、1702の側面部及び上面部が露出した状態となる。この部分にゲートを形成することによって、島状の半導体膜1701、1702の側面部及び上面部をチャネル形成領域とすることができる。

30

【0131】

なお、本実施例では、第1絶縁膜までエッチングを行ったが、第2絶縁膜の途中でエッチングを止めて良い。エッチングの深さを調節することにより島状の半導体膜1701、1702のチャネル形成領域の深さを調節することができる。即ち、結晶化領域を選択することができる。

【0132】

そして、図18に示すように、半導体記憶素子の配置に合わせて、結晶性半導体膜の上面部に重畳して第1ゲート絶縁膜、浮遊ゲート電極、第2ゲート絶縁膜、及び制御ゲート電極を、TFTの配置に合わせて結晶性半導体膜の側面部と上面部に重畳してゲート絶縁膜及びゲート電極を、それぞれ形成する。

40

【0133】

その後、n型又はp型の不純物領域を形成し、層間絶縁膜を介して各種配線を形成することにより、実施形態3と同様、メモリセルアレイと周辺回路とを同時に作製することができる。

【0134】

このような構成とすることによって、半導体記憶素子においては、チャネル領域を構成する結晶性半導体膜の側面が凹部側壁に覆われ、浮遊ゲート電極への電荷の注入および放出時に活性層端部での電界集中のない構造とするにより、高い信頼性を実現することができ

50

、周辺回路を構成するTFTにおいては、結晶性半導体膜の側面部と上面部においてチャネルが形成され実効的にチャネル幅が増加することにより、電流駆動能力を向上させることができる。

【0135】

なお、本実施例は、実施例1～4のいずれの構成とも自由に組み合わせることが可能である。

【0136】

(実施例6)

本発明の半導体記憶装置の例として、不揮発性メモリをワンチップ上に集積化されたRISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用した場合について説明する。

10

【0137】

図22に示すのは、マイクロプロセッサの一例である。マイクロプロセッサは典型的にはCPUコア2201、フラッシュメモリ2204、クロックコントローラ2203、キャッシュメモリ2202、キャッシュコントローラ2205、割り込みコントローラ2206、I/Oポート2207等から構成される。もちろん、図22に示すマイクロプロセッサは簡略化した一例であり、実際のマイクロプロセッサはその用途によって多種多様な回路設計が行われる。

【0138】

図22に示すマイクロプロセッサは、実施形態あるいは実施例に示した作製方法によって作製され、凹部を有する下地絶縁膜上に結晶性珪素膜を形成し、その凹部に充填された充填領域にチャネル形成領域が配設される半導体記憶素子およびTFTによって構成されている。フラッシュメモリ2204には本発明の半導体記憶素子が用いられている。キャッシュメモリとしては、例えばSRAMが用いられている。

20

【0139】

このように本発明をマイクロプロセッサに応用することにより、信頼性の高い不揮発性メモリを有し、高速動作可能な半導体記憶装置を実現することができる。動作速度として、デザインルール等にも依存するが、フラッシュメモリの読み出しサイクルとして500nsec以下、CPUの動作周波数として5MHz以上が実現される。

【0140】

30

なお、本実施例は、実施の形態及び実施例1～5のいずれの構成とも組み合わせることが可能である。

【0141】

(実施例7)

本実施例では、絶縁表面を有する基板上に画像表示部(代表的には、液晶表示部あるいはEL表示部)、不揮発性メモリ、および他の半導体集積回路とを一体形成したシステムオノパネルの形態をとる半導体記憶装置の一例を、図23を用いて説明する。

【0142】

図23において、半導体記憶装置は、画素領域2300、走査線駆動回路2301、信号線駆動回路2302、VRAM2303、フラッシュメモリ2304、CPU2305、画像処理回路2306、ワークメモリ2307及びインターフェース回路2308が、絶縁表面を有する基板2310上に一体形成されてなる。

40

【0143】

図23に示した半導体記憶装置は、画像データを取り込み、または作製して、画像データの加工とフォーマット変換を行い、画像を表示する装置である。半導体記憶装置としては、例えば、ビデオカメラ、カーナビゲーション、パーソナルコンピュータ、ゲーム機等を考えることができる。

【0144】

半導体記憶装置は、それぞれの形態に応じて、入力端子から画像データの基となるデータを受信する。例えば、放送受信機ではアンテナからの入力データであり、ビデオカメラで

50

は C C D からの入力データである。D V テープやメモリーカードからの入力データであってもよい。入力端子からは、この他、キーボードからの入力信号や他の制御信号を入力してもよい。入力された画像の基となるデータは、インターフェース回路 2308 およびシステムバスを介して、フラッシュメモリ 2304 格納にされたり、ワークメモリ 2307 に一時的に格納されたり、あるいは、画像処理回路 2306 によって画像信号に変換され、V R A M に格納される。画像処理回路 2306 では、M P E G 規格やテープフォーマット等に従って圧縮符号化された画像データの復号処理、画像の補間やリサイズといった画像信号処理が行われる。また、入力された制御信号は、C P U や画像処理回路との通信に用いられるほか、信号線駆動回路や走査線駆動回路に入力される。

【 0 1 4 5 】

10

C P U 2305 は、フラッシュメモリ 2304、ワークメモリ 2307、インターフェース回路 2308、および他の回路を制御する。また、画像データの基となるデータを作成したり、加工したりする。フラッシュメモリ 2304 は画像データを作成または加工する場合に必要となる色データや文字データを格納するメモリ領域、あるいはプログラムデータが格納されるメモリ領域として用いられる。ワークメモリ 2307 は画像データやその基となるデータを格納するメモリ領域、C P U による制御を行う際のワークメモリ領域等として用いられ、D R A M や S R A M が用いられる。

【 0 1 4 6 】

信号線駆動回路 2302、走査線駆動回路 2301、画素領域 2300 によって構成される画像表示部は、画像を表示する領域である。信号線駆動回路 2302 および走査線駆動回路 2301 には、外部からインターフェース回路を介して制御信号が入力され、信号線駆動回路 2302 は制御信号に従って、画像処理回路 2306 から出力され V R A M に格納された画像データを取り込み、画素領域にて画像を表示する。

20

【 0 1 4 7 】

以上のようにして、画像データを取り込みまたは作製して画像を表示する、不揮発性メモリを有する半導体記憶装置が構成される。図 23 に示す半導体記憶装置は、実施形態あるいは実施例に示した作製方法によって作製され、凹部を有する下地絶縁膜上に結晶性珪素膜を形成し、その凹部に充填された充填領域にチャネル形成領域が配設される半導体記憶素子およびT F T によって構成されている。フラッシュメモリ 2304 には本発明の半導体記憶素子が用いられている。

30

【 0 1 4 8 】

このように本発明を半導体記憶装置に応用することにより、信頼性の高い不揮発性メモリを有し、高速動作可能な半導体記憶装置を実現することができる。なお、一体形成することで、小型化、消費電力の低減といった効果がある。

【 0 1 4 9 】

なお、信号線駆動回路 2302、走査線駆動回路 2301、画素領域 2300 によって構成される画像表示部と、他の回路によって構成される画像処理部とは、異なる基板上に作製されてもよい。半導体記憶装置としては、画像処理部を構成する基板でもって、放送受信機や表示部を持たないゲーム機といった形態を構成することができる。もちろん、複数の基板を実装することで上述した半導体記憶装置を実現してもよい。

40

【 0 1 5 0 】

本実施例は、実施例 1 ~ 5 と組み合わせて用いることが可能である。

【 0 1 5 1 】

(実施例 8)

本発明を用いて様々な装置を完成させることができる。その一例は、携帯情報端末(電子手帳、モバイルコンピュータ、携帯電話など)、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ受像器、投影型表示装置などが挙げられる。それらの一例を図 24 に示す。

【 0 1 5 2 】

図 24 (A) は本発明を適用してテレビ受像器を完成させる一例であり、筐体 2401、支

50

持台 2402、表示部 2403 などにより構成されている。本発明によりガラス基板上に作製される半導体記憶素子を用いることで、信頼性の高い不揮発性メモリを有し、かつ、動作速度の速いテレビ受像器を完成させることができる。

【0153】

図 24 (B) は本発明を適用してビデオカメラを完成させた一例であり、本体 2411、表示部 2412、音声入力部 2413、操作スイッチ 2414、バッテリー 2415、受像部 2416 などにより構成されている。本発明によりガラス基板上に作製される半導体記憶素子を用いることで、信頼性の高い不揮発性メモリを有し、かつ、動作速度の速いビデオカメラを完成させることができる。

【0154】

図 24 (C) は本発明を適用してノート型のパーソナルコンピュータを完成させた一例であり、本体 2421、筐体 2422、表示部 2423、キーボード 2424 などにより構成されている。本発明によりガラス基板上に作製される半導体記憶素子を用いることで、信頼性の高い不揮発性メモリを有し、かつ、動作速度の速いパーソナルコンピュータを完成させることができる。

【0155】

図 24 (D) は本発明を適用して P D A (Personal Digital Assistant) を完成させた一例であり、本体 2431、スタイルス 2432、表示部 2433、操作ボタン 2434、外部インターフェース 2435 などにより構成されている。本発明によりガラス基板上に作製される半導体記憶素子を用いることで、信頼性の高い不揮発性メモリを有し、かつ、動作速度の速い P D A を完成させることができる。

【0156】

図 24 (E) は本発明を適用して音響再生装置を完成させた一例であり、具体的には車載用のオーディオ装置であり、本体 2441、表示部 2442、操作スイッチ 2443、2444 などにより構成されている。本発明によりガラス基板上に作製される半導体記憶素子を用いることで、信頼性の高い不揮発性メモリを有し、かつ、動作速度の速いオーディオ装置を完成させることができる。

【0157】

図 24 (F) は本発明を適用してデジタルカメラを完成させた一例であり、本体 2451、表示部 (A) 2452、接眼部 2453、操作スイッチ 2454、表示部 (B) 2455、バッテリー 2456 などにより構成されている。本発明によりガラス基板上に作製される半導体記憶素子を用いることで、信頼性の高い不揮発性メモリを有し、かつ、動作速度の速いデジタルカメラを完成させることができる。

【0158】

図 24 (G) は本発明を適用して携帯電話を完成させた一例であり、本体 2461、音声出力部 2462、音声入力部 2463、表示部 2464、操作スイッチ 2465、アンテナ 2466 などにより構成されている。本発明によりガラス基板上に作製される半導体記憶素子を用いることで、信頼性の高い不揮発性メモリを有し、かつ、動作速度の速い携帯電話を完成させることができる。

【0159】

なお、ここで示す装置はごく一例であり、これらの用途に限定するものではない。

【0160】

本実施例は、実施例 1 ~ 5 と組み合わせて用いることが可能である。

【0161】

【発明の効果】

本発明によって、半導体記憶素子のチャネル領域を形成する部位において、側面が凹部側壁によって覆われた結晶性半導体膜を作製することが可能となる。

【0162】

その結果、半導体活性層端部の電界集中に伴う、第 1 ゲート絶縁膜の局所的な劣化を抑えることができ、信頼性の高い半導体記憶素子を実現することが可能となる。

10

20

30

40

50

【0163】

本発明によって、同時に、結晶化に伴う歪み又は応力を凹部以外の領域に集中させることができ、凹部において双晶以外の結晶粒界を含まない良質な結晶性半導体膜を作製することが可能となる。

【0164】

このようにして、チャネル領域の結晶性を制御し、チャネル領域の結晶性を高めることで、電界効果移動度高く、かつ特性ばらつきの小さい半導体記憶素子及びTFTを作製することが可能となる。

【0165】

上述した半導体記憶素子およびTFTを用いて、メモリセルおよび周辺回路を同時に形成することにより、信頼性が高く、高速動作可能な半導体記憶装置を実現することができる。

【図面の簡単な説明】

【図1】 本発明の半導体記憶素子の上面図及び断面図。

【図2】 従来の半導体記憶素子の上面図及び断面図。

【図3】 本発明の結晶化方法を説明する斜視図。

【図4】 本発明の結晶化方法を説明する斜視図。

【図5】 本発明で結晶化方法を説明する斜視図。

【図6】 本発明の結晶化方法を説明する斜視図。

【図7】 NOR型の不揮発性メモリのブロック回路図。

【図8】 本発明の半導体記憶装置の作製工程を説明する上面図及び断面図。

【図9】 本発明の半導体記憶装置の作製工程を説明する上面図及び断面図。

【図10】 本発明の半導体記憶装置の作製工程を説明する上面図及び断面図。

【図11】 本発明の半導体記憶装置の作製工程を説明する上面図及び断面図。

【図12】 本発明の半導体記憶装置の作製工程を説明する上面図及び断面図。

【図13】 本発明の半導体記憶装置の作製工程を説明する上面図及び断面図。

【図14】 本発明の半導体記憶装置の作製工程を説明する上面図及び断面図。

【図15】 本発明の半導体記憶装置の作製工程を説明する上面図及び断面図。

【図16】 本発明の半導体記憶装置の作製工程を説明する上面図及び断面図。

【図17】 本発明の半導体記憶装置の作製工程を説明する上面図及び断面図。

【図18】 本発明の半導体記憶装置の作製工程を説明する上面図及び断面図。

【図19】 本発明が適用される半導体記憶素子の断面図。

【図20】 本発明に適用するレーザー照射装置の一態様を示す配置図。

【図21】 本発明における線状に集光されたレーザー光とその走査方向を説明する図。

【図22】 マイクロプロセッサの一例を示す図。

【図23】 半導体記憶装置の一例を示す図。

【図24】 半導体記憶装置の一例を示す図。

【図25】 ストライプ状凹部を設けた下地絶縁膜上に150nmの非晶質珪素膜を形成して結晶化したときの表面状態を表す走査電子顕微鏡(SEM)写真(セコエッチ後)。

【図26】 凹部に形成された結晶の配向を示すEBSPマッピングデータ。

【図27】 凹部に形成された結晶の断面透過電子顕微鏡(TEM)写真。

【図28】 図25に示した走査電子顕微鏡(SEM)写真の見取り図。

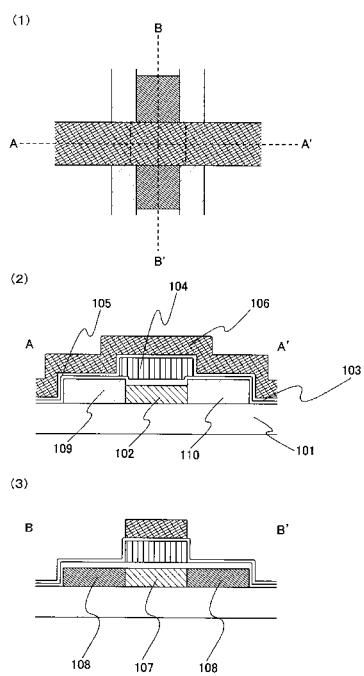
10

20

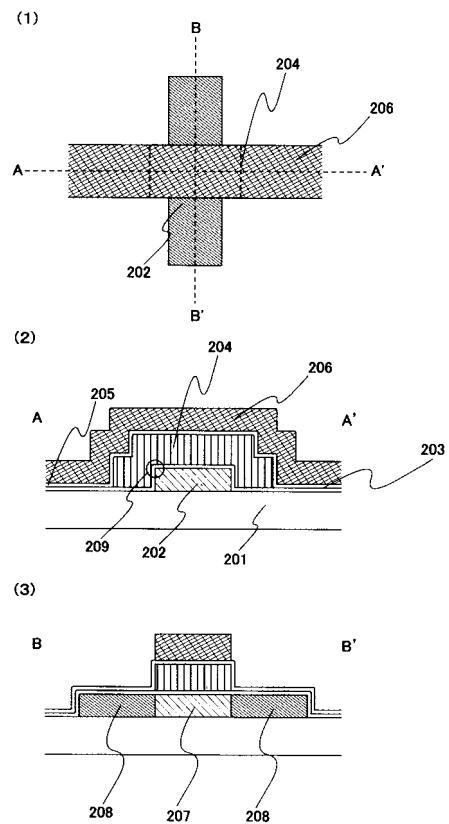
30

40

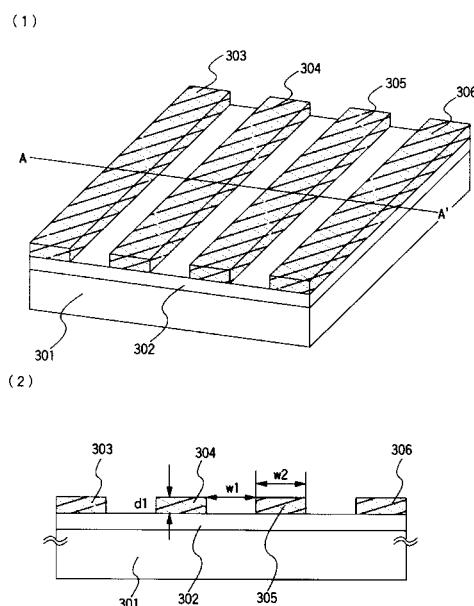
【図1】



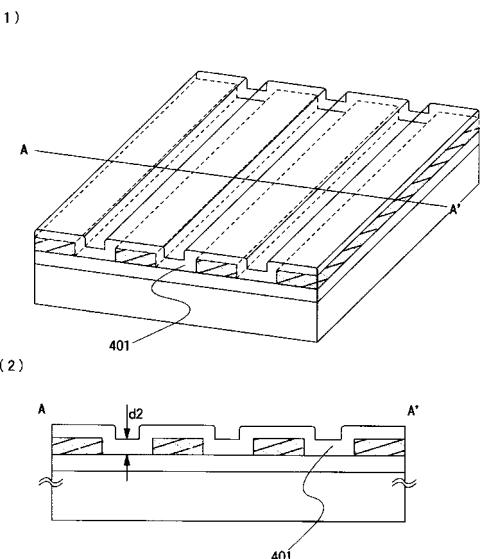
【図2】



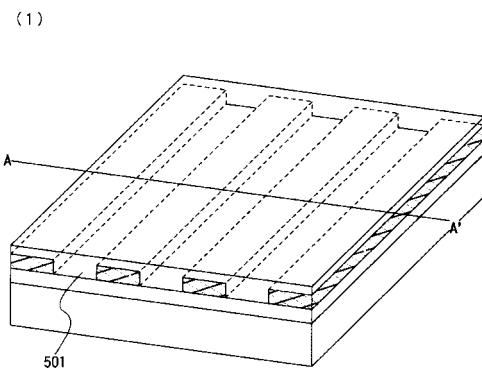
【図3】



【図4】



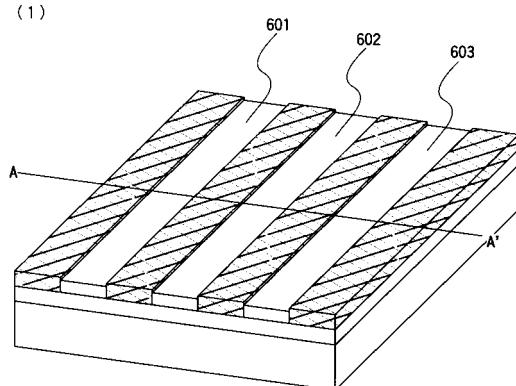
【 图 5 】



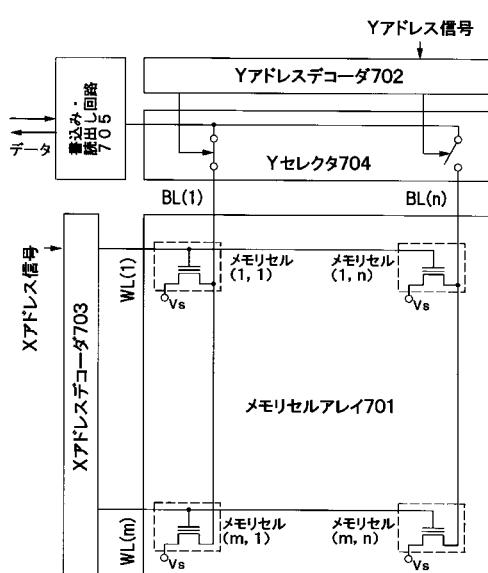
(2)

Diagram (2) shows a cross-section of a substrate structure. It features a central channel labeled 501. On either side of the channel are four rectangular structures. The distance between the center of the channel and the center of the first structure on the left is labeled d_3 . The distance between the centers of the first and second structures on the left is labeled d_4 . The structure is bounded by two wavy lines at the bottom.

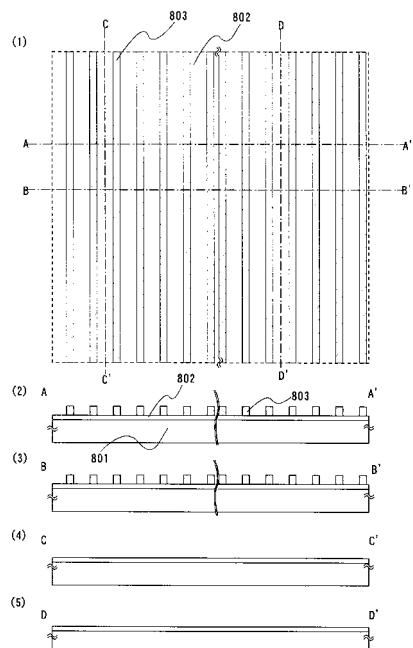
【 四 6 】



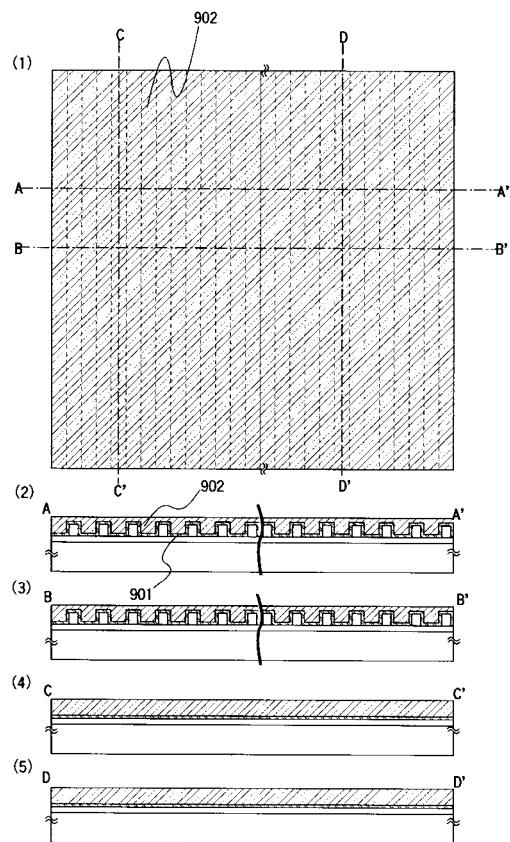
【 四 7 】



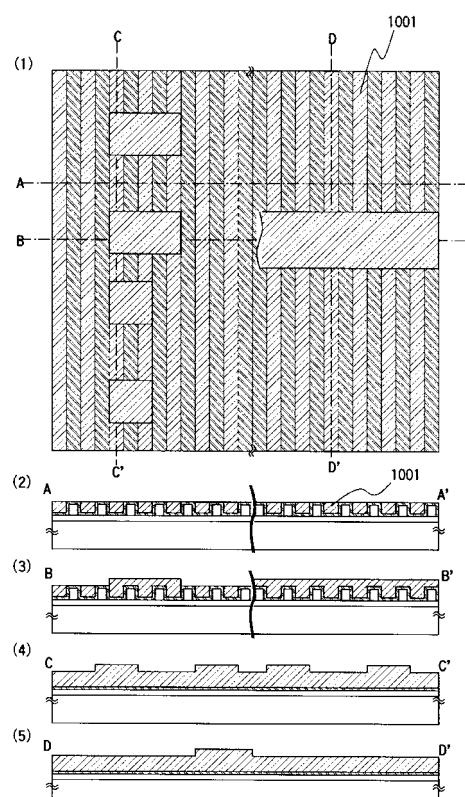
【図8】



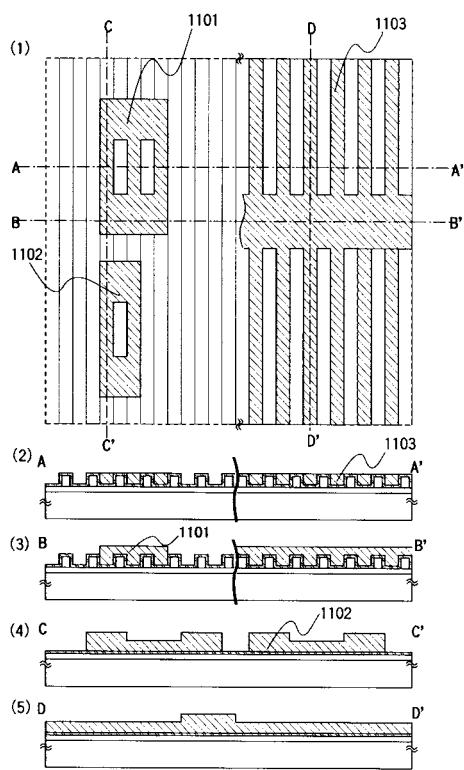
【図9】



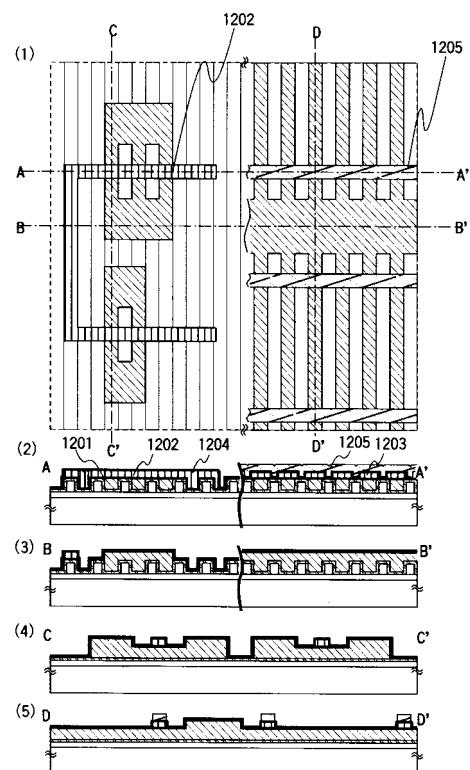
【図10】



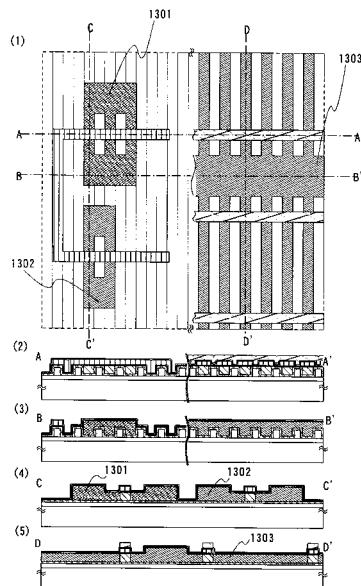
【図11】



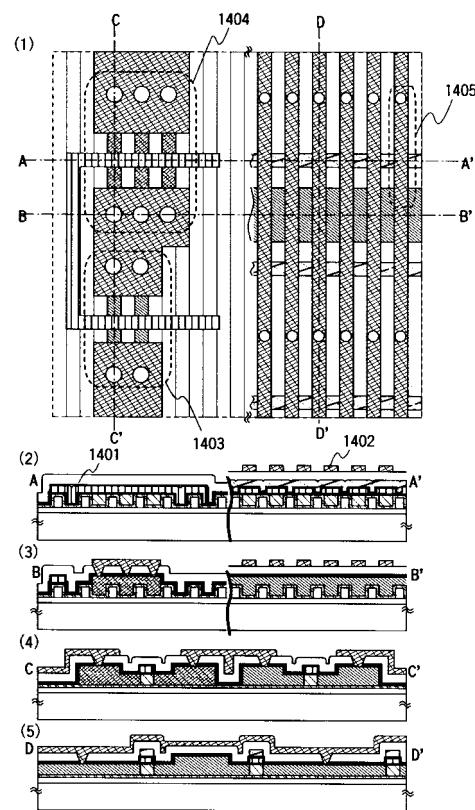
【図12】



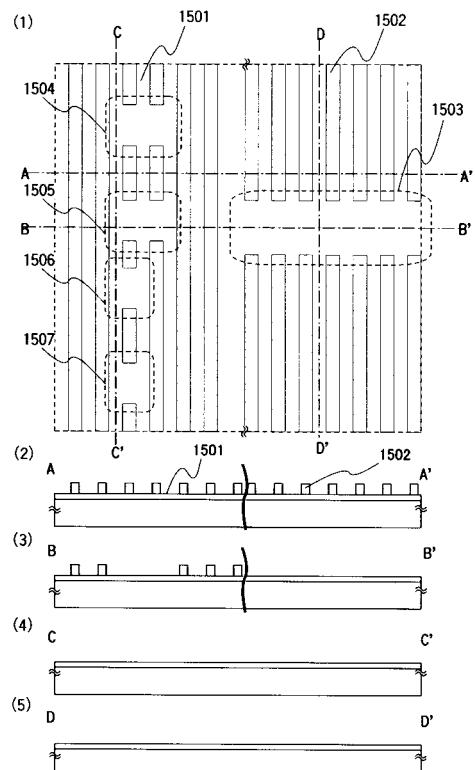
【図13】



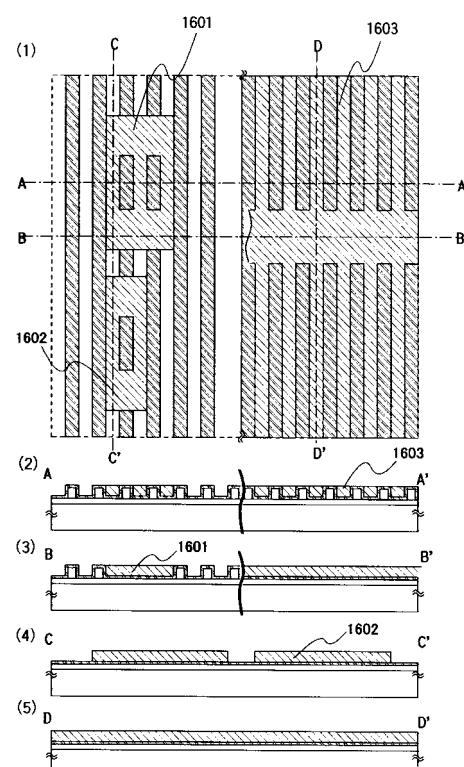
【図14】



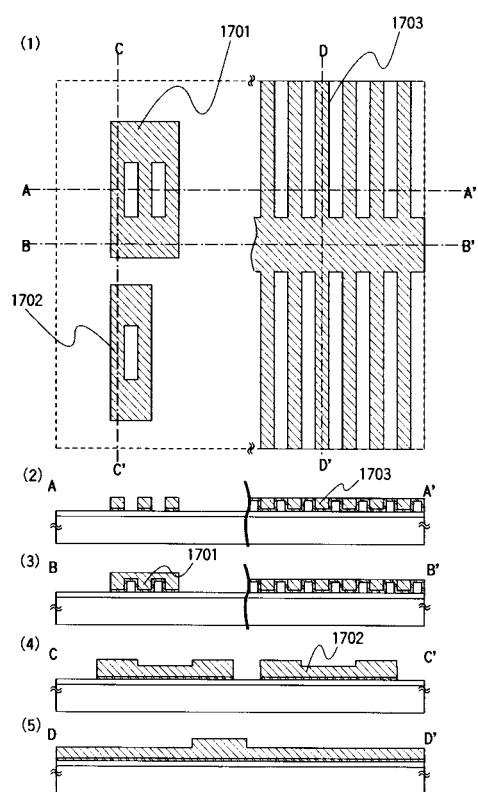
【図15】



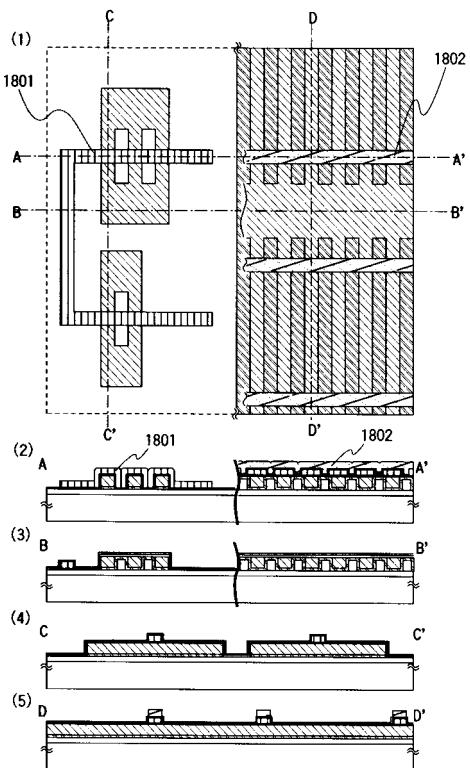
【図16】



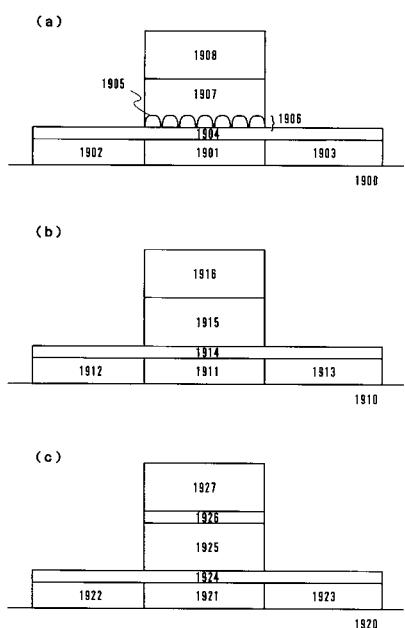
【図17】



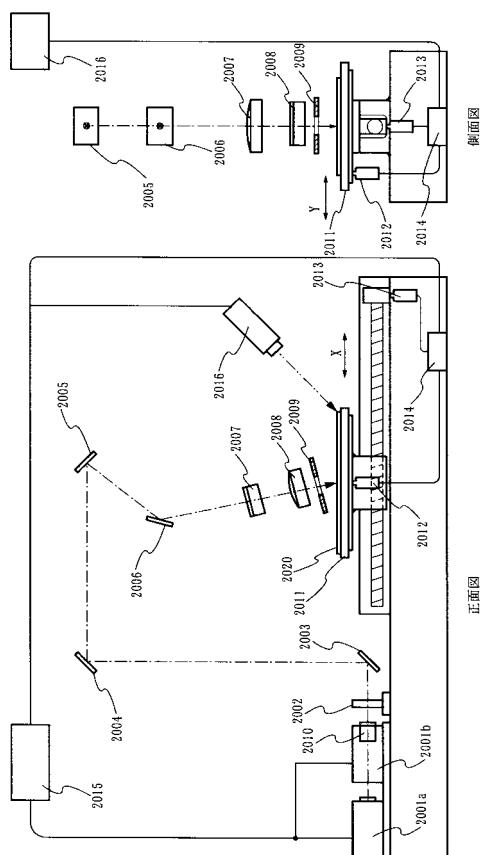
【図18】



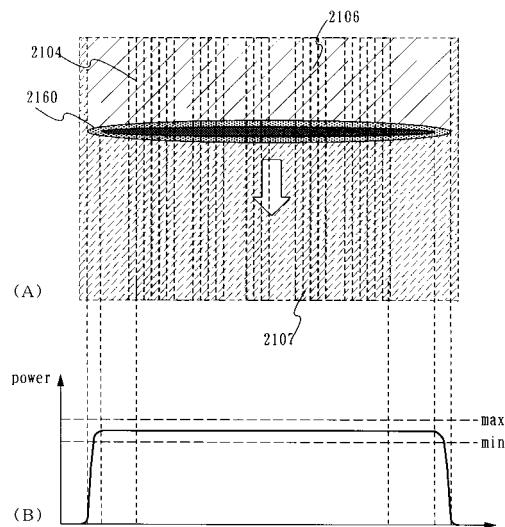
【図19】



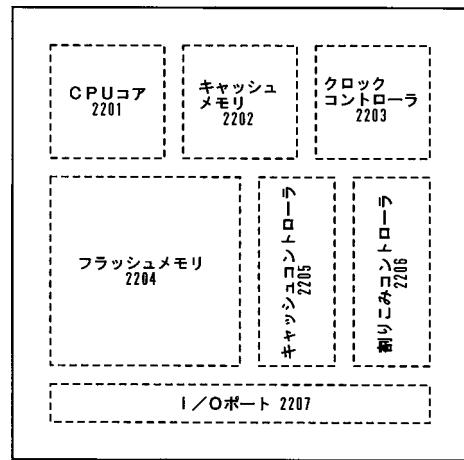
【図20】



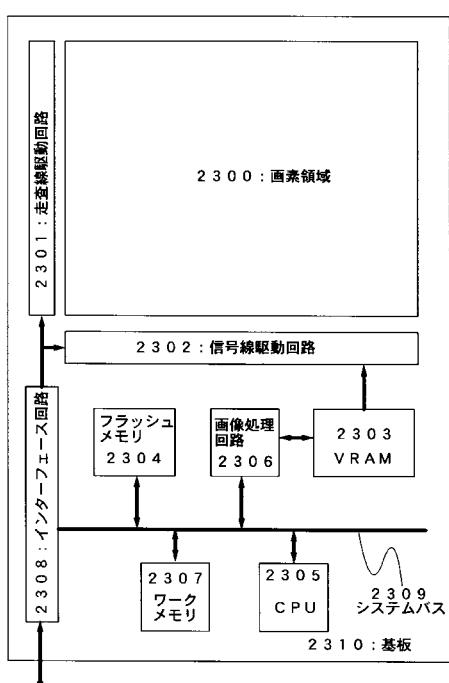
【図21】



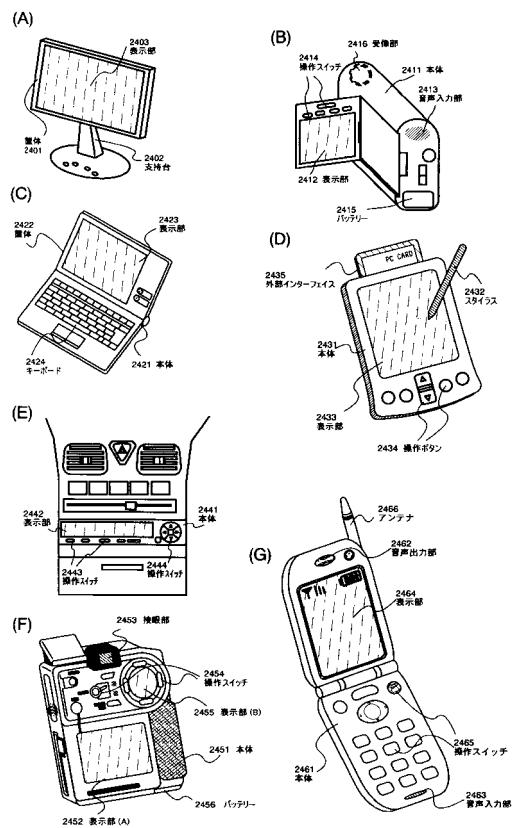
【図22】



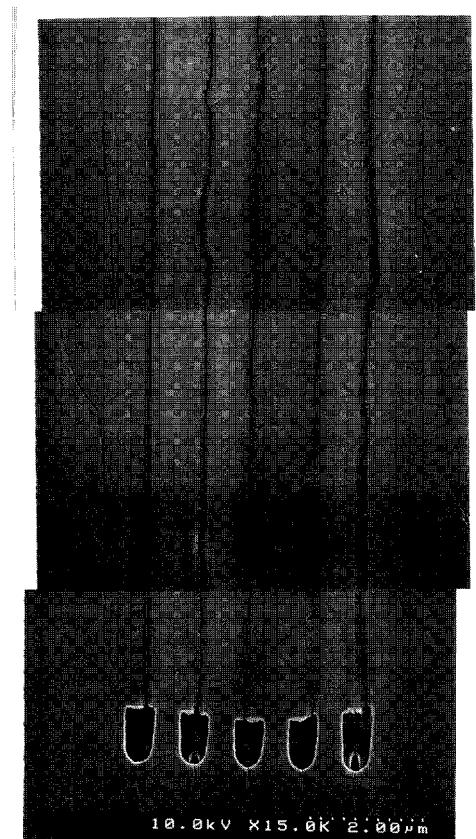
【図23】



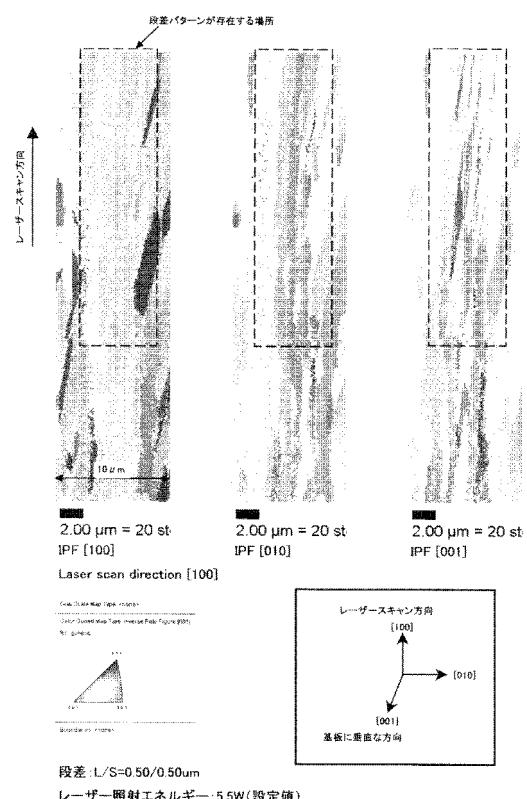
【図24】



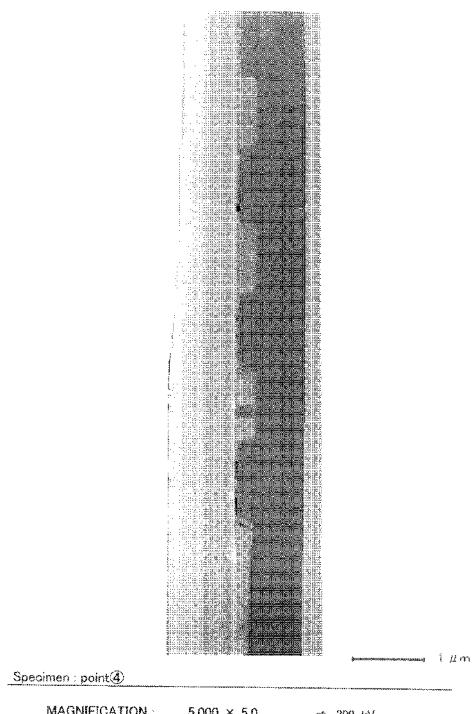
【図25】



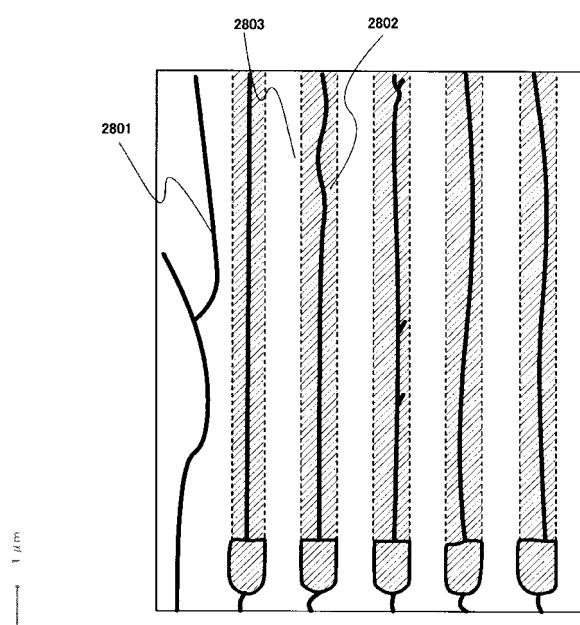
【図26】



【図27】



【図28】



フロントページの続き

審査官 粟野 正明

(56)参考文献 特開2002-057309 (JP, A)

特開平11-031659 (JP, A)

特開2001-298100 (JP, A)

特開2000-306834 (JP, A)

特開2001-351995 (JP, A)

特開2000-019557 (JP, A)

特開2001-015591 (JP, A)

特開2001-168347 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247

H01L 27/115

H01L 29/788

H01L 29/792