

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-5153

(P2017-5153A)

(43) 公開日 平成29年1月5日(2017.1.5)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 27/04 (2006.01)	H O 1 L 29/78 6 5 7 F	5 F 0 4 8
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 3 A	
H O 1 L 21/8234 (2006.01)	H O 1 L 29/78 6 5 2 F	
H O 1 L 27/06 (2006.01)	H O 1 L 29/78 6 5 2 N	
H O 1 L 29/739 (2006.01)	H O 1 L 27/06 1 0 2 A	
審査請求 未請求 請求項の数 15 O L (全 26 頁) 最終頁に続く		

(21) 出願番号	特願2015-118651 (P2015-118651)	(71) 出願人	302062931
(22) 出願日	平成27年6月11日 (2015.6.11)		ルネサスエレクトロニクス株式会社
			東京都江東区豊洲三丁目2番24号
		(74) 代理人	110002066
			特許業務法人筒井国際特許事務所
		(72) 発明者	森 和久
			茨城県ひたちなか市堀口751番地 ルネ
			サスセミコンダクタマニュファクチャリ
			ング株式会社内
		Fターム(参考)	5F048 AB10 AC10 BA06 BB05 BB19
			BC03 BC12 BD07 BF18 BG11
			CB07

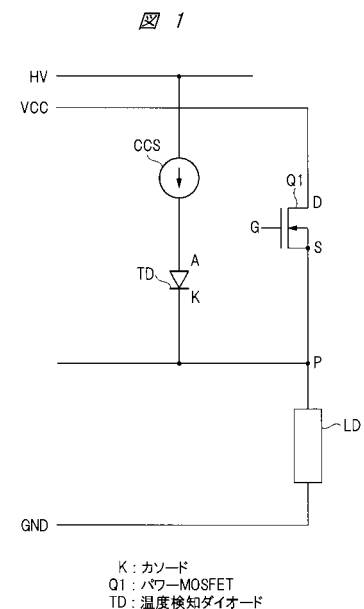
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】パワートランジスタを含む半導体装置の破壊を防止する。

【解決手段】温度検知ダイオードTDのカソードKと、パワーMOSFET Q1のソースSとが同電位となるように電氣的に接続する。この特徴点によって、耐圧を考慮せずに、温度検知ダイオードTDをパワーMOSFET形成領域に配置することができる。つまり、パワーMOSFET Q1と温度検知ダイオードTDとの間に耐圧を確保する分離構造を形成しなくても済む。したがって、パワーMOSFET Q1と温度検知ダイオードTDとを近接配置することができる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

高電位端子から低電位端子に電流を流すパワートランジスタと、
前記パワートランジスタの発熱に基づく温度変化を検知する温度検知ダイオードと、
を備え、
前記パワートランジスタの前記低電位端子と前記温度検知ダイオードのカソードとは、
同電位となるように電氣的に接続されている、半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、
前記パワートランジスタは、ハイサイドスイッチを構成している、半導体装置。

10

【請求項 3】

請求項 1 に記載の半導体装置において、
前記パワートランジスタは、ローサイドスイッチを構成している、半導体装置。

【請求項 4】

請求項 1 に記載の半導体装置において、
前記温度検知ダイオードのアノードは、定電流源と電氣的に接続されている、半導体装置。

【請求項 5】

請求項 1 に記載の半導体装置において、
前記温度検知ダイオードは、互いに直列接続された複数の単位ダイオードから構成されている、半導体装置。

20

【請求項 6】

請求項 1 に記載の半導体装置において、
前記半導体装置は、前記低電位端子と電氣的に接続された複数の低電位配線を有し、
前記複数の低電位配線は、互いに並行しながら第 1 方向に延在し、
平面視において、前記複数の低電位配線のうち、第 1 低電位配線と第 2 低電位配線とに
挟まれる位置に前記温度検知ダイオードが配置され、
前記温度検知ダイオードのカソードは、平面視において、前記第 1 低電位配線と前記第
2 低電位配線とに挟まれるカソード接続用低電位配線と電氣的に接続され、
前記カソード接続用低電位配線は、前記第 1 方向に延在している、半導体装置。

30

【請求項 7】

請求項 1 に記載の半導体装置において、
前記パワートランジスタは、
複数のトレンチと、
前記複数のトレンチのそれぞれの内壁に形成されたゲート絶縁膜と、
前記ゲート絶縁膜を介して、前記複数のトレンチのそれぞれに埋め込まれたゲート電極
と、
を有する、半導体装置。

【請求項 8】

請求項 7 に記載の半導体装置において、
前記複数のトレンチは、互いに並行しながら第 1 方向に延在し、
平面視において、前記複数のトレンチのうち、第 1 トレンチと第 2 トレンチとに挟まれ
る位置に前記温度検知ダイオードが配置されている、半導体装置。

40

【請求項 9】

請求項 8 に記載の半導体装置において、
前記半導体装置は、互いに並行しながら前記第 1 方向と交差する第 2 方向に延在する第
1 遮断トレンチおよび第 2 遮断トレンチを有し、
前記温度検知ダイオードは、平面視において、前記第 1 トレンチと前記第 2 トレンチと
前記第 1 遮断トレンチと前記第 2 遮断トレンチとに囲まれる領域に形成されている、半導
体装置。

50

【請求項 10】

請求項 9 に記載の半導体装置において、
前記半導体装置は、
半導体基板と、
前記半導体基板上に形成された第 1 導電型のエピタキシャル層と、
前記エピタキシャル層上に形成された前記第 1 導電型とは反対である第 2 導電型のベース層と、
を有し、
前記第 1 遮断トレンチおよび前記第 2 遮断トレンチのそれぞれは、前記ベース層を貫通して前記エピタキシャル層に達している、半導体装置。

10

【請求項 11】

請求項 1 に記載の半導体装置において、
前記半導体装置は、
半導体基板と、
前記半導体基板上に形成された第 1 導電型のエピタキシャル層と、
前記エピタキシャル層上に形成された前記第 1 導電型とは反対である第 2 導電型のベース層と、
前記ベース層内に形成された前記第 1 導電型のウェルと、
前記ウェルに内包される前記第 1 導電型のカソード領域と、
前記ウェルに内包され、かつ、前記カソード領域とは離間して配置された前記第 2 導電型のアノード領域と、
を有する、半導体装置。

20

【請求項 12】

請求項 1 に記載の半導体装置において、
前記温度検知ダイオードは、前記パワートランジスタが形成されているパワートランジスタ形成領域内のうち、温度が最も高くなるホットスポット領域に配置されている、半導体装置。

【請求項 13】

請求項 1 に記載の半導体装置において、
前記温度検知ダイオードは、平面視において、前記パワートランジスタが形成されているパワートランジスタ形成領域の中央部に配置されている、半導体装置。

30

【請求項 14】

請求項 1 に記載の半導体装置において、
前記パワートランジスタは、パワー MOSFET であり、
前記パワートランジスタの前記低電位端子は、前記パワー MOSFET のソース端子である、半導体装置。

【請求項 15】

請求項 1 に記載の半導体装置において、
前記パワートランジスタは、絶縁ゲートバイポーラトランジスタであり、
前記パワートランジスタの前記低電位端子は、前記絶縁ゲートバイポーラトランジスタのエミッタ端子である、半導体装置。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置に関し、例えば、温度検知ダイオードを備える半導体装置に適用して有効な技術に関する。

【背景技術】**【0002】**

特開 2006 - 302977 号公報（特許文献 1）には、温度検知ダイオードのカソードと IGBT（Insulated Gate Bipolar Transistor）のエミッタとが定電流源を介して

50

電氣的に接続されている構成が記載されている。

【 0 0 0 3 】

特開平 8 - 2 1 3 4 4 1 号公報 (特許文献 2) には、同一の半導体チップ内に被温度検知素子と温度検知ダイオードを設けるとともに、被温度検知素子の近傍に温度検知ダイオードを配置する技術が記載されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 0 6 - 3 0 2 9 7 7 号公報

【 特許文献 2 】 特開平 8 - 2 1 3 4 4 1 号公報

10

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

例えば、大電力を取り扱うパワートランジスタでは、負荷短絡などの原因によって、異常な大電流が流れると、パワートランジスタが発熱して破壊に至ることになる。このため、パワートランジスタが形成された半導体チップに温度検知ダイオードを形成し、この温度検知ダイオードでパワートランジスタの温度変化を監視する技術がある。すなわち、異常発熱によるパワートランジスタの破壊を防止する機能を有するインテリジェントパワーデバイス (I P D) が開発されており、このインテリジェントパワーデバイスでは、例えば、温度検知ダイオードで検知した温度が一定値以上になると、パワートランジスタをオフするように制御することにより、パワートランジスタの破壊を防止している。

20

【 0 0 0 6 】

ここで、パワートランジスタの破壊を効果的に防止するためには、パワートランジスタの温度変化を温度検知ダイオードで迅速に検知することが重要となる。すなわち、パワートランジスタの破壊を抑制するためには、パワートランジスタの発熱に対する温度検知ダイオードの応答特性 (温度検知の追従性) が優れていることが要求される。したがって、温度検知ダイオードによる温度検知の追従性を向上させるため、例えば、パワートランジスタ形成領域内に温度検知ダイオードを配置することが行なわれている。

【 0 0 0 7 】

ところが、回路設計の自由度を確保するために、温度検知ダイオードとパワートランジスタとは電氣的に分離されている。つまり、温度検知ダイオードの汎用性を高めて、温度検知ダイオードを様々な電位の回路に接続可能とするため、温度検知ダイオードをパワートランジスタ形成領域に配置しながらも、温度検知ダイオードとパワートランジスタとを電氣的に分離する構成が採用されている。

30

【 0 0 0 8 】

ただし、この構成を採用する場合、パワートランジスタと温度検知ダイオードとの間で異なる電位が印加される結果、パワートランジスタと温度検知ダイオードとの間の耐圧を確保する必要がある。このことから、温度検知ダイオードをパワートランジスタ形成領域に配置する場合、耐圧を確保するため、温度検知ダイオードとパワートランジスタとの間に分離構造を形成する必要がある。この分離構造を形成するということは、折角、温度検知ダイオードによる温度検知の追従性を向上するために、パワートランジスタ形成領域内に温度検知ダイオードを配置しても、パワートランジスタと温度検知ダイオードとの間の距離が大きくなることを意味する。このことは、発熱源であるパワートランジスタから温度検知ダイオードまでの熱伝導に時間を要することを意味し、これによって、急激なパワートランジスタの発熱に対する温度検知の追従性 (応答特性) が悪くなることになる。この結果、発熱によるパワートランジスタの破壊を充分に防止することができなくなることになる。このように、現状の技術では、急激なパワートランジスタの発熱に対する温度検知ダイオードによる温度検知の追従性を向上する観点から、改善の余地が存在する。

40

【 0 0 0 9 】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるである

50

う。

【課題を解決するための手段】

【0010】

一実施の形態における半導体装置では、パワートランジスタの低電位端子と温度検知ダイオードのカソードとが同電位となるように電氣的に接続されている。

【発明の効果】

【0011】

一実施の形態によれば、パワートランジスタを含む半導体装置の破壊を防止できる。

【図面の簡単な説明】

【0012】

10

【図1】実施の形態1における半導体装置の回路構成の一例を示す回路図である。

【図2】実施の形態1における半導体チップの一部拡大図である。

【図3】図2のA-A線で切断した断面図である。

【図4】図2のB-B線で切断した断面図である。

【図5】トレンチの断面構造を示す断面図である。

【図6】実施の形態1における半導体装置のデバイス構造上に配置される配線構造を模式的に示す平面図である。

【図7】ソース配線（第1層）の上層に配置されるソース配線（第2層）の構成を示す平面図である。

【図8】(a)は、半導体チップのレイアウト構成を示す図であり、(b)は、(a)の領域に配置されている温度検知ダイオードを拡大して示す模式図である。

20

【図9】(a)は、半導体チップのレイアウト構成を示す図であり、(b)は、(a)の領域に配置されている温度検知ダイオードを拡大して示す図である。

【図10】変形例における半導体装置の回路構成の一例を示す回路図である。

【図11】実施の形態2における半導体チップの一部拡大図である。

【図12】図11のA-A線で切断した断面図である。

【図13】実施の形態3における半導体チップの一部拡大図である。

【図14】図13のA-A線で切断した断面図である。

【図15】パワーMOSFET形成領域を示す模式図である。

【図16】パワーMOSFET形成領域を示す模式図である。

30

【発明を実施するための形態】

【0013】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0014】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0015】

40

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0016】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0017】

また、実施の形態を説明するための全図において、同一の部材には原則として同一の符

50

号を付し、その繰り返しの説明は省略する。なお、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

【 0 0 1 8 】

(実施の形態 1)

< 半導体装置の回路構成 >

本実施の形態における半導体装置は、例えば、インテリジェントパワーデバイスを想定しており、スイッチング素子として機能するパワートランジスタと、パワートランジスタを制御する制御回路とを含む。そして、本実施の形態 1 における半導体装置 (インテリジェントパワーデバイス) の基本的な機能は、スイッチング素子であるパワートランジスタによって負荷を駆動することになるが、この機能に付随して、異常発熱によるパワートランジスタの破壊を防止する保護機能を制御回路によって実現している。

10

【 0 0 1 9 】

図 1 は、本実施の形態 1 における半導体装置の回路構成の一例を示す回路図である。本実施の形態 1 における半導体装置は、例えば、パワートランジスタとして、パワー MOS FET (Metal Oxide Semiconductor Field Effect Transistor) を使用したハイサイドスイッチを構成している。すなわち、図 1 には、パワー MOS FET Q 1 をスイッチング素子とする半導体装置の回路構成が示されており、このパワー MOS FET Q 1 によって負荷 LD を駆動する回路が示されている。具体的に、図 1 に示すように、本実施の形態 1 における半導体装置は、スイッチング素子として機能するパワー MOS FET Q 1 と、パワー MOS FET Q 1 の温度を検知する温度検知ダイオード TD と、温度検知ダイオード TD に一定値の電流を供給する定電流源 CCS とを有しており、負荷 LD を駆動するハイサイドスイッチを構成している。

20

【 0 0 2 0 】

例えば、図 1 に示すように、本実施の形態 1 では、電源電位が供給される電源線 VCC と基準電位 (接地電位) が供給される基準線 (グランド線) GND との間にパワー MOS FET Q 1 と負荷 LD とが直列接続されている。つまり、パワー MOS FET Q 1 のドレイン D が電源線 VCC 側に配置され、パワー MOS FET Q 1 のソース S が負荷側に配置されている。そして、負荷 LD は、パワー MOS FET Q 1 のソース S と基準線 GND との間に接続されている。また、パワー MOS FET Q 1 のゲート電極 G は、ゲート駆動回路 (図示せず) と電氣的に接続されている。

30

【 0 0 2 1 】

このような回路構成において、パワー MOS FET Q 1 は、負荷 LD よりも電位の高い電源電位側に配置されていることから、ハイサイドスイッチと呼ばれている。このハイサイドスイッチによれば、例えば、負荷 LD が基準線 GND と短絡しても、図 1 に示すノード P と基準線 GND とが短絡するだけであり、ノード P と電源線 VCC との間には、パワー MOS FET Q 1 が設けられている。このことから、ハイサイドスイッチによれば、負荷 LD と基準線 GND とが短絡しても、パワー MOS FET Q 1 をオフすれば、電源線 VCC と基準線 GND との間に短絡電流が流れない。このため、ハイサイドスイッチによれば、負荷 LD の短絡に強く、安全性の高いスイッチング回路を構成することができる利点を得ることができる。

40

【 0 0 2 2 】

次に、本実施の形態 1 における半導体装置は、図 1 に示すように、パワー MOS FET Q 1 の温度を検知する温度検知ダイオード TD を有している。そして、温度検知ダイオード TD のカソード K は、パワー MOS FET Q 1 のソース S と同電位となるように電氣的に接続されており、温度検知ダイオード TD のアノード A は、温度検知ダイオード TD に一定電流を供給する定電流源 CCS を介して、高電位線 HV と電氣的に接続されている。この高電位線 HV は、チャージポンプ回路やブートストラップ回路と電氣的に接続されており、電源電位よりも高い電位が供給される。

【 0 0 2 3 】

温度検知ダイオードは、例えば、pn 接合ダイオードから構成されており、pn 接合ダ

50

イオードの電圧値（ V_F ）は、温度によって変化し、温度が上昇すると、この電圧値は低下する。そこで、本実施の形態１では、温度検知用ダイオードＴＤのこの特性を利用して、つまり、温度検知用ダイオードＴＤに定電流源ＣＣＳによって一定値の電流を流し、温度検知用ダイオードＴＤの両端の電圧値を測定することにより、間接的に温度モニタが可能となる。具体的には、図１において、温度検知ダイオードＴＤを挟む高電位線ＨＶとノードＰとの間の電圧を測定することにより、間接的にパワーＭＯＳＦＥＴＱ１の温度を温度検知ダイオードＴＤで検知することが可能となる。すなわち、温度検知ダイオードＴＤに一定値の電流を流したとき、温度が上昇すると、温度検知用ダイオードＴＤの両端の電圧値が低下するため、この電圧値をモニタリングすることにより、間接的に温度を検知することができるのである。

10

【００２４】

実際のアプリケーション（インテリジェントパワーデバイス）では、このようにして測定された温度検知ダイオードＴＤの電圧値（温度信号）を制御回路へフィードバックすることにより、検知した温度がある一定温度以上になったとき、パワーＭＯＳＦＥＴＱ１のゲート電極Ｇに印加されるゲート信号を遮断する。これにより、パワーＭＯＳＦＥＴＱ１が破壊から保護されることになる。

【００２５】

＜半導体装置の回路動作＞

本実施の形態１における半導体装置は、上記のように回路構成されており、以下に、その回路動作について、図１を参照しながら説明する。

20

【００２６】

まず、図１において、ゲート駆動回路（図示せず）からパワーＭＯＳＦＥＴＱ１のゲート電極Ｇにしきい値電圧以上の電圧を印加する。すると、パワーＭＯＳＦＥＴＱ１がオンし、電源線ＶＣＣ→パワーＭＯＳＦＥＴＱ１→負荷ＬＤ→基準線ＧＮＤの経路で電流が流れる。これにより、負荷ＬＤを駆動することができる。

【００２７】

一方、図１において、ゲート駆動回路（図示せず）からパワーＭＯＳＦＥＴＱ１のゲート電極Ｇにしきい値電圧未満の電圧を印加する。すると、パワーＭＯＳＦＥＴＱ１がオフして、負荷ＬＤに流れる電流を遮断することができる。

【００２８】

以上のようにして、本実施の形態によれば、ゲート駆動回路からパワーＭＯＳＦＥＴＱ１のゲート電極Ｇへ印加するゲート電圧を制御して、パワーＭＯＳＦＥＴＱ１をオン／オフすることにより、負荷ＬＤへ流れる電流を制御することができる。

30

【００２９】

続いて、パワーＭＯＳＦＥＴＱ１の温度を検知する動作について説明する。図１において、ゲート駆動回路による制御によって、パワーＭＯＳＦＥＴＱ１を動作させる一方、定電流源ＣＣＳによって、温度検知ダイオードＴＤに一定値の電流を流す。このとき、例えば、パワーＭＯＳＦＥＴＱ１の温度が室温程度（２５）である場合、温度検知ダイオードＴＤの電圧値（ V_F ）は、０．６Ｖ程度となる。ここで、負荷短絡などの原因によって、パワーＭＯＳＦＥＴＱ１に異常な大電流が流れると、パワーＭＯＳＦＥＴＱ１が発熱して、例えば、パワーＭＯＳＦＥＴＱ１の温度が１７５程度になると、温度検知ダイオードＴＤの電圧値（ V_F ）は、０．３Ｖ程度となる。このとき、例えば、半導体装置（インテリジェントパワーデバイス）を構成する制御回路によって、温度検知用ダイオードＴＤの両端の電圧値（ V_F ）がモニタリングされている。したがって、例えば、制御回路に０．３Ｖ程度の電圧値が入力されると、制御回路は、パワーＭＯＳＦＥＴＱ１の温度が規定値を超えたと判断し、パワーＭＯＳＦＥＴＱ１のゲート電極Ｇにしきい値電圧未満の電圧を印加する。この結果、パワーＭＯＳＦＥＴＱ１がオフし、パワーＭＯＳＦＥＴＱ１を発熱による破壊から保護することができる。

40

【００３０】

したがって、パワーＭＯＳＦＥＴＱ１の破壊を効果的に防止するためには、パワーＭ

50

S F E T Q 1 の温度変化を温度検知ダイオード T D で迅速に検知することが重要となる。すなわち、パワー M O S F E T Q 1 の破壊を抑制するためには、パワー M O S F E T Q 1 の発熱に対する温度検知ダイオード T D の応答特性（温度検知の追従性）が優れていることが要求される。そこで、本実施の形態では、温度検知ダイオード T D の応答特性を向上する工夫を施している。以下に、本実施の形態 1 における特徴点について説明する。

【 0 0 3 1 】

< 実施の形態 1 における回路上の特徴 >

本実施の形態 1 における回路上の特徴点は、例えば、図 1 に示すように、温度検知ダイオード T D のカソード K と、パワー M O S F E T Q 1 のソース S とが同電位となるように電氣的に接続されている点にある。これにより、本実施の形態 1 によれば、温度検知ダイオード T D とパワー M O S F E T Q 1 との間の耐圧を確保する必要性がなくなる。つまり、本実施の形態 1 では、パワー M O S F E T Q 1 と温度検知ダイオード T D とを同一の半導体チップに形成し、さらには、パワー M O S F E T Q 1 が形成されるパワー M O S F E T 形成領域内に温度検知ダイオード T D を配置する。このため、パワー M O S F E T Q 1 と温度検知ダイオード T D との間の耐圧を確保する必要がある。特に、半導体チップの表面側にパワー M O S F E T Q 1 のソース S が形成され、かつ、半導体チップの表面側に温度検知ダイオード T D が形成されることから、パワー M O S F E T Q 1 のソース S と温度検知ダイオード T D との耐圧を確保することが必要となる。

10

【 0 0 3 2 】

この点に関し、本実施の形態 1 によれば、図 1 に示すように、温度検知ダイオード T D のカソード K と、パワー M O S F E T Q 1 のソース S とが同電位となるように電氣的に接続されている。このことから、パワー M O S F E T Q 1 のソース S と温度検知ダイオード T D のカソード K とは同電位となることから、耐圧を確保する必要性がなくなる。さらに、温度検知ダイオード T D のアノード A は、カソード K の電位に対して V F 値（0 . 6 V 程度）だけ電位が高いだけなので、温度検知ダイオード T D のアノード A とパワー M O S F E T Q 1 のソース S との耐圧は問題として顕在化しない。

20

【 0 0 3 3 】

以上のことから、本実施の形態 1 によれば、温度検知ダイオード T D のカソード K と、パワー M O S F E T Q 1 のソース S とが同電位となるように電氣的に接続する特徴点によって、耐圧を考慮せずに、温度検知ダイオード T D をパワー M O S F E T 形成領域に配置することができる。つまり、このことは、パワー M O S F E T Q 1 と温度検知ダイオード T D との間に耐圧を確保する分離構造を形成しなくても済むことを意味する。そして、このことは、パワー M O S F E T Q 1 と温度検知ダイオード T D とを近接配置することができることを意味する。すなわち、分離構造を形成する場合には、パワー M O S F E T Q 1 と温度検知ダイオード T D との間の距離が大きくなるのに対し、分離構造を形成しない場合には、パワー M O S F E T Q 1 と温度検知ダイオード T D との間の距離を小さくすることができる。この結果、本実施の形態 1 によれば、パワー M O S F E T Q 1 で発生した熱が温度検知ダイオード T D に速やかに伝わるので、温度検知ダイオード T D によって、パワー M O S F E T Q 1 の実際の温度を精度良く検知することができる。言い換えれば、本実施の形態によれば、発熱源であるパワー M O S F E T Q 1 から温度検知ダイオード T D までの熱伝導にかかる時間を短くすることができ、これによって、急激なパワー M O S F E T Q 1 の発熱に対する温度検知の追従性（応答特性）を向上することができる。この結果、本実施の形態 1 における特徴点によれば、温度検知ダイオード T D によって、パワー M O S F E T Q 1 の温度を正確に検知することができることから、発熱によるパワー M O S F E T Q 1 の破壊を十分に防止することができる。

30

40

【 0 0 3 4 】

例えば、温度検知ダイオード T D とパワー M O S F E T Q 1 とが電氣的に分離されている場合、温度検知ダイオード T D のカソード K とパワー M O S F E T Q 1 のソース S とは、異なる電位が印加される。このことから、温度検知ダイオード T D のカソード K とパワー M O S F E T Q 1 のソース S との間の耐圧を確保する必要がある。したがって、パワー

50

MOSFETQ1の正確な温度を検知するために、折角、パワーMOSFET形成領域内に温度検知ダイオードTDを設けたとしても、耐圧を確保するために、パワーMOSFETQ1と温度検知ダイオードTDとの間に分離構造を設ける必要がある。このため、分離構造を配置することに起因して、パワーMOSFETQ1と温度検知ダイオードTDとの間の距離が離れることになり、これによって、温度検知ダイオードTDの応答特性が低下することになる。この場合、パワーMOSFETQ1の急激な発熱を温度検知ダイオードTDで迅速に検知することができなくなる結果、保護回路を十分に機能させることができずに、パワーMOSFETQ1を発熱による破壊から十分に保護することができなくなる。

【0035】

これに対し、本実施の形態1によれば、温度検知ダイオードTDのカソードKと、パワーMOSFETQ1のソースSとが同電位となるように電氣的に接続されている。これにより、本実施の形態1によれば、パワーMOSFETQ1と温度検知ダイオードTDとの耐圧を確保する必要がなくなる。このことは、耐圧を確保するために、パワーMOSFETQ1と温度検知ダイオードTDとの間に分離構造を設ける必要がなくなることを意味する。したがって、本実施の形態1によれば、パワーMOSFETQ1と温度検知ダイオードTDとの間に分離構造を設ける必要がなくなる結果、パワーMOSFETQ1と温度検知ダイオードTDとの間の距離を近づけることができる。これにより、例えば、急激なパワーMOSFETQ1の発熱が生じて、温度検知ダイオードTDによる温度検知の追従性（応答特性）を向上することができるため、パワーMOSFETQ1の温度を正確に検知することができる。このことから、本実施の形態1によれば、パワーMOSFETQ1に急激な発熱が発生しても、この発熱を温度検知ダイオードTDで迅速に検知することができ、これによって、パワーMOSFETQ1が破壊に至る前に保護回路を動作させて、パワーMOSFETQ1をオフすることができる。このため、本実施の形態1によれば、パワーMOSFETQ1を破壊から効果的に保護することができる。

【0036】

ここで、ハイサイドスイッチを構成するパワーMOSFETQ1は、nチャネル型MOSFETとpチャネル型MOSFETのいずれから構成してもよいが、特に、nチャネル型MOSFETを使用する場合には、回路の大幅な変更を伴うことなく、本実施の形態1における基本思想を具現化することができる。以下に、この点について説明する。

【0037】

まず、パワーMOSFETQ1をnチャネル型MOSFETから構成する場合について考える。この場合、図1において、パワーMOSFETQ1がオンすると、パワーMOSFETQ1自体のオン抵抗は小さいことから、パワーMOSFETQ1のドレインDが接続されている電源線VCCと、パワーMOSFETQ1のソースSが接続されているノードPとは、ほぼ同電位となる。そして、nチャネル型MOSFET（パワーMOSFETQ1）をオンさせるためには、ゲート電極GにソースSよりも一定値以上の高い電圧を印加する必要があり、かつ、ソースSの電位がほぼ電源電位（電源電圧）に等しくなることを考慮すると、ゲート電極Gには、電源電位よりも高い電位を供給する必要がある。すなわち、nチャネル型MOSFETからハイサイドスイッチを構成する場合、ゲート電極Gには、電源電圧よりも高い電圧を印加する必要があるのである。したがって、ハイサイドスイッチをnチャネル型MOSFETから構成する場合、ゲート電極Gにゲート電圧を供給するゲート駆動回路などには、チャージポンプ回路やブートストラップ回路に代表される昇圧回路が必要とされる。

【0038】

このように構成されているハイサイドスイッチにおいて、温度検知ダイオードTDのカソードKとパワーMOSFETQ1のソースSとが同電位となるように電氣的に接続するという本実施の形態1における回路上の特徴点を実現しようとする、温度検知ダイオードTDのアノードを電源線VCCに接続することはできない。なぜなら、上述したように、パワーMOSFETQ1がオンする場合、ドレインDとソースSがほぼ同電位となるか

10

20

30

40

50

らである。すなわち、このことは、温度検知ダイオードTDのアノードAを電源線VCCと接続した場合、温度検知ダイオードTDのアノードAとカソードKとの間の電位差がほとんどなくなることを意味し、定電流源CCSによって、温度検知ダイオードTDに電流を流すことができなくなる結果、温度検知ダイオードTDを動作させることが困難となるからである。したがって、ハイサイドスイッチをnチャネル型MOSFETから構成する場合、温度検知ダイオードTDのカソードKとパワーMOSFETQ1のソースSとが同電位となるように電氣的に接続するという特徴点を実現しようとする、必然的に、図1に示すように、温度検知ダイオードTDのアノードAには、電源電位よりも高い電位が供給される高電位線HVに接続されることになる。

【0039】

10

このとき、ハイサイドスイッチをnチャネル型MOSFETから構成する場合、ゲート電極Gに電源電位よりも高い電位を供給する必要があることから、既に、チャージポンプ回路やブートストラップ回路に代表される昇圧回路が存在する。したがって、既に存在する昇圧回路を利用して、この昇圧回路によって生成された高電位を供給する高電位線HVに温度検知ダイオードTDを接続すれば、図1に示す回路構成を容易に実現することができる。つまり、ハイサイドスイッチをnチャネル型MOSFETから構成する場合には、既に存在する昇圧回路を利用することにより、大幅な設計変更をすることなく、本実施の形態1における技術的思想を具現化することができるのである。

【0040】

20

一方、ハイサイドスイッチをpチャネル型MOSFETから構成する場合、ゲート電極Gに0Vを印加することによりオンさせることになるから、そもそも、電源電位よりも高い電位をゲート電極Gに供給する必要はない。つまり、ハイサイドスイッチをpチャネル型MOSFETから構成する場合、チャージポンプ回路やブートストラップ回路に代表される昇圧回路は不要となるのである。しかし、温度検知ダイオードTDのカソードKとパワーMOSFETQ1のソースSとが同電位となるように電氣的に接続するという本実施の形態1における回路上の特徴点を実現しようとする、必然的に、図1に示すように、温度検知ダイオードTDのアノードAには、電源電位よりも高い電位が供給される高電位線HVに接続されることになる。したがって、ハイサイドスイッチをpチャネル型MOSFETから構成する場合、そもそも、昇圧回路が必要なかったが、本実施の形態1における回路上の特徴点を具現化する場合には、昇圧回路が必要となるのである。このことから、ハイサイドスイッチをpチャネル型MOSFETから構成する場合には、ハイサイドスイッチをnチャネル型MOSFETから構成する場合よりも大きな設計変更が必要となる。

30

【0041】

以上のことから、大幅な設計変更をすることなく、本実施の形態1における技術的思想を具現化する観点からは、ハイサイドスイッチをpチャネル型MOSFETから構成する場合よりも、ハイサイドスイッチをnチャネル型MOSFETから構成する場合の方が望ましいといえることができる。ただし、本実施の形態1における技術的思想を実現可能な観点からは、ハイサイドスイッチをnチャネル型MOSFETから構成してもよいし、pチャネル型MOSFETから構成してもよい。

40

【0042】

<半導体装置のデバイス構造>

次に、本実施の形態1における半導体装置のデバイス構造について説明する。

【0043】

図2は、本実施の形態1における半導体チップCHPの一部領域を拡大して示す平面図である。図2において、半導体チップCHPの表面には、複数のトレンチTR1~TR4が形成されており、複数のトレンチTR1~TR4のそれぞれは、互いに離間しながらx方向に延在している。これらの複数のトレンチTR1~TR4は、パワーMOSFETのゲート電極として機能する。

【0044】

50

図 2 に示すように、平面視において、トレンチ T R 1 とトレンチ T R 2 に挟まれるように、パワー M O S F E T のソース領域 S R およびパワー M O S F E T のボディコンタクト領域 B C が形成されている。そして、ソース領域 S R とボディコンタクト領域 B C とは、交互に配置されている。ソース領域 S R は、n 型半導体領域から形成され、ボディコンタクト領域 B C は、p 型半導体領域から形成されている。そして、ソース領域 S R には、ソースプラグ S P が電氣的に接続されている一方、ボディコンタクト領域 B C には、バックゲートプラグ B G P が電氣的に接続されている。

【 0 0 4 5 】

続いて、図 2 に示すように、平面視において、トレンチ T R 2 とトレンチ T R 3 とに挟まれるように温度検知ダイオード T D が形成されている。すなわち、本実施の形態 1 では、パワー M O S F E T と隣接するように温度検知ダイオード T D が配置されている。具体的に、トレンチ T R 2 とトレンチ T R 3 に挟まれるように、p 型ベース層 P B L が形成されており、この p 型ベース層 P B L に n 型ウェル N W L が形成されている。そして、n 型ウェル N W L の内部には、n 型半導体領域からなるカソード領域 K R と、p 型半導体領域からなるアノード領域 A R とが、互いに離間して形成されている。一方、n 型ウェル N W L の外側の p 型ベース層 P B L には、p 型ベース領域 P B L よりも不純物濃度の高い p 型半導体領域 P R が形成されている。

【 0 0 4 6 】

そして、カソード領域 K R には、カソードプラグ K P が電氣的に接続されている一方、アノード領域 A R には、アノードプラグ A P が電氣的に接続されている。また、p 型半導体領域 P R には、プラグ P L G が電氣的に接続されている。

【 0 0 4 7 】

なお、トレンチ T R 3 とトレンチ T R 4 とに挟まれた領域には、トレンチ T R 1 とトレンチ T R 2 との挟まれた領域と同様に、パワー M O S F E T のソース領域 (S R) およびパワー M O S F E T のボディコンタクト領域 (B C) が形成されている。

【 0 0 4 8 】

したがって、本実施の形態 1 における半導体チップ C H P には、パワー M O S F E T と温度検知ダイオード T D とが形成されており、特に、パワー M O S F E T に挟まれるように、温度検知ダイオード T D が形成されていることがわかる。

【 0 0 4 9 】

続いて、図 3 は、図 2 の A - A 線で切断した断面図である。図 3 に示すように、半導体基板 1 S 上に、n 型半導体領域からなるエピタキシャル層 E P I が形成されており、このエピタキシャル層 E P I 上に、p 型半導体領域からなる p 型ベース層 P B L が形成されている。そして、p 型ベース層 P B L 内には、互いに離間して、p 型半導体領域 P R と n 型ウェル N W L が形成されており、さらに、n 型ウェル N W L の内部に、温度検知ダイオードのカソード領域 K R と、温度検知ダイオードのアノード領域 A R とが離間して形成されている。さらに、p 型半導体領域 P R 上には、プラグ P L G が配置されており、カソード領域 K R 上には、カソードプラグ K P が形成されている。このとき、プラグ P L G とカソードプラグ K P とは、電氣的に接続されている。また、アノード領域 A R 上には、アノードプラグ A P が形成されている。

【 0 0 5 0 】

次に、図 4 は、図 2 の B - B 線で切断した断面図である。図 3 に示すように、半導体基板 1 S 上に、n 型半導体領域からなるエピタキシャル層 E P I が形成されており、このエピタキシャル層 E P I 上に、p 型半導体領域からなる p 型ベース層 P B L が形成されている。このとき、半導体基板 1 S およびエピタキシャル層 E P I がパワー M O S F E T のドレイン領域として機能し、図 4 では図示していないが、半導体基板 1 S の裏面には、パワー M O S F E T のドレイン電極が形成されている。

【 0 0 5 1 】

図 4 に示すように、p 型ベース層 P B L の表面には、n 型半導体領域からなるソース領域 S R と、p 型半導体領域からなるボディコンタクト領域 B C とが交互に配置されている。

そして、ソース領域 S R 上には、ソースプラグ S P が形成されており、ボディコンタクト領域 B C 上には、バックゲートプラグ B G P が形成されている。このとき、図 4 に示すように、ソースプラグ S P とバックゲートプラグ B G P とは、電氣的に接続されている。

【 0 0 5 2 】

続いて、図 5 は、トレンチ T R 1 の断面構造を示す断面図である。図 5 に示すように、半導体基板 1 S 上には、n 型半導体領域からなるエピタキシャル層 E P I が形成されており、このエピタキシャル層 E P I 上には、p 型半導体領域からなる p 型ベース層 P B L が形成されている。そして、p 型ベース層 P B L の表面には、n 型半導体領域からなるソース領域 S R が形成されている。さらに、ソース領域 S R および p 型ベース層 P B L を貫通して、エピタキシャル層 E P I に達するようにトレンチ T R 1 が形成されている。そして、このトレンチ T R 1 の内壁には、例えば、酸化シリコン膜からなるゲート絶縁膜 G O X が形成されており、このゲート絶縁膜 G O X を介して、トレンチ T R 1 を埋め込むように、ゲート電極 G E が形成されている。このゲート電極 G E は、例えば、ポリシリコン膜から形成されている。

10

【 0 0 5 3 】

以上のように構成されているパワー M O S F E T では、ゲート電極 G E にしきい値電圧以上の電圧を印加すると、トレンチ T R 1 と接する p 型ベース層 P B L の領域に反転層と呼ばれるチャンネルが形成され、このチャンネルを介して、ソース領域 S R からドレイン領域として機能するエピタキシャル層 E P I および半導体基板 1 S に電子が流れる。言い換えれば、ドレイン領域（半導体基板 1 S + エピタキシャル層 E P I ）からチャンネルを通してソース領域 S R へオン電流が流れることになる。

20

【 0 0 5 4 】

次に、本実施の形態 1 における半導体装置の配線構造について説明する。図 6 は、本実施の形態 1 における半導体装置のデバイス構造上に配置される配線構造を模式的に示す平面図である。図 6 に示すように、x 方向に延在するトレンチ T R と並行するように、ソース配線 S L 1 が配置されている。具体的には、互いに隣り合うトレンチ T R に挟まれるようにソース配線 S L 1 が配置され、それぞれのソース配線 S L 1 は、x 方向に延在している。このソース配線 S L 1 は、パワー M O S F E T のソース領域 S R とソースプラグ S P を介して電氣的に接続されているとともに、パワー M O S F E T のボディコンタクト領域 B C とバックゲートプラグ B G P を介して電氣的に接続されている。したがって、パワー M O S F E T のソース領域 S R とボディコンタクト領域 B C とは、ソース配線 S L 1 によって電氣的に接続されていることになる。すなわち、パワー M O S F E T のソース領域 S R とボディコンタクト領域 B C は同電位となっている。言い換えれば、ボディコンタクト領域 B C と p 型ベース層（P B L）とは電氣的に接続されていることを考慮すると、ソース配線 S L 1 によって、パワー M O S F E T のソース領域 S R と p 型ベース層（P B L）とは同電位で接続されていることになる。これにより、本実施の形態 1 によれば、エピタキシャル層（E P I）をコレクタ領域、p 型ベース層（P B L）をベース領域、ソース領域 S R をエミッタ領域とする寄生 n p n バイポーラトランジスタの動作を抑制することができる。なぜなら、上述したように、本実施の形態 1 では、ソース配線 S L 1 によって、ソース領域 S R と p 型ベース領域（P B L）とが同電位とされているからである。つまり、ソース領域 S R と p 型ベース領域（P B L）とが同電位とされているということは、寄生 n p n バイポーラトランジスタのベースとエミッタ間に電位差が生じないことを意味し、これによって、ベースとエミッタ間に所定の電位差が生じることによる寄生 n p n バイポーラトランジスタのオン動作を抑制することができるからである。

30

40

【 0 0 5 5 】

続いて、図 6 において、半導体チップ C H P の中央部近傍には、温度検知ダイオード T D が形成されている。そして、温度検知ダイオード T D のカソード領域 K R と p 型半導体領域 P R とは、カソードプラグ K P およびプラグ P L G を介して、ソース配線 S L 1（カソード配線 K L）で電氣的に接続されており、さらに、このソース配線 S L 1 は、パワー M O S F E T のソース領域（S R）とボディコンタクト領域（B C）とも接続されている

50

。したがって、図 6 に示すように、温度検知ダイオードのカソード領域 K R は、カソードプラグ K P → ソース配線 S L 1 (カソード配線 K L) → ソースプラグ S P → ソース領域 S R の経路で、パワー M O S F E T のソース領域 S R と電氣的に接続されていることがわかる。これにより、本実施の形態 1 における半導体装置のデバイス構造によって、本実施の形態 1 における回路上の特徴点が実現されていることがわかる。

【 0 0 5 6 】

また、図 3、図 4 および図 6 から、温度検知ダイオードのカソード K R と、パワー M O S F E T のソース領域 S R とは、別経路でも接続されていることがわかる。具体的には、図 3 に示すように、温度検知ダイオード T D のカソード領域 K R は、互いに電氣的に接続されているカソードプラグ K P とソース配線 (S L 1) とプラグ P L G とを介して、p 型半導体領域 P R と電氣的に接続されている。そして、p 型半導体領域 P R と p 型ベース層 P B L は、ともに、p 型半導体領域であることから、電氣的に接続されていることになる。さらには、図 4 に示すように、p 型ベース層 P B L とボディコンタクト領域 B C とは、ともに p 型半導体領域であることから、電氣的に接続されていることになる。また、ボディコンタクト領域 B C は、互いに電氣的に接続されているバックゲートプラグ B G P とソース配線 (S L 1) とソースプラグ S P を介して、ソース領域 S R と電氣的に接続されていることになる。以上のことから、温度検知ダイオードのカソード領域 K R は、カソードプラグ K P → ソース配線 (S L 1) → プラグ P L G → p 型半導体領域 P R → p 型ベース層 P B L → ボディコンタクト領域 B C → バックゲートプラグ B G P → ソース配線 (S L 1) → ソースプラグ S P → ソース領域 S R の経路で、パワー M O S F E T のソース領域 S R と電氣的に接続されていることがわかる。

【 0 0 5 7 】

以上のことから、このような経路によっても、温度検知ダイオード T D のカソード領域 K R とパワー M O S F E T のソース領域 S R とが同電位で電氣的に接続されていることになり、本実施の形態 1 における半導体装置のデバイス構造によれば、二系統の接続経路によって、本実施の形態 1 における回路上の特徴点が実現されていることがわかる。

【 0 0 5 8 】

このように、本実施の形態 1 では、二系統の経路で温度検知ダイオード T D のカソード領域 K R とパワー M O S F E T のソース領域 (S R) とを接続しているため、接続抵抗 (寄生抵抗) を低減することができる。特に、図 6 に示すように、温度検知ダイオード T D のカソード領域 K R とパワー M O S F E T のソース領域 (S R) とを、抵抗率の小さな金属配線 (アルミニウム配線) であるソース配線 S L 1 で接続することにより、温度検知ダイオード T D のカソード領域 K R とを同電位で接続できる。

【 0 0 5 9 】

なお、温度検知ダイオード T D のカソード領域 K R とパワー M O S F E T のソース領域 (S R) とを接続するソース配線 S L 1 (カソード配線 K L は、トレンチ T R およびその他のソース配線 S L 1 と並行しながら、x 方向に延在している。また、温度検知ダイオード T D のアノード領域 A R とアノードプラグ A P を介して接続されているアノード配線 A L も x 方向に延在している。

【 0 0 6 0 】

以上の配線構造をまとめると以下のようなになる。すなわち、本実施の形態 1 における半導体装置は、低電位端子 (ソース) と電氣的に接続された複数のソース配線 S L 1 を有しており、このソース配線 S L 1 は、互いに並行しながら x 方向に延在している。そして、複数のソース配線 S L 1 のうち、平面視において、第 1 ソース配線 (S L 1) と第 2 ソース配線 (S L 1) とに挟まれる位置に温度検知ダイオード T D が配置されている。このとき、温度検知ダイオード T D のカソード領域 K R は、平面視において、第 1 ソース配線 (S L 1) と第 2 ソース配線 (S L 1) とに挟まれるカソード接続用ソース配線と電氣的に接続され、かつ、このカソード接続用低電位配線は、x 方向に延在している。

【 0 0 6 1 】

次に、図 7 は、ソース配線 S L 1 の上層に配置されるソース配線 S L 2 の構成を示す平

10

20

30

40

50

面図である。図 7 に示すように、ソース配線 S L 1 の上層に形成されるソース配線 S L 2 の平面積は、ソース配線 S L 1 よりも大面積となっている。すなわち、ソース配線 S L 2 は、下層に配置される複数のソース配線 S L 1 と一括して接続される配線として機能し、複数のソース配線 S L 1 を上層のソース配線 S L 2 を介して電氣的に接続していることになる。そして、このソース配線 S L 2 の面積が大きくなることから、パワー M O S F E T の配線抵抗を低減することができ、これによって、パワー M O S F E T のオン抵抗を低減することができる。

【 0 0 6 2 】

以上のようにして、本実施の形態 1 における半導体装置のデバイス構造（配線構造を含む）が形成されており、このデバイス構造によって、本実施の形態 1 における回路上の特徴点が具現化されていることがわかる。そして、本実施の形態 1 における回路上の特徴点を実現しているデバイス構造には、回路上の特徴点を反映したデバイス構造上の特徴点が存在し、このデバイス構造上の特徴点によって、パワー M O S F E T Q 1 の発熱に対する温度検知ダイオード T D の応答特性（温度検知の追従性）が向上している。そこで、以下では、本実施の形態におけるデバイス構造上の特徴点について説明し、本実施の形態 1 によれば、温度検知ダイオード T D の応答特性を向上することができる点を説明する。

10

【 0 0 6 3 】

< 実施の形態 1 におけるデバイス構造上の特徴 >

本実施の形態 1 におけるデバイス構造上の特徴点は、例えば、図 6 に示すように、温度検知ダイオード T D のカソード領域 K R と、パワー M O S F E T のソース領域 S R とが、金属配線であるソース配線 S L 1（カソード配線 K L）で電氣的に接続されている点にある。これにより、本実施の形態 1 によれば、温度検知ダイオード T D のカソード領域 K R と、パワー M O S F E T のソース領域 S R とを同電位で接続することができる。

20

【 0 0 6 4 】

このため、本実施の形態 1 におけるデバイス構造上の特徴点によって、以下に示す第 1 利点を得ることができる。すなわち、温度検知ダイオード T D のカソード領域 K R と、パワー M O S F E T のソース領域 S R とを同電位で接続できるということは、カソード領域 K R とソース領域 S R との間に電位差が生じないことから、カソード領域 K R とソース領域 S R との間の耐圧を確保しなくてもよいことを意味する。そして、カソード領域 K R とソース領域 S R との間の耐圧を確保しなくてもよいということは、温度検知ダイオード T D とパワー M O S F E T との間に、耐圧を確保するための分離構造を形成しなくてもよいことを意味する。この結果、本実施の形態 1 によれば、分離構造を設けないため、温度検知ダイオード T D とパワー M O S F E T と間の距離を短くすることができる。

30

【 0 0 6 5 】

したがって、本実施の形態 1 によれば、例えば、急激なパワー M O S F E T Q 1 の発熱が生じて、温度検知ダイオード T D による温度検知の追従性（応答特性）を向上することができるため、パワー M O S F E T の温度を正確に検知することができる。このことから、パワー M O S F E T に急激な発熱が発生しても、この発熱を温度検知ダイオード T D で迅速に検知することができ、これによって、パワー M O S F E T が破壊に至る前に保護回路を動作させて、パワー M O S F E T をオフすることができる。この結果、本実施の形態 1 によれば、パワー M O S F E T を破壊から効果的に保護することができる。

40

【 0 0 6 6 】

例えば、図 8 は、関連技術におけるデバイス構造を説明する図である。特に、図 8（a）は、半導体チップ C H P のレイアウト構成を示す図であり、図 8（b）は、図 8（a）の領域 A R に配置されている温度検知ダイオード T D（R）を拡大して示す模式図である。

【 0 0 6 7 】

図 8（a）に示す関連技術の半導体チップ C H P は、左側に示す制御回路領域と右側に示すパワー M O S F E T 形成領域 P M R とを有しており、パワー M O S F E T 形成領域 P M R の一部の領域 A R に温度検知ダイオード T D（R）が形成されている。

50

【 0 0 6 8 】

ここで、関連技術では、温度検知ダイオードTD(R)とパワーMOSFETとが電氣的に分離されていることを前提としているため、温度検知ダイオードTD(R)とパワーMOSFETとの間の耐圧を確保する必要がある。したがって、関連技術では、図8(b)に示すように、温度検知ダイオードTD(R)に、耐圧を確保するための分離構造が形成されていることになる。このことから、図8(b)に示すように、分離構造を含む温度検知ダイオードTD(R)の占有面積が大きくなり、例えば、温度検知ダイオードTD(R)の占有面積は、 $83\mu\text{m}$ (横寸法) $\times 93\mu\text{m}$ (縦寸法)程度になってしまう。このことは、関連技術によれば、温度検知ダイオードTD(R)とパワーMOSFETとの間の距離が離れることを意味し、これによって、発熱源であるパワーMOSFETから温度検知ダイオードTD(R)までの熱伝導に時間を要することになる。この結果、関連技術では、急激なパワーMOSFETの発熱に対する温度検知の追従性(応答特性)が悪くなる。

10

【 0 0 6 9 】

これに対し、図9は、本実施の形態におけるデバイス構造を説明する図である。特に、図9(a)は、半導体チップCHPのレイアウト構成を示す図であり、図9(b)は、図9(a)の領域BRに配置されている温度検知ダイオードTDを拡大して示す図である。

【 0 0 7 0 】

ここで、本実施の形態1では、温度検知ダイオードTDのカソード領域KRと、パワーMOSFETのソース領域SRとが、金属配線であるソース配線SL1で電氣的に接続されている。これにより、本実施の形態1によれば、温度検知ダイオードTDとパワーMOSFETとの間の耐圧を確保する分離構造が不要となる。このことから、図9(b)に示すように、温度検知ダイオードTDの占有面積が小さくなり、例えば、温度検知ダイオードTDの占有面積は、 $10\mu\text{m}$ (横寸法) $\times 3\mu\text{m}$ (縦寸法)程度に、ダウンサイジングすることが可能となる。このことは、本実施の形態1によれば、温度検知ダイオードTDとパワーMOSFETとの間の距離が近づくことを意味し、これによって、発熱源であるパワーMOSFETから温度検知ダイオードTDまでの熱伝導に時間を短縮することができる。この結果、本実施の形態1における温度検知ダイオードTDでは、急激なパワーMOSFETの発熱に対する温度検知の追従性(応答特性)を向上することができる。つまり、本実施の形態1によれば、パワーMOSFETに急激な発熱が発生しても、この発熱を温度検知ダイオードTDで迅速に検知することができ、これによって、パワーMOSFETが破壊に至る前に保護回路を動作させて、パワーMOSFETの破壊を効果的に防止することができる。

20

30

【 0 0 7 1 】

さらに、本実施の形態1におけるデバイス構造上の特徴点によれば、以下に示す第2利点も得ることができる。例えば、温度検知ダイオードTDとパワーMOSFETとが電氣的に分離されている場合、パワーMOSFETでの発熱は、主に、半導体チップの主材料であるシリコン(Si)を介して、温度検知ダイオードTDに伝わることになる。

【 0 0 7 2 】

これに対し、本実施の形態1では、図6に示すように、温度検知ダイオードTDとパワーMOSFETとが熱伝導率の高い金属配線(アルミニウム配線)であるソース配線SL1接続されている。このため、このソース配線SL1によって、パワーMOSFETでの発熱を温度検知ダイオードTDへ迅速に熱伝導させることができる。すなわち、本実施の形態1によれば、シリコンよりも熱伝導率の高い金属配線(ソース配線SL1)によって、温度検知ダイオードTDとパワーMOSFETとが接続されていることから、パワーMOSFETでの発熱は、シリコンよりも熱伝導率の高いソース配線SL1を介して、速やかに温度検知ダイオードTDに伝わることになる。

40

【 0 0 7 3 】

すなわち、本実施の形態1によれば、温度検知ダイオードTDとパワーMOSFETとの間の距離が短くなるという第1利点だけでなく、パワーMOSFETから温度検知ダイ

50

オードTDへの熱伝導効率がソース配線SL1によって向上するという第2利点も得ることができるのである。したがって、本実施の形態1によれば、上述した第1利点と第2利点との相乗効果によって、急激なパワーMOSFETの発熱に対する温度検知の追従性（応答特性）を向上できるという顕著な効果を得ることができるのである。

【0074】

以上のことから、本実施の形態1において、温度検知ダイオードTDとパワーMOSFETとを接続するソース配線SL1は、カソード領域KRとソース領域SRとを同電位とする技術的意義だけでなく、パワーMOSFETから温度検知ダイオードTDへの熱伝導効率を向上させるという技術的意義も合わせ持っていることになる。

【0075】

<変形例>

実施の形態1では、実施の形態1における技術的思想をハイサイドスイッチに適用する例について説明したが、実施の形態1における技術的思想は、これに限らず、ローサイドスイッチについても適用することができる。そこで、本変形例では、実施の形態1における技術的思想をローサイドスイッチに適用する例について説明する。

【0076】

図10は、本変形例における半導体装置の回路構成の一例を示す回路図である。本変形例における半導体装置は、例えば、nチャネル型MOSFETからなるパワーMOSFETQ1を使用したローサイドスイッチを構成している。すなわち、図10には、パワーMOSFETQ1をスイッチング素子とする半導体装置の回路構成が示されており、このパワーMOSFETQ1によって負荷LDを駆動する回路が示されている。具体的に、図10に示すように、本変形例における半導体装置は、スイッチング素子として機能するパワーMOSFETQ1と、パワーMOSFETQ1の温度を検知する温度検知ダイオードTDと、温度検知ダイオードTDに一定値の電流を供給する定電流源CCSとを有しており、負荷LDを駆動するローサイドスイッチを構成している。

【0077】

例えば、図10に示すように、本変形例では、電源電位が供給される電源線VCCと基準電位（接地電位）が供給される基準線（グランド線）GNDとの間に負荷LDとパワーMOSFETQ1とが直列接続されている。つまり、パワーMOSFETQ1のソースSが基準線GND側に配置され、パワーMOSFETQ1のドレインDが負荷側に配置されている。そして、負荷LDは、パワーMOSFETQ1のドレインDと電源線VCCとの間に接続されている。また、パワーMOSFETQ1のゲート電極Gは、ゲート駆動回路（図示せず）と電気的に接続されている。このような回路構成において、パワーMOSFETQ1は、負荷LDよりも電位の低い基準電位側に配置されていることから、ローサイドスイッチと呼ばれている。

【0078】

このように構成されているローサイドスイッチにおいては、パワーMOSFETQ1がオンした場合であっても、ハイサイドスイッチとは異なり、パワーMOSFETQ1のソースSは、基準電位（0V）を維持する。したがって、nチャネル型MOSFETからなるパワーMOSFETQ1のゲート電極Gには、ソースSよりも、しきい値電圧以上の高い電位を印加する必要があるが、ソースSの電位が基準電位を維持していることから、ゲート電極Gに印加するゲート電位は、電源電位よりも低くすることができる。すなわち、ローサイドスイッチでは、ハイサイドスイッチとは異なり、パワーMOSFETQ1をオンさせるために、電源電位よりも高い電位をゲート電極Gに供給する必要はなく、したがって、ローサイドスイッチでは、チャージポンプ回路やブートストラップ回路に代表される昇圧回路は不要となるのである。

【0079】

さらに、ローサイドスイッチにおいて、温度検知ダイオードTDのカソードKとパワーMOSFETQ1のソースSとが同電位となるように電気的に接続するという回路上の特徴点を実現する場合を考える。この場合、ハイサイドスイッチと異なり、ローサイドスイ

10

20

30

40

50

ッチでは、定電流源 C C S を介して、温度検知ダイオード T D のアノード A を電源線 V C C (あるいは入力線 V I N) に接続することができる。なぜなら、ローサイドスイッチでも、パワー M O S F E T Q 1 がオンする場合、ドレイン D とソース S がほぼ同電位となるが、この同電位の電位がハイサイドスイッチのように電源電位ではなく、基準電位であるからである。すなわち、ローサイドスイッチでは、パワー M O S F E T Q 1 がオンした場合であっても、温度検知ダイオード T D のアノード A を電源線 V C C と接続する構成では、温度検知ダイオード T D のアノード A とカソード K との間に電位差 (電源電位 - 基準電位) を確保することができるのである。この結果、ローサイドスイッチでは、アノード A を電源線 V C C に接続する構成であっても、定電流源 C C S によって、温度検知ダイオード T D に電流を流すことができることから、温度検知ダイオード T D を動作させることができる。したがって、ローサイドスイッチを n チャネル型 M O S F E T から構成する場合、図 10 に示すように、温度検知ダイオード T D のアノード A には、定電流源 C C S を介して、電源電位が供給される電源線 V C C (あるいは入力線 V I N) に接続することができることになる。つまり、ローサイドスイッチで、温度検知ダイオード T D のカソード K とパワー M O S F E T Q 1 のソース S とが同電位となるように電氣的に接続するという回路上の特徴点を実現する場合、昇圧回路は不要となるのである。

10

20

30

40

50

【0080】

以上のことから、本変形例におけるローサイドスイッチで回路上の特徴点を実現する場合、昇圧回路が不要となることから、回路構成を簡素化することができる。したがって、本変形例によれば、ハイサイドスイッチで回路上の特徴点を実現する構成よりも、コストを削減することができる利点を得ることができることになる。

【0081】

(実施の形態 2)

次に、本実施の形態 2 における技術的思想について説明する。本実施の形態 2 における技術的思想は、前記実施の形態 1 における技術的思想とほぼ同様であるため、相違点を中心に説明することにする。

【0082】

図 11 は、本実施の形態 2 における半導体チップ C H P の一部領域を拡大して示す平面図である。図 11 において、本実施の形態 2 における特徴点は、平面視において、温度検知ダイオード T D を挟む一対のトレンチ T R の間に遮断トレンチ C T R が形成されている点にある。具体的に、図 11 に示すように、本実施の形態 2 における半導体チップ C H P は、互いに並行しながら x 方向と交差する y 方向に延在する一対の遮断トレンチ C T R を有し、温度検知ダイオード T D は、平面視において、一対のトレンチ T R と一対の遮断トレンチ C T R とに囲まれる領域に形成されている。

【0083】

図 12 は、図 11 の A - A 線で切断した断面図である。図 12 において、半導体基板 1 S 上に、n 型半導体領域からなるエピタキシャル層 E P I が形成され、このエピタキシャル層 E P I 上に、p 型半導体領域からなる p 型ベース層 P B L が形成されている。そして、p 型ベース層 P B L にアノード領域 A R とカソード領域 K R を含む温度検知ダイオードが形成されている。このとき、一対の遮断トレンチ C T R のそれぞれは、p 型ベース層 P B L を貫通してエピタキシャル層 E P I に達するように形成されており、一対の遮断トレンチ C T R のそれぞれの内部には、ゲート絶縁膜 (図示せず) を介して、ポリシリコン膜が埋め込まれている。

【0084】

ここで、本実施の形態 2 における特徴点は、図 12 に示すように、温度検知ダイオードを挟む一対の遮断トレンチ C T R を設けている点にある。これにより、本実施の形態 2 によれば、以下に示す利点を得ることができる。例えば、図 12 において、n 型半導体領域からなるエピタキシャル層 E P I と p 型半導体領域からなる p 型ベース層 P B L との境界領域には、p n 接合が形成されていることから、この境界領域には、接合容量 C A P が形成されていることになる。このとき、図 12 に示す遮断トレンチ C T R が存在しない場合

、エピタキシャル層 E P I と p 型ベース層 P B L との境界領域に形成される接合容量 C A P の面積はとて大きくなる。そして、接合容量 C A P において、面積が大きくなるということは、静電容量値が大きくなることを意味する。

【 0 0 8 5 】

ここで、接合容量 C A P の静電容量値を「 C 」、接合容量 C A P に蓄積される電荷量を「 Q 」、接合容量 C A P に加わる電圧を「 V 」とすると、 $Q = C V$ の関係式が成立する。そして、例えば、ノイズ（サージ電圧など）によって、接合容量 C A P に加わる電圧「 V 」が時間変動すると、上述した関係式から、接合容量 C A P に蓄積される電荷量「 Q 」も時間変動することになる。このとき、ノイズに起因する「 V 」の時間変動が同一であっても、接合容量 C A P に蓄積される電荷量「 Q 」の時間変動は、接合容量 C A P の静電容量値「 C 」が大きいほど大きくなる。そして、接合容量 C A P に蓄積される電荷量「 Q 」の時間変動（時間微分）が寄生電流（突入電流）となることから、接合容量 C A P の静電容量値「 C 」が大きいほど、サージ電圧に起因する寄生電流の大きさが大きくなる。この寄生電流の大きさが大きくなると、図 1 2 において、エピタキシャル層 E P I をコレクタとし、p 型ベース層 P B L をベースとし、カソード領域 K R をエミッタとする寄生 n p n バイポーラトランジスタのベース抵抗に流れる電流が大きくなる。このことは、ベース抵抗での電圧降下が大きくなることを意味し、これによって、寄生 n p n バイポーラトランジスタのベースとエミッタ間の電位差が生じ、この電位差が一定値を超えると、寄生 n p n バイポーラトランジスタがオンすることになる。すなわち、接合容量 C A P の静電容量値「 C 」が大きくなると、サージ電圧に起因する寄生電流が大きくなり、これによって、寄生 n p n バイポーラトランジスタがオンしやすくなり、誤動作を招くことになるのである。したがって、寄生 n p n バイポーラトランジスタのオン動作を抑制する観点からは、接合容量 C A P の静電容量値「 C 」を小さくすることが望ましいのである。

【 0 0 8 6 】

この点に関し、本実施の形態 2 では、図 1 2 に示すように、一対の遮断トレンチ C T R のそれぞれは、p 型ベース層 P B L を貫通してエピタキシャル層 E P I に達するように形成されている。これにより、本実施の形態 2 によれば、接合容量 C A P の面積を小さくすることができる。この結果、本実施の形態 2 によれば、サージ電圧などのノイズに起因する寄生電流の大きさを低減することができ、これによって、寄生 n p n バイポーラトランジスタのオン動作を抑制することができる。したがって、本実施の形態 2 によれば、寄生 n p n バイポーラトランジスタに基づく誤動作を低減することができ、これによって、半導体装置の信頼性を向上することができる。

【 0 0 8 7 】

（実施の形態 3）

続いて、本実施の形態 3 における技術的思想について説明する。本実施の形態 3 における技術的思想は、前記実施の形態 1 における技術的思想とほぼ同様であるため、相違点を中心に説明することにする。

【 0 0 8 8 】

図 1 3 は、本実施の形態 3 における半導体チップ C H P の一部領域を拡大して示す平面図である。また、図 1 4 は、図 1 3 の A - A 線で切断した断面図である。図 1 3 において、本実施の形態 3 における特徴点は、温度検知ダイオードが、直列接続された複数の単位ダイオードから構成されている点にある。つまり、図 1 3 に示すように、本実施の形態 3 における温度検知ダイオード T D は、単位ダイオード U T D 1 と単位ダイオード U T D 2 と単位ダイオード U T D 3 との直列接続から構成されている。

【 0 0 8 9 】

具体的に、図 1 3 に示すように、半導体チップ C H P には、一対のトレンチ T R と一対の遮断トレンチ C T R で囲まれた領域として、領域 R 1 と領域 R 2 と領域 R 3 とが存在する。そして、領域 R 1 に単位トランジスタ U T D 1 が形成され、領域 R 2 に単位トランジスタ U T D 2 が形成され、領域 R 3 に単位トランジスタ U T D 3 が形成されている。

【 0 0 9 0 】

ここで、図 1 3 および図 1 4 に示すように、領域 R 1 には、互いに離間して p 型半導体領域 P R 1 と n 型ウェル N W L 1 が形成されており、n 型ウェル N W L 1 の内部に、カソード領域 K R 1 とアノード領域 A R 1 とが離間して形成されている。そして、p 型半導体領域 P R 1 は、プラグ P L G 1 を介して、カソード配線（ソース配線）K L と電氣的に接続され、かつ、カソード領域 K R 1 もカソードプラグ K P 1 を介してカソード配線 K L と電氣的に接続されている。一方、アノード領域 A R 1 は、アノードプラグ A P 1 を介して、配線 L 1 と電氣的に接続されている。

【 0 0 9 1 】

また、領域 R 2 には、互いに離間して p 型半導体領域 P R 2 と n 型ウェル N W L 2 が形成されており、n 型ウェル N W L 2 の内部に、カソード領域 K R 2 とアノード領域 A R 2 とが離間して形成されている。そして、p 型半導体領域 P R 2 は、プラグ P L G 2 を介して、配線 L 1 と電氣的に接続され、かつ、カソード領域 K R 2 もカソードプラグ K P 2 を介して配線 L 1 と電氣的に接続されている。一方、アノード領域 A R 2 は、アノードプラグ A P 2 を介して、配線 L 2 と電氣的に接続されている。

【 0 0 9 2 】

同様に、領域 R 3 には、互いに離間して p 型半導体領域 P R 3 と n 型ウェル N W L 3 が形成されており、n 型ウェル N W L 3 の内部に、カソード領域 K R 3 とアノード領域 A R 3 とが離間して形成されている。そして、p 型半導体領域 P R 3 は、プラグ P L G 3 を介して、配線 L 2 と電氣的に接続され、かつ、カソード領域 K R 3 もカソードプラグ K P 3 を介して配線 L 2 と電氣的に接続されている。一方、アノード領域 A R 3 は、アノードプラグ A P 3 を介して、アノード配線 A L と電氣的に接続されている。

【 0 0 9 3 】

以上のようにして、本実施の形態 3 における温度検知ダイオード T D が形成されている。ここで、本実施の形態 3 における特徴点は、図 1 3 および図 1 4 に示すように、温度検知ダイオード T D が直列接続された単位ダイオード U T D 1 と単位ダイオード U T D 2 と単位ダイオード U T D 3 との直列接続から構成されている点にある。これにより、本実施の形態 3 によれば、以下に示す利点を得ることができる。

【 0 0 9 4 】

すなわち、温度検知ダイオード T D を複数の単位ダイオードの直列接続（2 段以上）から構成することにより、温度検知ダイオード T D に定電流（I）を流したときの V F 値を直列接続した単位ダイオードの加算値とすることができる。つまり、一般的な単位ダイオード（p n 接合ダイオード）の温度特性（温度係数）は、「 $-2 \text{ mV} /$ 」であるが、例えば、直列接続の段数を 2 段とすれば、温度特性は、「 $-4 \text{ mV} /$ 」になり、さらに、直列接続の段数を 3 段とすれば、温度特性は、「 $-6 \text{ mV} /$ 」になる。このように、直列接続の段数を増加させることにより、温度係数は大きくなり、温度係数を大きくすることにより、温度変化に対する温度検知ダイオード T D 全体の V F 値の変化が大きくなる。この結果、本実施の形態 3 における温度検知ダイオード T D によれば、温度の検知精度を向上することができる。ただし、直列接続の段数を増加させる場合、単位ダイオードの段数分だけ、最終段の単位ダイオードのアノードが接続されるアノード配線 A L の電位が高くなる。このことから、直列接続の段数を増加させすぎると、アノード配線 A L とソース配線との耐圧を考慮する必要が生じるおそれがある。

【 0 0 9 5 】

以上のことから、温度の検知精度を向上する観点からは、温度検知ダイオード T D を構成する単位ダイオードの数を増加させることが望ましいが、あまりにも、直列接続する単位ダイオードの数を増加させすぎると、アノード配線 A L とソース配線との耐圧を考慮する必要性が生じることに注意を払う必要がある。

【 0 0 9 6 】

（実施の形態 4）

本実施の形態 4 では、パワー M O S F E T 形成領域内に温度検知ダイオードを配置する位置に関する工夫点について説明する。

10

20

30

40

50

【 0 0 9 7 】

例えば、温度検知ダイオードは、パワーMOSFETの破壊を未然に抑制するため、パワーMOSFETの温度を監視するために設けられている点を考慮すると、温度検知ダイオードは、パワーMOSFET形成領域のうち、最も温度の高い「ホットスポット領域」に配置することが望ましい。なぜなら、パワーMOSFET形成領域の中で、最も温度が高くなる「ホットスポット領域」近傍に存在するパワーMOSFETが最も熱によって破壊される可能性が高いからである。つまり、温度検知ダイオードは、パワーMOSFET形成領域の中で最もパワーMOSFETが破壊されやすい領域に配置することが、パワーMOSFETの破壊を未然に防止する観点から望ましいのである。このことから、本実施の形態4では、パワーMOSFETが形成されているパワーMOSFET形成領域内のうち、温度が最も高くなる「ホットスポット領域」に温度検知ダイオードを配置する。

10

【 0 0 9 8 】

具体的に、図15は、パワーMOSFET形成領域PMRを示す模式図であり、パワーMOSFET形成領域PMRの表面には、例えば、複数のワイヤのボール部W1がアレイ状に搭載されている。このような配置のワイヤとしては、例えば、50 μ m径の銅ワイヤや金ワイヤが使用される。この場合、図15に示すように、パワーMOSFET形成領域PMRの中央部に「ホットスポット領域」が存在すると考えられる。なぜなら、パワーMOSFET形成領域の中央部からは、熱が放散されにくく籠りやすいと考えられるからである。したがって、例えば、図15において、パワーMOSFET形成領域PMRの中央部の「ホットスポット領域HS」に温度検知ダイオードを配置することにより、効果的に

20

【 0 0 9 9 】

同様に、図16は、パワーMOSFET形成領域PMRを示す模式図であり、パワーMOSFET形成領域PMRの表面には、例えば、複数のワイヤの短冊形状の台座部W2が搭載されている。このような配置のワイヤとしては、例えば、500 μ m径のアルミニウムワイヤが使用される。この場合も、図16に示すように、パワーMOSFET形成領域PMRの中央部に「ホットスポット領域」が存在すると考えられる。なぜなら、パワーMOSFET形成領域の中央部からは、熱が放散されにくく籠りやすいと考えられるからである。したがって、例えば、図16において、パワーMOSFET形成領域PMRの中央部の「ホットスポット領域HS」に温度検知ダイオードを配置することにより、効果的に

30

【 0 1 0 0 】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【 0 1 0 1 】

前記実施の形態では、前記実施の形態における技術的思想を適用するパワートランジスタの具体的な一例として、パワーMOSFETを挙げて説明したが、これに限らず、例えば、絶縁ゲートバイポーラトランジスタ(IGBT)にも適用することができる。このとき、例えば、パワートランジスタの「高電位端子」は、パワーMOSFETの場合、「ドレイン(ドレイン端子)」に対応し、パワートランジスタの「低電位端子」は、パワーMOSFETの場合、「ソース(ソース端子)」に対応する。一方、例えば、パワートランジスタの「高電位端子」は、IGBTの場合、「コレクタ(コレクタ端子)」に対応し、パワートランジスタの「低電位端子」は、IGBTの場合、「エミッタ(エミッタ端子)」に対応する。

40

【 符号の説明 】

【 0 1 0 2 】

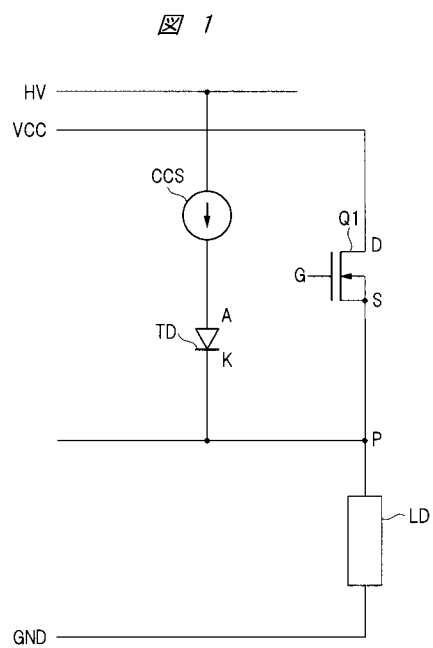
- A アノード
- CCS 定電流源
- D ドレイン

50

G ゲート電極
 GND 基準線
 HV 高電位線
 K カソード
 LD 負荷
 P ノード
 Q1 パワーMOSFET
 S ソース
 TD 温度検知ダイオード
 VCC 電源線

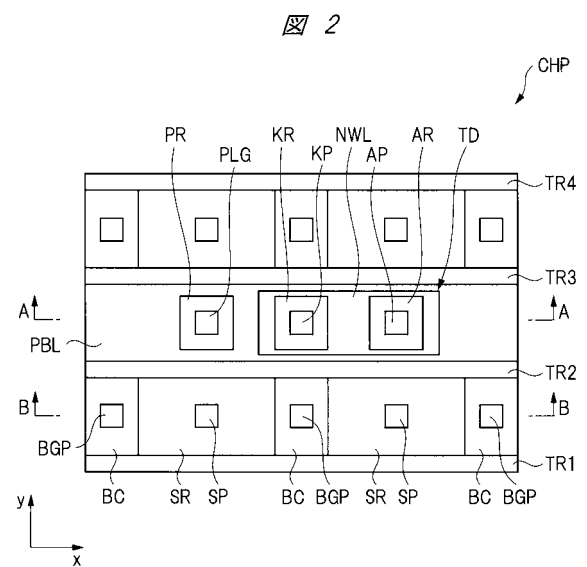
10

【図1】

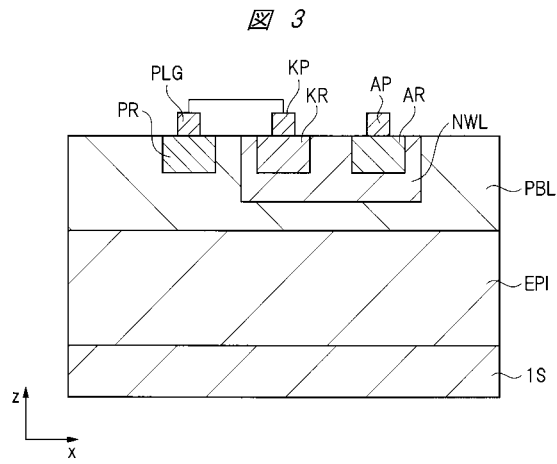


K : カソード
 Q1 : パワーMOSFET
 TD : 温度検知ダイオード

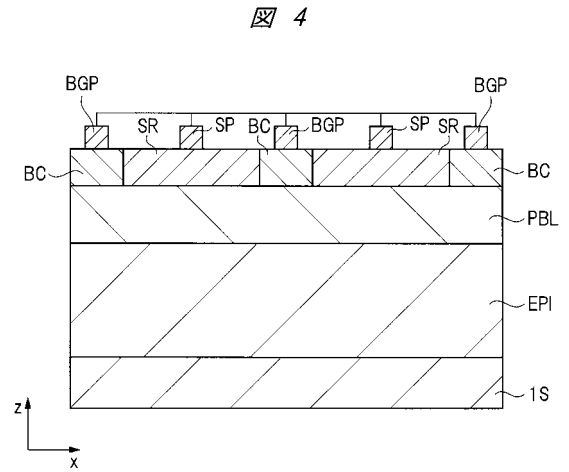
【図2】



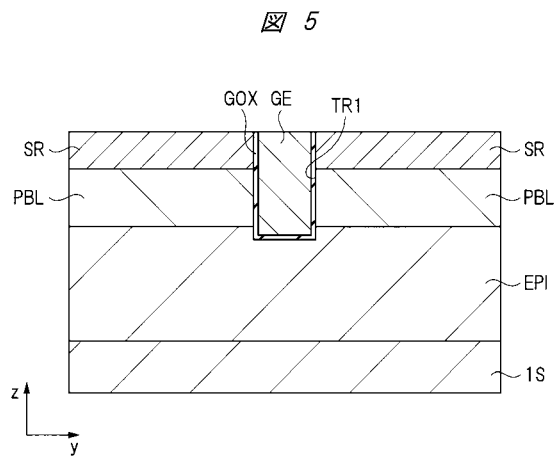
【図 3】



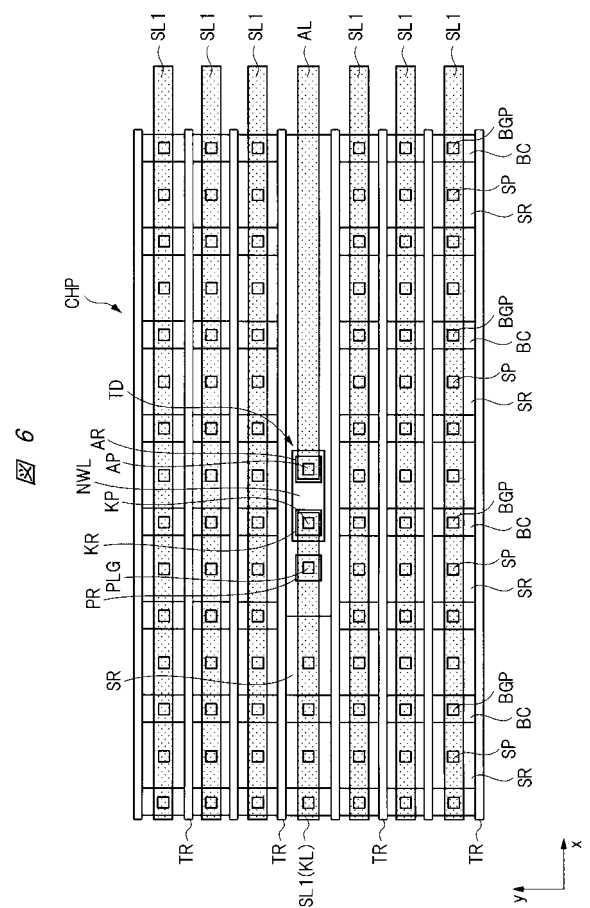
【図 4】



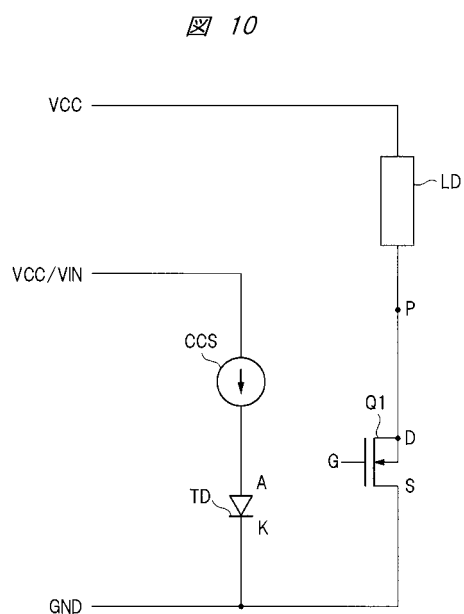
【図 5】



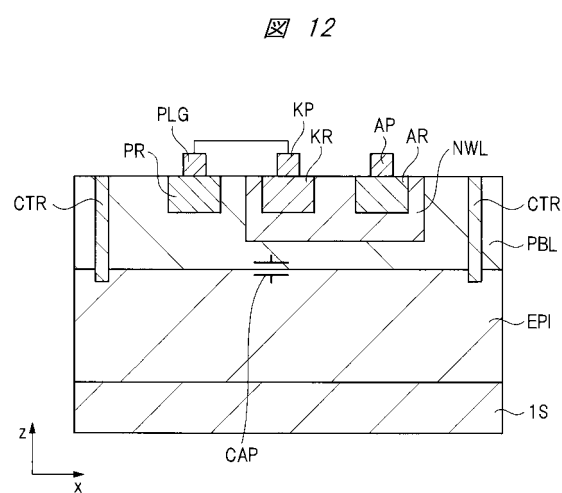
【図 6】



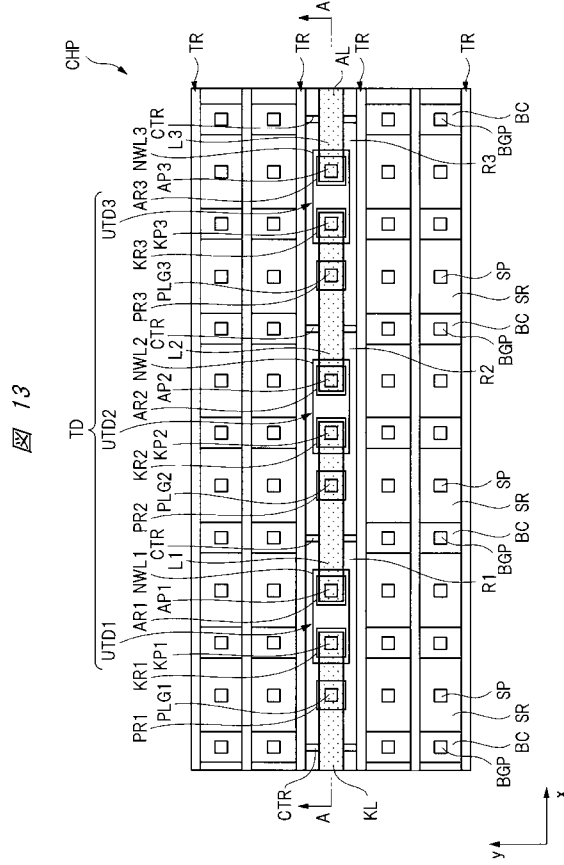
【 図 1 0 】



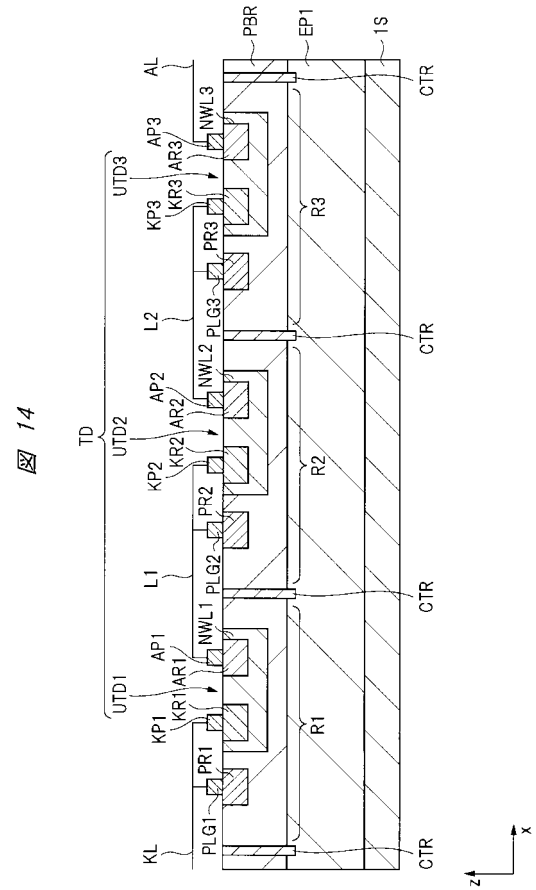
【 図 1 2 】



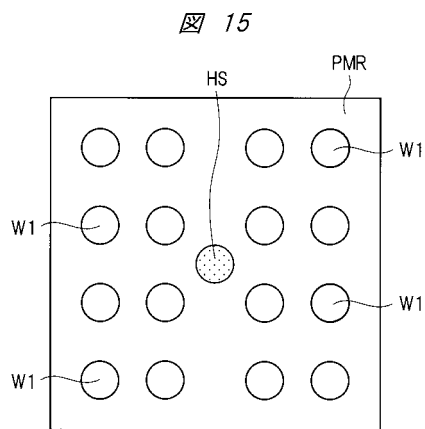
【図 13】



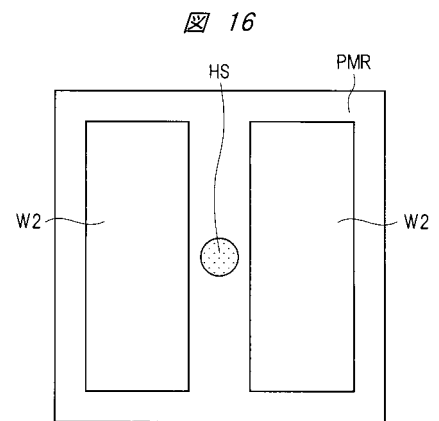
【図 14】



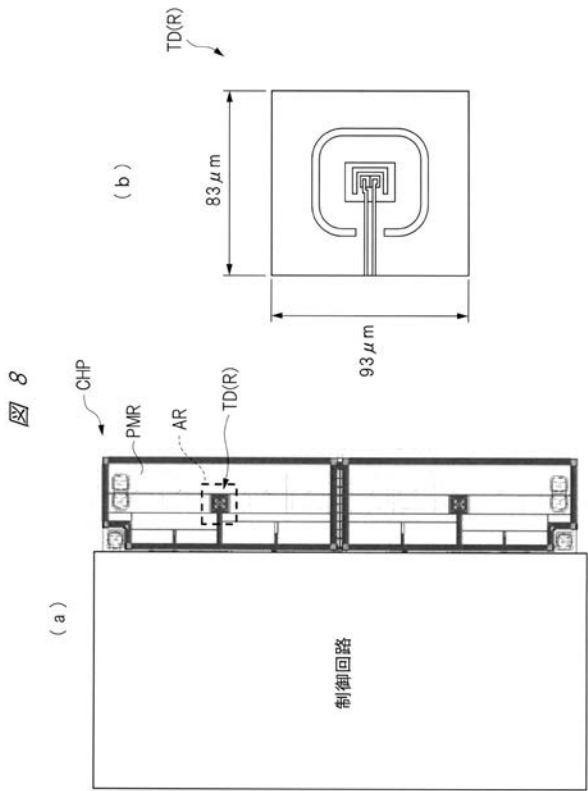
【図 15】



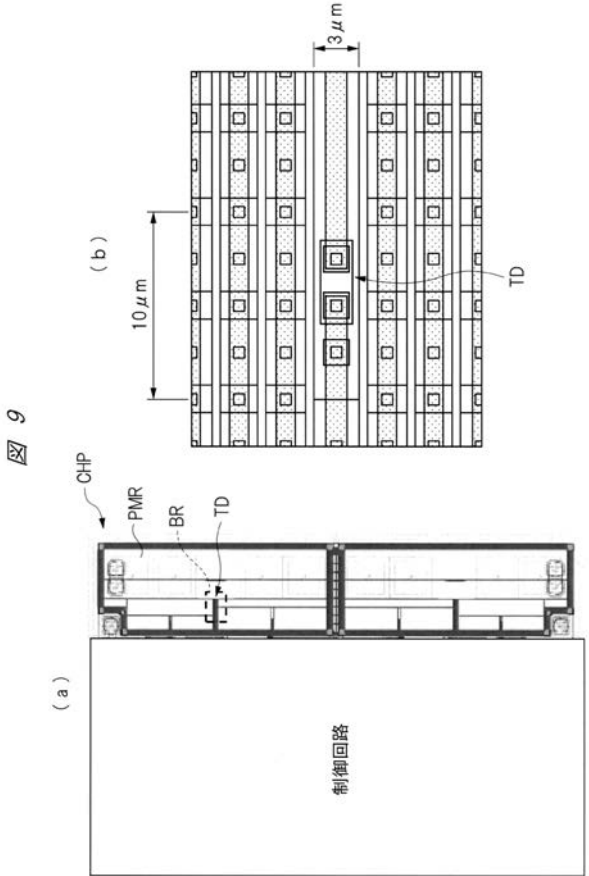
【図 16】



【 図 8 】



【 図 9 】



フロントページの続き

(51) Int.Cl.

F I

H 0 1 L 29/78

6 5 5 F

テーマコード (参考)