

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 11 月 15 日(15.11.2012)



(10) 国際公開番号
WO 2012/153461 A1

- (51) 国際特許分類:
H01L 21/02 (2006.01) *H01L 27/12* (2006.01)
H01L 27/10 (2006.01)
- (21) 国際出願番号: PCT/JP2012/002479
- (22) 国際出願日: 2012 年 4 月 10 日(10.04.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-106475 2011 年 5 月 11 日(11.05.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 信越半導体株式会社 (Shin-Etsu Handotai Co., Ltd.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目 6 番 2 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 大槻 剛 (OHTSUKI, Tsuyoshi) [JP/JP]; 〒3790196 群馬県安中市磯部 2 丁目 1 3 番 1 号信越半導体株式会社 半導体磯部研究所内 Gunma (JP). 曲 偉峰 (QU, Wei Feng) [CN/JP]; 〒3790196 群馬県安中市磯部 2 丁目 1 3 番 1 号信越半導体株式会社 半導体磯部研究所内 Gunma (JP). 田原 史夫 (TAHARA, Fumio) [JP/JP]; 〒3790196 群馬県安中市磯部 2 丁目

1 3 番 1 号信越半導体株式会社 半導体磯部研究所内 Gunma (JP). 大井 裕喜 (OOI, Yuuki) [JP/JP]; 〒3790196 群馬県安中市磯部 2 丁目 1 3 番 1 号信越半導体株式会社 半導体磯部研究所内 Gunma (JP). 三谷 清 (MITANI, Kiyoshi) [JP/JP]; 〒3790196 群馬県安中市磯部 2 丁目 1 3 番 1 号信越半導体株式会社 半導体磯部研究所内 Gunma (JP).

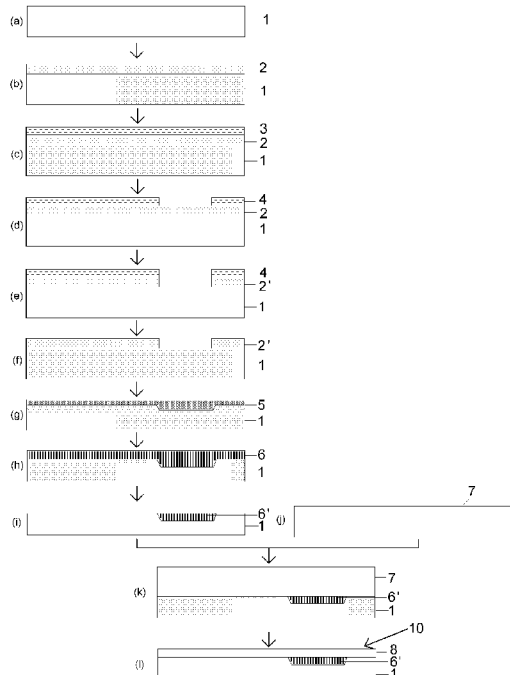
- (74) 代理人: 好宮 幹夫 (YOSHIMIYA, Mikio); 〒1100005 東京都台東区上野 7 丁目 6 番 1 1 号第一下谷ビル 8 F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

[続葉有]

(54) Title: METHOD FOR PRODUCING LAMINATED SUBSTRATE HAVING INSULATING LAYER AT PORTION OF SUBSTRATE

(54) 発明の名称: 基板の一部に絶縁層を有する貼り合わせ基板の製造方法

[図1]



(57) Abstract: The present invention is a method for producing a laminated substrate having an insulating layer at a portion of the substrate, said method being characterized by having: a porous layer forming step for forming a porous layer that is at the lamination surface of a base substrate and that is formed in certain locations or having a thickness that differs in certain locations; an insulating layer forming step for forming an insulating layer that has a thickness that differs in certain locations and that is on the lamination surface of the base substrate by means of heat processing the base substrate to which the porous layer has been formed, changing the porous layer into an insulating layer; an insulating layer eliminating step for etching to remove an amount of thickness of the insulating layer having differing thicknesses corresponding to the thin portions; a lamination step for laminating a bond substrate to the lamination surface exposed by the insulating layer remaining without being etched of the base substrate; and a thinning step for forming a thin film layer by thinning the laminated bond substrate. As a result, provided is a method for easily producing a laminated substrate having an insulating layer at a portion of the substrate by using a porous silicon technique.

(57) 要約:

[続葉有]

WO 2012/153461 A1



MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラ
シア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

本発明は、基板の一部に絶縁層を有する貼り合わせ基板の製造方法であって、ベース基板の貼り合わせ面に、部分的に又は厚さが部分的に異なる多孔質層を形成する多孔質層形成工程と、多孔質層が形成されたベース基板に熱処理を行い、多孔質層を絶縁層に変化させることによって、ベース基板の貼り合わせ面に部分的に厚さの異なる絶縁層を形成する絶縁層形成工程と、厚さの異なる絶縁層の、厚さの薄い部分に相当する厚さ分をエッチングして除去する絶縁層除去工程と、ベース基板の、エッチングされずに残った絶縁層が露出された貼り合わせ面とボンド基板を貼り合わせる貼り合わせ工程と、貼り合わせられたボンド基板を薄膜化して薄膜層を形成する薄膜化工程とを有することを特徴とする貼り合わせ基板の製造方法である。これによって、ポーラスシリコン技術を用いて、基板の一部に絶縁層を有する貼り合わせ基板を容易に製造する方法が提供される。

明 細 書

発明の名称：

基板の一部に絶縁層を有する貼り合わせ基板の製造方法

技術分野

[0001] 本発明は、例えばロジック回路、DRAM混載デバイスのような多機能化デバイスの作製に用いられる、基板の一部に絶縁層を有する貼り合わせ基板の製造方法に関する。

背景技術

[0002] LSIのシステム性能の向上を行う方法として、ロジック回路とDRAMを同一半導体チップに集積する技術が従来から検討されている。一方、MOSFETを中心に構成するロジック回路単体では高性能化のため、従来のバルクシリコン基板ではなく、薄膜SOI基板が用いられたSOI-MOSFETが検討され、既に一部の高性能ロジックデバイス用途として製品化が行われて、その優位性が証明されている。このような中で、更なる高性能化を考えれば、SOI基板にロジック回路を搭載させた高性能ロジックチップにDRAMを混載させたLSIを開発すればよいと考えられる。

[0003] しかし、このロジック回路とDRAMの混載に当たっては以下のような問題点があると考えられている。

SOI-MOSFETは、チャネルが形成されるボディ領域の電位がBOX膜の存在により浮いているため、基板浮遊効果により、回路動作に伴うリーク電流や閾値などの特性変動を生じる可能性がある。このため、DRAMのセルトランジスタやセンスアンプ回路などのように、リーク電流レベル、閾値ばらつき等に対する要求が厳しい回路への適用には不向きと考えられている。

[0004] この基板浮遊効果の問題を解決するために、MOSFETパターンに対しボディ部からの引き出し素子領域とコンタクトを設けてボディ電位を制御する必要があるが、そのためにはセル面積やセンスアンプ部の面積などが大幅

に増大してしまい、DRAMの最大の特徴である高集積化を損なってしまう問題があった。

[0005] この問題の対応として、SOI基板上に非SOI領域を設けること（部分SOIともいう）により、基板浮遊効果と相性の悪い回路部を非SOI領域に形成する方法が種々提案されている。

例えば、SOI基板のSOI層と埋め込み絶縁層（BOX層）を部分的にエッチング除去し、該エッチング領域にシリコンを選択エピタキシャル成長させ、研磨平坦化して非SOI領域を形成する方法がある（例えば、特許文献1参照）。また、バルク領域を絶縁性スペーサ及び導電性スペーサで取り囲んだ非SOI領域を形成し、基板浮遊効果を克服し、且つSOI領域を非SOI領域から電氣的に分離する方法もある（例えば、特許文献2参照）。

しかしながら、何れの方法においても、SOI基板の構造及びSOI領域のBOX層の構造に関する詳細な記述はなく、より簡単に部分SOI基板を製造する方法が望まれていた。

先行技術文献

特許文献

[0006] 特許文献1：特開平8－17694号公報

特許文献2：特開平11－17001号公報

特許文献3：特開2005－229062号公報

特許文献4：特開2006－100479号公報

非特許文献

[0007] 非特許文献1：「IEICE Transactions on Electron」、Vol. 80-C, No. 3 (1997) pp. 378-387

発明の開示

発明が解決しようとする課題

[0008] これらを踏まえて本発明者らは、（1）ポーラスシリコンの酸化速度が通

常の単結晶シリコンと比べて速いこと、(2) ポーラスシリコン作製時にパターン形成を行うことで任意の個所に任意の厚さでポーラスシリコン層を形成できること、この2つの技術を基本にした方法を考案した。

[0009] ポーラスシリコン自体については多数の特許文献などに報告されている。その利用法は、SOIウェーハを作製する方法についてであり、非特許文献1にあるように古くから報告されているELTRAN（登録商標）基板以外に、特許文献3、4のようにSOIウェーハ作製法も提案されている。一般的なポーラスシリコン作製方法は陽極酸化法であり、概ね以下の通りである。まずHF（フッ化水素）を含む水溶液を準備、これにシリコンウェーハを入れる。そして対向電極との間に直流電圧を印加する。この際、シリコン基板側を陽極とする。HF水溶液濃度や基板抵抗率、印加電流密度、時間などのパラメータによりポーラスシリコンの出来具合（多孔度）が変化する。この多孔度に影響するパラメータは例えば、非特許文献1などにも詳しく紹介されている。

[0010] このようなポーラスシリコンを使ったSOI基板の製造方法としては、(1) ELTRAN：ポーラスシリコン層の上にエピタキシャル成長を行い、酸化膜付きウェーハと貼り合わせ、ポーラス層で剥離する方法（非特許文献1）、(2) ポーラス層の上にEP成長後、酸化雰囲気アニールを行ってポーラス層を酸化し、これをBOX膜とする方法（ポーラス層の内部酸化、特許文献3）、(3) 多孔度を徐々に下げてポーラスシリコンを形成し、アニールすることで表面はマイグレーションにより単結晶化し、内部の多孔度の高いところはBOX層とする方法（特許文献4）等が従来考案されていた。

[0011] しかしこれらの方法で製造されたSOI基板は、いずれもポーラス層（多孔質層）及びBOX層は基板面内全域に均一に形成されていたため、基板浮遊効果の問題を解決できなかった。

[0012] 本発明は、上述の事情に鑑みてなされたものであり、ポーラスシリコン技術を用いて、ロジック回路とDRAMを同一半導体チップに集積するため等

に用いられる部分 S O I 基板のような、基板の一部に絶縁層を有する貼り合わせ基板を容易に製造する方法を提供することを目的とする。

課題を解決するための手段

[0013] 上記目的を達成するために、本発明では、ベース基板とボンド基板を貼り合わせることによって形成され、基板の一部に絶縁層を有する貼り合わせ基板の製造方法であって、少なくとも、前記ベース基板の貼り合わせ面に、部分的に又は厚さが部分的に異なる多孔質層を形成する多孔質層形成工程と、該多孔質層が形成されたベース基板に熱処理を行い、前記多孔質層を前記絶縁層に変化させることによって、前記ベース基板の貼り合わせ面に部分的に厚さの異なる前記絶縁層を形成する絶縁層形成工程と、該厚さの異なる絶縁層の、厚さの薄い部分に相当する厚さ分をエッチングして除去し、前記ベース基板の貼り合わせ面上の一部に、エッチングされずに残った前記絶縁層を露出させる絶縁層除去工程と、前記ベース基板の、前記エッチングされずに残った絶縁層が露出された貼り合わせ面と前記ボンド基板を貼り合わせる貼り合わせ工程と、該貼り合わせられたボンド基板を薄膜化して薄膜層を形成する薄膜化工程と、を有することを特徴とする貼り合わせ基板の製造方法を提供する。

[0014] このような工程を有する貼り合わせ基板の製造方法であれば、ベース基板の多孔質層が形成された部分と多孔質層が形成されていない部分に対する絶縁層の形成速度の差を利用することにより、部分的に厚さの異なる絶縁層を熱処理によって形成し、該厚さの異なる絶縁層の厚さの薄い部分に相当する厚さ分をエッチングした後にベース基板とボンド基板を貼り合わせることによって、容易に且つ低コストで基板の一部に絶縁層を有する貼り合わせ基板を製造することができる。

また、部分的に形成した多孔質層又は厚さを部分的に厚く形成した多孔質層の位置に結果として絶縁層が形成され、さらに多孔質層の厚さに応じて形成される絶縁層の厚さも決定されるため、その後形成される素子の形状や大きさ、性質等に合わせて、製造する基板の任意の個所に最適な厚さの絶縁層

を確実に形成することができる。

さらに、このようにして製造された貼り合わせ基板は、同一基板上にロジック回路、DRAM等を混載した多機能化デバイスを作製するにあたり、基板上の、最適な膜厚を有する絶縁層の個所に素子を形成することができるので、作製工程を減らしながらも高機能で多機能な素子を作製可能な貼り合わせ基板となる。

[0015] またこのとき、前記多孔質層形成工程において、前記ベース基板の貼り合わせ面に厚さが部分的に異なる前記多孔質層を形成する場合に、少なくとも、前記ベース基板の貼り合わせ面に保護膜を形成し、該保護膜上にレジストマスクを形成し、前記保護膜を前記レジストマスクの形状にパターン成形し、前記レジストマスクを除去し、前記パターン成形された保護膜を有する前記貼り合わせ面に前記多孔質層を形成することで、前記ベース基板の貼り合わせ面の全体に、厚さが部分的に異なる前記多孔質層を形成することができる。

[0016] このような多孔質層形成工程であれば、ベース基板上の保護膜がない個所は深く多孔質層が形成され、保護膜がある個所は浅く多孔質層が形成されるため、ベース基板の貼り合わせ面の全体に、厚さが部分的に異なる多孔質層を形成することがより容易となるため好ましい。

[0017] またこのとき、前記多孔質層形成工程において、前記ベース基板の貼り合わせ面に部分的に前記多孔質層を形成する場合に、少なくとも、前記ベース基板の貼り合わせ面にレジストマスクを形成し、該レジストマスクを形成した貼り合わせ面に多孔質層を形成した後に、前記レジストマスクを除去することで、前記ベース基板の貼り合わせ面に、部分的に前記多孔質層を形成することができる。

[0018] このような多孔質層形成工程であれば、ベース基板上のレジストマスクが形成された部分には多孔質層が形成されないため、ベース基板の貼り合わせ面に部分的に前記多孔質層を形成することがより容易となるため好ましい。

[0019] またこのとき、前記多孔質層形成工程において、前記ベース基板の貼り合

わせ面を陽極酸化することで、該貼り合わせ面に部分的に又は厚さが部分的に異なる前記多孔質層を形成することができる。

[0020] このような陽極酸化法によれば多孔質層をより容易に形成でき、かつ多孔質層の厚さ、多孔度、孔径を基板の用途に応じて容易に制御できるため好ましい。

[0021] またこのとき、前記多孔質層形成工程において、前記ベース基板の貼り合わせ面に、厚さが部分的に異なる前記多孔質層を形成する場合に、前記パターン成形により保護膜を形成した前記ベース基板の貼り合わせ面を陽極酸化するとともに、該保護膜を除去することが好ましい。

[0022] このような多孔質層形成工程であれば、保護膜がない個所は深く多孔質層が形成され、保護膜がある個所は、陽極酸化により保護膜が除去されるまでの間多孔質層の形成が行われないので、より浅く多孔質層が形成される。これによって、ベース基板の貼り合わせ面の全体に、より容易に厚さが部分的に異なる多孔質層を形成することができる。

[0023] またこのとき、前記ベース基板及び／又はボンド基板としてシリコン基板を用いることによって、基板の一部に絶縁層を有する部分SOI基板を製造することができる。

[0024] このように、ベース基板にシリコン基板を用いることで、多孔質層形成工程において多孔質層を形成することが容易となり、また絶縁層形成工程において絶縁層として酸化膜を形成することが容易となるため好ましい。また、ボンド基板にシリコン基板を用いることで、薄膜化工程において形成される薄膜層はいわゆるSOI層となり、ロジック回路、DRAM等が混載された種々の多機能化デバイス製造が容易となるため好ましい。

さらに、前記ベース基板及び前記ボンド基板ともにシリコン基板を用いることで、構造自体も複雑なものではなく、従来の製造工程を応用でき、低コストで歩留り良く製造することができる貼り合わせ基板の製造方法となるため好ましい。

[0025] またこのとき、前記絶縁層形成工程において、前記多孔質層が形成された

ベース基板に熱酸化処理を行い、前記多孔質層を酸化膜に変化させることによって、前記部分的に厚さの異なる絶縁層を形成することが好ましい。

[0026] このように熱酸化処理によって絶縁層として酸化膜を形成することにより、ベース基板の貼り合わせ面に部分的に厚さの異なる絶縁層をより容易に形成することができる。また、酸化膜は優れた絶縁性を有するため絶縁層として好ましい。

発明の効果

[0027] 以上説明したように本発明によれば、容易に且つ低コストで、基板の一部に絶縁層を有する貼り合わせ基板の製造方法を提供することができる。

また、基板製造後に形成される素子の形状や大きさ、性質等に合わせて、製造する基板の任意の個所に最適な厚さの絶縁層を確実に形成することができる。

さらに、同一基板上にロジック回路、DRAM等を混載したデバイスを作製するにあたり、基板上の、最適な膜厚を有する絶縁層の個所に素子を形成することができるので、作製工程を減らしながらも高機能で多機能な素子を作製可能な貼り合わせ基板となる。

図面の簡単な説明

[0028] [図1]本発明の貼り合わせ基板の製造工程の第一の態様を示すフロー図である。

[図2]本発明の貼り合わせ基板の製造工程の第二の態様を示すフロー図である。

[図3]本発明の貼り合わせ基板の製造工程の第一の態様において、絶縁層が形成されたベース基板の断面写真である。

発明を実施するための形態

[0029] 以下、本発明について実施の形態を説明するが、本発明はこれに限定されるものではない。

[0030] 前述のような基板浮遊効果の問題を解決するために、MOSFETパターンに対しボディ部からの引き出し素子領域とコンタクトを設けてボディ電位

を制御する必要があるが、そのためにはセル面積やセンスアンプ部の面積などが大幅に増大してしまい、DRAMの最大の特徴である高集積化を損なってしまう問題があった。

この問題の対応として、SOI基板上に非SOI領域を設けることにより、基板浮遊効果と相性の悪い回路部を非SOI領域に形成する方法として、例えば特許文献1や特許文献2の方法が提案されていた。

しかしながら、何れの方法においても、SOI基板の構造及びSOI領域のBOX層の構造に関する詳細な記述はなく、より簡単に部分SOI基板を製造する方法が望まれていた。

[0031] 本発明者らは、ベース基板の多孔質層が形成された部分と多孔質層が形成されていない部分に対する絶縁層の形成速度の差を利用することにより、部分的に厚さの異なる絶縁層を熱処理によって形成し、該厚さの異なる絶縁層の厚さの薄い部分に相当する厚さ分をエッチングした後にベース基板とボンド基板を貼り合わせることによって、容易に且つ低コストで基板の一部に絶縁層を有する貼り合わせ基板を製造することができることを見出して、本発明を完成させた。

[0032] 以下、本発明について実施の形態を図1及び図2を参照して説明するが、本発明はこれに限定されるものではない。図1及び図2は、本発明の貼り合わせ基板の製造工程の第一の態様と第二の態様とを示すフロー図である。

[0033] [多孔質層形成工程]

本発明の多孔質層形成工程では、ベース基板1の貼り合わせ面に部分的に又は厚さが部分的に異なる多孔質層5を形成する(図1(a)～(g)、図2(a)～(e))。この多孔質層形成工程を行うことで、ベース基板の多孔質層が形成された部分と多孔質層が形成されていない部分に対する絶縁層の形成速度の差を利用することが可能となるため、後述する絶縁層形成工程において部分的に厚さの異なる絶縁層を形成することができる。

[0034] 本発明にかかるベース基板1としては、特に制限されないが、シリコン基板、特にシリコン単結晶基板であることが好ましい。ベース基板1がシリコ

ン基板、特にシリコン単結晶基板であれば、取り扱いが容易であり、さらに、下記に説明するように、多孔質層としてポーラスシリコンを容易に形成できる。もちろん、化合物半導体等の他の半導体基板、石英基板などを用いることもできる。

[0035] 以下、多孔質層形成工程の第一と第二の態様を例示するが、本発明にかかる多孔質層形成工程はこれに限られるものではない。

多孔質層形成工程の第一の態様として、ベース基板の貼り合わせ面に厚さが部分的に異なる多孔質層を形成する場合に、少なくとも、前記ベース基板 1 の貼り合わせ面に保護膜 2 を形成し、該保護膜 2 上にレジスト膜 3 を塗布し、フォトリソグラフィーによりレジストマスク 4 を形成し、前記保護膜 2 を前記レジストマスク 4 の形状にパターン成形し、前記レジストマスク 4 を除去し、前記パターン成形された保護膜 2' を有する前記ベース基板 1 の貼り合わせ面に前記多孔質層 5 を形成することで、前記ベース基板 1 の貼り合わせ面の全体に厚さが部分的に異なる前記多孔質層 5 を形成することができる（図 1（a）～（g）参照）。

[0036] このような多孔質層形成工程であれば、保護膜がない個所は深く多孔質層が形成され、保護膜がある個所は浅く多孔質層が形成されるため、ベース基板の貼り合わせ面の全体に、厚さが部分的に異なる多孔質層を形成することが容易となるため好ましい。以下、図 1 を用いて説明する。

[0037] 図 1 に示すようにまず、準備したベース基板 1 上に保護膜 2 を形成する（図 1（a）、（b））。この保護膜の膜厚はベース基板 1 上に形成される絶縁層 6 の膜厚に関係するが、具体的な厚さは多孔質層 5 の形成方法、例えば後述の陽極酸化法の条件とも関係して決定される。すなわち、陽極酸化法により多孔質層 5 を形成する場合は、その条件、特に HF 濃度によって、保護膜 2 がエッチングされる速度に違いが生じるため、保護膜 2 の膜厚は、あとの陽極酸化条件に大きく依存することになる。このとき、保護膜 2 を酸化膜とすることが好ましい。

[0038] その後、保護膜 2 上にレジスト膜 3 を塗布し（図 1（c））、フォトリソ

グラフィーによりレジストマスク 4 を形成する（図 1（d））。次いで、エッチング等により保護膜 2 をレジストマスク 4 の形状にパターン成形して、パターン成形された保護膜 2' とし（図 1（e））、レジストマスク 4 を除去する（図 1（f））。このようなパターン形成のためのフォトリソグラフィーは、一般的な方法を用いて行うことができる。

[0039] この場合、図 1（d）において形成されるレジストマスク 4 のパターンは絶縁層 6 の厚さを変化させたい個所に対応させる。パターン成形された保護膜 2' は多孔質層 5 の形成を妨げるように働くため、パターン成形された保護膜 2' で覆われた個所には浅く多孔質層 5 が形成され、覆われていない個所には深く多孔質層 5 が形成されることとなる。そのため、絶縁層形成工程後には、パターン成形された保護膜 2' で覆われた個所は絶縁層 6 が薄い個所になり、パターン成形された保護膜 2' で覆われていない個所は絶縁層 6 が厚い個所になる。尚、このときパターン成形された保護膜 2' で覆われておらず、絶縁層 6 が厚く形成された個所は、後に製造される貼り合わせ基板 10 において、エッチングされずに残った絶縁層 6' が形成される個所となる。

[0040] その後、パターン成形された保護膜 2' を有するベース基板 1 の貼り合わせ面に多孔質層 5 を形成する（図 1（g））。このようにパターン成形された保護膜 2' を有するベース基板 1 に対して多孔質層 5 を形成すると、パターン成形された保護膜 2' に覆われた個所は覆われていない個所に比べて多孔質層 5 の形成に遅延が生じ、結果的に厚さが部分的に異なる多孔質層 5 が形成される。特に、後述する陽極酸化法等の、多孔質層 5 の形成が基板内部に向かって進む方法を用いた場合には、表面に段差がない、すなわち、表面が平坦なベース基板 1 となる。このように、多孔質層 5 を形成した後のベース基板 1 の貼り合わせ面が平坦であれば、貼り合わせが容易であるため好ましい。

[0041] また、多孔質層形成工程の第二の態様として、ベース基板の貼り合わせ面に部分的に多孔質層を形成する場合に、少なくとも、前記ベース基板 1 の貼

り合わせ面にレジスト膜 3 を塗布し、フォトリソグラフィーによってレジストマスク 4 を形成し、該ベース基板 1 の貼り合わせ面に多孔質層 5 を形成した後に、前記レジストマスク 4 を除去することで、前記ベース基板 1 の貼り合わせ面に部分的に前記多孔質層 5 を形成することが好ましい（図 2（a）～（e）参照）。

[0042] このような多孔質層形成工程であれば、ベース基板の貼り合わせ面に部分的に多孔質層を形成することが容易となるため好ましい。以下、図 2 を用いて説明する。

[0043] 図 2 に示すようにまず、準備したベース基板 1 上にレジスト膜 3 を塗布し（図 2（a）、（b））、フォトリソグラフィーによりレジストマスク 4 を形成する（図 2（c））。このようなパターン成形のためのフォトリソグラフィーは、一般的な方法を用いて行うことができる。このパターンは絶縁層 6 の膜厚を厚くしたい個所に対応させる。この場合、絶縁層形成工程後には、レジストマスク 4 で覆われた個所は絶縁層 6 が薄い個所になり、レジストマスク 4 で覆われていない個所は絶縁層 6 が厚い個所になる。尚、このときレジストマスク 4 で覆われておらず、絶縁層 6 が厚く形成された個所は、後に製造される貼り合わせ基板 10 において、エッチングされずに残った絶縁層 6' が形成される個所となる。

[0044] その後、レジストマスク 4 を有するベース基板 1 の貼り合わせ面に多孔質層 5 を形成し（図 2（d））、レジストマスク 4 を除去する（図 2（e））。このようにレジストマスク 4 を有するベース基板 1 に対して多孔質層 5 を形成すると、レジストマスク 4 に覆われた個所は多孔質層 5 の形成が進まないため、ベース基板 1 の貼り合わせ面に部分的に多孔質層 5 を形成することができる。特に、後述する陽極酸化法等の、多孔質層 5 の形成が基板内部に向かって進む方法を用いた場合には、表面に段差がない、すなわち、表面が平坦なベース基板 1 となる。このように、多孔質層 5 を形成した後のベース基板 1 の貼り合わせ面が平坦であれば、貼り合わせが容易であるため好ましい。

[0045] また、上記の第一、第二の態様における多孔質層形成工程において、ベース基板の貼り合わせ面を陽極酸化することで、ベース基板の貼り合わせ面に部分的に又は厚さが部分的に異なる多孔質層を形成することが好ましい。このような陽極酸化法によれば多孔質層を容易に形成でき、かつ多孔質層の厚さ、多孔度、孔径を基板の用途に応じて容易に制御できるため好ましい。以下、この陽極酸化法を用いた方法について説明する。

[0046] 例えばHF（フッ化水素）含有液等の陽極酸化液中でシリコン単結晶基板等のベース基板1を陽極として電流を流すことにより、ベース基板1の表面に、数nmの径の微細孔を有する多孔質層5（多孔質体）を形成する（図1（g）、図2（d）参照）。ここで、HF含有液等の陽極酸化液の組成やイオン濃度、電流値を変更することで、多孔質層5の多孔度、厚さ、及び孔径等を調整することができる。例えば、HF濃度が30%、電流印加時間が8秒である場合には、多孔質層5の厚さが約200nm、多孔度が約40%になりうる。この陽極酸化法の条件に依存する多孔質層5の多孔度、厚さ、及び孔径等は、要求される絶縁層の膜厚等を勘案して決定することができる。

[0047] さらに、多孔質層形成工程において、ベース基板1の貼り合わせ面に厚さが部分的に異なる多孔質層5を形成する場合に（図1（a）～（g）参照）、ベース基板1の貼り合わせ面を陽極酸化するとともに、パターン成形された保護膜2'が除去されることが好ましい。この場合、パターン成形された保護膜2'に覆われていない個所は深く多孔質層5が形成され、パターン成形された保護膜2'に覆われている個所は保護膜2'がHFにより除去されるまでの間は多孔質層5の形成が行われないので、形成される多孔質層5は浅くなる。そのため、ベース基板1の貼り合わせ面の全体に、厚さが部分的に異なる多孔質層5を形成することが容易となる。

[0048] なお、多孔質層5は、陽極酸化法以外の方法によって形成されてもよい。例えば、多数の微細開口を有するマスクを通してベース基板1をドライエッチング又はウエットエッチングすることによっても多孔質層5を形成することができる。

[0049] また、図 1 (a)、(j) 及び図 2 (a)、(h) において準備するベース基板 1 及び／又はボンド基板 7 としては、シリコン基板、特にシリコン単結晶基板を用いることが好ましい。このように、ベース基板 1 としてシリコン基板を用いることで、前述の多孔質層形成工程において多孔質層 5 を形成することが容易となり、上記陽極酸化法により、多孔質層 5 としてのポーラスシリコンを形成することが容易となるため好ましい。また後述する絶縁層形成工程において、ベース基板 1 に絶縁層 6 を形成することが容易となるため好ましい。また、ボンド基板 7 としてシリコン基板を用いることで、薄膜化工程において形成される薄膜層 8 はいわゆる S O I 層となり、ロジック回路、D R A M 等を混載した種々の多機能化デバイス製造に適用できる、基板の一部に絶縁層を有する部分 S O I 基板となるため好ましい。さらに、ベース基板 1 及びボンド基板 7 の両方とも、シリコン基板を用いることで、反りの発生が抑制され、構造自体も複雑なものではなく、従来の工程を応用でき、低コストで歩留り良く製造することができる貼り合わせ基板の製造方法となるため好ましい。

[0050] [絶縁層形成工程]

本発明の絶縁層形成工程では、ベース基板 1 に熱処理を行うことによって多孔質層 5 を絶縁層 6 に変化させることで、ベース基板 1 の貼り合わせ面に部分的に厚さの異なる絶縁層 6 を形成する（図 1 (h)、図 2 (f)）。この場合、絶縁層形成工程において、多孔質層 5 が形成されたベース基板 1 に熱酸化処理を行い、多孔質層 5 を酸化膜に変化させることで、ベース基板 1 の貼り合わせ面に部分的に厚さの異なる絶縁層 6 を形成することが好ましい。このように、酸化膜を形成することで、ベース基板 1 の貼り合わせ面に部分的に厚さの異なる絶縁層 6 をより容易に形成することができる。このときの酸化条件、酸化方法は、製造される貼り合わせ基板 10 が基板の一部に有する絶縁層 6' の膜厚等によって適宜決定する。

[0051] 多孔質層 5 は通常のベース基板 1 の表面と比べて絶縁層 6 が形成される速度が速いことを本発明者らは見出した。例えば、ベース基板 1 としてシリコ

ン単結晶基板を用いた場合には、多孔質層 5 としてのポーラスシリコン層はそれ以外のシリコン単結晶基板と比べて酸化速度が 1.5 倍程度大きい。この形成速度の違いにより、多孔質層 5 を選択的に早く形成して絶縁層 6 を形成することが可能である。その結果として、多孔質層 5 の厚さに応じた絶縁層 6 としての酸化膜を形成することが可能になる。このときの酸化条件としては、多機能化デバイス等の先端デバイス用途を考えれば $1\text{ }\mu\text{m}$ 未満の比較的薄い酸化膜が必要とされることから、 1000°C 以下の比較的低温が好まれるが、もちろん厚い酸化膜を形成することも可能であり、この場合は、 1100°C 等の高温で、水蒸気酸化など酸化速度が速い方法が好まれる。

[0052] [絶縁層除去工程]

本発明の絶縁層除去工程では、厚さの異なる絶縁層 6 の、厚さの薄い部分に相当する厚さ分をエッチングして除去し、ベース基板 1 の貼り合わせ面上の一部に、エッチングされずに残った絶縁層 6' を露出させる（図 1 (i)、図 2 (g)）。このようにして、絶縁層 6 の厚さの薄い部分はエッチングにより除去し、厚さの厚い部分は、厚さの薄い部分に相当する厚さ分だけ薄くすることによって、ベース基板 1 の貼り合わせ面上に絶縁層のある個所と無い個所を形成する。このときのエッチング方法としては、特に限定されないが、例えば HF 処理とすることができる。尚、絶縁層形成工程において、ベース基板 1 及びボンド基板 7 の貼り合わせ面の両方に絶縁層 6 を形成した場合は、両基板上に形成された絶縁層 6 それぞれに対してエッチングを行い、厚さの薄い部分に相当する厚さ分だけ薄くすることによって、両基板の貼り合わせ面上に絶縁層のある個所と無い個所を形成する。

[0053] [貼り合わせ工程]

本発明の貼り合わせ工程では、ベース基板 1 の、エッチングされずに残った絶縁層 6' が露出された貼り合わせ面とボンド基板 7 を貼り合わせる（図 1 (k)、図 2 (i)）。また、本発明の貼り合わせ工程では、貼り合わせ後に結合強度を上げるために結合熱処理を行うこともできる。この貼り合わせ工程の条件は特に限定されず、通常の貼り合わせ基板を作製する条件のい

ずれをも適用することができる。

[0054] [薄膜化工程]

本発明の薄膜化工程では、貼り合わせ工程後に、貼り合わせられたボンド基板 7 を薄膜化して薄膜層 8 を形成する（図 1（i）、図 2（j））。この場合の薄膜化方法としては、一般に用いられる方法で行うことができ、エッチングや研磨による方法も可能であるし、貼り合わせ前にボンド基板 7 に水素イオンを注入してイオン注入層を形成し、その後熱処理して該イオン注入層で剥離、薄膜化する方法等でも良い。

[0055] ここで、ボンド基板 7 としては、特に制限されないが、シリコン、特にシリコン単結晶からなるものとし、すなわち薄膜層 8 を SOI 層とすることが好ましい。薄膜層 8 がシリコンであれば、取り扱いが容易であり、ロジック回路、DRAM等を混載した種々の多機能化デバイス製造が容易となるため好ましい。もちろん、薄膜層は、化合物半導体等、他の半導体であっても良い。

[0056] 薄膜化工程後に、薄膜層 8 の表面改質のため、熱処理や仕上げの研磨、さらにはエピタキシャル成長を行うことも可能である。これらの表面改質等の処理としては、実際のデバイス設計で求められる表面品質に合わせた処理を適宜選択することが出来る。こうして、本発明にかかる、基板の一部に絶縁層を有する貼り合わせ基板 10 を製造することができる。このようにして製造された貼り合わせ基板 10 には、各種回路それぞれの回路特性に応じた絶縁層が形成されており、該基板上に、例えばロジック回路、DRAM等を混載することによって、多機能化デバイスを作製することが可能である。

[0057] このように、本発明においては、基板面内において任意の個所に絶縁層を形成することが可能であり、また回路特性に応じた絶縁層を選択することによって、デバイスの高機能化が達成できる。

実施例

[0058] 以下、実施例を示し、本発明をより具体的に説明するが、本発明は下記の実施例に限定されるものではない。

[0059] (実施例1)

抵抗率 $0.05\Omega\cdot\text{cm}$ のボロンをドーブした直径 150mm のシリコン単結晶基板をベース基板として、まずこれを温度 1000°C 、Pyro雰囲気中で90分の熱処理を行い、保護膜として 200nm の酸化膜を形成した。この後、基板上にレジスト膜を塗布し、フォトリソグラフィーによってレジストマスクを形成した。このときレジスト膜として、ネガレジストを選択した。貼り合わせ基板としたときに絶縁層になる個所は、 1mm 角の開口部とした。このレジストマスク付き基板において、バッファードHF溶液にて保護膜をエッチングし、硫酸過酸化水素混合液にてレジストマスクを除去後、RCA洗浄を実施することで、保護膜をレジストマスクの形状にパターン成形した。このベース基板に対してHF濃度が 25% 、電流印加時間が50秒で陽極酸化を行い、厚さが約 100nm 、多孔度が約 40% の多孔質層を形成した。保護膜のある個所は、この保護膜がHFにてエッチングされるまでの間多孔質層が形成されないため、結果として、ベース基板の貼り合わせ面に厚さが部分的に異なる多孔質層が形成された。陽極酸化後に、ベース基板をPyro雰囲気、温度 1000°C で1時間熱酸化処理を行い、多孔質層を酸化膜に変化させることで、ベース基板の貼り合わせ面に部分的に厚さの異なる絶縁層を形成した。この場合、保護膜のなかった多孔質層は $0.15\mu\text{m}$ の酸化膜に、保護膜のあった多孔質層は、 $0.09\mu\text{m}$ の酸化膜となった。絶縁層が形成されたベース基板の断面写真を図3に示す。図3に示すように、ベース基板の貼り合わせ面に部分的に厚さの異なる絶縁層が形成されていることが分かった。

[0060] このような絶縁層が形成されたベース基板を 1% HFに10分浸漬し、絶縁層の厚さの薄い部分に相当する厚さ分、すなわち $0.09\mu\text{m}$ 分だけエッチングによって除去した。これにより、エッチングされずに基板上に残った酸化膜の厚さは、 $0.06\mu\text{m}$ となった。このようにして貼り合わせ面上の一部に絶縁層である酸化膜が露出されたベース基板に、ボンド基板として抵抗率 $0.05\Omega\cdot\text{cm}$ のボロンをドーブした直径 150mm のシリコン基板

を貼り合わせ、 1150°C で結合熱処理を行った。その後、ボンド基板を研磨して薄膜化することで、シリコン層厚 $10\mu\text{m}$ のSOI基板とした。以上のようにして、基板の一部に厚さ $0.06\mu\text{m}$ の酸化膜を持った部分SOI基板を作製した。

[0061] (実施例2)

抵抗率 $0.05\Omega\cdot\text{cm}$ のボロンをドーピングした直径 150mm のシリコン単結晶基板をベース基板として、まず基板上にレジスト膜を塗布し、フォトリソグラフィーによってレジストマスクを形成した。このときレジスト膜として、ネガレジストを選択した。貼り合わせ基板としたときに絶縁層になる個所は、 1mm 角の開口部とした。このベース基板に対してHF濃度が 25% 、電流印加時間が 50 秒で陽極酸化を行い、厚さが約 100nm 、多孔度が約 40% の多孔質層を形成した。レジストマスクのある個所は陽極酸化されないため陽極酸化された個所、されない個所がベース基板上に形成され、結果として、ベース基板の貼り合わせ面に部分的に多孔質層を形成することができた。陽極酸化後に硫酸過酸化水素混合液にてレジストマスク除去後、ベース基板をPyro雰囲気、温度 1000°C で 1 時間熱酸化処理を行い、多孔質層を酸化膜に変化させることで、ベース基板の貼り合わせ面に部分的に厚さの異なる絶縁層を形成した。この場合、レジストマスクのなかった個所（多孔質層）は $0.15\mu\text{m}$ の酸化膜に、レジストマスクのあった個所（非多孔質層）は、 $0.09\mu\text{m}$ の酸化膜となった。絶縁層が形成されたベース基板の断面を確認したところ、図3と同じく、ベース基板の貼り合わせ面に部分的に厚さの異なる絶縁層が形成されていることが分かった。

[0062] このような絶縁層が形成されたベース基板を 1% HFに 10 分浸漬し、絶縁層の厚さの薄い部分に相当する厚さ分、すなわち $0.09\mu\text{m}$ 分だけエッチングによって除去した。これにより、エッチングされずに基板上に残った酸化膜の厚さは、 $0.06\mu\text{m}$ となった。このようにして貼り合わせ面上の一部に絶縁層である酸化膜が露出されたベース基板に、ボンド基板として抵抗率 $0.05\Omega\cdot\text{cm}$ のボロンをドーピングした直径 150mm のシリコン基板

を貼り合わせ、 1150°C で結合熱処理を行った。その後、ボンド基板を研磨して薄膜化することで、シリコン層厚 $10\mu\text{m}$ のSOI基板とした。以上のようにして、基板の一部に厚さ $0.06\mu\text{m}$ の酸化膜を持った部分SOI基板を作製した。

[0063] このように、本発明の貼り合わせ基板の製造方法であれば、ベース基板の貼り合わせ面に部分的に又は厚さが部分的に異なる多孔質層を形成し、多孔質層を熱酸化により酸化膜に変化させることで、ベース基板の貼り合わせ面に部分的に厚さの異なる絶縁層を形成することができる。そしてこの絶縁層の厚さの薄い部分に相当する厚さ分だけエッチングにより除去し、このベース基板とボンド基板を貼り合わせることによって、基板の一部に絶縁層を有する貼り合わせ基板を容易に製造することができる。

[0064] また、本発明の貼り合わせ基板には、絶縁層がある個所と無い個所が存在するが、貼り合わせ界面は平坦であることから、絶縁層及びベース基板と薄膜層との界面は平坦である。従って、通常通りにフォトリソグラフィ工程を行うことによりデバイスを作製できる。よって、同一基板上にロジック回路、DRAM等を混載した多機能化デバイスを作製するにあたり、基板上の、最適な膜厚を有する絶縁層の位置に素子を形成することができるので、作製工程を減らしながらも高機能で多機能な素子を作製可能な貼り合わせ基板となる。

[0065] なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は、例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

請求の範囲

[請求項1]

ベース基板とボンド基板を貼り合わせることによって形成され、基板の一部に絶縁層を有する貼り合わせ基板の製造方法であって、少なくとも、

前記ベース基板の貼り合わせ面に、部分的に又は厚さが部分的に異なる多孔質層を形成する多孔質層形成工程と、

該多孔質層が形成されたベース基板に熱処理を行い、前記多孔質層を前記絶縁層に変化させることによって、前記ベース基板の貼り合わせ面に部分的に厚さの異なる前記絶縁層を形成する絶縁層形成工程と、

該厚さの異なる絶縁層の、厚さの薄い部分に相当する厚さ分をエッチングして除去し、前記ベース基板の貼り合わせ面上の一部に、エッチングされずに残った前記絶縁層を露出させる絶縁層除去工程と、

前記ベース基板の、前記エッチングされずに残った絶縁層が露出された貼り合わせ面と前記ボンド基板を貼り合わせる貼り合わせ工程と、

該貼り合わせられたボンド基板を薄膜化して薄膜層を形成する薄膜化工程と、

を有することを特徴とする貼り合わせ基板の製造方法。

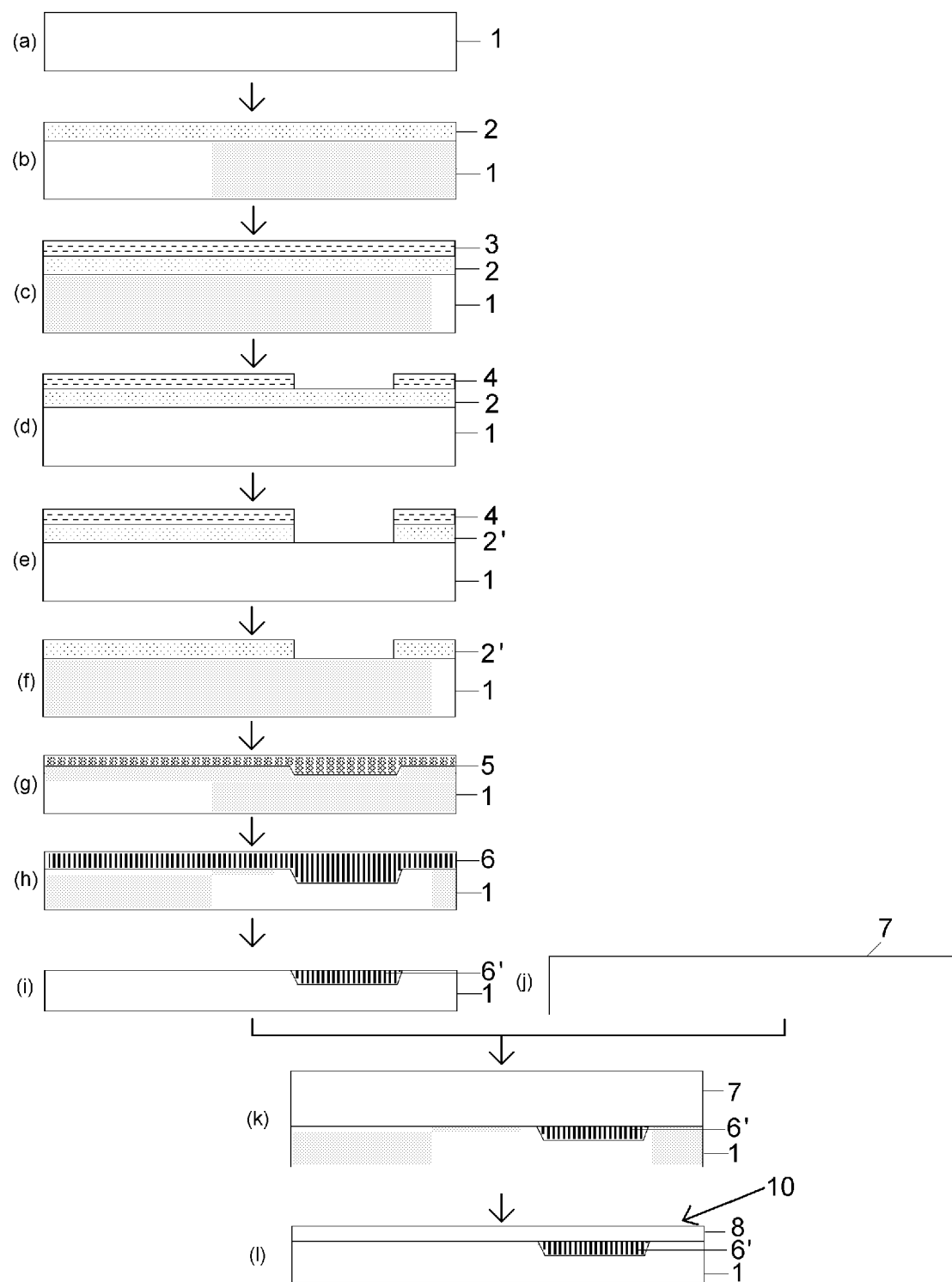
[請求項2]

前記多孔質層形成工程において、前記ベース基板の貼り合わせ面に厚さが部分的に異なる前記多孔質層を形成する場合に、少なくとも、

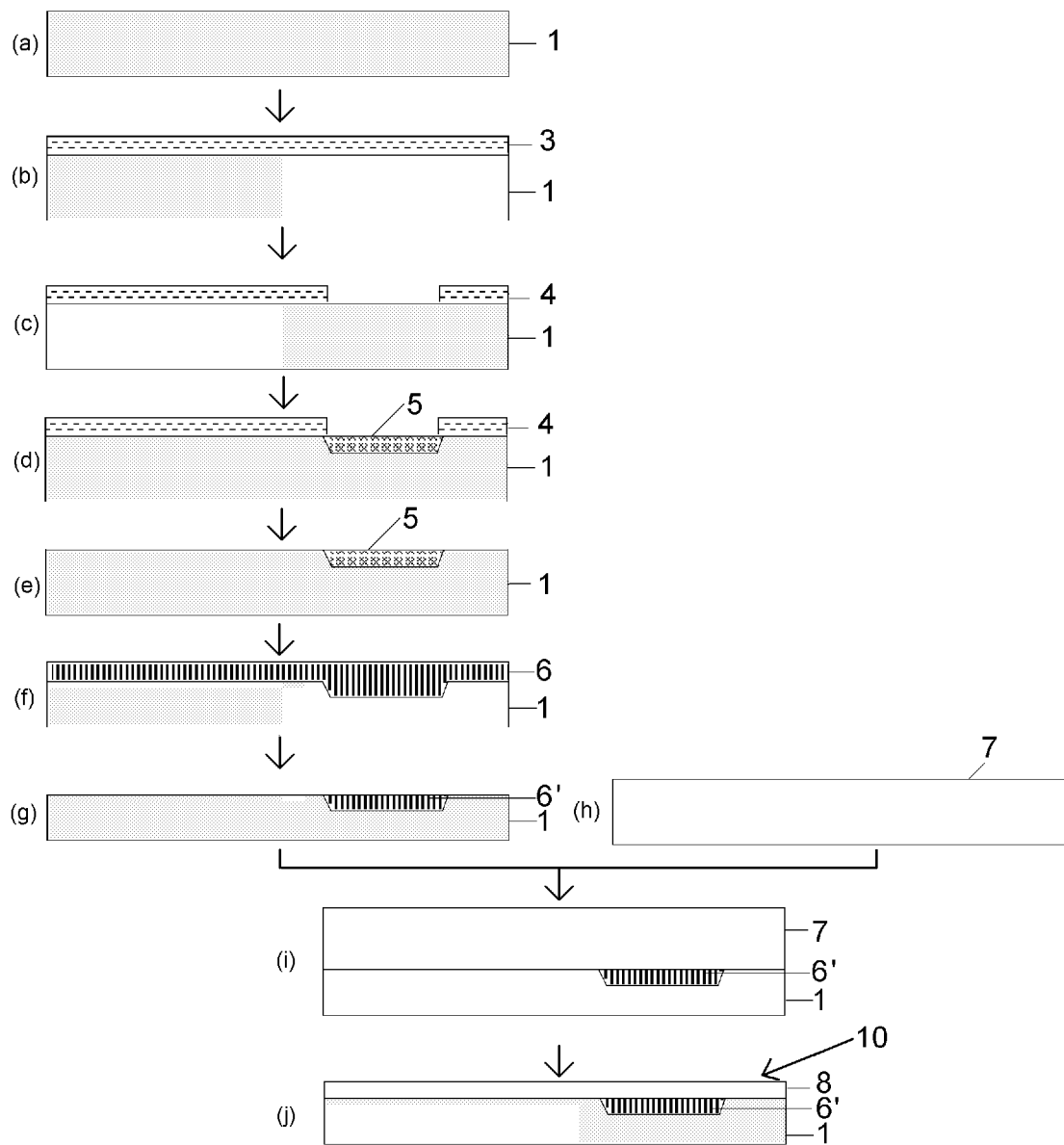
前記ベース基板の貼り合わせ面に保護膜を形成し、該保護膜上にレジストマスクを形成し、前記保護膜を前記レジストマスクの形状にパターン成形し、前記レジストマスクを除去し、前記パターン成形された保護膜を有する前記貼り合わせ面に前記多孔質層を形成することで、前記ベース基板の貼り合わせ面の全体に、厚さが部分的に異なる前記多孔質層を形成することを特徴とする請求項1に記載の貼り合わせ基板の製造方法。

- [請求項3] 前記多孔質層形成工程において、前記ベース基板の貼り合わせ面に部分的に前記多孔質層を形成する場合に、少なくとも、
- 前記ベース基板の貼り合わせ面にレジストマスクを形成し、該レジストマスクを形成した貼り合わせ面に多孔質層を形成した後に、前記レジストマスクを除去することで、前記ベース基板の貼り合わせ面に、部分的に前記多孔質層を形成することを特徴とする請求項1に記載の貼り合わせ基板の製造方法。
- [請求項4] 前記多孔質層形成工程において、前記ベース基板の貼り合わせ面を陽極酸化することで、該貼り合わせ面に部分的に又は厚さが部分的に異なる前記多孔質層を形成することを特徴とする請求項1乃至請求項3のいずれか1項に記載の貼り合わせ基板の製造方法。
- [請求項5] 前記多孔質層形成工程において、前記ベース基板の貼り合わせ面に、厚さが部分的に異なる前記多孔質層を形成する場合に、
- 前記パターン成形した保護膜を形成した前記ベース基板の貼り合わせ面を陽極酸化するとともに、該保護膜を除去することを特徴とする請求項2に記載の貼り合わせ基板の製造方法。
- [請求項6] 前記ベース基板及び／又はボンド基板としてシリコン基板を用いることによって、基板の一部に絶縁層を有する部分SOI基板を製造することを特徴とする請求項1乃至請求項5のいずれか1項に記載の貼り合わせ基板の製造方法。
- [請求項7] 前記絶縁層形成工程において、前記多孔質層が形成されたベース基板に熱酸化処理を行い、前記多孔質層を酸化膜に変化させることによって、前記部分的に厚さの異なる絶縁層を形成することを特徴とする請求項1乃至請求項6のいずれか1項に記載の貼り合わせ基板の製造方法。

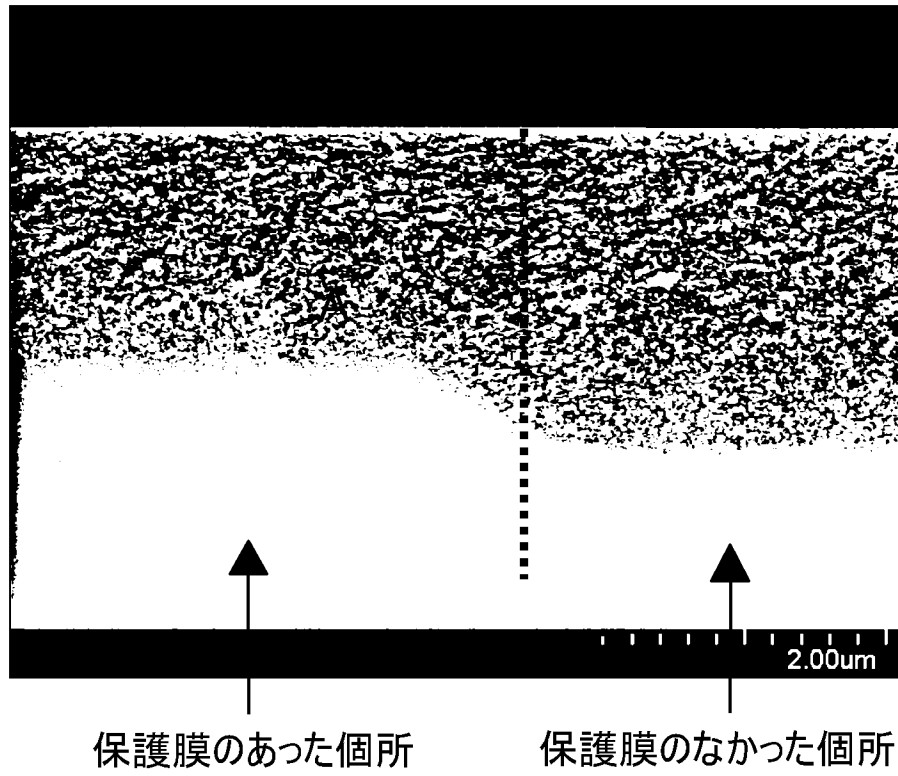
[図1]



[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/002479

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/02(2006.01)i, H01L27/10(2006.01)i, H01L27/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/02, H01L27/10, H01L27/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-516443 A (Commissariat a L'energie Atomique), 15 May 2008 (15.05.2008), columns 0172 to 0199; fig. 8 to 9 & US 2007/0202660 A1 & EP 1797588 A & WO 2006/072871 A2 & FR 2876220 A	1-7
A	JP 11-186566 A (Nissan Motor Co., Ltd.), 09 July 1999 (09.07.1999), columns 0084 to 0086; fig. 10 (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 June, 2012 (15.06.12)

Date of mailing of the international search report
26 June, 2012 (26.06.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/02 (2006.01)i, H01L27/10 (2006.01)i, H01L27/12 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/02, H01L27/10, H01L27/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-516443 A (コミッサリア タ レネルジー アトミック) 2008.05.15, 0172-0199 欄, 図 8-9 & US 2007/0202660 A1 & EP 1797588 A & WO 2006/072871 A2 & FR 2876220 A	1-7
A	JP 11-186566 A (日産自動車株式会社) 1999.07.09, 0084-0086 欄, 図 10 (ファミリーなし)	1-7

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 5 . 0 6 . 2 0 1 2

国際調査報告の発送日

2 6 . 0 6 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

加藤 俊哉

5 F

9 5 5 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6