

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6169005号
(P6169005)

(45) 発行日 平成29年7月26日 (2017. 7. 26)

(24) 登録日 平成29年7月7日 (2017. 7. 7)

(51) Int. Cl.

F I

G09F 9/30 (2006.01)
 G09G 3/20 (2006.01)
 G09G 3/30 (2006.01)
 H01L 51/50 (2006.01)
 H05B 33/02 (2006.01)

G09F 9/30 338
 G09G 3/20 642A
 G09G 3/30 J
 G09G 3/20 624B
 G09G 3/20 680F

請求項の数 19 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2014-7295 (P2014-7295)
 (22) 出願日 平成26年1月17日 (2014. 1. 17)
 (65) 公開番号 特開2015-135438 (P2015-135438A)
 (43) 公開日 平成27年7月27日 (2015. 7. 27)
 審査請求日 平成29年1月12日 (2017. 1. 12)

早期審査対象出願

(73) 特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110000154
 特許業務法人はるか国際特許事務所
 (72) 発明者 佐藤 敏浩
 東京都港区西新橋三丁目7番1号 株式会
 社ジャパンディスプレイ内

審査官 佐野 浩樹

最終頁に続く

(54) 【発明の名称】 発光素子表示装置

(57) 【特許請求の範囲】

【請求項 1】

絶縁材料からなる基板と、
 前記基板上の表示領域に配置された複数の画素と、
 前記複数の画素の各画素に形成される複数の薄膜トランジスタと、
 前記各画素において電流が流れることにより発光する発光素子と、
 前記基板及び前記薄膜トランジスタの間に配置され、平面視で少なくとも2つの前記薄膜トランジスタと重畳する第1電極と、
 前記第1電極との間に絶縁膜を介して配置され、前記第1電極と容量を形成する導電材料からなる第2電極と、を備え、
 前記第1電極は、前記第2電極と前記基板の間に配置され、
 前記第1電極は、前記表示領域を覆って形成され、
 前記第1電極には、平面視で複数箇所に開けられた穴であるスリットが形成されている、
 ことを特徴とする発光素子表示装置。

【請求項 2】

請求項1に記載の発光素子表示装置において、
 前記第1電極は複数の画素に跨って形成される、ことを特徴とする発光素子表示装置。

【請求項 3】

請求項1に記載の発光素子表示装置において、
 前記第1電極は、前記各画素において前記発光素子を発光させる基準電位に接続される

、ことを特徴とする発光素子表示装置。

【請求項 4】

請求項 1 に記載の発光素子表示装置において、

前記発光素子は、発光層を含む有機層とアノード電極とカソード電極とを備え、

前記第 1 電極は前記カソード電極と電氣的に接続され、

前記第 2 電極は前記アノード電極と電氣的に接続されていることを特徴とする発光素子表示装置。

【請求項 5】

請求項 1 に記載の発光素子表示装置において、

前記各画素は、

階調値に応じた電圧の印加を制御する画素トランジスタと、

前記画素トランジスタを介して印加された電位に基づいて発光を制御する駆動トランジスタとを有し、

前記第 2 電極は、前記駆動トランジスタのゲートに接続されている、ことを特徴とする発光素子表示装置。

【請求項 6】

請求項 5 に記載の発光素子表示装置において、

前記第 1 電極は、前記駆動トランジスタのソース又はドレインの一方に接続されている、ことを特徴とする発光素子表示装置。

【請求項 7】

請求項 1 に記載の発光素子表示装置において、

前記第 2 電極との間に絶縁膜を介して配置され、前記第 2 電極と容量を形成する導電材料からなる第 3 電極を更に備え、

前記第 2 電極は、前記第 3 電極と前記基板の間に配置され、

前記第 3 電極は、前記第 1 電極と電氣的に接続されて、第 2 電極と容量を形成する、ことを特徴とする発光素子表示装置。

【請求項 8】

請求項 7 に記載の発光素子表示装置において、

前記薄膜トランジスタは半導体層を有し、

前記第 3 電極は、前記半導体層と同層に形成されていることを特徴とする発光素子表示装置。

【請求項 9】

請求項 1 に記載の発光素子表示装置において、

前記第 2 電極との間に絶縁膜を介して配置され、前記第 2 電極と容量を形成する導電材料からなる第 3 電極を更に備え、

前記第 2 電極は、前記第 3 電極と前記基板の間に配置され、

前記第 1 電極は、前記発光素子のカソード電極に接続され、

前記第 2 電極は、前記駆動トランジスタのソース又はドレインの一方に接続され、

前記第 3 電極は、前記駆動トランジスタのゲートに接続されている、ことを特徴とする発光素子表示装置。

【請求項 10】

絶縁材料からなる基板と、

前記基板上の表示領域に配置された複数の画素と、

前記複数の画素の各画素に形成される複数の薄膜トランジスタと、

発光層を含む有機層とアノード電極とカソード電極とを備える発光素子と、

前記基板及び前記薄膜トランジスタの間に配置され、平面視で少なくとも 2 つの前記薄膜トランジスタと重畳する第 1 電極と、

前記第 1 電極との間に絶縁膜を介して配置され、前記第 1 電極と容量を形成する第 2 電極と、を備え、

前記第 1 電極は、前記第 2 電極と前記基板の間に配置され、

10

20

30

40

50

前記第 1 電極は、前記表示領域を覆って形成され、
前記第 1 電極には、平面視で複数箇所に開けられた穴であるスリットが形成されている
、ことを特徴とする発光素子表示装置。

【請求項 1 1】

請求項 1 0 に記載の発光素子表示装置において、
前記第 1 の電極は、前記薄膜トランジスタの 1 つのソース又はドレインの一方に接続されていることを特徴とする発光素子表示装置。

【請求項 1 2】

請求項 1 0 に記載の発光素子表示装置において、
前記第 2 の電極は、前記薄膜トランジスタの 1 つのゲート電極に接続されていることを
特徴とする発光素子表示装置。

10

【請求項 1 3】

請求項 1 1 に記載の発光素子表示装置において、
前記薄膜トランジスタは半導体層を有し、
前記第 2 電極は、前記半導体層と同層に形成されていることを特徴とする発光素子表示
装置。

【請求項 1 4】

請求項 1 0 に記載の発光素子表示装置において、
前記第 1 電極は、前記カソード電極と電氣的に接続されていることを特徴とする発光素
子表示装置。

20

【請求項 1 5】

請求項 1 0 に記載の発光素子表示装置において、
前記第 2 電極は、前記アノード電極と電氣的に接続されていることを特徴とする発光素
子表示装置。

【請求項 1 6】

絶縁材料からなる基板と、
前記基板上の表示領域に配置された複数の画素と、
前記複数の画素の各画素に形成され、第 1 の半導体層を有する複数の薄膜トランジスタ
と、

発光層を含む有機層とアノード電極とカソード電極とを備える発光素子と、
前記第 1 の半導体層と同層に形成された第 2 の半導体層と、
前記基板及び前記薄膜トランジスタの間に配置される第 1 電極と、
前記第 1 電極との間に絶縁膜を介して配置され、前記第 1 電極と容量を形成する第 2 電
極とを備え、

30

前記第 1 電極は、前記第 2 電極と前記基板の間に配置され、
前記第 1 電極は、前記複数の薄膜トランジスタの前記第 1 の半導体層と、前記第 2 の半
導体層とに、平面視で重畳し、

前記第 1 電極は、前記表示領域を覆って形成され、
前記第 1 電極には、平面視で複数箇所に開けられた穴であるスリットが形成されている
、ことを特徴とする発光素子表示装置。

40

【請求項 1 7】

請求項 1 6 に記載の発光素子表示装置において、
前記第 2 電極は、前記第 2 の半導体層であることを特徴とする発光素子表示装置。

【請求項 1 8】

請求項 1 6 に記載の発光素子表示装置において、
前記第 1 電極は、前記第 2 の半導体層と電氣的に接続し、
前記第 2 電極は、前記第 1 電極と前記第 2 の半導体層との間に位置していることを特徴
とする発光素子表示装置。

【請求項 1 9】

請求項 1 6 から請求項 1 8 の何れか 1 項に記載の発光素子表示装置において、

50

前記各画素は発光領域を有し、

前記第2の半導体層は、平面視で前記発光領域と重畳することを特徴とする発光素子表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光素子表示装置に関する。

【背景技術】

【0002】

近年、有機発光ダイオード（OLED：Organic Light Emitting Diode）等の自発光体を用いた発光素子表示装置が実用化されている。このようなOLEDを用いた有機EL（Electro-luminescent）表示装置をはじめとする発光素子表示装置は、従来の液晶表示装置と比較して、自発光体を用いているため、視認性、応答速度の点で優れているだけでなく、バックライトのような補助照明装置を要しないため、更なる薄型化が可能となっている。

【0003】

特許文献1は、各画素に配置される駆動トランジスタのスレッシュホールド電圧を補償する薄膜トランジスタ及びキャパシタを有する有機EL表示装置を開示している。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開4989415号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上述のような有機EL表示装置等の発光素子表示装置においても、近年、高精細化が進むことにより、各画素の大きさが小さくなってきている。有機EL表示装置は、各画素において階調値に応じた電位差を保持することにより電流を流すものであるが、画素が小さくなるとそれに伴って電極も小さくなるため、結果として電位差を保持するための容量が小さくなる。電位差を保持する容量が小さい場合には、ノイズの影響や微少なリークによる影響で電位差が変化し、各画素における輝度のばらつきとなることから、表示品質が低下することが考えられる。

【0006】

本発明は、上述の事情に鑑みてされたものであり、高精細化された場合であっても高い表示品質の発光素子表示装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の発光素子表示装置は、絶縁材料からなる基板と、前記基板上の表示領域に配置された複数の画素と、前記複数の画素の各画素に形成される1又は複数の薄膜トランジスタと、前記各画素において電流が流れることにより発光する発光素子と、前記基板及び前記薄膜トランジスタの間に配置され、平面視で少なくとも2つの前記薄膜トランジスタと重畳する第1電極と、前記第1電極の前記基板側とは反対側に、絶縁膜を介して配置され、前記第1電極と容量を形成する導電材料からなる第2電極と、を備える発光素子表示装置である。ここでいう画素は、発光素子を有する単位を意味し、画素が複数の発光素子で構成されることにより複数の副画素を有している場合には副画素を意味する。

【0008】

また、本発明の発光素子表示装置において、前記第1電極は複数の画素に跨って形成されていてもよく、また、前記第1電極は前記表示領域を覆って形成されていてもよい。この場合において、前記第1電極には、平面視で複数箇所に開けられた穴であるスリットが

10

20

30

40

50

形成されていてもよい。

【0009】

また、本発明の発光素子表示装置において、前記第1電極は、前記各画素において前記発光素子を発光させる基準電位に接続されていてもよい。

【0010】

また、本発明の発光素子表示装置において、前記第1電極は前記発光素子のカソード電極と電氣的に接続され、前記第2電極は前記アノード電極と電氣的に接続されいてもよい。

【0011】

また、本発明の発光素子表示装置において、前記各画素は、階調値に応じた電圧の印加を制御する画素トランジスタと、前記画素トランジスタを介して印加された電位に基づいて発光を制御する駆動トランジスタとを有し、前記第2電極は、前記駆動トランジスタのゲートに接続されていてもよい。

10

【0012】

また、本発明の発光素子表示装置において、前記第1電極は、前記駆動トランジスタのソース又はドレインの一方に接続されていてもよい。

【0013】

また、本発明の発光素子表示装置において、前記第2電極の前記基板側とは反対側に、絶縁膜を介して配置され、前記第2電極と容量を形成する導電材料からなる第3電極を更に備え、前記第3電極は、前記第1電極と電氣的に接続されて、第2電極と容量を形成してもよい。

20

【0014】

また、本発明の発光素子表示装置において、前記第2電極の前記基板側とは反対側に、絶縁膜を介して配置され、前記第2電極と容量を形成する導電材料からなる第3電極を更に備え、前記第1電極は、前記発光素子のカソードに接続され、前記第2電極は、前記駆動トランジスタのソース又はドレインの一方に接続され、前記第3電極は、前記駆動トランジスタのゲートに接続されていてもよい。

【0015】

また、本発明の発光素子表示装置は、絶縁材料からなる基板と、前記基板上の表示領域に配置された複数の画素と、前記複数の画素の各画素に形成される1又は複数の薄膜トランジスタと、発光層を含む有機層とアノード電極とカソード電極とを備える発光素子と、前記基板及び前記薄膜トランジスタの間に配置され、平面視で少なくとも2つの前記薄膜トランジスタと重畳する第1電極と、前記第1電極の前記基板側とは反対側に、絶縁膜を介して配置され、前記第1電極と対向する第2電極と、を備える。

30

【0016】

また、本発明の発光素子表示装置は、絶縁材料からなる基板と、前記基板上の表示領域に配置された複数の画素と、前記複数の画素の各画素に形成され、第1の半導体層を有する1又は複数の薄膜トランジスタと、発光層を含む有機層とアノード電極とカソード電極とを備える発光素子と、前記第1の半導体層と同層に形成された第2の半導体層と、前記基板及び前記薄膜トランジスタの間に配置される第1電極と、前記第1電極の前記基板側とは反対側に、絶縁膜を介して配置され、前記第1電極と対向する第2電極とを備え、前記第1電極は、少なくとも前記薄膜トランジスタの1つの前記第1の半導体層と、前記第2の半導体層とに、平面視で重畳する。

40

【図面の簡単な説明】

【0017】

【図1】本発明の実施形態に係る有機EL表示装置を概略的に示す図である。

【図2】図1のII-II線における断面を概略的に示す図である。

【図3】対向基板を有さない有機EL表示装置の例について示す図である。

【図4】図1の画素に含まれる副画素の構成例について示す図である。

【図5】図1の画素に含まれる副画素の構成例について示す図である。

50

【図 6】副画素における回路の一例について示す回路図である。

【図 7】図 4 の VII - VII 線における断面を示す図である。

【図 8】実施形態の第 1 の変形例について、図 7 と同じ視野で示す断面図である。

【図 9】図 8 の第 1 の変形例について、第 1 電極及び第 2 電極の配置を平面視で概略的に示す図である。

【図 10】実施形態の第 2 の変形例について示す断面図である。

【図 11】実施形態の第 3 の変形例について示す断面図である。

【図 12】実施形態の第 4 の変形例について示す断面図である。

【発明を実施するための形態】

【0018】

10

以下に、本発明の各実施の形態について、図面を参照しつつ説明する。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

【0019】

図 1 には、本発明の実施形態に係る発光素子表示装置である有機 EL 表示装置 100 が概略的に示されている。この図に示されるように、有機 EL 表示装置 100 は、TFT (Thin Film Transistor: 薄膜トランジスタ) 基板 120 及び対向基板 150 の 2 枚の基板を有し、これらの基板の間には透明樹脂の充填剤 191 (図 2 参照) が封止されている。有機 EL 表示装置 100 の TFT 基板 120 及び対向基板 150 には、マトリクス状に配置された画素 210 からなる表示領域 205 が形成されている。ここで、各画素 210 は複数の副画素 212 (後述) から構成されている。

20

【0020】

また、TFT 基板 120 は透明のガラス又は樹脂の絶縁材料からなる基板であり、TFT 基板 120 には、副画素 212 のそれぞれに配置された TFT である画素トランジスタ 220 (後述) の走査信号線 262 に対してソース・ドレイン間を導通させるための電位を印加すると共に、画像信号線 261 (後述) に対して各副画素 212 の階調値に対応する電圧を印加する駆動回路である駆動 IC (Integrated Circuit) 182 が載置され、外部から画像信号等を入力するための FPC (Flexible Printed Circuits) 181 が取り付けられている。また、本実施形態においては、図の矢印に示されるように、TFT 基板 120 の発光層が形成された側に光を出射するトップエミッション型の有機 EL 表示装置としている。

30

【0021】

図 2 は、図 1 の II - II 線における断面を概略的に示す図である。この断面図に示されるように、TFT 基板 120 には、TFT 回路が形成された TFT 回路層 160 と、TFT 回路層 160 上に形成された複数の発光素子である複数の有機 EL 素子 130 と、有機 EL 素子 130 を覆って水分を遮断する封止膜 125 と、を有している。有機 EL 素子 130 は、各画素 210 に含まれる副画素 212 の数だけ形成されるが、図 2 では説明を分かりやすくするため、省略して記載している。また、対向基板 150 には、例えば 3 色又は 4 色のそれぞれ異なる波長領域の光を透過するカラーフィルタ及び各副画素 212 の境界から出射される光を遮断する遮光膜であるブラックマトリクスが形成されている。TFT 基板 120 と対向基板 150 との間の充填剤 191 は、シール剤 192 により封止されている。

40

【0022】

なお、本実施形態においては、図 2 に示されるような対向基板 150 を有する構成としているが、図 3 に示されるような対向基板 150 を有さない構成とすることもできる。また、図 3 に示されるように、駆動 IC 182 を FPC 181 上に配置してもよく、特に T

50

F T基板 1 2 0を柔軟な樹脂材料とした場合には、T F T基板 1 2 0をF P C 1 8 1と一体とした構成であってもよい。また、本実施形態においては、有機E L素子 1 3 0において白色を発光し、カラーフィルタを用いて3色又は4色の波長領域の光を透過する構成とするが、有機E L素子 1 3 0において、例えば3色又は4色のそれぞれ異なる波長領域の光を発光する構成としてもよい。

【0023】

図4は、図1の画素210に含まれる副画素212の構成例について示す図である。この図に示されるように画素210は、R(赤)G(緑)B(青)W(白)の4種類の色に対応する波長領域の光を出射する略矩形の副画素212からなり、副画素212は同じ画素210内の他の副画素212と2辺が接するように田の字型に整列されている。なお、画素210における副画素212の構成は、図4の構成に限られず、図5に示されるようなRGBの3色に対応する副画素212からなるストライプ構成であってもよく、また、ストライプ構成で更にRGBWの4種類の色を使用するものであってもよい。画素210を構成する副画素212の配置はこれらの限られず適宜定めることができる。

【0024】

図6は、副画素212における回路の一例について示す回路図である。この図を用いて発光における回路の動作について説明する。画像信号線261に各副画素212の階調値に応じた画像信号が印加され、走査信号線262の信号に基づいて画素トランジスタ220が導通することにより、階調値に基づいた電圧が容量241及び/又は242に蓄えられる。有機E L素子130は、T F Tである駆動トランジスタ230が容量241及び/又は242に蓄えられた電位に基づいた電流を流すことにより発光する。容量243は、有機E L素子130のアノード・カソード間に設けられている。有機E L素子130のカソード側は低基準電位VSSに接続され、駆動トランジスタ230のソース側(有機E L素子130側とは反対側)は、高基準電位VDDに保持されている。

【0025】

ここで、各容量241、242及び243を形成するかどうかは任意であり、すべての容量を形成するような構成としてもよいし、いずれか1つの容量、或いはいずれか2つの容量が形成されることとしてもよい。なお、本回路図においてはp型の半導体を用いることとしているが、n型の半導体を用いることとしてもよい。また、図6の回路は発光の制御を説明するための簡易的な回路であり、2つのトランジスタを有するものとしたが、3つ以上のトランジスタを有する構成としてもよいし、その他の制御配線や容量を含むものであってもよく、回路の構成は任意に定めることが可能である。

【0026】

図7は、図4のVII-VII線における断面を概略的に示す図である。なお、この図においては、充填剤191及び対向基板150の記載を省略し、T F T基板120、T F T回路層160、有機E L素子130及び封止膜125のみが示されている。この図に示されるように、T F T回路層160は、画素トランジスタ220及び駆動トランジスタ230を有し、T F T基板120と、画素トランジスタ220及び駆動トランジスタ230との間に配置され、平面視で少なくとも駆動トランジスタ230の一部及び画素トランジスタ220の一部に重畳する第1電極171を有している。また、第1電極171のT F T基板120側とは反対側、ここでは第1電極171と、画素トランジスタ220及び駆動トランジスタ230との間には、絶縁膜163及び165を介して第1電極171と容量を形成する導電材料からなる第2電極172が配置されている。なお、本実施形態においては、第1電極171は、平面視で、複数の副画素212を覆うと共に表示領域205を覆い、表示領域205と重畳して形成されている。

【0027】

ここで、第1電極171は、少なくともMo(モリブデン)及びW(タングステン)のいずれか一方を含む金属からなり、表示領域205を覆うベタ電極とすることができる。Mo又はWを含むような高融点金属を使用することにより、製造時に熱処理が行なわれる場合であっても、溶融等による変質がなく、品質を保つことができる。特に、半導体層2

10

20

30

40

50

24又は234をポリシリコン等の半導体とした場合には有効である。なお、第2電極172も、少なくともMo及びWのいずれか一方を含む高融点金属で形成することができ、この場合にも同様の効果を得ることができる。また、絶縁膜163にはSiN等の誘電率の大きい材料を用いることにより、第1電極171と第2電極172とで形成される電気的な容量を、より大きくすることができる。ここで、第2電極172は、1つの副画素212につき1つが独立して形成され、副画素212内の回路に接続されている。また、第1電極171とTFT基板120との間にはSiNx等の絶縁材料からなる下地膜161が形成されている。

【0028】

駆動トランジスタ230は、ゲート231、ソース232及びドレイン233を有し、ソース232及びドレイン233の間には、半導体層234が配置されている。また、画素トランジスタ220はゲート221、ソース223及びドレイン222を有し、ソース223及びドレイン222の間には、半導体層224が配置されている。画素トランジスタ220のドレイン222と駆動トランジスタ230のゲートは接続されている。半導体層224及び234とゲート221及び231との間にはSiNx等の絶縁材料からなる絶縁膜166が形成され、ゲート221及び231上にはSiNx等の絶縁材料からなる絶縁膜167が形成されている。画素トランジスタ220及び駆動トランジスタ230上には、有機絶縁材料からなる平坦化膜168が形成されている。

【0029】

また、有機EL素子130は、平坦化膜168に空けられたコンタクトホールを介して駆動トランジスタ230のドレイン233と接続されたアノード電極131と、有機絶縁材料によりアノード電極131の端部を覆い、隣接する副画素212のアノード電極131との間を絶縁する画素分離膜135と、各副画素212のアノード電極131と接し、表示領域205を覆うように形成された発光層を含む有機層132と、インジウム及びスズの複合酸化物、インジウム及び亜鉛の複合酸化物等からなる透明な導電膜であるカソード電極133と、から構成される。ここで、アノード電極131と有機層132とが接している領域が発光する発光領域となる。

【0030】

上述のような構成において、第1電極171は、駆動トランジスタ230のソース232と接続されると共に、表示領域205外の複数箇所において高基準電位VDDに接続され、高基準電位VDDの電圧を保持している。また、第2電極172は、駆動トランジスタ230のゲート231（すなわち、画素トランジスタ220のドレイン222）と接続されている。これにより、第1電極171と第2電極172とは、図6の回路図における容量241を形成している。したがって、第1電極171及び第2電極172により大きな容量241を形成できるため、有機EL素子130に提供する電流を安定させることができる。また、第1電極171及び第2電極172は、駆動トランジスタ230及び画素トランジスタ220のTFT基板120側に形成されているため、回路構成に影響を与えずに容量を形成することができる。また、第1電極171は、高基準電位VDDに接続され、表示領域205に重畳して形成されているため、表示領域205において、より一様な電位で高基準電位VDDを供給することができる。更に、第1電極171は、各副画素212内の回路に、別途、高基準電位VDDを供給する配線を必要としないため、駆動トランジスタ230又は画素トランジスタ220をより大きく形成することができる。また、第1電極171が表示領域205外の複数箇所において接続される構成とすることにより更に安定した電位を供給することができる。また、第1電極171は表示領域205に重畳して形成されているため、有機EL素子130で発生した熱を効率よく放熱することができ、また、回路において発生する電磁ノイズを遮蔽することもできる。

【0031】

なお、上述の実施形態においては、第1電極171を駆動トランジスタ230のソース232と接続し、第2電極172を駆動トランジスタ230のゲート231と接続することとしたが、第1電極171を表示領域205において、有機EL素子130のカソード

10

20

30

40

50

側が接続される低基準電位 VSS に接続し、即ち有機 EL 素子 130 のカソード電極に接続し、第 2 電極 172 を駆動トランジスタ 230 のドレイン 233 と接続する、換言すれば有機 EL 素子 130 のアノード電極に接続することにより、容量 243 を形成することもできる。

【0032】

図 8 は、図 7 と同じ視野において、上述の実施形態の第 1 の変形例について示す断面図である。上述の実施形態においては、第 1 電極 171 は、表示領域 205 を覆うベタ電極であることとしたが、第 1 の変形例においては、第 1 電極 171 の一部に第 1 電極 171 に開けられた穴であるスリット 178 が設けられている点で上述の実施形態と異なっている。図 9 は、第 1 電極 171 及び第 2 電極 172 の配置を平面視で概略的に示す図である。この図に示されるように、第 2 電極 172 は、表示領域 205 全体に重畳して広がる第 1 電極 171 に重畳して、副画素 212 毎に独立して配置されている。また、第 1 電極 171 に設けられるスリット 178 は、第 2 電極 172 と容量を形成するため、第 2 電極 172 に重畳しない領域に設けられる。また、表示領域 205 外では、第 1 電極 171 は複数の端子 185 と電氣的に接続し、高基準電位 VDD に保持される。

【0033】

このような構成とすることにより、上述の実施形態の効果に加えて、第 1 電極 171 内に生じる応力を緩和することができると共に、放熱を効率的に行うことができる。なお、図 8 においては、スリット 178 を穴状に設けることとしたが、スリット 178 は第 1 電極 171 を切断するように端から端まで延びるものであってもよい。この場合にもそれぞれの第 1 電極 171 は、平面視で少なくとも駆動トランジスタ 230 の一部及び画素トランジスタ 220 の一部に重畳するように形成され、第 1 電極 171 は、高基準電位 VDD 等の固定電位に接続される。

【0034】

図 10 は、上述の実施形態の第 2 の変形例について示す断面図である。この断面は、図 7 とは異なり、画素トランジスタ 220 が形成されていない領域の断面について示すものである。この図に示されるように、第 2 電極 172 は、画素トランジスタ 220 が形成されていない領域で、 TFT を形成する複数の層のうちのいずれかと同一の層を用いて形成されている。特にこの図 10 においては半導体層 234 と同一の層で第 2 電極 172 を形成しており、例えば低温ポリシリコンからなる半導体層 234 のイオン注入量等を変化させることにより、導体として用いられる。しかしながら、ソース・ドレイン電極等の導体層により、第 2 電極 172 を形成することとしてもよい。

【0035】

ここで、スリット 178 は、平面視で第 1 電極 171 の端から端まで縦横に延び、各副画素 212 で電氣的に独立した電極となっている。しかしながら、各副画素 212 で電氣的に独立した第 1 電極 171 は、平面視で少なくとも画素トランジスタ 220 の一部及び駆動トランジスタ 230 の一部に重畳するように配置されている。第 1 電極 171 は、駆動トランジスタのドレイン 233 と接続されており、第 2 電極 172 を導体からなるブリッジ 174 を介して、駆動トランジスタ 230 のゲート 231 と接続することにより、第 1 電極 171 及び第 2 電極 172 が図 6 の容量 242 を形成する。

【0036】

この第 2 の変形例のように構成した場合であっても、第 1 電極 171 及び第 2 電極 172 により大きな容量 242 を形成できるため、有機 EL 素子 130 に提供する電流を安定させることができる。また、第 1 電極 171 及び第 2 電極 172 は、トランジスタに重畳して形成されるため、回路構成に影響を与えずに容量を形成することができる。更に、第 1 電極 171 及び第 2 電極 172 は、有機 EL 素子 130 で発生した熱を効率よく放熱することができる。また、回路において発生する電磁ノイズを遮蔽することもできる。

【0037】

図 11 は、上述の実施形態の第 3 の変形例について示す断面図である。この断面は、第 2 の変形例と同様に、画素トランジスタ 220 が形成されていない領域の断面について示

10

20

30

40

50

すものである。この図に示されるように、第3の変形例では、TFT回路層160は、第1電極171及び第2電極172の他、第3電極173を有している。第1電極171と第2電極172とは、TFT基板120と、駆動トランジスタ230及び画素トランジスタ220との間に配置されている。第1電極171は、平面視で少なくとも駆動トランジスタ230の一部及び画素トランジスタ220の一部と重畳している。第3電極173は、画素トランジスタ220が形成されていない領域で、トランジスタを形成する複数の層のうちのいずれかと同一の層を用いて形成されている。この図11においては半導体層234と同一の層で第3電極173を形成しており、第2の変形例と同様に、例えば低温ポリシリコンからなる半導体層234のイオン注入量等を変化させることにより導体として用いている。しかしながら、ソース・ドレイン電極等の導体層により、第2電極172を形成することとしてもよい。ここで、第1電極171及び第2電極172は、少なくともMo及びWのいずれか一方を含むような高融点金属とすることができる。

10

【0038】

また、第1電極171と第3電極173とは電氣的に接続され、第2電極172を挟むように重ねた構造とすることにより、第1電極171及び第3電極173と、第2電極172との間で形成される容量を大きくしている。ここで、第2電極172が駆動トランジスタ230のソースに接続され、第1電極171及び第3電極173が駆動トランジスタ230のゲート231に接続されることにより、第1電極171及び第3電極173と、第2電極172とは、図6の容量241を形成している。

【0039】

20

この第3の変形例のように構成した場合であっても、第1電極171及び第2電極172により大きな容量241を形成できるため、有機EL素子130に提供する電流を安定させることができる。また、第1電極171及び第2電極172は、トランジスタに重畳して形成されるため、回路構成に影響を与えずにより大きな容量を形成することができる。更に、第1電極171及び第2電極172は、有機EL素子130で発生した熱を効率よく放熱することができ、また、回路において発生する電磁ノイズを遮蔽することもできる。

【0040】

図12は、上述の実施形態の第4の変形例について示す断面図である。第4の変形例は第3の変形例と同様に第1電極171、第2電極172及び第3電極173を有しているが、第1電極171及び第3電極173が電氣的に接続されていない点で異なっている。この場合に例えば、第1電極171をカソード電極133と同じ低基準電位VSSに接続し、第2電極172を駆動トランジスタ230のドレイン233と接続し、第3電極173をブリッジ174を介して、駆動トランジスタ230のゲート231と接続することにより、容量242及び容量243を形成することができる。このようにすることにより、より効率的に大容量を形成することができ、電位を安定させることができるため、表示品質を高めることができる。

30

【0041】

本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。例えば、前述の各実施形態に対して、当業者が適宜、構成要素の追加、削除若しくは設計変更を行ったもの、又は、工程の追加、省略若しくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

40

【符号の説明】

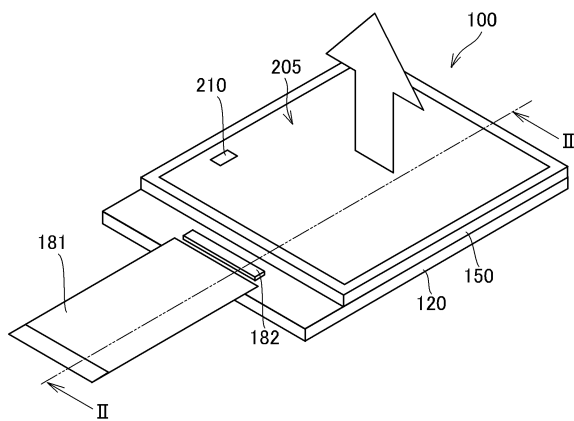
【0042】

100 有機EL表示装置、120 TFT基板、125 封止膜、130 有機EL素子、131 アノード電極、132 有機層、133 カソード電極、135 画素分離膜、150 対向基板、160 回路層、161 下地膜、163 絶縁膜、165 絶縁膜、166 絶縁膜、167 絶縁膜、168 平坦化膜、171 第1電極、172 第2電極、173 第3電極、174 ブリッジ、178 スリット、182 駆動

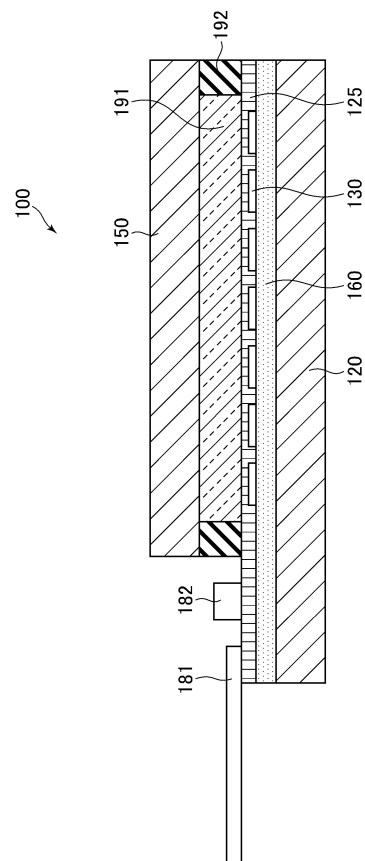
50

I C、185 端子、191 充填剤、192 シール剤、205 表示領域、210 画素、212 副画素、220 画素トランジスタ、221 ゲート、222 ドレイン、223 ソース、224 半導体層、230 駆動トランジスタ、231 ゲート、232 ソース、233 ドレイン、234 半導体層、241 容量、242 容量、243 容量、261 画像信号線、262 走査信号線。

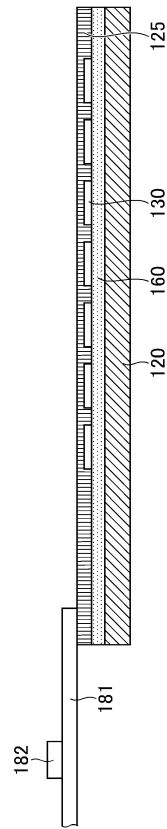
【図 1】



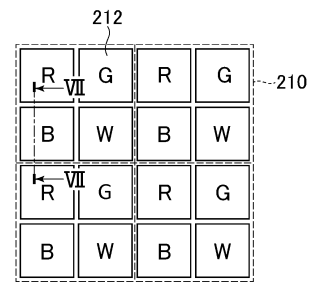
【図 2】



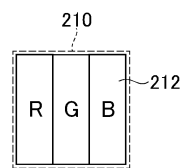
【図 3】



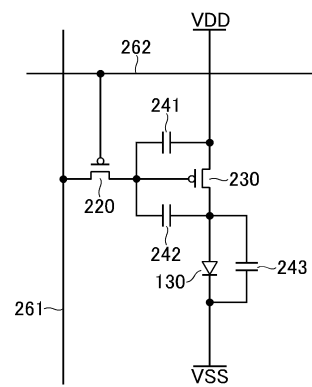
【図 4】



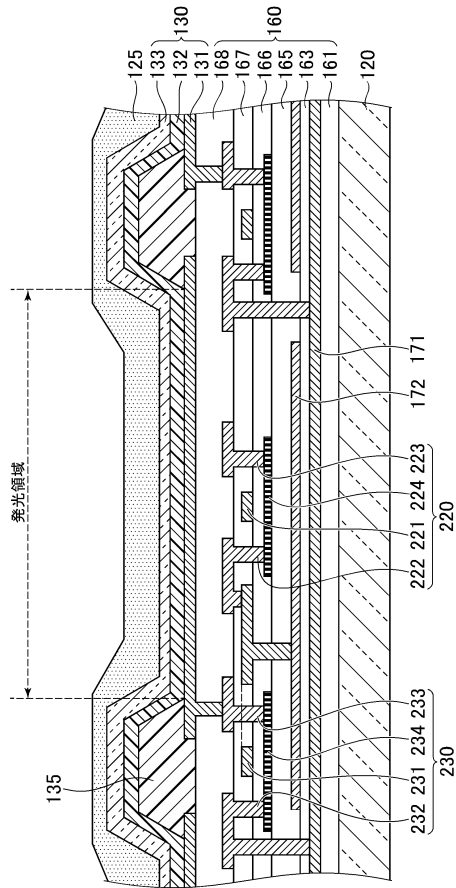
【図 5】



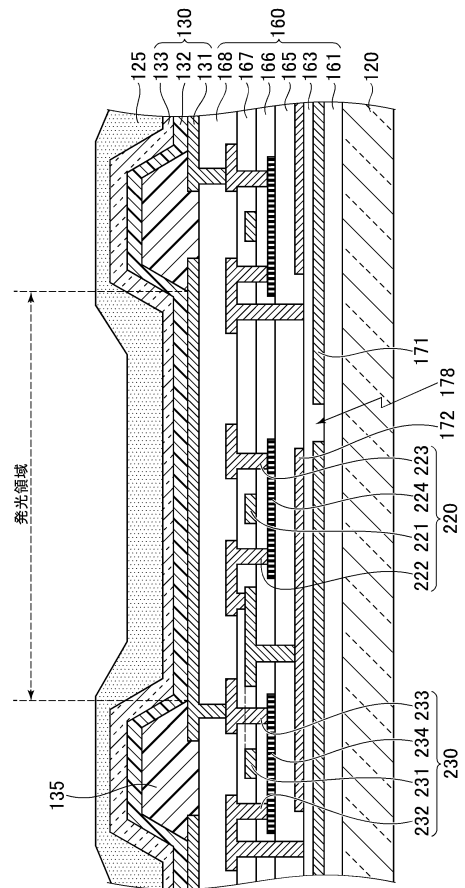
【図 6】



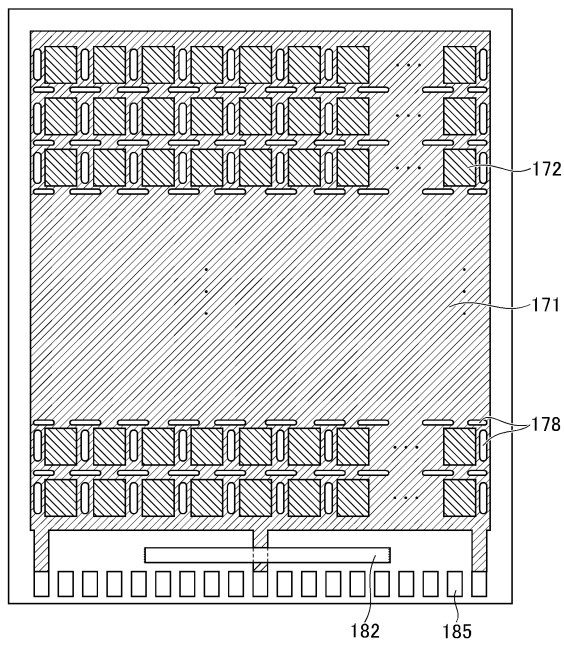
【図 7】



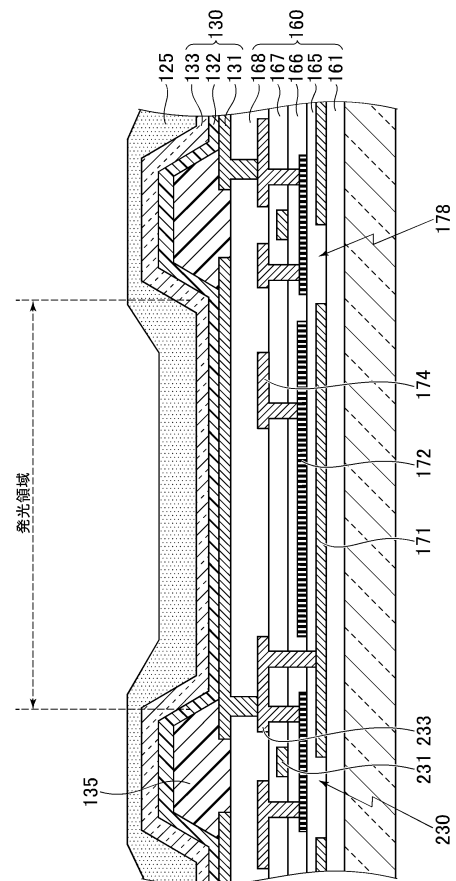
【図 8】



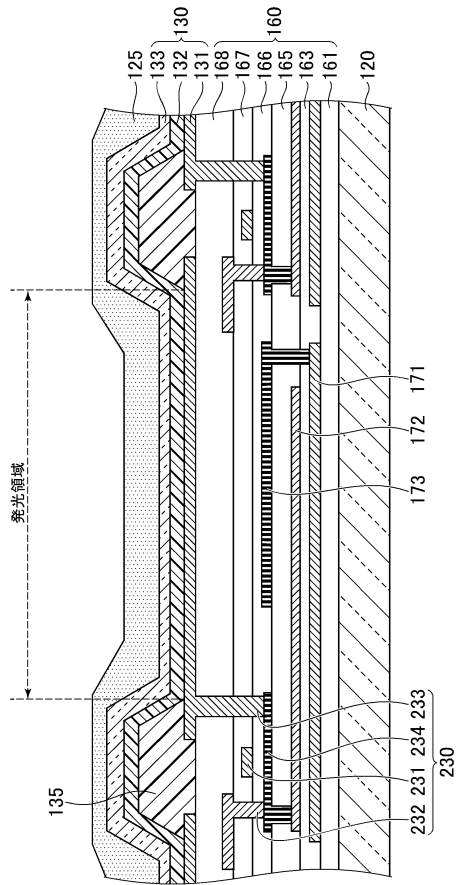
【図 9】



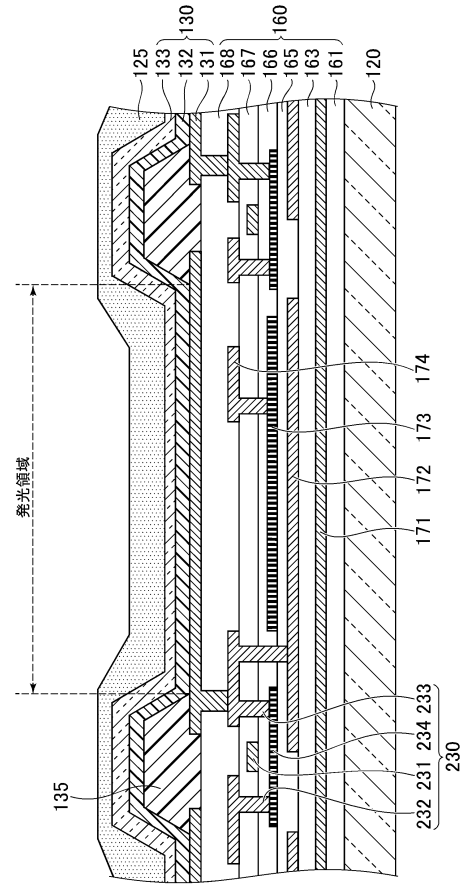
【図 10】



【図 1 1】



【図 1 2】



 フロントページの続き

(51)Int.Cl. F I
 H 0 5 B 33/14 A
 G 0 9 F 9/30 3 6 5
 H 0 5 B 33/02

(56)参考文献 特開 2 0 0 1 - 2 4 9 3 6 2 (J P , A)
 特開 2 0 0 7 - 1 4 8 2 1 6 (J P , A)
 特開 2 0 0 3 - 1 5 2 0 8 6 (J P , A)
 特開 2 0 0 5 - 3 4 0 7 7 2 (J P , A)
 特開 2 0 1 2 - 2 1 2 0 7 6 (J P , A)
 特開 2 0 0 9 - 1 6 4 2 3 6 (J P , A)
 特開 2 0 0 8 - 1 9 1 5 1 7 (J P , A)
 特開 2 0 0 7 - 1 9 9 3 5 0 (J P , A)
 特開 2 0 0 4 - 0 4 6 1 5 4 (J P , A)
 特開 2 0 0 9 - 2 0 0 3 3 6 (J P , A)
 特開 2 0 0 9 - 1 2 2 6 5 6 (J P , A)
 特開 2 0 0 9 - 0 0 3 4 0 5 (J P , A)
 特開 2 0 0 7 - 2 7 9 6 8 3 (J P , A)
 米国特許出願公開第 2 0 1 1 / 0 2 9 1 0 9 1 (U S , A 1)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 F 9 / 0 0 - 9 / 4 6 、
 G 0 9 G 3 / 0 0 - 3 / 0 8 、 3 / 1 2 - 3 / 1 6 、
 3 / 1 9 - 3 / 2 6 、 3 / 3 0 - 3 / 3 4 、
 3 / 3 8 、
 H 0 1 L 2 7 / 3 2 、 5 1 / 5 0 、
 H 0 5 B 3 3 / 0 0 - 3 3 / 2 8