

(12) 发明专利申请

(10) 申请公布号 CN 101901131 A

(43) 申请公布日 2010. 12. 01

(21) 申请号 201010232279. 8

(22) 申请日 2010. 07. 22

(71) 申请人 上海交通大学

地址 200240 上海市闵行区东川路 800 号

申请人 富士通株式会社

(72) 发明人 潘星光 陈先民 孔吉 刘佩林

(74) 专利代理机构 上海交达专利事务所 31201

代理人 王锡麟 王桂忠

(51) Int. Cl.

G06F 9/312(2006. 01)

G10L 19/00(2006. 01)

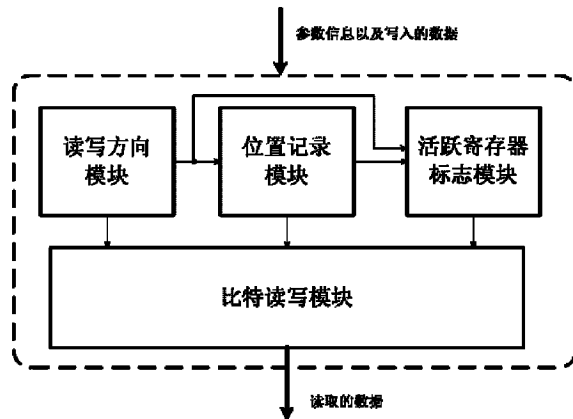
权利要求书 3 页 说明书 7 页 附图 1 页

(54) 发明名称

音频编解码比特级读写加速装置及其加速读写方法

(57) 摘要

一种信号处理技术领域的音频编解码比特级读写加速装置及其加速读写方法,包括:比特读写模块、位置记录模块、读写方向模块和活跃寄存器标志模块,其中:读写方向模块分别与比特读写模块和活跃寄存器标志模块相连并输出读写方向信息,活跃寄存器标志模块分别与位置记录模块和比特读写模块相连接并输出当前读写寄存器号,位置记录模块与比特读写模块连接并输出读写位置信息;本发明通过在嵌入式处理器或 DSP 中增加专门的硬件模块,有效减少比特级读写操作所需要的指令数和时钟周期数,从而减少比特级读写操作所需要的时间,提高音频编解码的速度和效率。



1. 一种音频编解码比特级读写加速装置,包括:比特读写模块、位置记录模块、读写方向模块和活跃寄存器标志模块,其特征在于:读写方向模块分别与比特读写模块、位置记录模块和活跃寄存器标志模块相连并输出读写方向信息,位置记录模块与比特读写模块和活跃寄存器标志模块连接并输出读写位置信息,活跃寄存器标志模块与比特读写模块相连接并输出当前读写寄存器号;

所述的活跃寄存器标志模块包括:活跃寄存器标志和标志更新模块,其中:活跃寄存器标志的输入端与标志更新模块相连并传递当前读写寄存器号信息,活跃寄存器标志的输出端分别于与标志更新模块和比特读写模块相连接并传输当前读写寄存器号信息;标志更新模块的输入端分别与活跃寄存器标志、读写方向模块和位置记录相连并传输当前读写寄存器号、读写方向和读写位置信息,标志更新模块的输出端与活跃寄存器标志相连接并传输当前读写寄存器号信息。

2. 根据权利要求1所述的音频编解码比特级读写加速装置,其特征是,所述的读写方向模块为比特读写方向寄存器,其位宽为1比特,该比特读写方向寄存器用来控制比特读写和跳过的方向,当比特读写方向寄存器为1时,表示比特的读写的方向为低比特位向高比特位,反之表示读写方向为高比特位向低比特位。

3. 根据权利要求1所述的音频编解码比特级读写加速装置,其特征是,所述的比特读写模块包括:两个比特输入输出寄存器,其中:第一比特输入输出寄存器的输入端分别于与读写方向模块、活跃寄存器标志模块、位置记录模块和外部数据总线相连接并传输续写方向、当前读写寄存器号、读写位置以及读数据信息,第一比特输入输出寄存器的输出端与外部数据总线相连接并传输写数据信息;第二比特输入输出寄存器的输入端分别于与读写方向模块、活跃寄存器标志模块、位置记录模块和外部数据总线相连接并传输续写方向、当前读写寄存器号、读写位置以及读数据信息,第二比特输入输出寄存器的输出端与外部数据总线相连接并传输写数据信息。

4. 根据权利要求1所述的音频编解码比特级读写加速装置,其特征是,所述的位置记录模块包括:比特位置寄存器和位置更新模块,其中:比特位置寄存器的输入端与位置更新模块相连并传输位置信息,比特位置寄存器的输出端分别与位置更新模块、活跃寄存器标志模块和比特读写模块相连接并传输位置信息;位置更新模块的输入端分别于与读写方向模块和比特位置寄存器相连接并传输读写方向和位置信息,位置更新模块的输出端与比特位置寄存器相连并传输位置信息。

5. 根据权利要求4所述的音频编解码比特级读写加速装置,其特征是,所述的比特位置寄存器为5比特寄存器,用来指示比特级读操作的起始比特的位置。

6. 根据权利要求1所述的音频编解码比特级读写加速装置,其特征是,所述的活跃寄存器标志为1比特寄存器,0代表第一比特输入输出寄存器为活跃寄存器,1代表第二比特输入输出寄存器为活跃寄存器。

7. 一种根据权利要求1所述的音频比特级读写加速装置的读写加速方法,其特征在于,包括读操作阶段和写操作阶段,其中:

所述的读操作阶段包括以下步骤:

第一步,将数据从外存或者其他通用寄存器载入到比特输入输出寄存器中;

第二步,当采用各寄存器的当前值,则跳过这一步,否则读取读写方向信息、当前读写

寄存器号和读写位置信息并存入相应的寄存器中；

第三步,根据比特位置寄存器的值、比特读写方向寄存器的值、活跃寄存器标志的值以及需要读取的比特数,从活跃的比特输入输出寄存器中读取相应的值,当读取的所有比特超出了活跃的比特输入输出寄存器,则以环形读取法在非活跃的输入输出寄存器进行读取；

第四步,位置更新模块和标志更新模块进行自动更新；

第五步,重复上述第二步到第四步,直到读完比特输入输出寄存器中需要读取的数据；

所述的写操作阶段包括以下步骤：

步骤一,当采用各寄存器的当前值,则跳过这一步,否则,读取读写方向信息、当前读写寄存器号和读写位置信息并存入相应的寄存器中；

步骤二,根据比特位置寄存器的值、比特读写方向寄存器的值、活跃寄存器标志的值以及需要写入的比特数,将数据写入活跃的比特输入输出寄存器中,当写入的所有比特超出了活跃的比特输入输出寄存器的范围,则以环形写入法写入非活跃的输入输出寄存器中；

步骤三,位置更新模块和标志更新模块进行自动更新；

步骤四,重复上述步骤一到步骤三,直到写完需要写入比特输入输出寄存器中的数据；

步骤五,将比特输入输出寄存器的值写入外存或者其他通用寄存器。

8. 根据权利要求 7 所述的音频比特级读写加速装置的读写加速方法,其特征是,所述的环形读取法是指:从活跃寄存器的最低比特向非活跃寄存器的高比特方向读取或者从活跃寄存器的最高比特向非活跃寄存器的低比特方向读取。

9. 根据权利要求 7 所述的音频比特级读写加速装置的读写加速方法,其特征是,所述的环形写入法是指:从活跃寄存器的最低比特向非活跃寄存器的高比特方向写入或者从活跃寄存器的最高比特向非活跃寄存器的低比特方向写入。

10. 根据权利要求 7 所述的音频比特级读写加速装置的读写加速方法,其特征是,所述的位置更新模块和标志更新模块进行自动更新具体步骤如下：

1) 标志更新模块的自动更新：

当比特读写方向寄存器的值为 1,

$$ABITIR = \begin{cases} \text{not } ABITIR, & \text{If } (SPOS + Length) > 31; \\ ABITIR, & \text{If } (SPOS + Length) \leq 31. \end{cases}$$

否则,当比特读写方向寄存器的值为 0,

$$ABITIR = \begin{cases} \text{not } ABITIR, & \text{If } (SPOS - Length) < 0; \\ ABITIR, & \text{If } (SPOS + Length) \geq 0. \end{cases}$$

其中:ABITIR 代表活跃寄存器标志的值,SPOS 代表比特位置寄存器的值,Length 代表读取的长度,not 代表取反操作,

2) 位置更新模块的自动更新：

$$SPOS = \begin{cases} (SPOS + Length) \% 32, & \text{If } SDIR = 1; \\ (SPOS - Length + 32) \% 32, & \text{If } SDIR = 0. \end{cases}$$

其中 :SPOS 代表比特位置寄存器的值, Length 代表读取的长度, SDIR 是比特读写方向寄存器的值, %代表取模运算。

音频编解码比特级读写加速装置及其加速读写方法

技术领域

[0001] 本发明涉及的是一种信号处理技术领域的装置,具体是一种音频编解码比特级读写加速装置及其加速读写方法。

背景技术

[0002] 在现有的音频编解码算法中,如 MP3 标准和 AAC 标准中,常常需要对数据进行比特级的读写操作。例如,熵编码为一种在音频编码过程中经常使用的无失真的编码算法。在熵编码算法中,需要将编出的码字,通常为若干个比特,写入到目标寄存器的从某一特定位置开始的若干个连续比特中。类似地,在音频解码过程中的熵解码算法中,需要将码流中的若干个连续比特读取出来写入目标寄存器从最低位开始的若干个连续比特中。

[0003] 目前,音频编解码算法通常通过嵌入式处理器或数字信号处理器 (DSP) 实现。经过对现有技术的检索发现,在一般的嵌入式处理器或 DSP 中,没有专门的比特级读写操作指令。因此,完成比特级的读操作和写操作通常需要用若干条指令组合而成。这些指令包括移位、逻辑与、逻辑或和移动等等。

[0004] 经过对现有技术的检索发现,在刘佩林等人编著的《MIPS 体系结构与编程》一书中介绍了 MIPS32 处理器及其指令集。如果使用该处理器进行比特级读写操作,如将某一寄存器 R3 的 [2:0] 比特的数据 ([2:0] 表示寄存器的第 2 比特到第 0 比特,下同) 写到另一寄存器 R4 的 [9:7] 比特中,并且写入的方向是由低位到高位,一般的操作过程如下:

[0005] 1. 对 R3 进行左移 7 位操作,并且将结果写入临时寄存器 R5 中。

[0006] 指令:DSLL R5, R3, #7

[0007] 2. 对 R5 进行逻辑与操作,使 R5 除 [9:7] 比特外的其余比特为 0。

[0008] 指令:DADDI R6, 0, 0X7

[0009] DSLL R6, R6, #7

[0010] ANDI R5, R5, R6

[0011] 其中:R6 为一临时寄存器,下同。

[0012] 3. 对 R4 进行逻辑与操作,使 R4 的 [9:7] 比特变成 0,其余比特不变。

[0013] 指令:XORI R6, R6, 0XFFFF

[0014] ANDI R4, R4, R6

[0015] 4. 对 R4 与 R5 进行逻辑或操作,将结果写入 R4。

[0016] 指令:OR R4, R5, R4

[0017] 每次操作时均需要对比特位置进行跟踪运算,以确定写入的位置。本例的一个写操作就需要用到 7 条指令。此外,在遇到字的边界时,一般的嵌入式处理器或 DSP 需要从两个 32 位寄存器中分别读取或写入若干比特,然后进行拼接,比特级读写操作将变得十分复杂,从而需要使用更多条指令完成。

[0018] 因此,使用一般的嵌入式处理器或 DSP 实现比特级读写操作时,需要较多的指令数和时钟周期数。比特级读写操作严重降低了处理器或 DSP 处理音频编解码的速度。

发明内容

[0019] 本发明针对现有技术存在的上述不足,提供一种音频编解码比特级读写加速装置及其加速读写方法,通过在嵌入式处理器或 DSP 中增加专门的硬件模块,有效减少比特级读写操作所需要的指令数和时钟周期数,从而减少比特级读写操作所需要的时间,提高音频编解码的速度和效率。

[0020] 本发明是通过以下技术方案实现的:

[0021] 本发明涉及一种音频编解码比特级读写加速装置,包括:比特读写模块、位置记录模块、读写方向模块和活跃寄存器标志模块,其中:读写方向模块分别与比特读写模块、位置记录和活跃寄存器标志模块相连并输出读写方向信息,位置记录模块与比特读写模块和活跃寄存器标志模块连接并输出读写位置信息,活跃寄存器标志模块与比特读写模块相连接并输出当前读写寄存器号。

[0022] 所述的读写方向模块为比特读写方向寄存器(SDIR),其位宽为1比特,该比特读写方向寄存器用来控制比特读写和跳过的方向,当比特读写方向寄存器为1时,表示比特的读写的方向为低比特位向高比特位,反之表示读写方向为高比特位向低比特位。

[0023] 所述的比特读写模块包括:两个比特输入输出寄存器(BITIO1和BITIO2),其位宽均为32比特,其中:第一比特输入输出寄存器的输入端分别于与读写方向模块、活跃寄存器标志模块、位置记录模块和外部数据总线相连接并传输续写方向、当前读写寄存器号、读写位置以及读数据信息,第一比特输入输出寄存器的输出端与外部数据总线相连接并传输写数据信息;第二比特输入输出寄存器的输入端分别于与读写方向模块、活跃寄存器标志模块、位置记录模块和外部数据总线相连接并传输续写方向、当前读写寄存器号、读写位置以及读数据信息,第二比特输入输出寄存器的输出端与外部数据总线相连接并传输写数据信息。第一比特输入输出寄存器和第二比特输入输出寄存器用来充当比特级读操作的数据来源;在进行比特级写操作时,第一比特输入输出寄存器和第二比特输入输出寄存器用来充当比特级写操作的目标。

[0024] 所述的位置记录模块包括:比特位置寄存器(SPOS)和位置更新模块,其中:比特位置寄存器的输入端与位置更新模块相连并传输位置信息,比特位置寄存器的输出端分别与位置更新模块、活跃寄存器标志模块和比特读写模块相连接并传输位置信息;位置更新模块的输入端分别于与读写方向模块和比特位置寄存器相连接并传输读写方向和位置信息,位置更新模块的输出端与比特位置寄存器相连并传输位置信息。比特位置寄存器为5比特寄存器,用来指示比特级读操作的起始比特的位置。位置更新模块完成比特读写操作后,比特位置寄存器的自动更新。

[0025] 所述的活跃寄存器标志模块包括:活跃寄存器标志(ABITIOR)和标志更新模块,其中:活跃寄存器标志的输入端与标志更新模块相连并传递当前读写寄存器号信息,活跃寄存器标志的输出端分别于与标志更新模块和比特读写模块相连接并传输当前读写寄存器号信息;标志更新模块的输入端分别与活跃寄存器标志、读写方向模块和位置记录相连并传输当前读写寄存器号、读写方向和读写位置信息,标志更新模块的输出端与活跃寄存器标志相连接并传输当前读写寄存器号信息。活跃寄存器标志为1比特寄存器,0代表第一比特输入输出寄存器为活跃寄存器,1代表第二比特输入输出寄存器为活跃寄存器。标志更

新模块完成比特读写操作后,活跃寄存器标志的自动更新。

[0026] 本发明涉及的上述音频比特级读写加速装置的读写加速方法,包括读操作阶段和写操作阶段,其中:

[0027] 所述的读操作阶段包括以下步骤:

[0028] 第一步,将数据从外存或者其他通用寄存器载入到比特输入输出寄存器中。

[0029] 第二步,如果采用各寄存器的当前值,则跳过这一步。否则,读取读写方向信息、当前读写寄存器号和读写位置信息并存入相应的寄存器中。

[0030] 所述的读写方向信息、当前读写寄存器号和读写位置信息,包括比特位置初始值,读写方向。

[0031] 第三步,根据比特位置寄存器的值、比特读写方向寄存器的值、活跃寄存器标志的值以及需要读取的比特数 (Length,取值范围为 0 到 31),从活跃的比特输入输出寄存器中读取相应的值。若读取的所有比特超出了活跃的比特输入输出寄存器,则以环形读取法在非活跃的输入输出寄存器进行读取。

[0032] 所述的环形读取法是指:从活跃寄存器的最低比特向非活跃寄存器的高比特方向读取或者从活跃寄存器的最高比特向非活跃寄存器的低比特方向读取。

[0033] 第四步,位置更新模块和标志更新模块进行自动更新。

[0034] 其中:比特位置寄存器的更新规则如下:

$$[0035] \quad SPOS = \begin{cases} (SPOS + Length) \% 32, & \text{If } SDIR = 1; \\ (SPOS - Length + 32) \% 32, & \text{If } SDIR = 0. \end{cases}$$

[0036] 其中:SPOS 代表比特位置寄存器的值,Length 代表读取的长度,SDIR 是比特读写方向寄存器的值,%代表取模运算。

[0037] 活跃寄存器标志的更新规则如下:

[0038] 若比特读写方向寄存器的值为 1,

$$[0039] \quad ABITIR = \begin{cases} \text{not } ABITIR, & \text{If } (SPOS + Length) > 31; \\ ABITIR, & \text{If } (SPOS + Length) \leq 31. \end{cases}$$

[0040] 否则,若比特读写方向寄存器的值为 0,

$$[0041] \quad ABITIR = \begin{cases} \text{not } ABITIR, & \text{If } (SPOS - Length) < 0; \\ ABITIR, & \text{If } (SPOS + Length) \geq 0. \end{cases}$$

[0042] 其中:ABITIR 代表活跃寄存器标志的值,SPOS 代表比特位置寄存器的值,Length 代表读取的长度,not 代表取反操作。

[0043] 第五步,重复上述第二步到第四步,直到读完比特输入输出寄存器中需要读取的数据。

[0044] 所述的写操作阶段包括以下步骤:

[0045] 步骤一,如果采用各寄存器的当前值,则跳过这一步。否则,读取读写方向信息、当前读写寄存器号和读写位置信息并存入相应的寄存器中。

[0046] 所述的读写方向信息、当前读写寄存器号和读写位置信息,包括比特位置初始值,读写方向。

[0047] 步骤二,根据比特位置寄存器的值、比特读写方向寄存器的值、活跃寄存器标志的

值以及需要写入的比特数 (Length, 取值范围为 0 到 31), 将数据写入活跃的比特输入输出寄存器中。若写入的所有比特超出了活跃的比特输入输出寄存器的范围, 则以环形写入法写入非活跃的输入输出寄存器中。

[0048] 所述的环形写入法是指: 从活跃寄存器的最低比特向非活跃寄存器的高比特方向写入或者从活跃寄存器的最高比特向非活跃寄存器的低比特方向写入。

[0049] 步骤三, 位置更新模块和标志更新模块进行自动更新。

[0050] 其中: 比特位置寄存器的更新规则如下:

$$[0051] \quad SPOS = \begin{cases} (SPOS + Length) \% 32, & \text{If } SDIR = 1; \\ (SPOS - Length + 32) \% 32, & \text{If } SDIR = 0. \end{cases}$$

[0052] 其中: SPOS 代表比特位置寄存器的值, Length 代表写入的长度, SDIR 是比特读写方向寄存器的值, % 代表取模运算。

[0053] 活跃寄存器标志的更新规则如下:

[0054] 若比特读写方向寄存器的值为 1,

$$[0055] \quad ABITIR = \begin{cases} \text{not } ABITIR, & \text{If } (SPOS + Length) > 31; \\ ABITIR, & \text{If } (SPOS + Length) \leq 31. \end{cases}$$

[0056] 否则, 若比特读写方向寄存器的值为 0,

$$[0057] \quad ABITIR = \begin{cases} \text{not } ABITIR, & \text{If } (SPOS - Length) < 0; \\ ABITIR, & \text{If } (SPOS + Length) \geq 0. \end{cases}$$

[0058] 其中: ABITIR 代表活跃寄存器标志的值, SPOS 代表比特位置寄存器的值, Length 代表读取的长度, not 代表取反操作。

[0059] 步骤四, 重复上述步骤一到步骤三, 直到写完需要写入比特输入输出寄存器中的数据。

[0060] 步骤五, 将比特输入输出寄存器的值写入外存或者其他通用寄存器。

[0061] 本发明与现有技术相比具有以下优点: 本发明提供一种音频编解码比特级读写加速装置及其加速读写方法, 通过在嵌入式处理器中增加专门的硬件模块, 自动跟踪比特级读写的位置, 省去了移位、逻辑与、逻辑或、移动和拼接等操作。因此, 本发明可以有效减少比特级读写操作所需要的指令数和时钟周期数, 从而减少比特级读写操作所需要的时间, 提高音频编解码的速度和效率。

附图说明

[0062] 图 1 是本发明的装置组成连接示意图。

[0063] 图 2 是自动更新比特读取位置的变化示意图。

[0064] 图 3 是环形读取写入方法的示意图。

具体实施方式

[0065] 下面对本发明的实施例作详细说明, 本实施例在以本发明技术方案为前提下进行实施, 给出了详细的实施方式和具体的操作过程, 但本发明的保护范围不限于下述的实施例。

[0066] 本实施例的操作分为两个部分,第一部分从外存读取地址 A 从第 16 位到第 23 位的数据 (8 比特),第二部分将某一数据 (16 比特) 写入地址 A 的 24 位到 31 位以及下一地址 (A+4) 的第 0 位到第 7 位。

[0067] 如图 1 所示,本实施例涉及一种音频编解码比特级读写加速装置,包括:比特读写模块、位置记录模块、读写方向模块和活跃寄存器标志模块。其中:读写方向模块分别与比特读写模块、位置记录和活跃寄存器标志模块相连并输出读写方向信息,位置记录模块与比特读写模块和活跃寄存器标志模块连接并输出读写位置信息,活跃寄存器标志模块与比特读写模块相连接并输出当前读写寄存器号。

[0068] 所述的读写方向模块包括:比特读写方向寄存器 (SDIR),位宽为 1 比特。比特读写方向寄存器,用来控制比特读写和跳过的方向。当比特读写方向寄存器为 1 时,表示比特的读写的方向为低比特向高比特;当比特读写方向寄存器为 0 时,表示比特的读写的方向为高比特向低比特。

[0069] 所述的比特读写模块包括:两个比特输入输出寄存器 (BITI01 和 BITI02),其位宽均为 32 比特。其中:第一比特输入输出寄存器的输入端分别于与读写方向模块、活跃寄存器标志模块、位置记录模块和外部数据总线相连接并传输续写方向、当前读写寄存器号、读写位置以及读数据信息,第一比特输入输出寄存器的输出端与外部数据总线相连接并传输写数据信息;第二比特输入输出寄存器的输入端分别于与读写方向模块、活跃寄存器标志模块、位置记录模块和外部数据总线相连接并传输续写方向、当前读写寄存器号、读写位置以及读数据信息,第二比特输入输出寄存器的输出端与外部数据总线相连接并传输写数据信息。第一比特输入输出寄存器和第二比特输入输出寄存器用来充当比特级读操作的数据来源;在进行比特级写操作时,第一比特输入输出寄存器和第二比特输入输出寄存器用来充当比特级写操作的目标。

[0070] 所述的位置记录模块包括:比特位置寄存器 (SPOS) 和自动更新模块。其中:比特位置寄存器的输入端与位置更新模块相连并传输位置信息,比特位置寄存器的输出端分别与位置更新模块、活跃寄存器标志模块和比特读写模块相连接并传输位置信息;位置更新模块的输入端分别于与读写方向模块和比特位置寄存器相连接并传输读写方向和位置信息,位置更新模块的输出端与比特位置寄存器相连并传输位置信息。比特位置寄存器为 5 比特寄存器,用来指示比特级读操作的起始比特的位置。位置更新模块完成比特读写操作后,比特位置寄存器的自动更新。

[0071] 所述的活跃寄存器标志模块包括:活跃寄存器标志 (ABITIOR) 和自动更新模块。其中:活跃寄存器标志的输入端与标志更新模块相连并传递当前读写寄存器号信息,活跃寄存器标志的输出端分别于与标志更新模块和比特读写模块相连接并传输当前读写寄存器号信息;标志更新模块的输入端分别与活跃寄存器标志、读写方向模块和位置记录相连并传输当前读写寄存器号、读写方向和读写位置信息,标志更新模块的输出端与活跃寄存器标志相连接并传输当前读写寄存器号信息。活跃寄存器标志为 1 比特寄存器,0 代表第一比特输入输出寄存器为活跃寄存器,1 代表第二比特输入输出寄存器为活跃寄存器。标志更新模块完成比特读写操作后,活跃寄存器标志的自动更新。

[0072] 本实施例的上述音频比特级读写加速装置的读写加速方法,包括以下步骤:

[0073] 如果当前操作为读操作,即从比特输入输出寄存器中读取数据,

[0074] 第一步,将数据从外存或者通用寄存器载入到比特输入输出寄存器中。

[0075] 第二步,如果采用各寄存器的当前值,则跳过这一步。否则,读取读写方向信息、当前读写寄存器号和读写位置信息并存入相应的寄存器中。

[0076] 所述的读写方向信息、当前读写寄存器号和读写位置信息,包括比特位置初始值,读写方向。

[0077] 第三步,根据比特位置寄存器的值、比特读写方向寄存器的值、活跃寄存器标志的值以及需要读取的比特数 (Length,取值范围为 0 到 31),从活跃的比特输入输出寄存器中读取相应的值。若读取的所有比特超出了活跃的比特输入输出寄存器,则以环形读取法在非活跃的输入输出寄存器进行读取。

[0078] 所述的环形读取法是指:从活跃寄存器的最低比特向非活跃寄存器的高比特方向读取或者从活跃寄存器的最高比特向非活跃寄存器的低比特方向读取。

[0079] 第四步,位置更新模块和标志更新模块进行自动更新。

[0080] 其中:比特位置寄存器的更新规则如下:

$$[0081] \quad SPOS = \begin{cases} (SPOS + Length) \% 32, & \text{If } SDIR = 1; \\ (SPOS - Length + 32) \% 32, & \text{If } SDIR = 0. \end{cases}$$

[0082] 其中:SPOS 代表比特位置寄存器的值,Length 代表读取的长度,SDIR 是比特读写方向寄存器的值,%代表取模运算。

[0083] 活跃寄存器标志的更新规则如下:

[0084] 若比特读写方向寄存器的值为 1,

$$[0085] \quad ABITIR = \begin{cases} \text{not } ABITIR, & \text{If } (SPOS + Length) > 31; \\ ABITIR, & \text{If } (SPOS + Length) \leq 31. \end{cases}$$

[0086] 否则,若比特读写方向寄存器的值为 0,

$$[0087] \quad ABITIR = \begin{cases} \text{not } ABITIR, & \text{If } (SPOS - Length) < 0; \\ ABITIR, & \text{If } (SPOS + Length) \geq 0. \end{cases}$$

[0088] 其中:ABITIR 代表活跃寄存器标志的值,SPOS 代表比特位置寄存器的值,Length 代表读取的长度,not 代表取反操作。

[0089] 第五步,重复上述第二步到第四步,直到读完比特输入输出寄存器中需要读取的数据。

[0090] 本实施例的第一部分为读操作。先将地址 A 的数据存入当前活跃的比特级输入输出寄存器(假设为第一比特级输入输出寄存器),将地址 A+4 的数据存入当前非活跃的比特级输入输出寄存器(假设为第二比特级输入输出寄存器)。如图 2 所示,设定比特位置初始值为 16,读写方向为 1(从低比特向高比特)。接着从活跃的比特级输入输出寄存器中读取 16 比特到 23 比特。最后将比特位置寄存器自动更新为 24,活跃寄存器标志保持不变。这样就完成了本实施例第一部分的读操作。

[0091] 否则,如果当前操作为写操作,即将数据写入比特输入输出寄存器中,

[0092] 第一步,如果采用各寄存器的当前值,则跳过这一步。否则,读取读写方向信息、当前读写寄存器号和读写位置信息并存入相应的寄存器中。

[0093] 所述的读写方向信息、当前读写寄存器号和读写位置信息,包括比特位置初始值,

读写方向。

[0094] 第二步,根据比特位置寄存器的值、比特读写方向寄存器的值、活跃寄存器标志的值以及需要写入的比特数 (Length,取值范围为 0 到 31),将数据写入活跃的比特输入输出寄存器中。若写入的所有比特超出了活跃的比特输入输出寄存器的范围,则以环形写入法写入非活跃的输入输出寄存器中。

[0095] 所述的环形写入法是指:从活跃寄存器的最低比特向非活跃寄存器的高比特方向写入或者从活跃寄存器的最高比特向非活跃寄存器的低比特方向写入。

[0096] 第三步,位置更新模块和标志更新模块进行自动更新。

[0097] 其中:比特位置寄存器的更新规则如下:

$$[0098] \quad SPOS = \begin{cases} (SPOS + Length) \% 32, & \text{If } SDIR = 1; \\ (SPOS - Length + 32) \% 32, & \text{If } SDIR = 0. \end{cases}$$

[0099] 其中:SPOS 代表比特位置寄存器的值,Length 代表写入的长度,SDIR 是比特读写方向寄存器的值,%代表取模运算。

[0100] 活跃寄存器标志的更新规则如下:

[0101] 若比特读写方向寄存器的值为 1,

$$[0102] \quad ABITIR = \begin{cases} \text{not } ABITIR, & \text{If } (SPOS + Length) > 31; \\ ABITIR, & \text{If } (SPOS + Length) \leq 31. \end{cases}$$

[0103] 否则,若比特读写方向寄存器的值为 0,

$$[0104] \quad ABITIR = \begin{cases} \text{not } ABITIR, & \text{If } (SPOS - Length) < 0; \\ ABITIR, & \text{If } (SPOS + Length) \geq 0. \end{cases}$$

[0105] 其中:ABITIR 代表活跃寄存器标志的值,SPOS 代表比特位置寄存器的值,Length 代表读取的长度,not 代表取反操作。

[0106] 第四步,重复上述第一步到第三步,直到写完需要写入比特输入输出寄存器中的数据。

[0107] 第五步,将比特输入输出寄存器的值写入外存或者通用寄存器。

[0108] 本实施例的第二部分为写操作。如图 3 所示,使用各寄存器自动更新后的值,按照环形写入方法,数据写入活跃的比特级输入输出寄存器 24 比特到 32 比特以及非活跃的比特级输入输出寄存器 0 比特到 7 比特。然后将比特位置寄存器自动更新为 8,活跃寄存器标志自动更新为 1。最后将第一比特级输入输出寄存器的值写入地址 A,将第二比特级输入输出寄存器的值写入地址 A+4。

[0109] 当分别采用本实施例的方法和现有技术的方法处理同一问题时,本实施例方法通过在处理器中使用音频比特级读写加速装置,只需 6 条指令就可以完成,而现有的技术需要至少 21 条指令才能完成。因此,本实施例方法可以大大减少比特级读写操作所需要的指令数和时钟周期数,从而减少比特级读写操作所需要的时间,提高音频编解码的速度和效率。

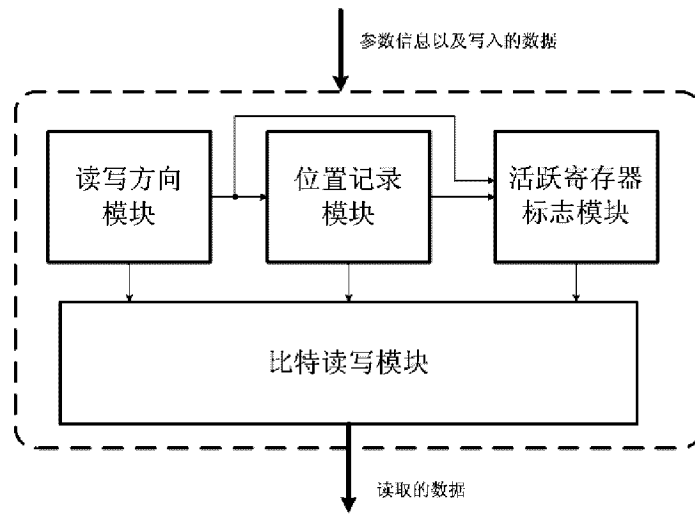


图 1

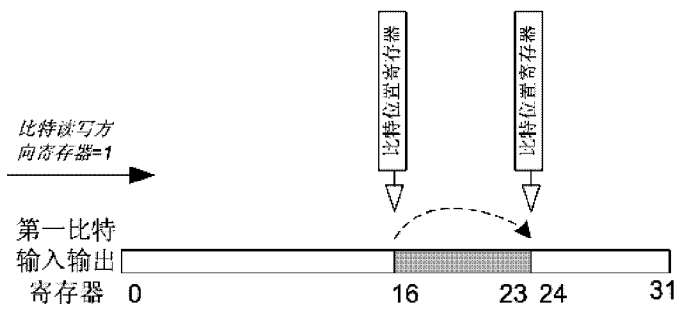


图 2

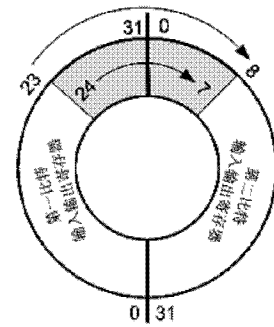


图 3