

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-270827
(P2008-270827A)

(43) 公開日 平成20年11月6日(2008.11.6)

(51) Int.Cl.	F 1		テーマコード (参考)
H01L 21/82 (2006.01)	H01L 21/82	W	5 F O 3 8
H01L 21/822 (2006.01)	H01L 21/82	L	5 F O 6 4
H01L 27/04 (2006.01)	H01L 27/04	D	

審査請求 有 請求項の数 13 O L (全 17 頁)

(21) 出願番号	特願2008-146650 (P2008-146650)	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成20年6月4日 (2008.6.4)	(74) 代理人	100077931 弁理士 前田 弘
(62) 分割の表示	特願2004-268769 (P2004-268769) の分割	(74) 代理人	100110939 弁理士 竹内 宏
原出願日	平成16年9月15日 (2004.9.15)	(74) 代理人	100110940 弁理士 嶋田 高久
		(74) 代理人	100113262 弁理士 竹内 祐二
		(74) 代理人	100115059 弁理士 今江 克実
		(74) 代理人	100115691 弁理士 藤田 篤史

最終頁に続く

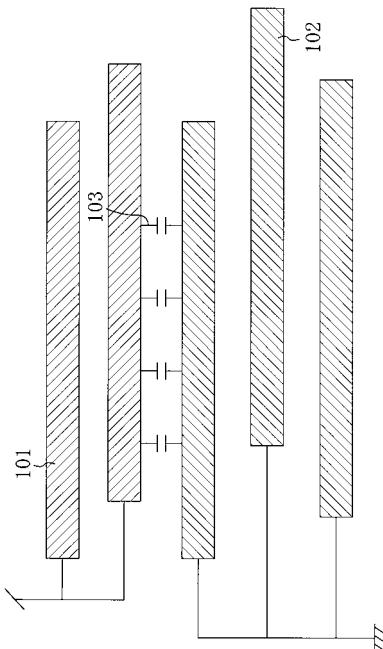
(54) 【発明の名称】半導体装置

(57) 【要約】

【課題】 パターンの面積率を所定値以上に確保しつつ電圧降下対策が施された半導体装置、およびその半導体装置の設計方法を提供する。

【解決手段】 本発明の半導体装置設計方法及び半導体装置は、配線層の空き領域に面積率達成の目的で挿入されるダミーメタルをVDDまたはVSSの電源配線に2箇所以上で接続することで、電源配線の補強を図りつつ、所定の面積率の達成を可能にする。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

電源電圧供給部と、前記電源電圧供給部または接地に接続されるとともに、複数の配線層内に設けられ、且つ格子状にめぐらされた電源配線とを備えている半導体装置であって、

前記複数の配線層のうち前記電源配線の一部が配置された配線層とは異なる少なくとも1層に設けられ、前記半導体装置の上面もしくは下面から見た場合に前記電源配線の一部と重なるダミーメタルであって、2箇所以上で前記電源電圧供給部または接地に接続された第1のダミーメタルを備えていることを特徴とする半導体装置。

【請求項 2】

前記複数の配線層のうち少なくとも1層に設けられ、2箇所以上で前記第1のダミーメタルとは逆極性の電源に接続された第2のダミーメタルをさらに備えていることを特徴とする請求項1に記載の半導体装置。

【請求項 3】

前記第1のダミーメタルと前記第2のダミーメタルとは互いに異なる配線層に設けられることを特徴とする請求項2に記載の半導体装置。

【請求項 4】

前記第1のダミーメタルおよび前記電源配線が形成されない配線層内に設けられ、電気的に孤立した浮きノードメタルをさらに備えていることを特徴とする請求項1に記載の半導体装置。

【請求項 5】

信号配線と、前記信号配線と同一の配線層内に設けられたダミーメタルとを備えている半導体装置であって、

前記信号配線に向かって開口する孤立コンタクトホールと、

前記コンタクトホールと同じ層内に設けられ、前記ダミーメタルに向かって開口する第2のコンタクトホールとが形成されており、前記第2のコンタクトホールは、前記孤立コンタクトホールから所定の範囲に形成されていることを特徴とする半導体装置。

【請求項 6】

前記ダミーメタルが設けられた配線層の上層の配線層には第2のダミーメタルが設けられており、

前記第2のコンタクトホールは前記第2のダミーメタルに対しても開口していることを特徴とする半導体装置。

【請求項 7】

信号配線と、前記信号配線と同一の配線層内に設けられたダミーメタルとを備えている半導体装置であって、

第1の配線層に形成された第1の信号配線と、

第2の配線層に形成された第2の信号配線と、

前記第1の配線層と前記第2の配線層の間に形成された第1のコンタクトであって、前記第1の信号配線と前記第2の信号配線とを接続する第1のコンタクトと、

前記第1の配線層と前記第2の配線層の間に形成された第2のコンタクトであって、いずれの信号配線にも接続されていない第2のコンタクトとを備えていることを特徴とする半導体装置。

【請求項 8】

信号配線と、前記信号配線と同一の配線層内に設けられたダミーメタルとを備えている半導体装置であって、

第1の配線層に形成された第1の信号配線と、

第2の配線層に形成された第2の信号配線と、

前記第1の配線層と前記第2の配線層の間に形成された第1のコンタクトであって、前記第1の信号配線と前記第2の信号配線とを接続する第1のコンタクトと、

前記第1の配線層と前記第2の配線層の間に形成された第2のコンタクトであって、前

10

20

30

40

50

記第1の信号配線に接続されているが、前記第2の信号配線とは電気的に接続されていない第2のコンタクトとを備えたことを特徴とする半導体装置。

【請求項9】

信号配線と、前記信号配線と同一の配線層内に設けられたダミーメタルとを備えている半導体装置であって、

第1の配線層に形成された第1の信号配線と、

第2の配線層に形成された第2の信号配線と、

前記第1の配線層と前記第2の配線層の間に形成された第1のコンタクトであって、前記第1の信号配線と前記第2の信号配線とを接続する第1のコンタクトと、

前記第1の配線層と前記第2の配線層の間に形成された第2のコンタクトであって、前記第1の信号配線と前記第2の信号配線の両方に接続されている第2のコンタクトとを備えたことを特徴とする半導体装置。 10

【請求項10】

前記第2のコンタクトは前記第1のコンタクトから所定の範囲に形成されていることを特徴とする請求項7～9のうちいずれか1つに記載の半導体装置。

【請求項11】

信号配線と、前記信号配線と同一の配線層内に設けられたダミーメタルとを備えている半導体装置であって、

第1の配線層に形成された第1の信号配線と、

第2の配線層に形成された第2の信号配線と、

前記第1の配線層と前記第2の配線層の間に形成された第1のコンタクトであって、前記第1の信号配線と前記第2の信号配線とを接続する第1のコンタクトと、

前記第1の配線層と前記第2の配線層の間に形成された第2のコンタクトであって、前記第1の信号配線と前記第2の信号配線の両方に接続されている第2のコンタクトとを備え、

前記ダミーメタルの形状が、領域により異なる事を特徴とする半導体装置。 20

【請求項12】

前記ダミーメタルの形状は、最近接の信号配線と同幅であるパタンと、最近接の信号配線より幅が太いものとが混在することを特徴とする請求項11に記載の半導体装置。

【請求項13】

前記ダミーメタルの形状は、長方形パタンと正方形パタンが混在することを特徴とする請求項11に記載の半導体装置。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ダミーメタルを設けた半導体装置およびその設計方法に関する。

【背景技術】

【0002】

高集積化半導体装置（LSI）の微細化、高集積化が進むことにより、微細かつ複雑なパターン形成を行う必要が高まっている。このような状況の中で、マスク設計通りのパターン形成を行うためにプロセス条件の制約は高まる一方である。例えば、配線パターンの形成に際しては、多結晶シリコン層、アルミニウム層、金属シリサイド層などの導電性膜を形成した後、フォトリソグラフィにより所望のマスクパターンを形成し、エッティングを行うことにより配線パターンを形成する。 40

【0003】

配線パターンのエッティング工程においては、導電性膜のうちマスクされずに露出した部分が選択的に除去されるが、エッティング工程の諸条件を最適化しても、マスクを形成した領域の基板面全体に対する密度（面積率）によってエッティング速度にばらつきが出てしまう。このため、マスク形成領域の密度が高すぎても低すぎてもエッティング精度が低下するという不具合が生じる。 50

【0004】

また、拡散層の形成についても同様の不具合があり、拡散層形成のためのイオン注入領域が小さいと、イオンの集中が生じ、所望の拡散プロファイルを得ることができない場合があった。

【0005】

一方、基板表面の平坦化のためにC M P (Chemical Mechanical polishing)という方法が提案されている。この方法は、塗布法あるいはC V D法などにより基板上面に絶縁膜を形成した後、機械的に研磨しながら化学的にエッティングを行うことにより表面の平坦化を図るものである。しかしながら、例えばアルミ配線の場合、下層の配線層のパターン密度が小さく、所定の面積以上のパターンが配置されていない領域が存在すると、絶縁膜を厚く形成してもC M Pによって平坦化できず、配線パターンのない領域が凹んだ状態のままとなることがある。

10

【0006】

そこで、プロセス毎に定められた配線パターンの密度を満足させるために、L S Iの空き領域にダミーパターンを配置する手法が提案されている。例えば、特許文献1などでは、ダミーパターンをダミーパターン生成による容量の影響が起きない様な十分に大きな空地に配置する方法や、配線間容量を減らすようにダミーパターンを配置する方法が提案されている。

20

【特許文献1】特開平5-343546号公報**【発明の開示】****【発明が解決しようとする課題】****【0007】**

しかしながら、現在の高集積化されたL S Iにおいては既存回路に対して容量の影響を与えない空き地領域はほぼ存在せず、また、容量の影響を与えない空き地領域だけにダミーパターンを生成したとしても、プロセス毎に定められた配線パターンの面積率を達成する事は不可能である。

【0008】

そこで、ダミーパターンを生成するにあたって、既存回路中にも容量を考慮しながら生成することになるが、現状では配線間容量をなるべく減らすためにドット状の浮きノードのダミーパターンを生成することが多く、プロセス毎に定められた配線パターンの面積率を達成する事を目的とする以外の用途には用いられていない。

30

【0009】

現在の微細プロセスにおけるL S I設計では、電源電圧の低下により、わずかな電圧降下(IR-Drop)が生じ、回路が所望の動作を得ることができないといった問題が生じており、動作マージンを確保するために空き領域に電源補強を実施することがこの問題への有効な対策となる。また、ノイズを吸収するために電源配線間にデカップリング容量を形成することも有効な手段とされている。

【0010】

しかし、従来の面積率調整では、空き領域に配置されるダミーパターンはドット状の浮きノードダミーパターンであり、面積率を達成させるために空き領域を使用するため、ダミーパターン配置後に電源補強を実施するのは極めて困難であった。また、一般に電源補強用の配線はパターンの面積率を気にしながら生成しないため、必要以上に電源補強を実施してから面積率を調整しようとしても、パターンの面積率を達成することが困難なことが多く、大幅な設計修正を強いられることもある。

40

【0011】

本発明は、パターンの面積率を所定値以上に確保しつつ電圧降下対策が施された半導体装置、およびその半導体装置の設計方法を提供することを目的とする。

【課題を解決するための手段】**【0012】**

本発明の第1の半導体装置は、電源電圧供給部と、前記電源電圧供給部または接地に接

50

続されるとともに、複数の配線層内に設けられ、且つ格子状に巡らされた電源線とを備えている半導体装置であって、前記複数の配線層のうち少なくとも1層に設けられ、2箇所以上で前記電源電圧供給部または接地に接続された第1のダミーメタルをさらに備えている。

【0013】

これにより、ダミーメタルを設けることでパターンの面積率を所定値以上にしつつ、格子状の電源を補強することができる。例えば第1のダミーメタルが電源供給部に接続されいれば、VDDに接続される電源線だけが大幅に電圧降下を起こしている場合などに有効である。

【0014】

前記複数の配線層のうち少なくとも1層に設けられ、2箇所以上で前記第1のダミーメタルとは逆極性の電源に接続された第2のダミーメタルをさらに備えていることにより、第1のダミーメタルが設けられた配線層と第2のダミーメタルが設けられた配線層との間に配線間容量を形成することができる。

【0015】

また、前記第1のダミーメタルと前記第2のダミーメタルとは互いに異なる配線層に設けられることにより、配線ショートによる歩留まりの低下を防ぐことができる。

【0016】

前記第1のダミーメタルおよび前記電源線が形成されない配線層内に設けられ、電気的に孤立した浮きノードメタルをさらに備えていることにより、信号配線などが混雑する配線層では浮きノードメタルを設けて所定の面積率を達成することができ、且つ、格子状電源の補強を行うことができる。

【0017】

前記複数の配線層のうち少なくとも1層に設けられ、2箇所以上で前記第1のダミーメタルとは逆極性の電源に接続された第3のダミーメタルをさらに備えており、前記第1のダミーメタルが設けられた配線層と前記第3のダミーメタルが設けられた配線層とが交互に積層されていることにより、格子状電源に十分な電圧降下対策を施し、且つ上下に隣接する配線層内に設けられたダミーメタル間で配線間容量を形成することができる。

【0018】

本発明の第2の半導体装置は、複数の配線層と、電源電圧供給部と、前記電源電圧供給部または接地に接続され、格子状に巡らされた電源線とを備えている半導体装置であって、前記電源線のうち前記電源電圧供給部に接続されたものを第1の電源線、接地に接続されたものを第2の電源線とするとき、1つの配線層内に前記第1の電源線と前記第2の電源線とが複数組み設けられており、2つの前記第1の電源線および2つの前記第2の電源線同士が隣接するように配置され、互いに隣接する前記第1の電源線の間には前記電源電圧供給部に接続された第1のダミーメタルが設けられ、互いに隣接する前記第2の電源線の間には接地に接続された第2のダミーメタルが設けられている。

【0019】

これにより、格子状電源の電圧降下対策を施すことができる。また、ダミーメタルとこれを挟む電源線とが接触することがあっても異電源間のショートにはならないので、歩留まりの低下を防ぐことができる。

【0020】

本発明の第3の半導体装置は、複数の配線層と、電源電圧供給部と、中央部に設けられた能動素子と、中央部に設けられた能動素子と、外部からの信号および前記能動素子からの信号を送受信するためのI/Oセルと、前記電源電圧供給部または接地に接続され、格子状に巡らされると共に前記中央部の周囲に配置された外周領域に設けられた電源線とを備えている半導体装置であって、前記外周領域に設けられ、前記電源電圧供給部または接地に2箇所以上で接続されたダミーメタルと、前記外周領域以外の領域に設けられ、電気的に孤立した浮きノードメタルとをさらに備えている。

【0021】

10

20

30

40

50

これにより、電源取り出し部分の格子状電源の補強を十分に行うことで、中央部で発生する電圧降下を抑制することができる。また、設計の自由度が高い浮きノードメタルが設けられているので、所定の面積率を容易に達成することが可能となる。

【0022】

前記ダミーメタルは、前記電源線が設けられていない配線層内にも設けられていることにより、半導体装置が搭載された半導体チップの外周がデッドスペースとして残る場合でも、より効果的に中央部の電圧降下対策を実施することが可能となる。

【0023】

本発明の第4の半導体装置は、複数の配線層と、電源電圧供給部と、前記複数の配線層を貫通し、前記電源電圧供給部または接地に接続されたダミーメタル柱と、一度も配線層を乗り換えることなく前記ダミーメタル柱に接続されたダミーメタルとをさらに備えている。

10

【0024】

これにより、配線層を加工して回路を修正する場合に、ダミーセルを切断することで容易に修正することができる。

【0025】

前記ダミーメタル柱は、前記電源電圧供給部に接続された第1のダミーメタル柱と、接地に接続された第2のダミーメタル柱とを含んでおり、前記第1のダミーメタル柱に接続された前記ダミーメタルが設けられた配線層と、前記第2のダミーメタル柱に接続された前記ダミーメタルが設けられた配線層とが交互に積層されることにより、第1のダミーメタル柱に接続されたダミーメタルと第2のダミーメタル柱に接続されたダミーメタルとの間に配線間容量を形成することができる。

20

【0026】

本発明の第5の半導体装置は、複数の配線層と、信号配線と、前記信号配線が設けられた配線層の上層または下層に設けられ、電気的に孤立した浮きノードメタルとを備えている半導体装置であって、平面的に見て前記浮きノードメタルと前記信号配線とはオーバーラップしないように形成されている。

【0027】

これにより、装置の微細化が進んで層間絶縁膜厚が薄くなる場合にも信号配線と浮きノードメタルとの間に配線間容量が生じるのを防ぐことができる。そのため、信号遅延の発生を抑えることができる。

30

【0028】

前記浮きノードメタルのうち、前記信号配線との交差部分は除去されていることにより、信号配線と浮きノードメタルとの重複部分をなくすことができる。

【0029】

本発明の第6の半導体装置は、信号配線と、前記信号配線と同一の配線層内に設けられたダミーメタルとを備えている半導体装置であって、前記信号配線に向かって開口する孤立コンタクトホールと、前記孤立コンタクトホールと同じ層内に設けられ、前記ダミーメタルに向かって開口するコンタクトホールとが形成されていることにより、コンタクトホールの形成不良の発生を抑え、歩留まり低下を防ぐことができる。

40

【0030】

本発明の半導体装置の設計方法は、入力部と、電圧降下解析部と、電源経路探索部と、ダミーメタル生成部と、出力部とを有するコンピュータを用いて行う半導体装置の設計方法であって、前記半導体装置のダミーメタル生成前レイアウトデータを前記入力部に入力する工程(a)と、前記電圧降下解析部が、前記ダミーメタル生成前レイアウトデータを解析して、前記半導体装置のうち電源の供給が不十分な箇所を特定する工程(b)と、前記電源経路探索部が、前記半導体装置のうち電源の供給が不十分な箇所にダミーメタルで電源補強を実施するための電源経路と極性の探索を行う工程(c)と、前記工程(c)で決定された経路と極性に基づき、前記ダミーセル生成部が、前記ダミーメタルのレイアウトを生成する工程(d)とを備えている。

50

【0031】

この方法により、電源の供給が不十分な箇所に電源電圧供給部あるいは接地に接続されたダミーメタルを形成することができるので、より効率的に電圧降下対策を行うことができる。

【発明の効果】**【0032】**

本発明の半導体装置は、電源電圧供給部または接地に接続されたダミーメタルを備えているので、電源線を補強するとともに、パターンの面積率を所定値以上にすることができる。そのため、エッティングやCMPなどで不具合なく加工することができる。

10

【発明を実施するための最良の形態】**【0033】**

以下、本発明の実施の形態について、図面を参照しつつ詳細に説明する。

【0034】**(第1の実施形態)**

図1は、本発明の第1の実施形態に係る半導体装置を示す図である。同図に示すように、本実施形態の半導体装置は、LSIであって、電源電圧供給部(VDD)に接続され、第1の配線層内に設けられた配線層上層ダミーメタル101と、接地(VSS)に接続され、第2の配線層内に設けられた配線層下層ダミーメタル102とを備えている。この例では、第2の配線層の上または上方に第1の配線層が設けられており、配線層上層ダミーメタル101と配線層下層ダミーメタル102のうち、平面的に見て互いにオーバーラップする部分の間には配線間容量103が形成される。第1の配線層が第2の配線層の直上にある場合には配線間容量103が最も大きくなるが、第1の配線層と第2の配線層との間に1~2層、あるいはそれ以上の配線層が設けられていてもよい。また、本実施形態の半導体装置は、2つ以上の配線層内に格子状に巡らされた電源線を有している。

20

【0035】

配線層上層ダミーメタル101は電源電圧供給部に2点以上で接続し、配線層下層ダミーメタル102は接地に2点以上で接続する。ここで、電源供給の安定化を図る為には1点のみでの接続では電源経路が確立されず安定化を図ることは困難である。そのため、2点以上で、電源電圧供給部または接地に接続することにより、1点のみの接続では安定化が図れなかった部分の電源経路が確立し、電源の安定化が図れる。

30

【0036】

このダミーメタルはアルミニウムや銅、ポリシリコンなどの導電体で構成される。

【0037】

以上のような構成により、ダミーメタルを形成してパターンの面積率を所定値以上にすことができ、且つLSIの格子状電源線を補強することが可能となる。また、第1の配線層と第2の配線層との境界面に配線間容量を形成することができる。これにより、電源電圧配線と接地配線間に容量セル等を挿入することなく電源を安定させることができる。さらに、配線層によってダミーメタルの極性を区別することにより、同一の配線層内での配線ショートを防ぎ、歩留り低下を防ぐことが可能となる。

40

【0038】

なお、図1に示す例では上層配線層内のダミーメタルを電源電圧供給部に接続し、下層配線層内のダミーメタルを接地に接続したが、上層配線層内のダミーメタルを接地に接続し、下層配線層内のダミーメタルを電源電圧供給部に接続しても同様の効果を得ることができる。

【0039】

なお、本実施形態では電源電圧供給部に接続された配線層上層ダミーメタル101と接地に接続された配線層下層ダミーメタル102とを備えている例を説明したが、電源電圧供給部に接続される電源線のみが大幅に電圧降下を起こしている場合などでは、電源電圧供給部に接続されるダミーメタルのみを設けても電源の安定化に有効である。

【0040】

50

また、配線層上層ダミーメタル 101 と配線層下層ダミーメタル 102 とが同一配線層内に設けられていてもよい。

【0041】

(第2の実施形態)

図2は、本発明の第2の実施形態に係る半導体装置を示す図である。同図に示すように、本実施形態の半導体装置は、LSIであって、電源電圧供給部(VDD)または接地(VSS)に2点以上で接続され、第1の配線層内に設けられた配線層上層ダミーメタル201と、電源供給部や接地から孤立し、第2の配線層内に設けられた配線層下層浮きノードダミーメタル202とを備えている。配線層上層ダミーメタル201を形成するにあたっては、電源供給部と接地のうちいずれか接続しやすい方に接続する。また、浮きノードダミーメタルは、格子状の電源線が設けられていない配線層に設けられている。その他の構成は、第1の実施形態に係る半導体装置と同様である。

10

【0042】

この構成により、配線層上層ダミーメタル201が設けられることで格子状電源が補強される。

【0043】

一方、配線層下層に関しては、信号配線の混雑もあり、格子状電源の補強の為に電源電圧供給部ないし接地に接続されたダミーメタルを形成しようとしても十分な接続箇所を確保できず、パターンの面積率を達成できないという弊害に陥る可能性がある。これに対し、本実施形態の半導体装置では、浮きノードダミーメタルという、どの極性にも属さないダミーメタルが形成されているので、所望の面積率を達成することができる。したがって、第1の実施形態に比べてより効率的に電圧降下対策と面積率達成とを行うことができる。

20

【0044】

(第3の実施形態)

図3は、本発明の第3の実施形態に係る半導体装置を示す図である。同図に示すように、本実施形態の半導体装置は、LSIであって、電源電圧供給部(VDD)に接続され、第1の配線層内に設けられた第1の配線層上層ダミーメタル301と、接地(VSS)に接続され、第1の配線層上層ダミーメタル301とは異なる配線層内(例えば第2の配線層)に設けられた第2の配線層上層ダミーメタル302と、電源供給部や接地から孤立し、第2の配線層内に設けられた配線層下層浮きノードダミーメタル303とを備えている。この例では、第2の配線層の上に第1の配線層が設けられている。また、第1の配線層上層ダミーメタル301と第2の配線層上層ダミーメタル302のうち互いに近接する部分の間には、配線間容量304が生じる。

30

【0045】

ダミーメタルを形成するにあたって、第1の配線層上層ダミーメタル301を電源電圧供給部に2点以上で接続されるダミーメタルとし、第2の配線層上層ダミーメタル302を2点以上で接地に接続するダミーメタルとして形成する。すると、前記ダミーメタルの間には配線間容量304が生じる。

40

【0046】

一方、第1の配線層の下層には配線層下層浮きノードダミーメタル303を形成する。

【0047】

第2の実施形態の半導体装置では、上層である第1の配線層におけるダミーメタルを電源電圧供給部と接地のうち接続し易い方に接続させる方法をとったが、本実施形態の半導体装置では、互いに逆極性の電源に接続された第1の配線層上層ダミーメタル301と第2の配線層上層ダミーメタル302とを設けることで、格子状電源に十分な電圧降下対策を施し、且つ上層配線間で大きな配線間容量も形成可能な構成となる。

50

【0048】

また、下層である第2の配線層に関しては、第2の実施形態と同様に電気的に浮いたダミーメタルを形成することで、十分に面積率の条件を達成することができる。

50

【0049】

以上の構成にすることで、第2の実施形態の半導体装置よりもより確実な電圧降下対策を施し、且つ面積率の達成が容易な半導体装置を実現できる。

【0050】**(第4の実施形態)**

図4は、本発明の第4の実施形態に係る半導体装置の設計方法を示すフローチャートである。また、図5は、本実施形態の半導体装置の設計方法を行うためのコンピュータの構成を示すブロック図である。

【0051】

図4に示すように、本実施形態の設計方法においては、コンピュータ404を用いて電圧降下解析工程401、電源経路探索工程402、ダミーメタル生成工程403を順に行う。また、図5に示すように、コンピュータ404は、ダミーメタル生成前レイアウトデータ501が入力される入力部と、電圧降下解析部502と、電源経路探索部503と、ダミーメタル生成部504と、ダミーメタル生成後レイアウトデータ505を出力するための出力部とを備えている。

10

【0052】

本実施形態の半導体装置の設計方法について、以下詳しく説明する。

【0053】

まず、ダミーメタルを形成する前の半導体装置のレイアウトデータ（ダミーメタル生成前レイアウトデータ501）を入力部に入力する。

20

【0054】

次に、電圧降下解析部502が、ダミーメタル生成前レイアウトデータ501を解析して電源の供給が不十分な箇所を特定する（電圧降下解析工程401）。

【0055】

次に、電源経路探索部503が、電源供給が不十分な箇所にダミーメタルで最適な電源補強を実施するための電源経路と極性の探索とを行う。

30

【0056】

最後に、ダミーメタル生成部504が、電源経路探索で決定した経路と極性に基づき、配線層上層（第1の配線層）に電源電圧供給部または接地に接続されたダミーメタルのレイアウトを生成する。ここで得られたダミーメタル生成後レイアウトデータは、出力部から出力される。

【0057】

配線層下層（第2の配線層）に関しては、前記工程を終了した後、浮きノードダミーメタルを適宜生成する。

【0058】

第3の実施形態に係る半導体装置では、配線層上層にダミーメタルを形成することによって電圧降下対策が施されていたが、格子状電源などの箇所で電源供給が不十分であるかは考慮しておらず最適な電圧降下が実施されているとは限らなかった。これに対し、本形態の方法で作製された半導体装置では、ダミーメタルを形成する前に電圧降下解析、電源経路探索を実施することにより、より最適な電圧降下対策箇所を見極めた上でダミーメタルを形成することが可能となる。

40

【0059】

以上のように、本実施形態の半導体装置では、より効果的な電圧降下対策が施されており、且つ第3の実施形態の半導体装置と同様にパターンの面積率を確保することも容易となっている。

【0060】**(第5の実施形態)**

本実施形態の半導体装置において、上下2つの配線層に設けられる格子状電源の電源構成をVSS/VDD、VSS/VDD、あるいはVDD/VSSとし、それぞれの電源配線の組を同一配線層内でVSS/VDD、VSS/VDD、VDD/VSS、VSS/V

50

DDのように、交互に隣接して敷設する。

【0061】

本実施形態の配線構造は上層と下層で縦・横と優先配線方向が直行する構成となり上層と下層で各電源配線が交差する形になる。そこで、ダミー生成を実施する際に上層にはVDDとVDDの間にVDDに接続されたダミーメタルを形成し、VSSとVSSとの間にVSSに接続されたダミーメタルを形成する。

【0062】

これにより、例えば、格子状電源に挟まれた箇所には格子状電源と同じ極性のダミーメタルを生成することで、ダミーメタルと格子状電源が接触する事があったとしても異電源間のショートにはならず歩留りの低下を防ぐことが可能となる。

10

【0063】

(第6の実施形態)

図6は、本発明の第6の実施形態に係る半導体装置を示す図である。同図に示すように、本実施形態の半導体装置は、半導体チップ601上に形成されたLSIであり、能動素子などが形成された中央部603と中央部603の周囲に配置され、半導体チップ601のI/Oセルの電源取り出し部分にあたる外周領域602とが形成されている。また、本実施形態の半導体装置は、2つ以上の配線層内に格子状に巡らされた電源線を有している。第1の配線層の外周領域602には電源電圧供給部に接続されたダミーメタルが設けられ、第1の配線層の下層である第2の配線層の外周領域602には接地に接続されたダミーメタルが設けられている。また、中央部603には、電気的に浮遊状態にある浮きノードメタルが形成されている。

20

【0064】

本実施形態の半導体装置によれば、電源電圧あるいは接地電圧を供給されたダミーメタルによって電源取り出し部分の格子状電源が十分に補強されているので、半導体チップ601の中央部603で発生する電圧降下を抑制することができる。また、半導体チップ601の中央部603には設計の自由度が高い浮きノードメタルが形成されることにより、所定の面積率を容易に達成できるようになっている。なお、上述の例では中央部603に浮きノードメタルのみを形成したが、必要に応じて中央部603に電源電圧供給部あるいは接地に接続されたダミーメタルを形成しても構わない。

30

【0065】

なお、1つの配線層に電源電圧供給部または接地のいずれかに接続したダミーメタルを設ける例を説明したが、電源電圧供給部に接続されたダミーメタルと接地に接続されたダミーメタルが1つの配線層の外周領域内に設けられていてもよい。

【0066】

(第7の実施形態)

本発明の第7の実施形態に係る半導体装置では、ダミーメタルを生成するにあたり、半導体チップ601の電源取り出し部分にあたる外周領域602(図6参照)に配線層全層を用いて電源電圧供給部あるいは接地に接続されたダミーメタルを形成する。ここで、「配線層全層を用いてダミーメタルを形成する」とは、複数の配線層すべてにダミーメタルを形成することを意味する。一般に、格子状の電源配線は、上層の配線層に形成されることが多いが、本実施形態の半導体装置では、スタンダードセル等に使用される1層目の電源配線にもダミーメタルが接続できる。ダミーメタルは、電源線が設けられていない配線層内にも設けられる。また、半導体チップ601の中央部603には浮きノードメタルを形成する。

40

【0067】

半導体チップにおけるSRAM等のハードマクロの配置方法によれば、半導体チップの外周部分がデッドスペースとして残り無駄な領域を作る場合がある。本実施形態の構成を用いれば、半導体チップの外周領域がデッドスペースとして残る場合でも、配線層全層を用いて電源電圧供給部あるいは接地に接続されたダミーメタルを形成することで、第6の実施形態に係る半導体装置よりも効果的な電圧降下対策を施すことが可能となる。

50

【0068】

(第8の実施形態)

図7は、本発明の第8の実施形態に係る半導体装置を示す図である。同図に示すように、本実施形態の半導体装置は、配線層内の信号配線の混雑度の低い箇所に設けられ、電源電圧供給部(VDD)に接続され、且つ複数の配線層を貫通するVDDダミーメタル柱701と、一度も配線層を乗り換えることなくVDDダミーメタル柱701に接続されたVDDダミーメタル703と、配線層内の信号配線の混雑度の低い箇所に設けられ、接地(VSS)に接続され、且つ複数の配線層を貫通するVSSダミーメタル柱702と、一度も配線層を乗り換えることなくVSSダミーメタル柱702に接続されたVSSダミーメタル704とを備えている。

10

【0069】

本実施形態の半導体装置を作製する際には、VDDダミーメタル柱701およびVSSダミーメタル柱702を形成した後にVDDダミーメタル703およびVSSダミーメタル704を形成する。

【0070】

以上の構成により、半導体チップに設けられたLSIの回路修正を行う際に、ダミーメタルを切断することで容易に回路修正を行うことが可能となり、且つダミーメタルを切断しても異なる配線層のダミーメタルの修正を行う必要がなくなる。

20

【0071】

また、配線の混雑箇所にも信号配線の邪魔にならない可能な限りのダミーメタル柱を形成しておくことにより、その後の回路修正からダミーメタル柱に接続するダミーメタルを形成することが可能になった場合にも使用可能になる。もし、ダミーメタルの形成が不可能であったとしても、ダミーメタル柱自身で所定の面積率を達成することもできる。さらに、ダミーメタル柱を半導体チップの外周領域に形成することでLSIのノイズ軽減にも使用することが可能である。

【0072】

(第9の実施形態)

図8は、本発明の第9に実施形態に係る半導体装置を示す図である。同図に示すように、本実施形態の半導体装置は、複数の配線層を備えており、電源電圧供給部(VDD)に接続され、複数の配線層に亘って設けられたVDDダミーメタル柱801と、一度も配線層を乗り換えることなくVDDダミーメタル801に接続されたVDDダミーメタル803と、接地(VSS)に接続され、複数の配線層に亘って設けられたVSSダミーメタル柱802と、一度も配線層を乗り換えることなくVSSダミーメタル柱802に接続されたVSSダミーメタル804とを備えている。そして、VDDダミーメタル803が設けられた配線層とVSSダミーメタル804が設けられた配線層とは交互に積層されている。例えば、偶数層目の配線層にはVDDダミーメタル803が設けられ、奇数層目の配線層にはVSSダミーメタル804が設けられ、上下に隣接する配線層内のVDDダミーメタル803とVSSダミーメタル804との間には配線間容量805が形成される。VDDダミーメタル柱801およびVSSダミーメタル柱802は、共に信号配線の混雑度の低い箇所に好ましく設けられる。

30

【0073】

本実施形態の半導体装置を作製する際には、信号配線の混雑度の低い箇所にVDDダミーメタル柱801およびVSSダミーメタル柱802を形成した後、VDDダミーメタル803およびVSSダミーメタル804を形成する。例えば偶数層目の配線層ではダミーメタルの接続先をVDDダミーメタル柱801とし、奇数層目の配線層ではダミーメタルの接続先をVSSダミーメタル柱802とする。

40

【0074】

以上のように、本実施形態の半導体装置では、ダミーメタルが配線層を乗り換えないよう形成するだけでなく、偶数層目の配線層と奇数層目の配線層とでダミーメタルの極性を変えることにより、第8の実施形態と同様に容易に回路の修正を行えるようになる。ま

50

た、ダミーメタルの極性を配線層によって変えることで、ダミーメタルのショートを防ぐことができる。また、本実施形態の構成によれば、ダミーメタル間に配線間容量を形成することができるようになる。

【0075】

(第10の実施形態)

図9は、本発明の第10の実施形態に係る半導体装置を示す斜視図である。同図に示すように、本実施形態の半導体装置は、第1の配線層内に設けられた浮きノードメタル901と、第1の配線層の上層である第2の配線層内に設けられた信号配線902とを備え、平面的に見て浮きノードメタル901と信号配線902とはオーバーラップしないように形成されている。

10

【0076】

本実施形態の半導体装置を作製する際には、まず第1の配線層に浮きノードメタル901を形成する。次に、浮きノードメタル901のうち、平面的に見て信号配線902と交差する(予定の)部分を切除する。残りの浮きノードメタル901がプロセス毎に定められたデザインルールの最小配線幅や最小面積に満たない場合には、その浮きノードメタル901全てを削除する。次いで、第2の配線層内に信号配線902を形成後、第2の配線層の上層である第3の配線層内にも浮きノードメタルを形成する。そして、この浮きノードメタルのうち平面的に見て信号配線902と交差する部分を切除する。

【0077】

信号配線902と重なる浮きノードメタル901の部分を削除することによって面積率を達成できなくなる場合があるが、プロセスのデザインルールを満足する形でダミーパターンを形成する数を増やすか、切断したダミーメタルの幅を太くすることで面積率の不足を補う。

20

【0078】

以上の構成により、ダミーパターンが信号配線の上下に交差しなくなっているので、微細化プロセスにおいて層間膜厚が薄くなる場合でも配線間容量を減らし、信号配線における信号伝達遅延を低減することができる。また、ダミーメタルの面積率を調節することも可能となる。

【0079】

(第11の実施形態)

30

図10は、本発明の第11の実施形態に係る半導体装置を示す図である。同図に示すように、本実施形態の半導体装置は、孤立コンタクトホール1002が形成された信号配線1003と、孤立コンタクトホール1002と同じ配線層内に形成されたコンタクトホール付きダミーメタル1001とを備えている。コンタクトホール付きダミーメタル1001は、配線層内のダミー生成可能領域1004内に設けられている。

【0080】

信号配線1003の中には、ダミー生成可能領域1004が十分に空いた箇所に配線されるものもあり、信号配線1003に接続する孤立コンタクトホール1002が形成される場合がある。孤立コンタクトホール1002が形成される場合、孤立コンタクトホール1002と同じ配線層のうち、孤立コンタクトホール1002の周囲のダミー生成可能領域1004が空き地になっていることになる。そのダミー生成可能領域1004に対して、孤立コンタクトホール1002と同層のコンタクトホール付きダミーメタル1001を形成する。なお、コンタクトホール付きダミーメタル1001は、電源電圧供給部や接地に接続されていてもよいが、接続されていなくてもよい。

40

【0081】

以上の構成により、孤立コンタクトホールが形成されている場合に発生し得るコンタクトホールの形成不良の発生を抑えることができる。この理由は以下の通りである。

【0082】

プロセスで決まる領域内に存在するコンタクトと酸化膜との比率によってエッチングの速度はばらつくと考えられる。一般に、ある程度コンタクトが存在する時のエッチング速

50

度で最適化してプロセスを開発しているため、孤立コンタクトが形成される領域では上記比率が最適化値から外れる、不良が起こりやすくなる。そのため、孤立コンタクトホールの周囲にコンタクトホール付きダミーメタルを形成することでコンタクトホールの数が増えることになり、コンタクト不良の形成不良の発生が抑えられることとなる。

【0083】

すなわち、本実施形態の半導体装置におけるコンタクトホール付きダミーメタルは、信号配線のコンタクトホール抜けによる歩留り低下を防ぎ、且つ、ダミーメタルの面積率の達成にも有効である。

【産業上の利用可能性】

【0084】

本発明に係る、半導体装置は、LSIの電源の補強および歩留まり向上に有用であり、引いてはLSIを用いた種々の機器に有用である。

【図面の簡単な説明】

【0085】

【図1】本発明の第1の実施形態に係る半導体装置を示す図である。

【図2】本発明の第2の実施形態に係る半導体装置を示す図である。

【図3】本発明の第3の実施形態に係る半導体装置を示す図である。

【図4】本発明の第4の実施形態に係る半導体装置の設計方法を示すフローチャートである。

【図5】第5の実施形態の半導体装置の設計方法を行うためのコンピュータの構成を示すブロック図である。

【図6】本発明の第6の実施形態に係る半導体装置を示す図である。

【図7】本発明の第8の実施形態に係る半導体装置を示す図である。

【図8】本発明の第9に実施形態に係る半導体装置を示す図である

【図9】本発明の第10の実施形態に係る半導体装置を示す斜視図である。

【図10】本発明の第11の実施形態に係る半導体装置を示す図である。

【符号の説明】

【0086】

101 配線層上層ダミーメタル

30

102 配線層下層ダミーメタル

103、304、805 配線間容量

201 配線層上層ダミーメタル

202、303 配線層下層浮きノードダミーメタル

301 第1の配線層上層ダミーメタル

302 第2の配線層上層ダミーメタル

401 電圧降下解析工程

402 電源経路探索工程

403 ダミーメタル生成工程

404 コンピュータ

501 ダミーメタル生成前レイアウトデータ

40

502 電圧降下解析部

503 電源経路探索部

504 ダミーメタル生成部

505 ダミーメタル生成後レイアウトデータ

601 半導体チップ

602 外周領域

603 中央部

701、801 VDDダミーメタル柱

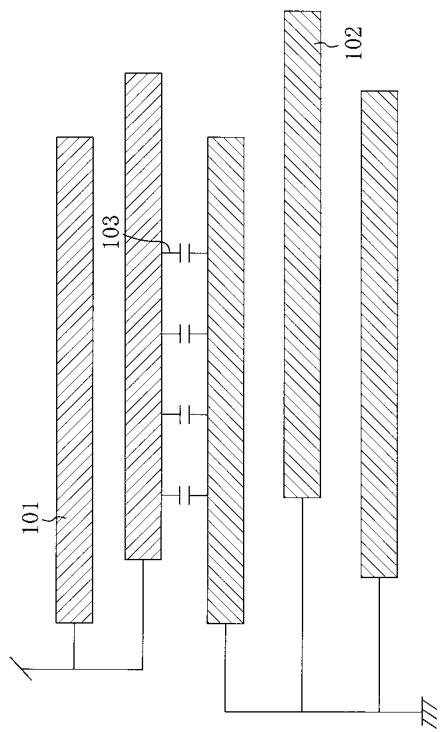
702、802 VSSダミーメタル柱

703、803 VDDダミーメタル

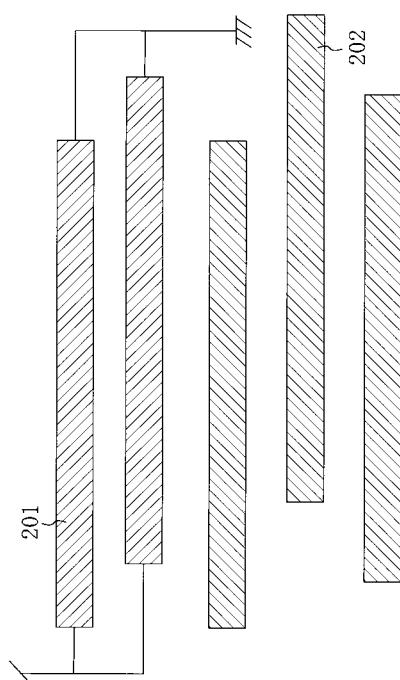
50

7 0 4、8 0 4	V S S ダミーメタル
9 0 1	ノードメタル
9 0 2、1 0 0 3	信号配線
1 0 0 1	コントラクトホール付きダミーメタル
1 0 0 2	孤立コントラクトホール
1 0 0 4	ダミー生成可能領域

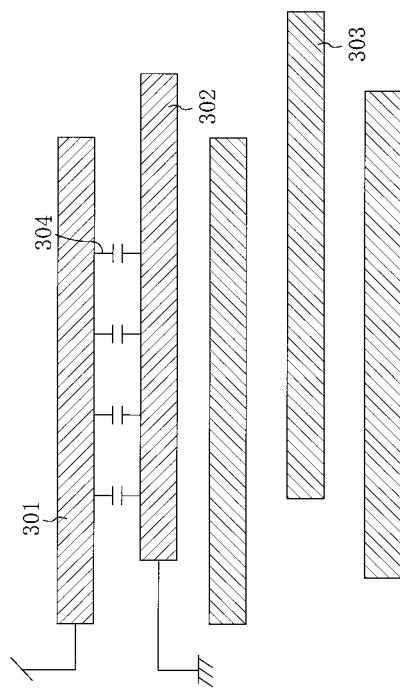
【図 1】



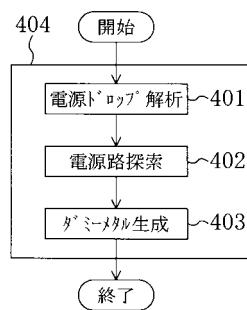
【図 2】



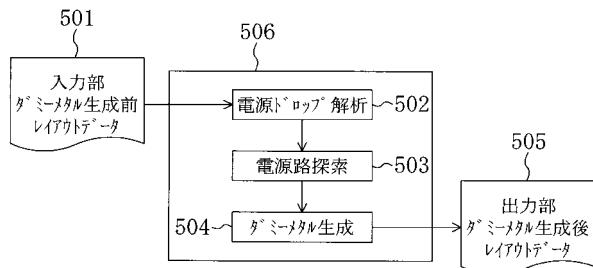
【図 3】



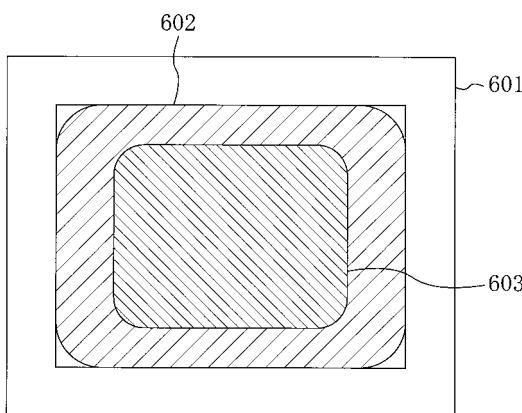
【図 4】



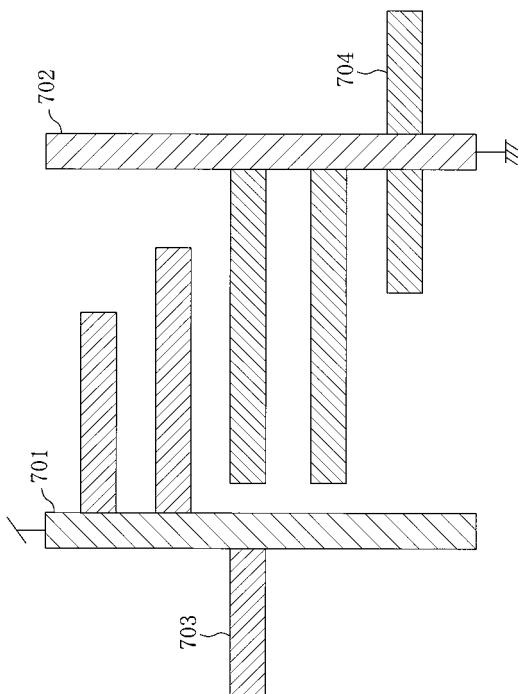
【図 5】



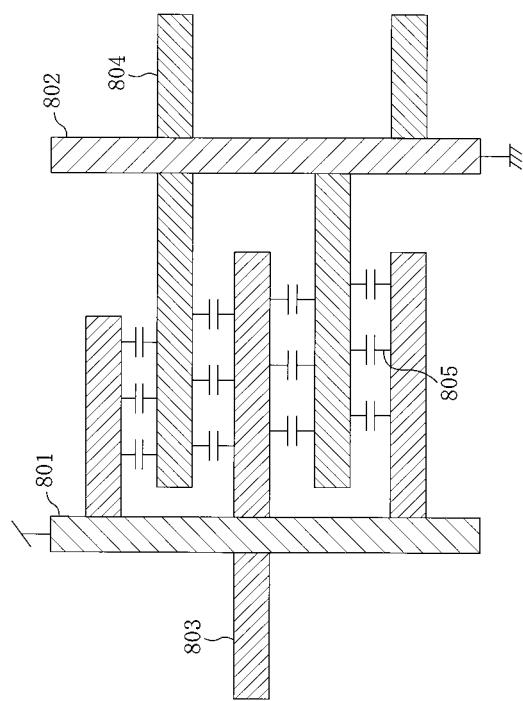
【図 6】



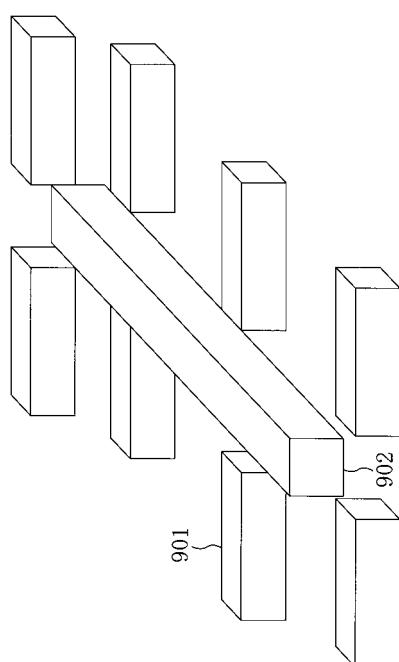
【図 7】



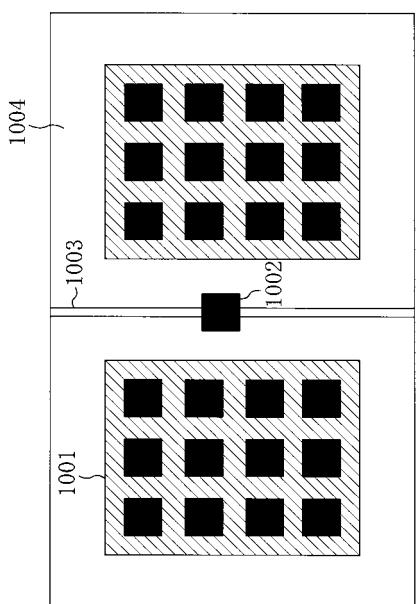
【図 8】



【図 9】



【図 10】



フロントページの続き

(74)代理人 100117581
弁理士 二宮 克也

(74)代理人 100117710
弁理士 原田 智雄

(74)代理人 100121728
弁理士 井関 勝守

(74)代理人 100124671
弁理士 関 啓

(74)代理人 100131060
弁理士 杉浦 靖也

(72)発明者 荒木 章之
大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72)発明者 木村 文浩
大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72)発明者 鳴田 純一
大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72)発明者 藤田 和久
大阪府門真市大字門真1006番地 松下電器産業株式会社内

F ターム(参考) 5F038 CD02 CD10 CD12 CD13 CD18 EZ09 EZ15 EZ20
5F064 AA04 BB13 EE09 EE12 EE22 EE26 EE27 EE32 EE33 EE36
EE42 EE43 EE51 EE52 GG03 HH06 HH10