



(12)发明专利申请

(10)申请公布号 CN 106888099 A

(43)申请公布日 2017.06.23

(21)申请号 201710166151.8

(22)申请日 2017.03.20

(71)申请人 厦门亿联网络技术股份有限公司
地址 361009 福建省厦门市软件园二期望海路63号402-502单元

(72)发明人 魏爱民 周明 陈珍军

(74)专利代理机构 厦门市新华专利商标代理有限公司 35203

代理人 朱凌

(51) Int. Cl.
H04L 12/10(2006.01)

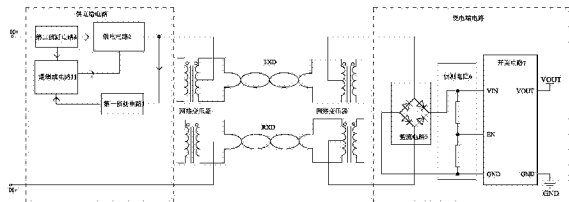
权利要求书1页 说明书5页 附图3页

(54)发明名称

一种简易兼容的POE供电装置

(57)摘要

本发明公开了一种简易兼容的POE供电装置,包括供电端电路和受电端电路,供电端电路与受电端电路之间通过网络变压器和网线进行连接;供电端电路包括第一侦测电路、供电电路、逻辑电路和第二侦测电路;受电端电路包括整流电路、侦测电阻和开关电路。本发明使用较简单的分立器件构成电路,无需专用芯片即可做到可靠识别供电,同时又能够兼容标准PSE或者PD设备的供电电路,从而在保持较低的成本下,同时满足兼容标准的PSE和PD设备进行供受电的要求。具有可靠性好,灵活性强的优点。



1. 一种简易兼容的POE供电装置,包括供电端电路和受电端电路,供电端电路与受电端电路之间通过网络变压器和网线进行连接;其特征在于:

供电端电路包括第一侦测电路、供电电路、逻辑电路和第二侦测电路;逻辑电路包括逻辑或电路;供电电路的输入端通过第二侦测电路的电流采样电阻连接至电源输入端,供电电路的输出端分别连接第一侦测电路的采样输入端和网络变压器的中心抽头输入端,第一侦测电路的输出端和第二侦测电路的输出端分别连接至逻辑或电路的相应输入端,逻辑或电路的输出端连接供电电路的控制端;

受电端电路包括整流电路、侦测电阻和开关电路;整流电路的输入端连接网络变压器的中心抽头输出端,整流电路的输出端分别连接侦测电阻的采样输入端和开关电路的输入端,其二输出端即为负极,侦测电阻的采样输出端连接开关电路的控制端;第一侦测电路的采样输入端通过网线与侦测电阻的采样输入端相连接;开关电路的输出端即为受电端电路的输出端。

2. 根据权利要求1所述的一种简易兼容的POE供电装置,其特征在于:所述逻辑电路还包括延时电路,所述延时电路连接于所述逻辑或电路的输出端与所述供电电路的控制端之间。

3. 根据权利要求1所述的一种简易兼容的POE供电装置,其特征在于:所述逻辑或电路采用或门,或者采用两个同向并联的二极管,且此两个二极管的阳极即为所述逻辑或电路的相应输入端,此两个二极管的阴极共同构成所述逻辑或电路的输出端。

4. 根据权利要求1所述的一种简易兼容的POE供电装置,其特征在于:所述第二侦测电路由电流采样电阻R4和具有一定放大倍数的运放U1组成,电流采样电阻R4两端分别连接至运放U1的相应输入端,运放U1的输出端连接至逻辑或电路的相应输入端。

一种简易兼容的POE供电装置

技术领域

[0001] 本发明涉及POE(以太网供电)技术领域,具体是一种简易兼容的POE供电装置。

背景技术

[0002] POE (Power Over Ethernet)指的是在现有的以太网Cat.5布线基础架构不作任何改动的情况下,在为一些基于IP的终端(如IP电话机、无线局域网接入点AP、网络摄像机等)传输数据信号的同时,还能为此类设备提供直流供电的技术。POE也被称为基于局域网的供电系统(POL, Power over LAN)或有源以太网(Active Ethernet),有时也被简称为以太网供电,这是利用现存标准以太网传输电缆的同时传送数据和电功率的最新标准规范,并保持了与现存以太网系统和用户的兼容性。供电识别过程能够满足IEEE 802.3af标准或IEEE 802.3at标准。

[0003] 传统POE解决方案已经比较成熟,一个完整的供电系统POE包括供电端设备(PSE, Power Sourcing Equipment)和受电端设备(PD, Power Device)两部分,都有专用的芯片能完成PSE设备和PD设备之间的有效识别,分级,供电等功能。PSE设备是为以太网客户端设备供电的设备,同时也是整个POE以太网供电过程的管理者,而PD设备是接收供电的PSE负载。传统的以太网供电系统多采用PSE芯片和PD芯片结合使用,PSE设备在端口输出很小的电压,直到其检测到线缆终端连接的为一个支持IEEE 802.3af标准的受电端设备。当检测到受电端设备PD之后,PSE设备会为PD设备进行分类,并且评估此PD设备所需的功率损耗。分类完之后即对PD设备提供稳定可靠48V的直流电。然而在某些运用场景下,比如私有的系统,主机A通过网线给从机B供电,但是仅为了使主机B能够被标准PSE设备供电,或者主机能够对标准PD设备供电,若用户按照传统的POE供电方式,如果使用昂贵的PSE芯片和PD芯片,成本往往会多出许多,而且形态较为复杂。

[0004] 公布号为CN103779972A,公开日为2014-05-07的中国发明专利提供了一种简易可靠的以太网供电装置,该发明专利的基本实现方法为:受电端设备的特征检测电阻通过两对以太网线连接供电端设备的检测电路,当供电端设备的检测电路检测到所连接的受电端设备的侦测电阻符合要求的时候,即认为连接了合法设备,然后供电端设备通过除了连接侦测电阻的另外两对以太网线对受电端设备进行供电。该专利仅仅使用电阻进行识别,成本较低,但无法做到兼容其他PSE或者PD设备。

发明内容

[0005] 本发明的目的是提供一种简易兼容的POE供电装置,其可在保持较低的成本下,同时满足兼容标准的PSE和PD设备进行供受电的要求。

[0006] 为了实现上述目的,本发明采用如下技术方案:

一种简易兼容的POE供电装置,包括供电端电路和受电端电路,供电端电路与受电端电路之间通过网络变压器和网线进行连接;

供电端电路包括第一侦测电路、供电电路、逻辑电路和第二侦测电路;逻辑电路包括逻

辑或电路；供电电路的输入端通过第二侦测电路的电流采样电阻连接至电源输入端，供电电路的输出端分别连接第一侦测电路的采样输入端和网络变压器的中心抽头输入端，第一侦测电路的输出端和第二侦测电路的输出端分别连接至逻辑或电路的相应输入端，逻辑或电路的输出端连接供电电路的控制端；

受电端电路包括整流电路、侦测电阻和开关电路；整流电路的输入端连接网络变压器的中心抽头输出端，整流电路的输出端分别连接侦测电阻的采样输入端和开关电路的输入端，侦测电阻的采样输出端连接开关电路的控制端；第一侦测电路的采样输入端通过网线与侦测电阻的采样输入端相连接；开关电路的输出端即为受电端电路的输出端。

[0007] 所述逻辑电路还包括延时电路，所述延时电路连接于所述逻辑或电路的输出端与所述供电电路的控制端之间。

[0008] 所述逻辑或电路采用或门，或者采用两个同向并联的二极管，且此两个二极管的阳极即为所述逻辑或电路的相应输入端，此两个二极管的阴极共同构成所述逻辑或电路的输出端。

[0009] 所述第二侦测电路由电流采样电阻R4和具有一定放大倍数的运放U1组成，电流采样电阻R4两端分别连接至运放U1的相应输入端，运放U1的输出端连接至逻辑或电路的相应输入端。

[0010] 采用上述方案后，本发明的一种简易兼容的POE供电装置，由于标准POE供电的供电过程是PSE端设备通过检测PD设备中的特定电阻（在本装置中就是侦测电阻）来识别符合要求的PD设备，识别后再通过特定的探测电压对PD设备进行分级识别，如果PD对该分级识别没有特别响应（例如保持侦测电阻阻值）那么就会被PSE设备认为是分级0，可正常供电，在本装置中，PD部分即利用这个特性，在侦测阶段PD部分始终保持侦测电阻的阻值，因此可以兼容标准的PSE设备，从而被标准PSE设备供电。而标准的PD设备由于存在这个侦测电阻，因此本装置的PSE部分可以通过检测该阻值，从而能够和标准PSE设备一样，对标准PD进行供电，从而可实现兼容POE标准，即可被标准PSE设备供电或对标准PD设备进行供电。同时，本发明中，在原有第一侦测电路（电阻检测电路）的基础上增加第二侦测电路（电流检测电路），在第一侦测电路检测到合法设备并成功供电后，利用了第二侦测电路结合逻辑或电路的功能，使得在对合法受电设备供电而导致的侦测电阻失效后，供电得以持续。从而在电路上解决了现有分立供电技术检测线缆和供电线缆需要分开的矛盾，只需要两对网线（一对网线为供电端正极，一对网线为供电端负极，同时起到检测的功能和供电的功能）便可以实现供电端设备对受电端设备的检测以及供电。本发明使用较简单的分立器件构成电路，无需专用芯片即可做到可靠识别供电，同时又能够兼容标准PSE或者PD设备的供电电路，从而在保持较低的成本下，同时满足兼容标准的PSE和PD设备进行供受电的要求。具有可靠性好，灵活性强的优点。

附图说明

[0011] 图1为本发明的电路原理框图；

图2为图1中供电端电路的电路原理图；

图3为图1中受电端电路的电路原理图。

具体实施方式

[0012] 本发明的一种简易兼容的POE供电装置,如图1、图2和图3所示,包括供电端电路和受电端电路,供电端电路与受电端电路之间通过网络变压器和一对网线进行连接。

[0013] 供电端电路包括第一侦测电路1、供电电路2、逻辑电路3和第二侦测电路4;其中,逻辑电路3包括逻辑或电路31。供电电路2的输入端通过第二侦测电路4的电流采样电阻R4连接至电源输入端,供电电路2的输出端分别连接第一侦测电路1的采样输入端和网络变压器的中心抽头输入端,第一侦测电路1的输出端和第二侦测电路4的输出端分别连接至逻辑电路3中逻辑或电路31的相应输入端,逻辑或电路31的输出端连接供电电路2的控制端。

[0014] 受电端电路包括整流电路5、侦测电阻6和开关电路7;整流电路5的输入端连接网络变压器的中心抽头输出端,整流电路5的输出端分别连接侦测电阻6的采样输入端和开关电路7的输入端,侦测电阻6的采样输出端连接开关电路7的控制端;第一侦测电路1的采样输入端通过一对网线与侦测电阻6的采样输入端相连接(另一对网线是地回路,肯定也有连接每个模块,包括第一侦测电路1);开关电路7的输出端VOUT即为受电端电路的输出端。

[0015] 进一步地,逻辑电路3还包括延时电路32,所述延时电路32连接于所述逻辑或电路31的输出端与所述供电电路2的控制端之间。

[0016] 供电电路2由PMOS管Q3,电阻R10,电阻R11,NPN三极管Q4构成。电阻R10和电阻R11串联,电阻R10没有与电阻R11连接的一端分别连接PMOS管Q3的S极(源极)和电流采样电阻R4的一端,电流采样电阻R4的另一端连接电源输入端POWER_IN,PMOS管Q3的D极(漏极)为供电电路2的电源输出端POWER_OUT,且PMOS管Q3的G极(栅极)连接至电阻R10与电阻R11的公共端;所述电阻R11的另一端连接NPN三极管Q4的集电极,NPN三极管Q4的发射极接信号地,NPN三极管Q4的基极连接延时电路32的输出端。当NPN三极管Q4的基极输入低电平时,NPN三极管Q4截止关闭,此时串联电阻R10和R11没有流过电流,电阻R10两端电压为0,即PMOS管Q3的栅极和源极之间电压为0,PMOS管Q3保持关闭,供电电路2不对外供电;当NPN三极管Q4的基极输入高电平时,三极管Q4饱和导通,电源POWER_IN(忽略采样电阻R4)经过串联电阻R10和R11分压后,PMOS管Q3的栅极和源极之间得到一定的电压(大于开启电压),PMOS管Q3打开供电通路,供电电路2对外供电。上述中,供电电路2的构成形式中,包括但不限于由PMOS管Q3组成,可以将PMOS管Q3更换成带有使能脚的DC-DC构成。

[0017] 第二侦测电路4由运放U1以及电流采样电阻R4构成,电流采样电阻R4的两端分别连接至运放U1的相应输入端,运放U1的输出端连接至逻辑或电路31的一个输入端。电流采样电阻R4两端的电压为V4,运放U1为具有一定放大倍数的运放。当供电电路2向受电端设备供电时,采样电阻R4会流过一定的电流,并在两端产生一定的电压V4。电压V4通过运放U1的放大,产生高电平输入到逻辑或电路31中;当采样电阻R4的电流接近0或等于0,电压V4经过运放U1放大后,产生低电平输入到逻辑或电路31中。

[0018] 第一侦测电路1包括两个运放U2A和U2B组成的窗口比较器、电阻R9、电阻R12、电阻R15、电阻R6和电阻R8。电阻R9、电阻R12和电阻R15依次串联于电源端与地之间,提供了窗口比较器的参考电压V1和V2,其中电阻R9与电阻R12的公共端提供了V2参考电压,电阻R12和电阻R15的公共端提供了V1参考电压。电阻R9与电阻R12的公共端连接至运放U2A的同相输入端,电阻R12和电阻R15的公共端连接至运放U2B的反相输入端,运放U2A的反相输入端和

运放U2B的同相输入端共同连接至供电电路2的电源输出端(PMOS管Q3的漏极),该窗口比较器的输出端连接至逻辑或电路31的另一个输入端。运放U2A的反相输入端和运放U2B的同相输入端即为该窗口比较器的采样输入端,该采样输入端电压为V3,当 $V1 < V3 < V2$ 时,比较器U2A和U2B输出均为高电平,当 $V3 > V2$ 或者 $V3 < V1$ 的时候,运放U2A和U2B其中一个输出为低电平,另外一个为高电平。由于两个运放都是开漏输出,输出通过共同的上拉电阻R8短接在一起,构成了与门的逻辑关系,因此当 $V3 > V2$ 或者 $V3 < V1$ 时,一个运放输出高电平另一个运放输出低电平,经过与的逻辑关系,窗口比较器会输出低电平,当 $V1 < V3 < V2$ 时,两个运放均输出高电平,窗口比较器会输出高电平。所述电阻R1与电阻R2为受电端电路中的侦测电阻6,供电端电路通过一对网线与受电端电路的侦测电阻6连接(另一对网线为地回路),电阻R1与电阻R2相串联,电阻R1的另一端连接窗口比较器的采样输入端,电阻R2的另一端接地。供电端电路通过电阻R9、电阻R12、电阻R15以及电阻R6设定了受电端电路中侦测电阻6应有的阻值范围,只有当该侦测电阻6的阻值落在应有的范围,才会被供电端电路识别为合法的受电端设备。图2中,VCC通过电阻R6与电阻R1、电阻R2串联,在电阻R6与电阻R1的公共端得到V3电压。当侦测电阻6的阻值在所设定的范围时,得到的V3电压满足 $V1 < V3 < V2$;当侦测电阻6的阻值不在所设定的范围时,得到的V3电压 $V3 > V2$ 或者 $V3 < V1$ 。当供电端电路检测到合法设备时,所述的窗口比较器输出高电平到逻辑或电路31。当供电端设备检测不到合法的受电端设备时,窗口比较器输出低电平到逻辑或电路31。

[0019] 逻辑电路3中,逻辑或电路31可以采用或门,也可以采用同向并联的两个二极管来完成逻辑或门的功能。当采用两个二极管时,此两个二极管的阳极即为逻辑或电路31的相应输入端,此两个二极管的阴极共同构成逻辑或电路31的输出端。延时电路32,或者说是简易单稳态触发器电路,可以由简易RC组件构成,也可以是能实现单稳态触发功能的电路,该电路能够使逻辑或电路31输出的有效高电平能够保持一段时间,确保第一侦测电路1和第二侦测电路4的衔接稳定功能。当逻辑或电路31有一个输入端(输入端A或者输入端B)为高电平,则逻辑或电路31的输出端F为高电平,延时电路也输出高电平,从而使得NPN三极管Q4饱和导通,PMOS管Q3打开供电通道,即供电端向受电端设备供电;当逻辑或电路31输入端(输入端A或者输入端B)均为为低电平时,逻辑或电路31输出为低电平,从而使NPN三极管Q4截止关闭,PMOS管Q3关闭供电通道,供电端设备未向受电端设备供电。

[0020] 整流电路5采用由四个二极管构成的整流桥D4,保证了无论是PSE1相对PSE2为正电压或者负电压,经过整流桥D4后,整流桥D4的第2引脚都能相对第4引脚为正电压。原因是连接供电端设备和受电端设备的网线有可能存在交叉网线,因此整流桥D4保证了无论是标准的PSE设备还是自己的供电端设备,都能以正确的极性,为受电端设备供电。如果是私有系统,有确定的供电极性以及网线,可以不使用整流电路5。

[0021] 侦测电阻6由电阻R1以及电阻R2串联构成,电阻R1与电阻R2的公共端连接至开关电路7的控制端,电阻R1的另一端连接整流桥D4的第2引脚,电阻R2的另一端连接整流桥D4的第4引脚。电阻R16和电阻R17以一定的比值串联,使得当供电端电路未供电时,VCC电压经过电阻R6,电阻R1,电阻R2的分压,电阻R1两端的电压无法满足使开关电路7打开的条件,从而使受电端设备阻抗保持电阻R1与电阻R2的串联值;而当供电端电路供电时,输入电源POWER_IN通过供电电路2进入受电端电路,经过受电端电路的电阻R1与电阻R2的分压,能够使得R1两端电压满足开关电路7打开的条件,从而成功为受电端设备应用电路供电。

[0022] 开关电路7由PMOS管Q5构成,PMOS管Q5的源极连接整流桥D4的第2引脚,PMOS管Q5的漏极即为开关电路7的输出端(为负载供电),PMOS管Q5的栅极(开关电路7的控制端)连接电阻R1与电阻R2的公共端。当电阻R1两端电压满足一定值时,PMOS管Q5能够开启为负载电路供电,使得供电端电路中采样电阻R4流过一定量的电流后,第二侦测电路4输出高电平。开关电路7形式不仅限于PMOS管Q5的形式,例如还可以利用DC-DC电源芯片的EN使能脚接在R1以及R2的公共端。能实现以下目的即可:第一侦测电路1工作时,在VCC电压下,经过电阻R6,电阻R1,电阻R2的串联分压后,受电端电路保持不向负载供电。只有在电源输入端POWER_IN的电压经过供电电路2接入受电端后,经过电阻R1以及电阻R2分压,能够使受电端电路开启向负载供电。

[0023] 本发明的工作原理如下:

未接入受电端设备前,由于供电电路2开路,流过电流采样电阻R4的电流不满足设定值,因此第二侦测电路4输出低电平给逻辑或电路31;此时供电电路2的输出端POWER_OUT的阻抗为无穷大,不满足应有的范围值,因此第一侦测电路1输出低电平给逻辑或电路31。这时候逻辑或电路31的输入端A以及输入端B均为低电平,因此逻辑或电路3的输出为低电平,使NPN三极管Q4截止关闭,PMOS管Q3关闭供电通道。即未接入设备前,第一侦测电路1和第二侦测电路4输出均为低电平,逻辑或电路3输出低电平。NPN三极管Q4保持截止关闭,PMOS管Q3保持关闭供电通道。

[0024] 接入非法受电端设备后,即侦测电阻6不满足要求的范围。因非法受电端设备的侦测电阻6不满足要求的范围,因此第一侦测电路1继续保持低电平输出。而PMOS管Q3在接入受电设备前以及接入受电设备后,从未开启过,所以第二侦测电路4也继续保持低电平输出,因此逻辑或电路31继续输出低电平,NPN三极管Q4保持截止关闭,PMOS管Q3保持关闭供电通道,即非法设备始终无法得到供电。

[0025] 接入合法受电端设备后,即侦测电阻6满足所要求的范围。因接入的合法设备的侦测电阻6在要求的范围内,第一侦测电路1输出高电平。逻辑或电路31的一端输入为高电平,因此其输出也为高电平,使得NPN三极管Q4饱和导通,PMOS管Q3打开供电通道,即供电端向受电端设备供电。供电的同时,所述V3电压变成供电电压,V3不满足 $V1 < V3 < V2$,因此第一侦测电路1输出低电平,但是已打开的PMOS管Q3使得受电端电路得到满足要求的电压并开启开关电路7,电流采样电阻R4流过一定的电流,第二侦测电路4输出高电平给逻辑或电路31,使得在第一侦测电路低电平的情况下,由于第二侦测电路输出的高电平,逻辑或电路31保持高电平输出,使得NPN三极管Q4仍然饱和导通,PMOS管Q3保持打开供电通道,即供电端向合法受电端设备持续供电。第一侦测电路1和第二侦测电路4在切换高电平时,为了保持供电的稳定,在逻辑电路3中加入了延时电路32(简单单稳态触发电路)。延时电路32使得即使第一侦测电路1输出高电平变成低电平后,逻辑电路3能够保持一定的时间输出高电平,该时间足以使第二侦测电路4输出稳定的高电平,从而实现在插入合法设备时,逻辑电路3输出稳定的高电平,供电电路向合法受电设备保持稳定的供电。

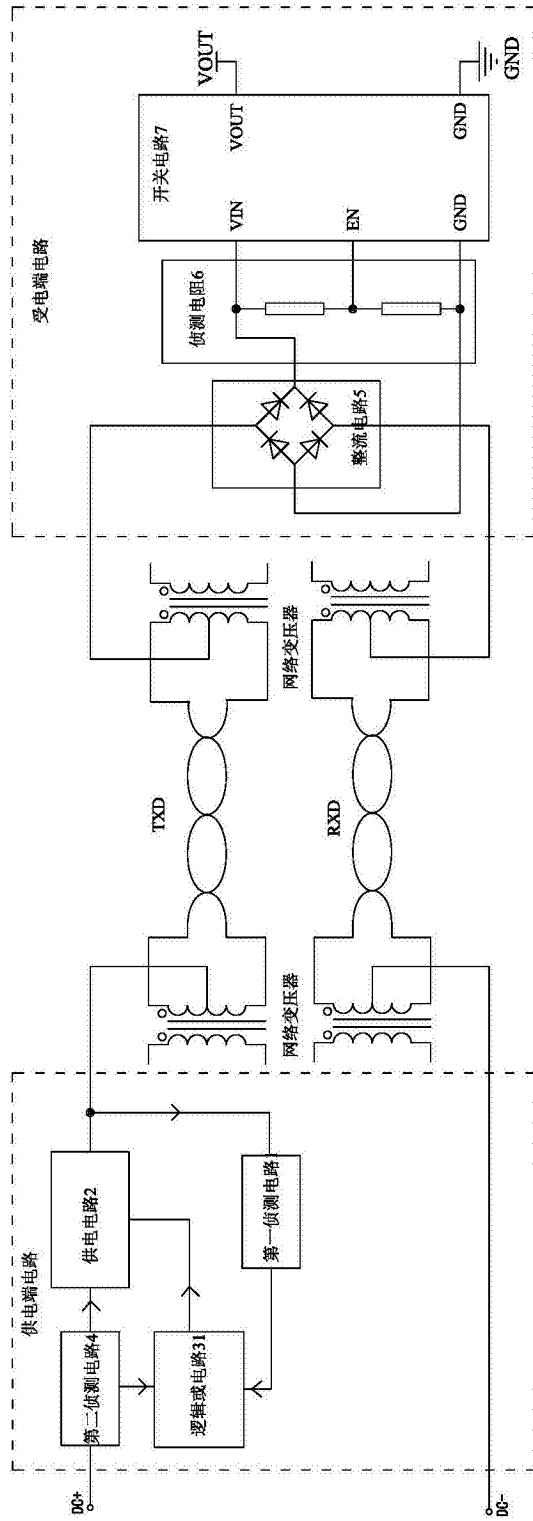


图1

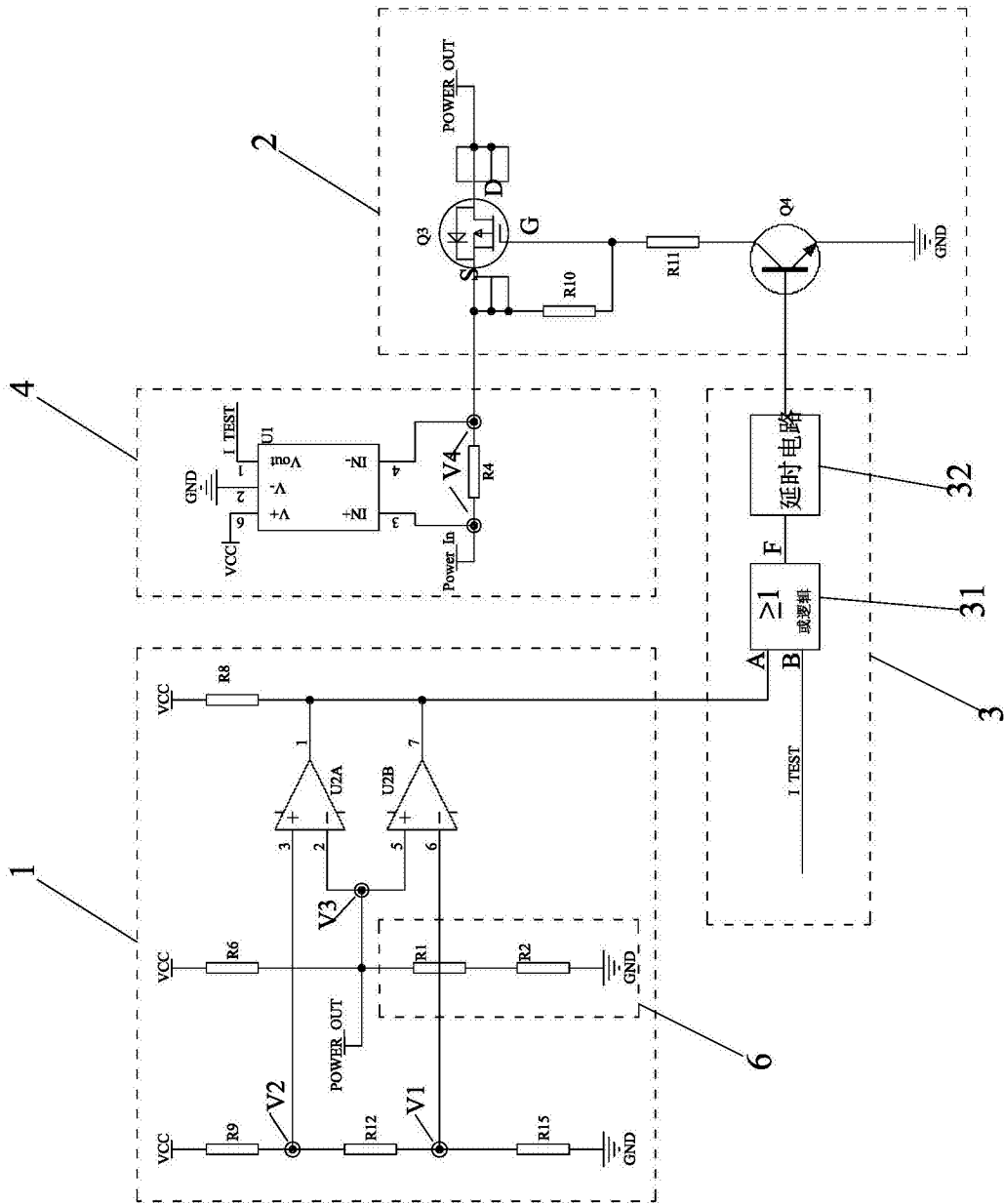


图2

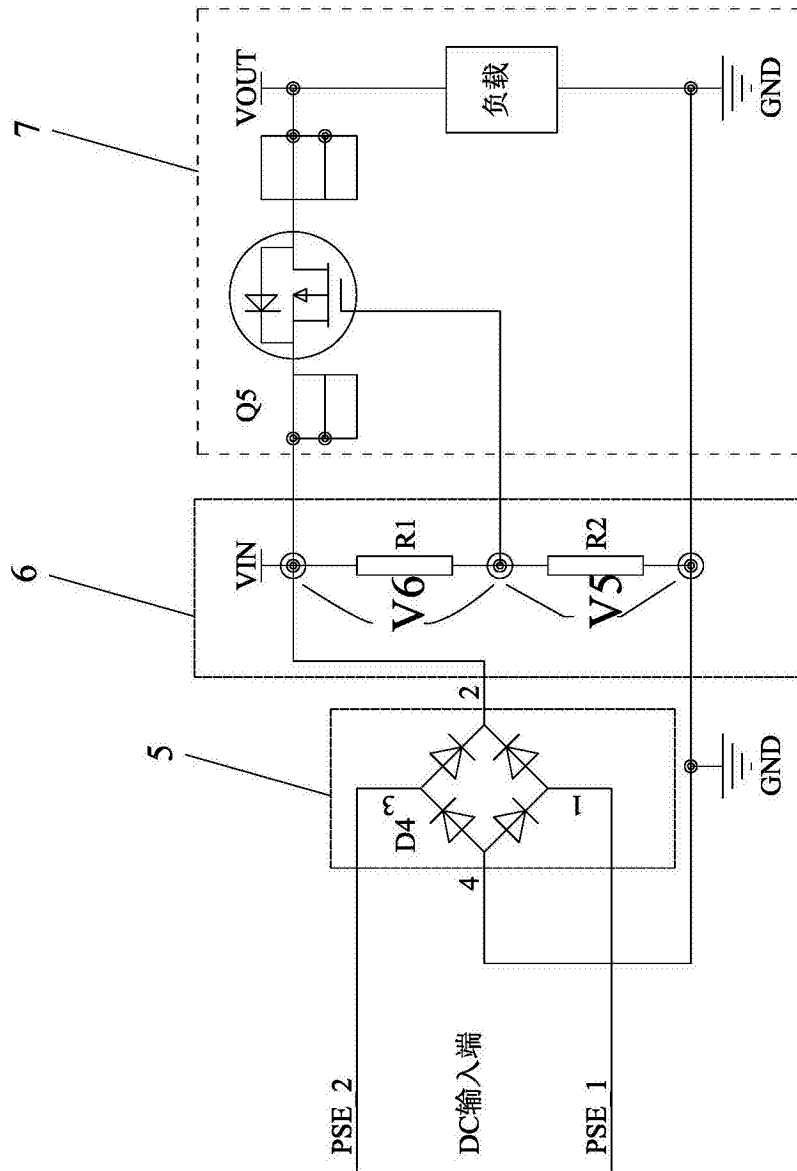


图3