

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4539155号
(P4539155)

(45) 発行日 平成22年9月8日 (2010.9.8)

(24) 登録日 平成22年7月2日 (2010.7.2)

(51) Int. Cl.		F I	
H O 1 L 23/02	(2006.01)	H O 1 L 23/02	J
G O 1 P 9/04	(2006.01)	G O 1 P 9/04	
H O 1 L 29/84	(2006.01)	H O 1 L 29/84	Z
G O 1 C 19/56	(2006.01)	G O 1 C 19/56	

請求項の数 3 (全 13 頁)

(21) 出願番号	特願2004-127134 (P2004-127134)	(73) 特許権者	000005832
(22) 出願日	平成16年4月22日 (2004.4.22)		パナソニック電工株式会社
(65) 公開番号	特開2005-129888 (P2005-129888A)		大阪府門真市大字門真1048番地
(43) 公開日	平成17年5月19日 (2005.5.19)	(74) 代理人	100067828
審査請求日	平成18年12月13日 (2006.12.13)		弁理士 小谷 悦司
(31) 優先権主張番号	特願2003-346304 (P2003-346304)	(72) 発明者	辻 幸司
(32) 優先日	平成15年10月3日 (2003.10.3)		大阪府門真市大字門真1048番地 松下
(33) 優先権主張国	日本国 (JP)		電工株式会社内
前置審査		(72) 発明者	佐名川 佳治
			大阪府門真市大字門真1048番地 松下
			電工株式会社内
		(72) 発明者	桐原 昌男
			大阪府門真市大字門真1048番地 松下
			電工株式会社内

最終頁に続く

(54) 【発明の名称】 センサシステムの製造方法

(57) 【特許請求の範囲】

【請求項 1】

センサ本体部と、前記センサ本体部と同一材料で形成された上部封止体と、前記上部封止体と協同して前記センサ本体部を内部に収納するように前記上部封止体と接合され、前記センサ本体部と同一材料で形成された下部封止体と、を備えたセンサ装置と、

前記センサ装置を駆動するための集積回路と、

前記センサ装置と前記集積回路とを互いに積層した状態で支持するように前記センサ装置と前記集積回路との間に介在し、且つ前記センサ装置と前記集積回路との電氣的接続を中継する M I D (Molded Interconnect Device) 基板と、

前記 M I D 基板に設けられ前記 M I D 基板を通じて前記センサ装置と前記集積回路との少なくとも一方に電氣的に接続された実装用外部電極と、を備えるセンサシステムを製造する方法であって、

前記センサ装置及び前記集積回路の何れかと前記 M I D 基板との接続は、プラズマを用いて電極表面を活性化させて、センサシステムの定格としての使用温度範囲 (0 ° C ~ + 8 0 ° C) 以内の温度で定義される常温で行われること

を特徴とするセンサシステムの製造方法。

【請求項 2】

センサ本体部と、前記センサ本体部と同一材料で形成された上部封止体と、前記上部封止体と協同して前記センサ本体部を内部に収納するように前記上部封止体と接合され、前記センサ本体部と同一材料で形成された下部封止体と、を備えたセンサ装置と、

10

20

前記センサ装置と接続されて積層体を形成しており、前記センサ装置を駆動するための集積回路と、

前記センサ装置と前記集積回路との間に介在することなく前記積層体を支持するM I D (Molded Interconnect Device) 基板と、

前記M I D 基板に設けられ前記M I D 基板を通じて前記センサ装置と前記集積回路との少なくとも一方に電氣的に接続された実装用外部電極と、を備えるセンサシステムの製造方法であって、

前記センサ装置及び前記集積回路の何れかと前記M I D 基板との接続は、プラズマを用いて電極表面を活性化させて、センサシステムの定格としての使用温度範囲 (0 ° C ~ + 8 0 ° C) 以内の温度で定義される常温で行われること

を特徴とするセンサシステムの製造方法。

【請求項 3】

前記実装用外部電極が階段状に屈曲したピンである請求項 1 又は 2 記載のセンサシステムの製造方法。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本発明は、センサシステムの製造方法に関する。

【背景技術】

【 0 0 0 2 】

半導体プロセスを基盤としたマイクロマシン技術を用いたマイクロサイズのセンサ、アクチュエータ等、及びそれらの駆動回路 (制御回路を含む) を集積化した微細システムは、M E M S (Micro Electro Mechanical System) と称される。図 1 2 は、M E M S として形成された従来のセンサシステムの側面断面図である。このセンサシステム 1 5 0 は、セラミクス基板 7 0、センサ装置 7 4、集積回路 7 5、実装用外部電極 7 7、及び封止材 7 8 を備えている。セラミクス基板 7 0 は配線パターン 7 6 を有している。

【 0 0 0 3 】

センサ装置 7 4 は角速度センサであり、シリコンを基材とするセンサ本体部 7 1、ガラスを材料とする上部封止体 7 2、及び同じくガラスを材料とする下部封止体 7 3 を備えている。上部封止体 7 2 と下部封止体 7 3 とは、センサ本体部 7 1 を気密に収納する部材である。集積回路 7 5 は、センサ装置 7 4 を駆動 (制御を含む) する駆動回路であり、ペアチップの形態で bumps を通じてセラミクス基板 7 0 の上の配線パターン 7 6 に接続されている。即ち、集積回路 7 5 はセラミクス基板 7 0 にフリップチップ実装されている。センサ装置 7 4 もフリップチップ実装と同様の形態でセラミクス基板 7 0 に実装されている。また、センサ装置 7 4 及び集積回路 7 5 は、樹脂の封止材 7 8 によって封止されている。センサシステム 1 5 0 は、配線パターン 7 6 に接続された実装用外部電極 7 7 を通じて、外部の回路基板等を実装することができる。このように、センサシステム 1 5 0 は、あたかも一つの集積回路と同様に取り扱うことが可能となっている。

【 0 0 0 4 】

センサ装置 7 4 に関して、シリコンを基材とするセンサ本体部 7 1 を、ガラス製の上部封止体 7 2 及び下部封止体 7 3 で封止する技術は、特許文献 1 にも開示されているように、当分野では一般的に用いられる技術である。しかしながら、シリコンとガラスの間では、熱膨張係数の差が大きく、温度変化に伴ってセンサ本体部 7 1 に歪が生じるという問題点があった。この歪は、センサ本体部 7 1 の共振周波数を変化させる等により、センサとしての特性に温度ドリフトを生じる要因となっていた。更に、センサシステム 1 5 0 は、センサ装置 7 4 と集積回路 7 5 とを互いに横に並ぶように実装するので、システムの小型化に限界を有していた。

【特許文献 1】特開 2 0 0 1 - 1 5 3 8 8 1 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

本発明は上記の問題点に鑑みてなされたもので、センサ特性における温度ドリフトを低減したセンサシステムの小型化を図ることのできるセンサシステムの製造方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 6 】

上記課題を解決し上記目的を達成するために、本発明のうち第1の態様に係るものは、センサ本体部と、前記センサ本体部と同一材料で形成された上部封止体と、前記上部封止体と協同して前記センサ本体部を内部に収納するように前記上部封止体と接合され、前記センサ本体部と同一材料で形成された下部封止体と、を備えたセンサ装置と、前記センサ装置を駆動するための集積回路と、前記センサ装置と前記集積回路とを互いに積層した状態で支持するように前記センサ装置と前記集積回路との間に介在し、且つ前記センサ装置と前記集積回路との電氣的接続を中継するM I D (Molded Interconnect Device) 基板と、前記M I D 基板に設けられ前記M I D 基板を通じて前記センサ装置と前記集積回路との少なくとも一方に電氣的に接続された実装用外部電極と、を備えるセンサシステムを製造する方法であって、前記センサ装置及び前記集積回路の何れかと前記M I D 基板との接続は、プラズマを用いて電極表面を活性化させて常温で行われ、前記常温とは、センサシステム102の定格としての使用温度範囲以内の温度であるものである。

【 0 0 0 7 】

本発明のうち第2の態様に係るものは、センサ本体部と、前記センサ本体部と同一材料で形成された上部封止体と、前記上部封止体と協同して前記センサ本体部を内部に収納するように前記上部封止体と接合され、前記センサ本体部と同一材料で形成された下部封止体と、を備えたセンサ装置と、前記センサ装置と接続されて積層体を形成しており、前記センサ装置を駆動するための集積回路と、前記センサ装置と前記集積回路との間に介在することなく前記積層体を支持するM I D (Molded Interconnect Device) 基板と、前記M I D 基板に設けられ前記M I D 基板を通じて前記センサ装置と前記集積回路との少なくとも一方に電氣的に接続された実装用外部電極と、を備えるセンサシステムの製造方法であって、前記センサ装置及び前記集積回路の何れかと前記M I D 基板との接続は、プラズマを用いて電極表面を活性化させて常温で行われ、前記常温とは、センサシステム102の定格としての使用温度範囲以内の温度であることを特徴とする。

【 0 0 0 8 】

本発明のうち第3の態様に係るものは、第1又は第2の態様に係るセンサシステムの製造方法であって、前記実装用外部電極が階段状に屈曲したピンであることを特徴とする。

【発明の効果】

【 0 0 0 9 】

本発明のセンサシステムの製造方法によれば、センサシステムの製造後にセンサ装置に残留する熱歪を低減して、センサ特性の設計値からずれを抑えることができる。さらに、センサシステムに熱応力が残留することを抑制乃至解消することができる。

【発明を実施するための最良の形態】

【 0 0 1 0 】

本発明のセンサシステムの製造方法を、以下の実施形態のセンサシステムの構成を用いて、説明する。

【 0 0 1 1 】

(第1の実施形態)

図1は、本発明の第1の実施形態によるセンサシステムの構成を示す断面図である。図1(a)は、同センサシステムの縦断面図であり、図1(b)は図1(a)のA-A切断線に沿った断面図である。このセンサシステム101は、M E M Sとして形成されており、センサ装置10、集積回路20、M I D (Molded Interconnect Device) 基板30、実装用外部電極31、及び封止材32を備えている。センサ装置10は、例えば角速度センサであり、シリコンを基材とするセンサ本体部1、同じくシリコンを基材とする上部封止

体 2、及び同じくシリコンを基材とする下部封止体 3 を備えている。「シリコンを基材とする」とは、不純物がドーピングされたシリコンをも含める趣旨である。

【 0 0 1 2 】

上部封止体 2 と下部封止体 3 とは、互いに接合されることにより、その内部に形成する空洞にセンサ本体部 1 を気密に収納している。上部封止体 2 と下部封止体 3 とは、周知のシリコン基板の貼り合わせ技術を用いて接合することができる。上部封止体 2 の外側表面には、センサ装置 1 0 を実装するための実装用電極 5 が設けられている。実装用電極 5 は、例えばパンプ電極であり、上部封止体 2 を貫通する導電体である貫通電路 4 によって、センサ本体部 1 に電氣的に接続されている。

【 0 0 1 3 】

下部封止体 3 は、基板状部材 3 5 とこれに接合した枠状部材 3 6 とを含んでいる。基板状部材 3 5 を一つのウェハから形成し、センサ本体部 1 と枠状部材 3 6 とを別のウェハから形成し、上部封止体 2 を更に別のウェハから形成することができる。各ウェハに貫通電路 4 を形成するための処理等を行った後に、3 枚のウェハを例えば貼り合わせにより接合し、その後に個々のチップに切り出すことにより、センサ装置 1 0 を得ることができる。図 1 以下の各図では、枠状部材 3 6 は下部封止体 3 に含めているが、上部封止体 2 に含めても良い。

【 0 0 1 4 】

集積回路 2 0 は、センサ装置 1 0 を駆動（制御を含む）する駆動回路であり、ヘアチップの形態で、実装用電極 5 を通じてセンサ装置 1 0 と接続されて 2 層の積層体を形成している。集積回路 2 0 は、集積回路基板であるチップ本体 1 1 と、その一主面に形成された配線パターン 1 2 とを有しており、実装用電極 5 は配線パターン 1 2 に接続されている。センサ装置 1 0 と集積回路 2 0 との積層体は、M I D 基板 3 0 に設けられた凹部に挿入された状態で、M I D 基板 3 0 に支持されている。更に、積層体は樹脂等の封止材 3 2 で封止されている。

【 0 0 1 5 】

M I D 基板（立体回路形成用基板）3 0 は、樹脂等を成型することにより形成された絶縁体を材料とする基板本体部 2 1 と、その表面に配設された配線パターン 2 2 とを有している。配線パターン 2 2 には、センサシステム 1 0 1 を外部の回路基板に実装するための実装用外部電極 3 1 が接続されている。集積回路 2 0 の配線パターン 1 2 は、集積回路 2 0 を実装するための実装用電極 2 3 を通じて配線パターン 2 2 に接続されている。それにより、積層体と実装用外部電極 3 1 とが電氣的に接続されている。実装用電極 2 3 は、例えばパンプ電極である。このように、センサシステム 1 0 1 は、あたかも一つの集積回路と同様に取り扱うことが可能となっている。

【 0 0 1 6 】

以上のようにセンサシステム 1 0 1 は、センサ本体部 1 が、自身と材料を同一にする上部封止体 2 及び下部封止体 3 によって収納され且つ固定されているので、それらの部材の間に熱膨張係数の差がない。このため、センサ装置 1 0 の構成部材の間での熱膨張係数の差に起因するセンサ特性の温度ドリフトが解消される。センサ本体部 1 と M I D 基板 3 0 との間には集積回路 2 0 及び上部封止体 2 が介在するので、M I D 基板 3 0 とセンサ装置 1 0 との間での熱膨張係数の相違に起因する温度ドリフトも低く抑えられる。それにより、高精度のセンサ特性が得られる。

【 0 0 1 7 】

また、上部封止体 2 を貫通する貫通電路 4 によりセンサ本体部 1 と実装用電極 5 とが接続されることにより、センサ装置 1 0 について、集積回路のフリップチップと同様の形態を実現するので、センサ装置 1 0 が横に広がらず小型化される。上部封止体 2 がシリコンを基材とすることから、センサ本体部 1 と同様に微細加工が可能であり、そのことが貫通電路 4 の形成を容易にしている。更に、センサ装置 1 0 と集積回路 2 0 とが積層体を形成するので、センサシステム 1 0 1 を小型に形成することができる。また、集積回路 2 0 は、フリップチップの形態で M I D 基板 3 0 に実装されており、このこともセンサシステム

10

20

30

40

50

１０１の小型化に寄与している。

【００１８】

また、ＭＩＤ基板３０が用いられるので、実装用外部電極３１を容易に形成することができる。更に、図１に示すように実装用外部電極３１は、階段状に屈曲したピンとして形成されているので、センサシステム１０１が実装される回路基板（例えば、マザーボード）とセンサシステム１０１との間の熱膨張係数の差によりセンサシステム１０１の内部に発生する熱歪が低減される。それにより、センサ特性への熱歪の影響が更に抑制される。

【００１９】

図２は、上部封止体２に貫通回路４を形成する工程を示す製造工程図である。上部封止体２に貫通回路４を形成するには、まず、例えばＩＣＰを用いることにより上部封止体２に貫通孔４２を形成し、その後、例えば熱酸化により二酸化シリコンの絶縁膜４１を上部封止体２の表面に形成する（図２（ａ））。次に、ＣＶＤ（化学気相成長）を用いることにより、例えば銅などの導電体４３を上部封止体２の表面に堆積させる（図２（ｂ））。導電体４３は、銅以外の金属であっても良く、不純物をドーブした多結晶シリコンであってもよい。その後、例えば銅メッキを実行して導電体４４を堆積させることにより、貫通孔４２を導電体４４で埋め込む（図２（ｃ））。銅メッキの代わりに、ＣＶＤを用いても良い。次に、例えばマスクパターンを用いてメタルＲＩＥ（反応性イオンエッチング）を実行し、導電体４４を選択的に除去することにより配線パターン（パッドを含む）４６，４７を形成する（図２（ｄ））。

【００２０】

このように、周知の半導体プロセスを組み合わせることにより、上部封止体２に貫通回路４を容易に形成することができる。また、図２（ｃ）の工程により、貫通孔４２を導電体４４により容易に埋め込むことができるので、センサ本体部１を収納するために上部封止体２と下部封止体３とが内部に形成する収納室を容易に気密に保つことができ、特に高真空に保つことも可能となる。それにより品質の良いセンサ装置１０を得ることができる。更に、上部封止体２の表面に絶縁膜４１が形成されるので、シリコンを基材とする上部封止体２と貫通回路４との間が良好に電氣的に絶縁される。それにより、高精度のセンサ装置１０が得られる。

【００２１】

更に、図２（ｄ）に示すように、上部封止体２の下面を平坦に形成することにより、下部封止体３との貼り合わせを容易化することができる。なお、上部封止体２の代わりに、或いはそれと併せて、下部封止体３に貫通回路４を形成することも可能である。

【００２２】

また、センサ本体部１、上部封止体２及び下部封止体３は、シリコンを基材とする材料以外の半導体であってもよい。しかしながら、数多くの半導体の中で、シリコンについては微細加工を行うための技術が幅広く確立されており、且つ材料も低コストであることから、特にシリコンを基材とする材料が望ましい。また、センサ本体部１、上部封止体２及び下部封止体３は、半導体を材料としなくても、材料が互いに同一であれば、熱膨張係数の差に起因する温度ドリフトの問題は解消される。しかしながら、半導体を材料とすることで、半導体プロセスを用いて微細加工を容易に行うことができ、高精度且つ小型のセンサ装置１０及びセンサシステム１０１を容易に得ることができる。

【００２３】

（第２の実施形態）

図３は、本発明の第２の実施形態によるセンサシステムの構成を示す縦断面図である。なお、以下の図において図１と同一の部分乃至同一の機能を果たす部分については、同一の符号を付して詳細な説明を略する。図３に示すセンサシステム１０２は、ＭＩＤ基板３０が、互いに積層されたセンサ装置１０と集積回路２０との間に介在するように形成されている点において、図１のセンサシステム１０１とは主として異なっている。センサ装置１０は実装用電極５を通じて配線パターン２２に接続され、集積回路２０は実装用電極２

3を通じて配線パターン22に接続されている。また、MID基板30には、開口部25が設けられており、配線パターン30は開口部25にも配設されている。それにより、MID基板30は、センサ装置10と集積回路20との間の電氣的接続をも中継している。また、配線パターン22を通じて、センサ装置10及び集積回路20の少なくとも一方は、実装用外部電極31に接続されている。なお、図3には、センサ装置10及び集積回路20の双方が実装用外部電極31に接続された例を示している。

【0024】

以上のようにセンサシステム102は、センサシステム101と同様に、センサ本体部1が、自身と材料を同一にする上部封止体2及び下部封止体3とによって収納され且つ固定されているので、センサ装置10の構成部材の間での熱膨張係数の差違に起因するセンサ特性の温度ドリフトが解消される。また、センサ装置10と集積回路20とがMID基板30を介して積層状態にあるので、センサシステム102を小型に形成することができる。また、センサ装置10及び集積回路20は、フリップチップの形態でMID基板30に実装されており、このこともセンサシステム102の小型化に寄与している。また、MID基板30が用いられるので、実装用外部電極31を容易に形成することができる。更に、実装用外部電極31は、センサシステム101の場合とは異なり、パンプ電極として形成されているので、マザーボード等の回路基板上でのセンサシステム102の実装面積を更に縮小化することができる。

【0025】

センサシステム102の製造工程において、望ましくは、実装用電極5を介したセンサ装置10とMID基板30との接続、及び実装用電極23を介した集積回路20とMID基板30との接続は常温で行われる。例えば、プラズマを用いて電極表面を活性化しつつ押圧することにより常温での接続を行うことができる。ここで、常温とは、センサシステム102の定格としての使用温度範囲（例えば0℃～+80℃など）以内の温度であればよい。それにより、完成後のセンサシステム102に熱応力が残留することを抑制乃至解消することができ、センサ装置10のセンサ品質の劣化を抑えることができる。

【0026】

（第3の実施形態）

図4は、本発明の第3の実施形態によるセンサシステムの構成を示す縦断面図である。このセンサシステム103は、実装用外部電極31の基端部が、MID基板30の基板本体部21に埋設されている点において、図1に示したセンサシステム101とは主として異なっている。センサシステム103においても、センサシステム101と同様に、実装用外部電極31は階段状に屈曲したピンとして形成されているので、センサシステム103が実装される回路基板とセンサシステム103との間の熱膨張係数の差違によりセンサシステム103の内部に発生する熱歪が低減され、熱歪に起因するセンサ特性の劣化が抑制される。

【0027】

実装用外部電極31を基板本体部21に埋設するには、実装用外部電極31を多数連結するリードフレーム（不図示）を準備し、このリードフレームとともに樹脂等の基板本体部21の材料を成型（モールド）するとよい。基板本体部21の成型が終了した後に、実装用外部電極31をリードフレームから切り離し、更に階段状にフォーミングすることにより、図4の形状の実装用外部電極31が容易に得られる。

【0028】

（第4の実施形態）

図5は、本発明の第4の実施形態によるセンサシステムの構成を示す縦断面図である。このセンサシステム104は、図1に示したセンサシステム101と同様にセンサ装置10と集積回路20とが、MID基板30を介することなく接続されて積層体を形成している。しかしセンサシステム104は、センサ装置10に実装用外部電極31が設けられている点において、図1に示したセンサシステム101とは主として異なっている。即ち、センサシステム104は、MID基板30を必要としない。図5の例では、実装用外部電

極 3 1 は、上部封止体 2 及び下部封止体 3 を貫通する貫通電路 5 1 及び実装用電極 5 を通じて、集積回路 2 0 の配線パターン 1 2 に接続されている。センサシステム 1 0 4 の製造工程において、貫通電路 5 1 は、上部封止体 2 及び下部封止体 3 を互いに貼り合わせるときに印加される押圧力によって、容易に一体的に連結する。

【 0 0 2 9 】

以上のようにセンサシステム 1 0 4 は、M I D 基板 3 0 を要しないので、更に小型に形成することができ、回路基板への実装面積を更に縮小化することができる。また、センサシステム 1 0 4 は、M I D 基板 3 0 を要しないので、M I D 基板 3 0 とセンサ装置 1 0 との間の熱膨張係数の差異に起因する熱応力の問題を生じない。即ち、センサ特性の設計値からのずれ及び使用時におけるセンサ特性の温度ドリフトが更に抑えられ、更に高品位のセンサ特性が得られる。

10

【 0 0 3 0 】

(第 5 の実施形態)

図 6 にセンサシステム 1 0 5 として示すように、センサシステム 1 0 4 における実装用外部電極 3 1 を、集積回路 2 0 A の側に設けても良い。図 6 の例では、外部電極 3 1 は、集積回路 2 0 A を貫通する貫通電路 5 2 によって配線パターン 1 2 に接続されている。この形態においても、センサシステム 1 0 4 について述べた上記の利点は同様に得られる。

【 0 0 3 1 】

(第 6 の実施形態)

図 7 は、本発明の第 6 の実施形態によるセンサ装置の構成を示す縦断面図である。このセンサ装置 1 0 A は、上部封止体 2 が集積回路基板即ちチップ本体 8 1 として形成されている点、及び貫通電路 4 に代えてチップ本体 8 1 の接合面を這うように形成された配線パターン 6 0 によって、センサ本体部 1 と実装用電極 5 とが電氣的に接続されている点において、図 1 等に示したセンサ装置 1 0 とは異なっている。チップ本体 8 1 には、センサ本体部 1 を駆動するための図略の回路が形成されている。チップ本体 8 1 と配線パターン 6 0 とは、集積回路を構成する。

20

【 0 0 3 2 】

配線パターン 6 0 は、チップ本体 8 1 の内側主面に配設された配線パターン 6 1 と、チップ本体 8 1 の側面に配設された配線パターン 6 2 と、チップ本体 8 1 の外側主面に配設された配線パターン 6 3 とを含んでいる。配線パターン 6 1、6 2 及び 6 3 は互いに連結している。センサ本体部 1 は配線パターン 6 1 に電氣的に接続されている。実装用電極 5 は配線パターン 6 3 の上に形成されている。配線パターン 6 1 は、チップ本体 8 1 の相対する下部封止体 3 との接合面にも配設されており、それによって貫通電路 4 なしでセンサ本体部 1 と実装用電極 5 との電氣的接続を実現している。

30

【 0 0 3 3 】

センサ装置 1 0 A では、上部封止体 2 としてのチップ本体 8 1 が、少なくとも一部において配線パターン 6 1 を挟んで、下部封止体 3 と接合されている。本明細書では、この形態をも含めて下部封止体 3 と上部封止体 2 (チップ本体 8 1) とが接合している、と表現する。

【 0 0 3 4 】

図 8 は、チップ本体 8 1 に配線パターン 6 0 を配設する工程を示す製造工程図である。図 8 (a)、(c)、(e) 及び (g) は、各工程におけるチップ本体 8 1 の縦断面図であり、図 8 (b)、(d)、(f) 及び (h) は、対応する各工程におけるチップ本体 8 1 の側面図である。各縦断面図は、同列の側面図の B - B 切断線に沿った断面図に該当する。

40

【 0 0 3 5 】

配線パターン 6 0 を配設するには、まず、周知の半導体プロセスを通じて回路が形成されたチップ本体 8 1 を準備する (図 8 (a)、(b))。チップ本体 8 1 は、ウェハから切り出される前のものであることが製造工程の容易化の観点から望ましいが、切り出された後のものであっても良い。次に、チップ本体 8 1 の表面全体に、メッキ下地層 6 5 を形

50

成する(図8(c)、(d))。メッキ下地層65は、例えばアルミニウムをスパッタリングすることにより形成される。メッキ下地層65は、例えば1 μ m程度の厚さに形成される。

【0036】

次に、メッキ下地層65を選択的に除去することにより、メッキ下地層65をパターニングする(図8(e)、(f))。メッキ下地層65の選択的除去は、例えば、レーザビームを選択的に照射することにより達成することができる。或いは、フォトリソグラフィを用いることによりメッキ下地層65の選択的除去を行っても良い。次に、図8(e)及び(f)の工程後の生成物を、例えばメッキ液に浸漬して電流を通じることにより、パターニング後のメッキ下地層66の上に配線パターン60を形成する(図8(g)、(h))。配線パターン60は、例えばニッケルを材料とし、例えば10 μ m程度の厚さに形成される。

10

【0037】

図8(h)において、3つの領域に分割された配線パターン60のうち、例えば、中央を占める領域が不要なパターンであれば、この部分を他の部分から孤立するようにパターニングしておくといよい。それにより、メッキ工程において中央の領域には電流が流れないので、中央の領域における配線パターン60の形成を阻止することができる。中央の領域にメッキ下地層66が残らないように、メッキ下地層65をパターニングすることによっても、中央の領域に配線パターン60が形成されないようにすることも可能である。但し、レーザビームを用いてパターニングする場合には、スループットを高める上で、レーザビームを照射すべき面積を節減することが望ましい。また、中央の領域が不要な領域であったとしても、この領域に形成される配線パターン60が回路の動作を妨げない場合には、図8(h)に示すようにこの領域に配線パターン60を形成しても支障がない。

20

【0038】

次に、図7に戻って、配線パターン60の一部である配線パターン63の上に実装用電極5を形成する。その後、上部封止体2としてのチップ本体81と下部封止体3とを、例えば貼り合わせにより接合することにより、図7に示すセンサ装置10Aが得られる。

【0039】

以上のように、センサ装置10Aは、上部封止体2としてチップ本体81を用いるので、集積回路20或いは20Aを別途に要することなく、図5のセンサシステム104等と同等の機能を実現する。即ち、センサ装置10Aはセンサシステムの小型化を実現する。また、貫通電路4を要することなく、接合面を這うように形成される配線パターン60によって、センサ本体部1と実装用電極5とが電氣的に接続されるので、貫通電路4を形成するためのスペースが無用となる。このことは、センサシステムの更なる小型化に寄与する。また、貫通電路4に比べて配設容易な配線パターン60が用いられるため、製造コストが節減される。

30

【0040】

なお、チップ本体81に配線パターン60の代わりに、貫通電路4を形成しても良い。この形態においても、上部封止体2としてチップ本体81を用いることによる利点は同様に得られる。また、上部封止体2だけでなく下部封止体3にも、チップ本体81と同様に回路を形成しても良い。

40

【0041】

(第7の実施形態)

図9は、本発明の第7の実施形態によるセンサシステムの構成を示す縦断面図である。このセンサシステム106は、貫通電路4に代えて上部封止体2の相対する下部封止体3との接合面を這うように形成された配線パターン60によってセンサ本体部1と実装用電極5とが電氣的に接続されている点において、図6に示したセンサシステム105とは異なっている。上部封止体2は、図7に示したチップ本体81とは異なり、回路が作り込まれていない封止体である。即ち、センサ装置10Bは、上部封止体2がチップ本体81ではない点において、図7に示したセンサ装置10Aとは異なっている。配線パターン60

50

は、図 8 に示した工程と同様の工程を通じて、上部封止体 2 に配設することができる。

【 0 0 4 2 】

このようにセンサシステム 1 0 6 では、貫通回路 4 を要することなく、接合面を這うように形成される配線パターン 6 0 によって、センサ本体部 1 と実装用電極 5 とが電氣的に接続されるので、貫通回路 4 を形成するためスペースが無用となる。それにより、センサシステム 1 0 6 を小型に形成することができる。また、貫通回路 4 に比べて配設容易な配線パターン 6 0 が用いられるため、製造コストが節減される。

【 0 0 4 3 】

(第 8 の実施形態)

図 1 0 は、本発明の第 8 の実施形態によるセンサシステムの構成を示す縦断面図である。このセンサシステム 1 0 7 は、センサ装置 1 0 C が、上部封止体 2 及び下部封止体 3 を貫通する貫通回路 5 1 に代えて、上部封止体 2 の側面と下部封止体 3 の側面とを這うことにより実装用外部電極 3 1 と集積回路 2 0 とを電氣的に接続する配線パターン 6 5 を備えている点において、図 5 に示したセンサシステム 1 0 4 とは異なっている。配線パターン 6 5 は、互いに接合された上部封止体 2 と下部封止体 3 との積層体を、あたかもチップ本体 8 1 として図 8 の工程を実行することにより、容易に形成することができる。

【 0 0 4 4 】

このように、センサシステム 1 0 7 では、貫通回路 5 1 を要することなく、上部封止体 2 と下部封止体 3 との側面を這うように形成される配線パターン 6 5 によって、実装用外部電極 3 1 と集積回路 2 0 とが電氣的に接続されるので、貫通回路 5 1 を形成するためのスペースが無用となる。それにより、センサシステム 1 0 7 を小型に形成することができる。また、貫通回路 5 1 に比べて配設容易な配線パターン 6 5 が用いられるため、製造コストが節減される。

【 0 0 4 5 】

(第 9 の実施形態)

図 1 1 は、本発明の第 9 の実施形態によるセンサシステムの構成を示す縦断面図である。このセンサシステム 1 0 9 は、集積回路 2 0 B が、チップ本体 1 1 の側面を這うことにより実装用外部電極 3 1 とセンサ装置 1 0 B とを電氣的に接続する配線パターン 6 7 を備えており、チップ本体 1 1 を貫通する貫通回路 5 2 を除去している点において、図 9 に示したセンサシステム 1 0 6 とは異なっている。配線パターン 6 7 のうち、チップ本体 1 1 のセンサ装置 1 0 B に対向する主面に配設される部分は、図 9 に示した配線パターン 1 2 と同様に配設されている。配線パターン 6 7 は、チップ本体 1 1 をあたかもチップ本体 8 1 として図 8 の工程を実行することにより、容易に形成することができる。

【 0 0 4 6 】

このように、センサシステム 1 0 8 では、貫通回路 5 2 を要することなく、チップ本体 1 1 の側面を這うように形成される配線パターン 6 7 によって、実装用外部電極 3 1 とセンサ装置 1 0 B とが電氣的に接続されるので、貫通回路 5 2 を形成するためのスペースが無用となる。それにより、センサシステム 1 0 8 を小型に形成することができる。また、貫通回路 5 2 に比べて配設容易な配線パターン 6 7 が用いられるため、製造コストが節減される。

【 図面の簡単な説明 】

【 0 0 4 7 】

【 図 1 】 本発明の第 1 の実施形態によるセンサシステムの構成を示す縦断面図である。

【 図 2 】 図 1 の上部封止体に貫通回路を形成する工程を示す製造工程図である。

【 図 3 】 本発明の第 2 の実施形態によるセンサシステムの構成を示す縦断面図である。

【 図 4 】 本発明の第 3 の実施形態によるセンサシステムの構成を示す縦断面図である。

【 図 5 】 本発明の第 4 の実施形態によるセンサシステムの構成を示す縦断面図である。

【 図 6 】 本発明の第 5 の実施形態によるセンサシステムの構成を示す縦断面図である。

【 図 7 】 本発明の第 6 の実施形態によるセンサ装置の構成を示す縦断面図である。

【 図 8 】 図 7 のチップ本体に配線パターンを配設する工程を示す製造工程図である。

10

20

30

40

50

【図 9】本発明の第 7 の実施形態によるセンサシステムの構成を示す縦断面図である。

【図 10】本発明の第 8 の実施形態によるセンサシステムの構成を示す縦断面図である。

【図 11】本発明の第 9 の実施形態によるセンサシステムの構成を示す縦断面図である。

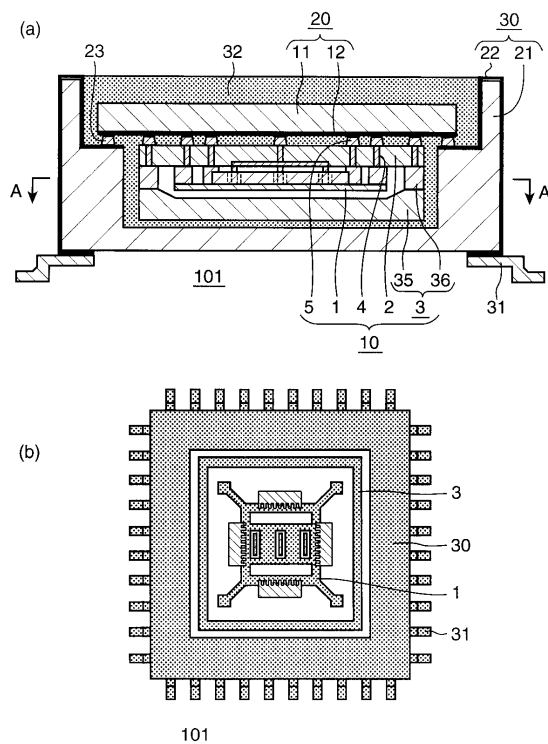
【図 12】従来技術によるセンサシステムの構成を示す縦断面図である。

【符号の説明】

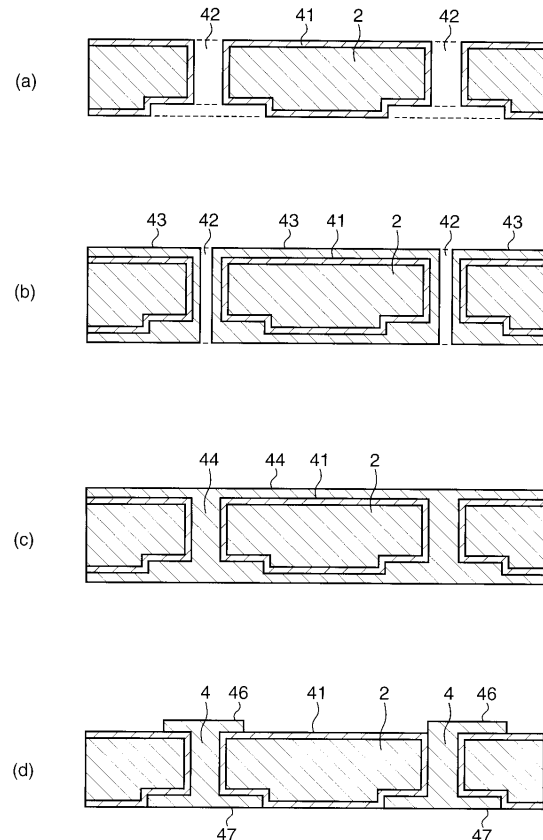
【 0 0 4 8 】

- | | | |
|----------------------|------------------|-----------|
| 1 センサ本体部 | 2 上部封止体 | 3 下部封止体 |
| 4 貫通電路 | 5、23 実装用電極 | |
| 10、10A、10B、10C センサ装置 | | |
| 11 チップ本体（集積回路基板） | 12 配線パターン | 10 |
| 20、20A、20B 集積回路 | 30 MID基板 | |
| 31 実装用外部電極 | 41 絶縁膜 | 42 貫通孔 |
| 43、44 導電体 | 60 配線パターン | 65 メッキ下地層 |
| 67 配線パターン | 81 チップ本体（集積回路基板） | |
| 101～108 センサシステム | | |

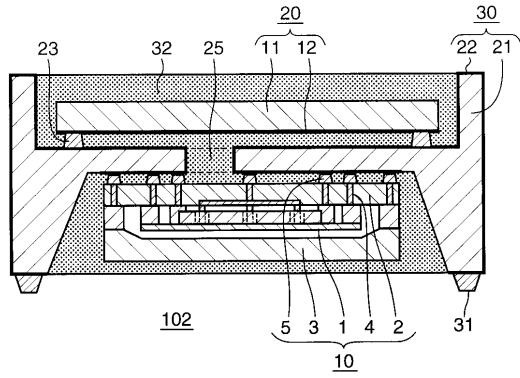
【図 1】



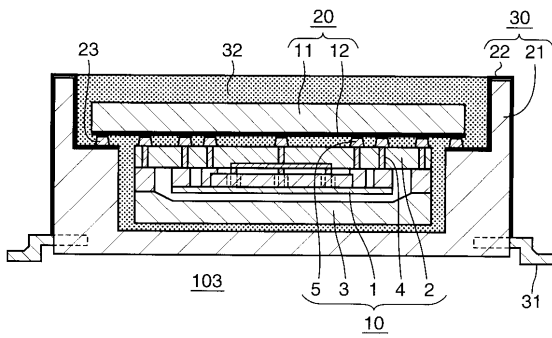
【図 2】



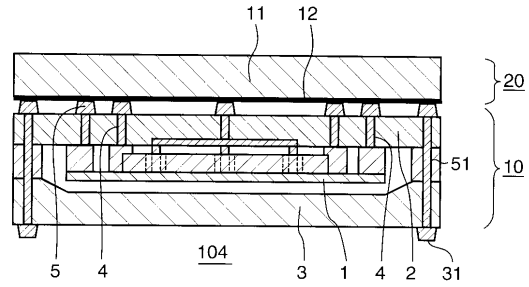
【図 3】



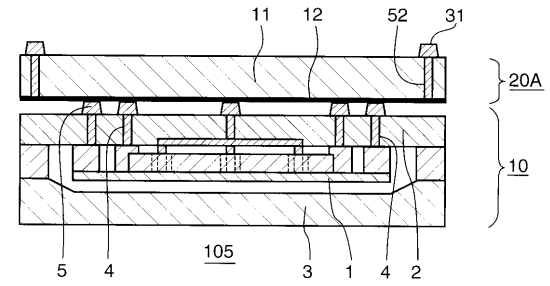
【図 4】



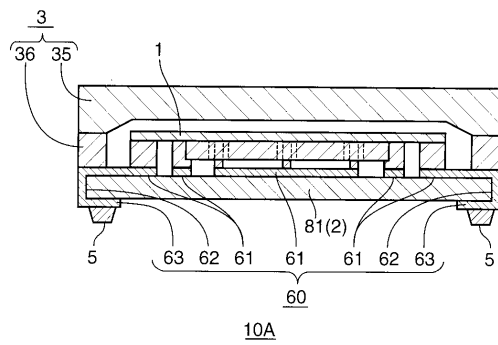
【図 5】



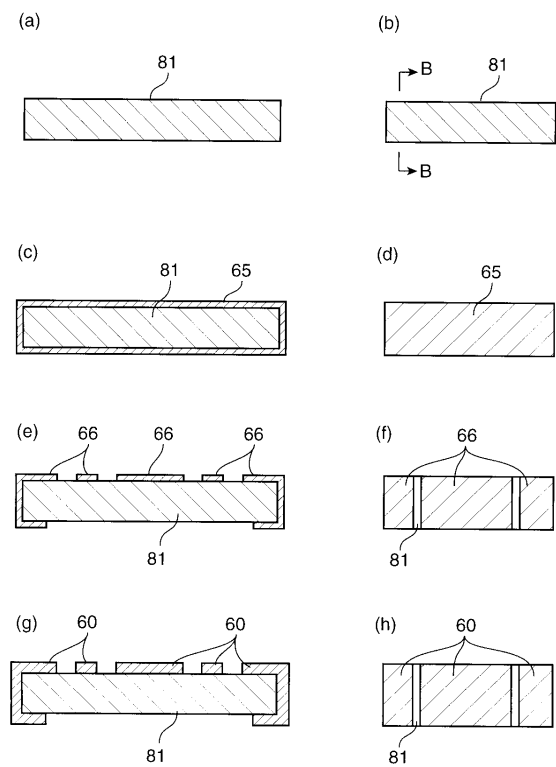
【図 6】



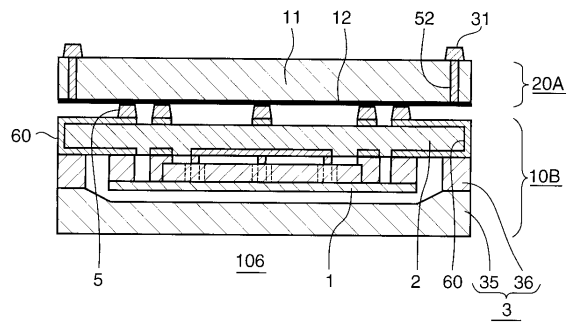
【図 7】



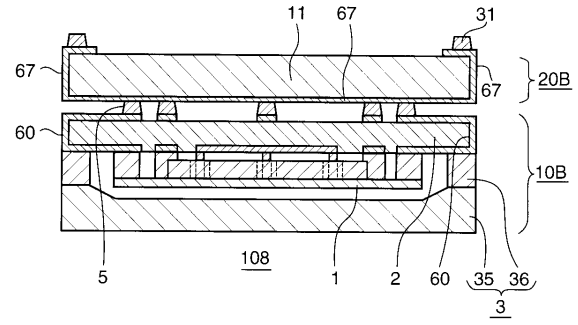
【図 8】



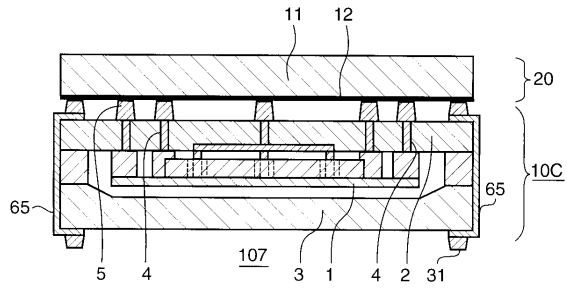
【図 9】



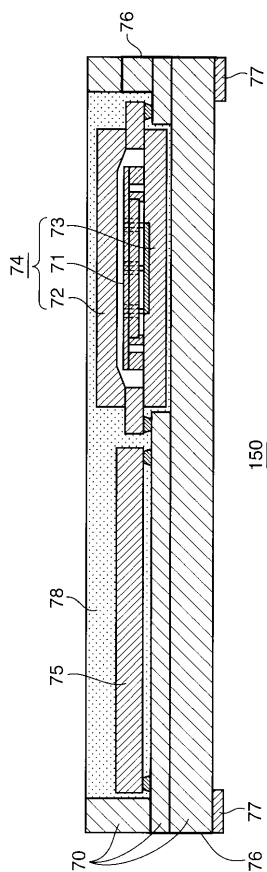
【図 11】



【図 10】



【図 12】



フロントページの続き

- (72)発明者 江田 和夫
大阪府門真市大字門真 1 0 4 8 番地 松下電工株式会社内
(72)発明者 西嶋 洋一
大阪府門真市大字門真 1 0 4 8 番地 松下電工株式会社内

審査官 長谷部 智寿

- (56)参考文献 特開平 0 5 - 2 2 3 8 4 2 (J P , A)
特開平 0 8 - 0 3 2 0 9 0 (J P , A)
特開平 0 8 - 0 7 8 6 0 1 (J P , A)
特開 2 0 0 3 - 1 8 8 2 9 6 (J P , A)
特開 2 0 0 1 - 1 4 4 1 1 7 (J P , A)
特開 2 0 0 4 - 2 0 9 5 8 5 (J P , A)
特開 2 0 0 2 - 3 5 9 3 9 3 (J P , A)
特開平 1 0 - 2 5 3 6 5 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 3 / 0 0 - 2 3 / 1 0 2 3 / 1 2 2 9 / 8 4
G 0 1 P 9 / 0 4
G 0 1 C 1 9 / 5 6