

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6129396号
(P6129396)

(45) 発行日 平成29年5月17日 (2017.5.17)

(24) 登録日 平成29年4月21日 (2017.4.21)

(51) Int.Cl.

F I

G 1 1 C 19/28 (2006.01)

G 0 9 G 3/20 (2006.01)

H 0 1 L 29/78 (2006.01)

G 1 1 C 19/28 2 3 O

G 0 9 G 3/20 6 2 2 E

G 0 9 G 3/20 6 2 3 H

H 0 1 L 29/78 6 1 3 Z

H 0 1 L 29/78 6 1 8 B

請求項の数 2 (全 49 頁)

(21) 出願番号 特願2016-226632 (P2016-226632)
 (22) 出願日 平成28年11月22日 (2016.11.22)
 (62) 分割の表示 特願2016-146241 (P2016-146241)
 の分割
 原出願日 平成22年10月1日 (2010.10.1)
 (65) 公開番号 特開2017-76453 (P2017-76453A)
 (43) 公開日 平成29年4月20日 (2017.4.20)
 審査請求日 平成28年11月23日 (2016.11.23)
 (31) 優先権主張番号 特願2009-234845 (P2009-234845)
 (32) 優先日 平成21年10月9日 (2009.10.9)
 (33) 優先権主張国 日本国 (JP)

早期審査対象出願

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 小山 潤
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 審査官 堀田 和義

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタと、第 6 のトランジスタと、を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 4 のトランジスタのゲートに電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 4 のトランジスタのゲートに電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 5 のトランジスタのゲートに電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 5 のトランジスタのゲートに電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、第 1 の配線に電氣的に接続され、

前記第 6 のトランジスタのソース又はドレインの一方は、前記第 1 の配線に電氣的に接続され、

前記第 2 のトランジスタのゲートは、第 2 の配線に電氣的に接続され、

前記第 3 のトランジスタのゲートは、前記第 2 の配線に電氣的に接続され、

前記第 6 のトランジスタのゲートは、前記第 4 のトランジスタのゲートに電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 3 のトランジスタのソース又はドレインの他方に電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの他方は、第 3 の配線に電氣的に接続され、

前記第 1 のトランジスタ、前記第 2 のトランジスタ、前記第 3 のトランジスタ、前記第 4 のトランジスタ、前記第 5 のトランジスタ、及び前記第 6 のトランジスタは、チャンネル形成領域に酸化物半導体を含む半導体装置の作製方法であって、

前記第 1 のトランジスタの酸化物半導体層、前記第 2 のトランジスタの酸化物半導体層、前記第 3 のトランジスタの酸化物半導体層、前記第 4 のトランジスタの酸化物半導体層、前記第 5 のトランジスタの酸化物半導体層、及び前記第 6 のトランジスタの酸化物半導体層は、脱水化又は脱水素化处理した後、酸素を供給する工程を経て形成されたものである半導体装置の作製方法。

10

【請求項 2】

第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタと、第 6 のトランジスタと、を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 4 のトランジスタのゲートに電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 4 のトランジスタのゲートに電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 5 のトランジスタのゲートに電氣的に接続され、

20

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 5 のトランジスタのゲートに電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、第 1 の配線に電氣的に接続され、

前記第 6 のトランジスタのソース又はドレインの一方は、前記第 1 の配線に電氣的に接続され、

前記第 2 のトランジスタのゲートは、第 2 の配線に電氣的に接続され、

前記第 3 のトランジスタのゲートは、前記第 2 の配線に電氣的に接続され、

前記第 6 のトランジスタのゲートは、前記第 4 のトランジスタのゲートに電氣的に接続され、

30

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 3 のトランジスタのソース又はドレインの他方に電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの他方は、第 3 の配線に電氣的に接続され、

前記第 1 の配線は、第 1 の信号を出力する機能を有し、

前記第 2 の配線は、第 2 の信号を入力する機能を有し、

前記第 3 の配線は、クロック信号を入力する機能を有し、

前記第 1 のトランジスタ、前記第 2 のトランジスタ、前記第 3 のトランジスタ、前記第 4 のトランジスタ、前記第 5 のトランジスタ、及び前記第 6 のトランジスタは、チャンネル形成領域に酸化物半導体を含む半導体装置の作製方法であって、

40

前記第 1 のトランジスタの酸化物半導体層、前記第 2 のトランジスタの酸化物半導体層、前記第 3 のトランジスタの酸化物半導体層、前記第 4 のトランジスタの酸化物半導体層、前記第 5 のトランジスタの酸化物半導体層、及び前記第 6 のトランジスタの酸化物半導体層は、脱水化又は脱水素化处理した後、酸素を供給する工程を経て形成されたものである半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シフトレジスタに関する。また、該シフトレジスタを有する表示装置に関す

50

る。

【背景技術】

【0002】

液晶表示装置に代表されるように、ガラス基板などの平板に形成される薄膜トランジスタ（以下、TFT：Thin Film Transistorともいう）は、主にアモルファスシリコン又は多結晶シリコンなどの半導体材料を用いて作製される。アモルファスシリコンを用いたTFTは、電界効果移動度が低いガラス基板の面積化に対応することができる。一方、多結晶シリコンを用いたTFTは、電界効果移動度が高いがレーザアニールなどの結晶化工程が必要であり、ガラス基板の面積化には必ずしも適応しないといった特性を有している。

10

【0003】

これに対し、半導体材料として酸化物半導体を用いるTFTが注目されている。例えば、半導体材料として酸化亜鉛又はIn-Ga-Zn-O系酸化物半導体を用いてTFTを作製し、画像表示装置のスイッチング素子として用いる技術が特許文献1及び特許文献2で開示されている。

【0004】

酸化物半導体にチャネル形成領域を設けたTFTは、アモルファスシリコンを用いたTFTよりも高い電界効果移動度が得られている。また、酸化物半導体膜は、スパッタ法などによって300以下の温度での膜形成が可能であり、多結晶シリコンを用いたTFTよりも作製が容易である。

20

【0005】

このような酸化物半導体を用いて作製されたTFTは、液晶ディスプレイ、エレクトロルミネセンスディスプレイ又は電子ペーパーなどの表示装置の画素部及び駆動回路を構成するスイッチング素子に適用することが期待されている。例えば、上記の酸化物半導体を用いて作製されたTFTによって表示装置の画素部及び駆動回路を構成する技術が非特許文献1で開示されている。

【0006】

ただし、上記の酸化物半導体を用いて作製されたTFTは、全てnチャネル型トランジスタである。そのため、酸化物半導体を用いて作製したTFTを用いて駆動回路を構成する場合、当該駆動回路は、nチャネル型TFTのみ（以下、単極性ともいう）によって構成されることになる。

30

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【非特許文献】

【0008】

【非特許文献1】T. Osada, 他8名, SID 09 DIGEST, pp. 184-187 (2009)

40

【発明の概要】

【発明が解決しようとする課題】

【0009】

駆動回路は、シフトレジスタ及びバッファなどによって構成される。当該シフトレジスタが単極性のTFTによって構成される場合、信号がTFTのしきい値電圧分低下する又は増加するなどの問題が生じる。そのため、当該問題が生じる箇所においては、ブートストラップが利用されることが多い。具体的には、表示装置の信号線又は走査線を駆動するアナログスイッチなどを駆動する際に利用されることが多い。

【0010】

さらに、ブートストラップを利用した駆動回路の負荷が大きくなるような場合、当該駆

50

動回路を構成するTFTのゲート幅を大きくする必要がある。また、それに伴い、当該TFTに生じる寄生容量も大きくなる。特に、ゲート端子として機能する導電層とソース端子又はドレイン端子として機能する導電層を、ゲート絶縁層を介して重畳させる必要があるTFT（いわゆる、逆スタガ型のTFTなど）では、寄生容量が大きくなる。その結果、当該駆動回路に入力されるクロック信号の消費電力が寄生容量によって大きくなるという問題がある。

【0011】

上述した課題に鑑み、本発明の一態様は、シフトレジスタ又は該シフトレジスタを有する表示装置の消費電力を低減することを課題の一とする。

【課題を解決するための手段】

10

【0012】

上記課題は、シフトレジスタが有するクロック信号線を複数のパルス信号線に分割することによって解決することができる。つまり、シフトレジスタが有する複数のフリップフロップが1本のクロック信号線に電氣的に接続されるのではなく、複数のパルス信号線が設けられ且つ複数のフリップフロップの一部が当該複数のパルス信号線のいずれかに電氣的に接続される。さらに、当該パルス信号線は、シフトレジスタの動作期間を通してクロック信号を供給するのではなく、該動作期間に含まれる一部の期間においてクロック信号を供給する。これにより、シフトレジスタに対するクロック信号の供給に伴い駆動される容量負荷を低減することができる。その結果、シフトレジスタの消費電力を低減することができる。

20

【0013】

すなわち、本発明の一態様は、動作期間が、第1の期間、第2の期間、第1の期間と重畳する期間を含む第3の期間、及び第2の期間と重畳する期間を含む第4の期間を有するシフトレジスタであって、第1の期間を通して、低電源電位及び高電源電位を周期的に繰り返すクロック信号を供給する配線として機能する第1のパルス信号線と、第2の期間を通して、クロック信号を供給する配線として機能する第2のパルス信号線と、第3の期間を通して、クロック信号の反転信号である反転クロック信号を供給する配線として機能する第3のパルス信号線と、第4の期間を通して、反転クロック信号を供給する配線として機能する第4のパルス信号線と、第1のパルス信号線に電氣的に接続された、第1の期間において高電源電位を出力する第1のフリップフロップと、第2のパルス信号線に電氣的に接続された、第2の期間において高電源電位を出力する第2のフリップフロップと、第1のフリップフロップ及び第3のパルス信号線に電氣的に接続された、第3の期間において高電源電位を出力する第3のフリップフロップと、第2のフリップフロップ及び第4のパルス信号線に電氣的に接続された、第4の期間において高電源電位を出力する第4のフリップフロップと、を有するシフトレジスタである。

30

【0014】

また、本発明の一態様は、上記構成において、第1のパルス信号線が、第1の期間以外の期間を通して、低電源電位を供給する配線として機能し、第2のパルス信号線が、第2の期間以外の期間を通して、低電源電位を供給する配線として機能し、第3のパルス信号線が、第3の期間以外の期間を通して、低電源電位を供給する配線として機能し、第4の

40

【0015】

なお、上記構成において、フリップフロップがチャネル形成領域が酸化物半導体によって構成されるトランジスタを有するシフトレジスタも本発明の一態様である。

【0016】

また、上記構成において、パルス信号線が、該パルス信号線がクロック信号又は反転クロック信号を供給する期間においてオンするトランジスタを介して、基準クロック信号線又は基準反転クロック信号線に電氣的に接続されるシフトレジスタも本発明の一態様である。

50

【 0 0 1 7 】

また、上記構成において、パルス信号線が、該パルス信号線がクロック信号又は反転クロック信号を供給しない期間においてオンするトランジスタを介して、低電源電位を供給する配線に電氣的に接続されるシフトレジスタも本発明の一態様である。

【 0 0 1 8 】

さらに、上記構成のシフトレジスタを有する表示装置も本発明の一態様である。

【発明の効果】

【 0 0 1 9 】

本発明の一態様のシフトレジスタは、クロック信号が1本の配線によって供給されるのではなく、複数の配線によって供給される。さらに、該複数の配線のいずれか一は、シフトレジスタの動作期間を通してクロック信号を供給するのではなく一部の期間においてのみクロック信号を供給する。そのため、クロック信号の供給に伴い駆動される容量負荷を低減することができる。その結果、シフトレジスタの消費電力を低減することができる。

10

【図面の簡単な説明】

【 0 0 2 0 】

【図1】実施の形態1で説明するシフトレジスタの(A)構成例を示す図、(B)タイミングチャート。

【図2】実施の形態1で説明するフリップフロップの(A)構成例を示す図、(B)タイミングチャート。

【図3】実施の形態1で説明するパルス信号線の(A)構成例を示す図、(B)タイミングチャート。

20

【図4】実施の形態1で説明するパルス信号線の(A)構成例を示す図、(B)タイミングチャート。

【図5】(A)～(C)実施の形態1で説明するシフトレジスタの変形例を示す図。

【図6】実施の形態1で説明するシフトレジスタの(A)、(B)変形例を示す図、(C)変形例を示すタイミングチャート。

【図7】実施の形態1で説明するフリップフロップの(A)変形例を示す図、(B)変形例を示すタイミングチャート。

【図8】実施の形態2で説明するトランジスタの(A)上面図、(B)、(C)断面図。

【図9】実施の形態2で説明するトランジスタの(A)上面図、(B)断面図。

30

【図10】実施の形態2で説明する複数のトランジスタの(A)上面図、(B)断面図。

【図11】(A)～(D)実施の形態2で説明するトランジスタの作製工程を示す断面図。

【図12】実施の形態3で説明する複数のトランジスタの(A)上面図、(B)断面図。

【図13】実施の形態4で説明する複数のトランジスタの(A)上面図、(B)断面図。

【図14】実施の形態5で説明する表示装置の(A)ブロック図、(B)走査線駆動回路のブロック図、(C)信号線駆動回路のブロック図。

【図15】実施の形態6で説明する液晶表示装置の(A)画素の回路図、(B)画素の上面図、(C)断面図。

【図16】実施の形態7で説明する発光表示装置の(A)画素の回路図、(B)～(D)断面図。

40

【図17】実施の形態7で説明する発光表示装置の(A)上面図、(B)断面図。

【図18】実施の形態7で説明する電子ペーパーの画素の(A)回路図、(B)上面図、(C)断面図。

【図19】実施の形態8で説明する電子書籍の一例を示す図。

【図20】(A)、(B)実施の形態9で説明する電子機器の一例を示す図。

【図21】(A)、(B)実施の形態9で説明する電子機器の一例を示す図。

【図22】(A)、(B)実施の形態9で説明する電子機器の一例を示す図。

【発明を実施するための形態】

【 0 0 2 1 】

50

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0022】

なお、トランジスタのソース端子及びドレイン端子は、トランジスタの構造や動作条件等によって変わるため、いずれがソース端子又はドレイン端子であるかを特定することが困難である。そこで、本書類においては、ソース端子及びドレイン端子の一方を第1端子、ソース端子及びドレイン端子の他方を第2端子と表記し、区別することとする。

【0023】

また、各実施の形態の図面等において示す各構成の、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定されない。また、本明細書にて用いる「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【0024】

(実施の形態1)

本実施の形態では、シフトレジスタの構成及びその動作の一例について図1乃至図7を参照しながら説明する。具体的には、シフトレジスタの動作期間に含まれる一部の期間においてクロック信号を供給する配線として機能し、当該期間以外の期間において低電源電位を供給する配線として機能するパルス信号線と、該パルス信号線に電氣的に接続されたフリップフロップとを有するシフトレジスタについて説明する。

【0025】

<シフトレジスタの構成例>

本実施の形態のシフトレジスタは、第1のパルス信号線乃至第6のパルス信号線と、第1のフリップフロップ乃至第10のフリップフロップとを有する。

【0026】

なお、第1のパルス信号線(PS1)は、第1のフリップフロップ(FF1)及び第3のフリップフロップ(FF3)に電氣的に接続され、第2のパルス信号線(PS2)は、第5のフリップフロップ(FF5)及び第7のフリップフロップ(FF7)に電氣的に接続され、第3のパルス信号線(PS3)は、第9のフリップフロップ(FF9)に電氣的に接続され、第4のパルス信号線(PS4)は、第2のフリップフロップ(FF2)及び第4のフリップフロップ(FF4)に電氣的に接続され、第5のパルス信号線(PS5)は、第6のフリップフロップ(FF6)及び第8のフリップフロップ(FF8)に電氣的に接続され、第6のパルス信号線(PS6)は、第10のフリップフロップ(FF10)に電氣的に接続される(図1(A)参照)。

【0027】

さらに、各フリップフロップの出力端子は、次段のフリップフロップの入力端子に電氣的に接続されている。なお、第1のフリップフロップ(FF1)の入力端子は、スタートパルス(SP)を供給する配線に電氣的に接続されている。

【0028】

また、第1のパルス信号線(PS1)は、第1の期間(t1)において高電源電位と低電源電位を周期的に繰り返すクロック信号を供給する配線として機能し、第2のパルス信号線(PS2)は、第2の期間(t2)においてクロック信号を供給する配線として機能し、第3のパルス信号線(PS3)は、第3の期間(t3)においてクロック信号を供給する配線として機能し、第4のパルス信号線(PS4)は、第4の期間(t4)においてクロック信号の反転信号である反転クロック信号を供給する配線として機能し、第5のパルス信号線(PS5)は、第5の期間(t5)において反転クロック信号を供給する配線として機能し、第6のパルス信号線(PS6)は、第6の期間(t6)において反転クロック信号を供給する配線として機能する(図1(B)参照)。

【 0 0 2 9 】

< シフトレジスタの動作例 >

本実施の形態のシフトレジスタの動作について以下に説明する。

【 0 0 3 0 】

まず、第 1 のフリップフロップ (F F 1) の入力端子にスタートパルス (S P) として高電源電位の信号が入力される。第 1 のフリップフロップ (F F 1) は、入力された信号を用いて動作し、半クロック周期後に高電源電位の信号を第 1 のフリップフロップの出力信号 (F F 1 o u t) として出力する。

【 0 0 3 1 】

該出力信号 (F F 1 o u t) は、第 2 のフリップフロップ (F F 2) の入力端子に入力される。第 2 のフリップフロップ (F F 2) は、第 1 のフリップフロップ (F F 1) と同様に、入力された信号を用いて動作し、半クロック周期後に高電源電位の信号を第 2 のフリップフロップの出力信号 (F F 2 o u t) として出力する。

10

【 0 0 3 2 】

以下同様に、高電源電位の信号が次段のフリップフロップの入力端子に入力され、半クロック周期後に該フリップフロップから高電源電位の信号が出力される。

【 0 0 3 3 】

< フリップフロップの具体例 >

本実施の形態のフリップフロップの具体的な回路構成例を図 2 (A) に示す。なお、図 2 (A) においては、便宜上第 1 のフリップフロップ (F F 1) 及び第 2 のフリップフロップ (F F 2) の構成のみを示す。

20

【 0 0 3 4 】

第 1 のフリップフロップ (F F 1) は、トランジスタ 1 0 1 乃至トランジスタ 1 0 6 を有する。なお、ここでは、トランジスタ 1 0 1 乃至トランジスタ 1 0 6 は、n チャネル型トランジスタであるとする。

【 0 0 3 5 】

トランジスタ 1 0 1 は、ゲート端子が第 2 のフリップフロップ (F F 2) の出力端子に電氣的に接続され、第 1 端子が高電源電位 (V D D) を供給する配線 (以下、高電源電位線ともいう) に電氣的に接続される。

【 0 0 3 6 】

トランジスタ 1 0 2 は、ゲート端子がスタートパルス (S P) を供給する配線 (以下、スタートパルス線ともいう) に電氣的に接続され、第 1 端子がトランジスタ 1 0 1 の第 2 端子に電氣的に接続され、第 2 端子が低電源電位 (V S S) を供給する配線 (以下、低電源電位線ともいう) に電氣的に接続される。

30

【 0 0 3 7 】

トランジスタ 1 0 3 は、ゲート端子がスタートパルス線に電氣的に接続され、第 1 端子が高電源電位線に電氣的に接続される。

【 0 0 3 8 】

トランジスタ 1 0 4 は、ゲート端子がトランジスタ 1 0 1 の第 2 端子及びトランジスタ 1 0 2 の第 1 端子に電氣的に接続され、第 1 端子がトランジスタ 1 0 3 の第 2 端子に電氣的に接続され、第 2 端子が低電源電位線に電氣的に接続される。

40

【 0 0 3 9 】

トランジスタ 1 0 5 は、ゲート端子がトランジスタ 1 0 3 の第 2 端子及びトランジスタ 1 0 4 の第 1 端子に電氣的に接続され、第 1 端子が第 1 のパルス信号線 (P S 1) に電氣的に接続される。

【 0 0 4 0 】

トランジスタ 1 0 6 は、ゲート端子がトランジスタ 1 0 1 の第 2 端子、トランジスタ 1 0 2 の第 1 端子及びトランジスタ 1 0 4 のゲート端子に電氣的に接続され、第 1 端子がトランジスタ 1 0 5 の第 2 端子に電氣的に接続され、第 2 端子が低電源電位線に電氣的に接続される。

50

【 0 0 4 1 】

なお、以下においては、便宜上、トランジスタ 1 0 1 の第 2 端子、トランジスタ 1 0 2 の第 1 端子、トランジスタ 1 0 4 のゲート端子、及びトランジスタ 1 0 6 のゲート端子が電氣的に接続する点をノード A、トランジスタ 1 0 3 の第 2 端子、トランジスタ 1 0 4 の第 1 端子、及びトランジスタ 1 0 5 のゲート端子が電氣的に接続する点をノード B と呼ぶこととする。

【 0 0 4 2 】

また、上記構成に加えて、トランジスタ 1 0 5 のゲート端子及びソース端子の間に容量素子を設ける構成であってもよい。該容量素子を設けることによって、以下において説明するブートストラップ動作を確実に行うことができる。

10

【 0 0 4 3 】

< フリップフロップの動作例 >

以下に第 1 のフリップフロップ (F F 1) を例として、上述したフリップフロップの動作について図 2 (B) を参照しながら説明する。

【 0 0 4 4 】

まず、第 1 のフリップフロップ (F F 1) と電氣的に接続されたスタートパルス線の電位がハイレベル (以下、H レベルという) へと増加する。これにより、H レベルの信号がトランジスタ 1 0 2 のゲート端子及びトランジスタ 1 0 3 のゲート端子に入力される。そのため、トランジスタ 1 0 2 及びトランジスタ 1 0 3 がオンする。これにより、ノード A の電位がロウレベル (以下、L レベルという) へと低下し、ノード B の電位が H レベルへと増加する。これに伴い、トランジスタ 1 0 5 もオンする。その結果、当該期間における第 1 のパルス信号線 (P S 1) の電位である L レベルの電位が第 1 のフリップフロップの出力信号 (F F 1 o u t) として出力される。

20

【 0 0 4 5 】

続く期間において、スタートパルス線の電位が L レベルへと低下する。そのため、トランジスタ 1 0 2 及びトランジスタ 1 0 3 がオフする。その結果、ノード A 及びノード B が浮遊状態となる。この時、トランジスタ 1 0 5 のソース端子とゲート端子の間には L レベルから H レベルの電位差が存在しており、ノード B が浮遊状態になったことにより、当該電位差が保持される。つまり、トランジスタ 1 0 5 はソース端子の電位の状態に依存せず、オンし続ける。また、第 1 のパルス信号線 (P S 1) の電位が H レベルへと増加する。これにより、浮遊状態にあり且つトランジスタ 1 0 5 のゲート端子と電氣的に接続されたノード B の電位は、当該期間の第 1 のパルス信号線 (P S 1) の H レベルの電位によってさらに増加する。このように、浮遊状態にあるノード B に電氣的に接続されたトランジスタ 1 0 5 のゲート端子とソース端子との容量結合によって、ノード B の電位が増加する動作はブートストラップと呼ばれる。以上により、第 1 のパルス信号線 (P S 1) の電位である H レベルの電位が第 1 のフリップフロップの出力信号 (F F 1 o u t) として出力される。

30

【 0 0 4 6 】

なお、ここでは、トランジスタ 1 0 5 は n チャネル型トランジスタである。つまり、第 1 のパルス信号線 (P S 1) の電位が H レベルになる当該期間において、トランジスタ 1 0 5 では、第 1 のフリップフロップ (F F 1) の出力端子に電氣的に接続する端子がソース端子となり、第 1 のパルス信号線 (P S 1) に電氣的に接続する端子がドレイン端子となる。また、トランジスタのオン、オフは、ソース端子とゲート端子の間の電位差によって決まる。そのため、ブートストラップを行っていない n チャネル型トランジスタを介して、第 1 のパルス信号線 (P S 1) の H レベルの電位が第 1 のフリップフロップの出力信号 (F F 1 o u t) として出力される場合、出力される電位は、当該 H レベルの電位から当該 n チャネルトランジスタのしきい値電圧 (V t h) だけ低下することになる。しかしながら、トランジスタ 1 0 5 がブートストラップを行っているため、第 1 のパルス信号線 (P S 1) の電位を低下させることなく、第 1 のフリップフロップの出力信号 (F F 1 o u t) とすることができる。

40

50

【 0 0 4 7 】

また、第 1 のフリップフロップ (F F 1) の出力信号である H レベルの信号が、第 2 のフリップフロップ (F F 2) に入力される。ここでは、第 2 のフリップフロップ (F F 2) は、第 1 のフリップフロップ (F F 1) に電氣的に接続する第 1 のパルス信号線 (P S 1) を第 4 のパルス信号線 (P S 4) に置換した点を除いて、第 1 のフリップフロップ (F F 1) と同一構成となる。そのため、詳細な回路動作については、前述の説明を援用することとする。当該期間においては、第 2 のフリップフロップ (F F 2) は、当該期間における第 4 のパルス信号線 (P S 4) の電位である L レベルの電位を出力する。

【 0 0 4 8 】

続く期間において、第 1 のパルス信号線 (P S 1) の電位が L レベルへと低下すると共に第 4 のパルス信号線 (P S 4) の電位が H レベルへと増加する。その結果、第 1 のフリップフロップの出力信号 (F F 1 o u t) が L レベルへと低下する。また、第 4 のパルス信号線 (P S 4) の電位である H レベルの電位が第 2 のフリップフロップの出力信号 (F F 2 o u t) として出力される。

【 0 0 4 9 】

なお、第 2 のフリップフロップの出力信号 (F F 2 o u t) は、第 3 のフリップフロップ (図示しない) に入力されると共に第 1 のフリップフロップ (F F 1) が有するトランジスタ 1 0 1 のゲート端子にも入力される。そのため、第 1 のフリップフロップ (F F 1) が有するトランジスタ 1 0 1 がオンする。これにより、ノード A の電位が H レベルとなる。これに伴い、トランジスタ 1 0 4 及びトランジスタ 1 0 6 もオンする。トランジスタ 1 0 4 がオンすることにより、ノード B の電位が L レベルへと低下する。つまり、トランジスタ 1 0 5 のゲート端子の電位が L レベルへと低下する。そのため、トランジスタ 1 0 5 がオフする。加えて、トランジスタ 1 0 6 がオンすることにより、第 1 のフリップフロップの出力信号 (F F 1 o u t) が、当該期間におけるトランジスタ 1 0 5 を介した第 1 のパルス信号 (P S 1) の L レベルから、トランジスタ 1 0 6 を介した低電源電位 (V S S) の L レベルへと変化する。つまり、第 1 のフリップフロップの出力信号 (F F 1 o u t) に実質的な変化はないがその由来が変化する。

【 0 0 5 0 】

続く期間において、第 4 のパルス信号線 (P S 4) の電位が L レベルへと低下する。つまり、第 2 のフリップフロップの出力信号 (F F 2 o u t) が L レベルへと低下する。そのため、第 1 のフリップフロップ (F F 1) が有するトランジスタ 1 0 1 がオフする。その結果、トランジスタ 1 0 4 のゲート端子に電氣的に接続されたノード及びトランジスタ 1 0 6 のゲート端子に電氣的に接続されたノードが H レベルの信号を保持したまま浮遊状態となる。つまり、トランジスタ 1 0 4 及びトランジスタ 1 0 6 はオンし続け、第 1 のフリップフロップの出力信号 (F F 1 o u t) は L レベルを維持する。なお、当該状態は、第 1 のフリップフロップ (F F 1) の入力端子に、再度 H レベルの電位が入力されるまで維持される。

【 0 0 5 1 】

図 2 (A) に示した第 1 のフリップフロップ (F F 1) は、上述した動作によって、入力された信号を半クロック周期分遅延させて出力することができる。

【 0 0 5 2 】

< パルス信号線の一例 >

本実施の形態のシフトレジスタが有する第 1 のパルス信号線 (P S 1) 乃至第 6 のパルス信号線 (P S 6) は、動作期間に含まれる一部の期間においてクロック信号を供給する配線として機能し、当該期間以外の期間においては低電源電位を供給する配線として機能する。該機能を有する配線の一例について図 3 及び図 4 を参照しながら以下に述べる。

【 0 0 5 3 】

図 3 (A) に示す第 1 のパルス信号線 (P S 1) 乃至第 6 のパルス信号線 (P S 6) のそれぞれは、クロック信号選択用トランジスタ 1 1 1、1 1 2、1 1 3 及び反転クロック信号選択用トランジスタ 1 1 4、1 1 5、1 1 6 のいずれか一のソース端子及びドレイン

10

20

30

40

50

端子を介して、基準クロック信号線（ＣＫ）又は基準反転クロック信号線（ＣＫＢ）と電氣的に接続される。なお、ここでは、クロック信号選択用トランジスタ１１１、１１２、１１３及び反転クロック信号選択用トランジスタ１１４、１１５、１１６は、 n チャネル型トランジスタであるとする。

【００５４】

具体的には、クロック信号選択用トランジスタ１１１は、ゲート端子が制御端子 a に電氣的に接続され、第１端子が第１のパルス信号線（ＰＳ１）に電氣的に接続され、第２端子が基準クロック信号線（ＣＫ）に電氣的に接続される。クロック信号選択用トランジスタ１１２は、ゲート端子が制御端子 b に電氣的に接続され、第１端子が第２のパルス信号線（ＰＳ２）に電氣的に接続され、第２端子が基準クロック信号線（ＣＫ）に電氣的に接続される。クロック信号選択用トランジスタ１１３は、ゲート端子が制御端子 c に電氣的に接続され、第１端子が第３のパルス信号線（ＰＳ３）に電氣的に接続され、第２端子が基準クロック信号線（ＣＫ）に電氣的に接続される。

10

【００５５】

反転クロック信号選択用トランジスタ１１４は、ゲート端子が制御端子 d に電氣的に接続され、第１端子が第４のパルス信号線（ＰＳ４）に電氣的に接続され、第２端子が基準反転クロック信号線（ＣＫＢ）に電氣的に接続される。反転クロック信号選択用トランジスタ１１５は、ゲート端子が制御端子 e に電氣的に接続され、第１端子が第５のパルス信号線（ＰＳ５）に電氣的に接続され、第２端子が基準反転クロック信号線（ＣＫＢ）に電氣的に接続される。反転クロック信号選択用トランジスタ１１６は、ゲート端子が制御端子 f に電氣的に接続され、第１端子が第６のパルス信号線（ＰＳ６）に電氣的に接続され、第２端子が基準反転クロック信号線（ＣＫＢ）に電氣的に接続される。

20

【００５６】

また、図３（Ｂ）に示す様に、基準クロック信号線は、期間によらず高電源電位及び低電源電位を周期的に繰り返すクロック信号を供給する配線であり、反転クロック信号線は、期間によらずクロック信号の反転信号である反転クロック信号を供給する配線である。

【００５７】

さらに、制御端子 a の電位は、第１の期間（ t_1 ）において H レベルになり、それ以外の期間において L レベルになる。これにより、第１のパルス信号線（ＰＳ１）を第１の期間（ t_1 ）においてクロック信号を供給する配線として機能させることができる。なお、換言すると、第１の期間は制御端子 a の電位が H レベルとなる期間である。

30

【００５８】

同様に、制御端子 $b \sim f$ の電位は、それぞれ第２の期間（ t_2 ）～第６の期間（ t_6 ）のいずれかにおいて H レベルになり、それ以外の期間において L レベルとなる。これにより第２のパルス信号線を第２の期間において、第３のパルス信号線を第３の期間において、クロック信号を供給する配線として機能させ、第４のパルス信号線を第４の期間において、第５のパルス信号線を第５の期間において、第６のパルス信号線を第６の期間において、反転クロック信号を供給する配線として機能させることができる。なお、換言すると、第２の期間（ t_2 ）～第６の期間（ t_6 ）はそれぞれ制御端子 $b \sim f$ の電位が H レベルとなる期間である。

40

【００５９】

また、図４（Ａ）に示す第１のパルス信号線（ＰＳ１）乃至第６のパルス信号線（ＰＳ６）のそれぞれは、低電源電位選択用トランジスタ１２１～１２６のいずれか一のソース端子及びドレイン端子を介して、低電源電位（ＶＳＳ）を供給する配線と電氣的に接続される。なお、ここでは、低電源電位選択用トランジスタ１２１～１２６は、 n チャネル型トランジスタであるとする。

【００６０】

低電源電位選択用トランジスタ１２１は、ゲート端子が制御端子 g に電氣的に接続され、第１端子が第１のパルス信号線（ＰＳ１）に電氣的に接続され、第２端子が低電源電位（ＶＳＳ）を供給する配線に電氣的に接続される。低電源電位選択用トランジスタ１２２

50

は、ゲート端子が制御端子 h に電氣的に接続され、第 1 端子が第 2 のパルス信号線 (PS2) に電氣的に接続され、第 2 端子が低電源電位 (VSS) を供給する配線に電氣的に接続される。低電源電位選択用トランジスタ 123 は、ゲート端子が制御端子 i に電氣的に接続され、第 1 端子が第 3 のパルス信号線 (PS3) に電氣的に接続され、第 2 端子が低電源電位 (VSS) を供給する配線に電氣的に接続される。低電源電位選択用トランジスタ 124 は、ゲート端子が制御端子 j に電氣的に接続され、第 1 端子が第 4 のパルス信号線 (PS4) に電氣的に接続され、第 2 端子が低電源電位 (VSS) を供給する配線に電氣的に接続される。低電源電位選択用トランジスタ 125 は、ゲート端子が制御端子 k に電氣的に接続され、第 1 端子が第 5 のパルス信号線 (PS5) に電氣的に接続され、第 2 端子が低電源電位 (VSS) を供給する配線に電氣的に接続される。低電源電位選択用トランジスタ 126 は、ゲート端子が制御端子 l に電氣的に接続され、第 1 端子が第 6 のパルス信号線 (PS6) に電氣的に接続され、第 2 端子が低電源電位 (VSS) を供給する配線に電氣的に接続される。

10

【0061】

さらに、制御端子 g の電位は、第 1 の期間 (t_1) において L レベルになり、それ以外の期間において H レベルになる。これにより、第 1 のパルス信号線 (PS1) を第 1 の期間 (t_1) 以外の期間において低電源電位 (VSS) を供給する配線として機能させることができる。

【0062】

同様に、制御端子 $h \sim l$ の電位は、それぞれ第 2 の期間 (t_2) ~ 第 6 の期間 (t_6) において L レベルになり、それ以外の期間において H レベルとなる。これにより第 2 のパルス信号線を第 2 の期間以外の期間において、第 3 のパルス信号線を第 3 の期間以外の期間において、第 4 のパルス信号線を第 4 の期間以外の期間において、第 5 のパルス信号線を第 5 の期間以外の期間において、第 6 のパルス信号線を第 6 の期間以外の期間において、低電源電位 (VSS) を供給する配線として機能させることができる。

20

【0063】

本実施の形態のシフトレジスタは、クロック信号が 1 つの配線によって供給されるのではなく、複数の配線によって供給される。さらに、該複数の配線のいずれか一は、シフトレジスタの動作期間を通してクロック信号を供給するのではなく一部の期間においてのみクロック信号を供給する。そのため、クロック信号の供給に伴い駆動される容量負荷を低減することができる。その結果、シフトレジスタの消費電力を低減することができる。

30

【0064】

<変形例>

上述したシフトレジスタは実施の形態の一例であり、上述の説明とは異なる点をもつシフトレジスタも本実施の形態には含まれる。

【0065】

例えば、上述したシフトレジスタでは、各パルス信号線に対して 2 つのフリップフロップが電氣的に接続されたシフトレジスタについて示した (図 1 (A) 参照) が、各パルス信号線に対してより多くのフリップフロップが電氣的に接続される構成であってもよい。具体的には、図 5 (A) に示すように、各パルス信号線に対して x (x は、3 以上の自然数) 個のフリップフロップが電氣的に接続される構成などとすることができる。

40

【0066】

また、上述したシフトレジスタでは、6 本のパルス信号線を有するシフトレジスタについて示した (図 1 (A) 参照) が、より多くのパルス信号線を有する構成であってもよい。具体的には、図 5 (B) に示すように、動作期間に含まれる一部の期間においてクロック信号を供給する第 1 のパルス信号線 (PS1) 乃至第 y (y は、4 以上の自然数) のパルス信号線 (PS y) と、動作期間に含まれる一部の期間において反転クロック信号を供給する第 $y+1$ のパルス信号線 (PS $y+1$) 乃至第 $2y$ のパルス信号線 (PS $2y$) とを有し、各パルス信号線に 2 個のフリップフロップが電氣的に接続される構成などとすることができる。

50

【 0 0 6 7 】

また、上述したシフトレジスタでは、各パルス信号線に対して2つのフリップフロップが電氣的に接続され、且つ6本のパルス信号線を有するシフトレジスタについて示した（図1（A）参照）が、各パルス信号線に対してより多くのフリップフロップが電氣的に接続され、且つより多くのパルス信号線を有する構成であってもよい。具体的には、図5（C）に示すように、動作期間に含まれる一部の期間においてクロック信号を供給する第1のパルス信号線（PS1）乃至第 y （ y は、4以上の自然数）のパルス信号線（PS y ）と、動作期間に含まれる一部の期間において反転クロック信号を供給する第 $y+1$ のパルス信号線（PS $y+1$ ）乃至第 $2y$ のパルス信号線（PS $2y$ ）とを有し、各パルス信号線に x 個のフリップフロップが電氣的に接続される構成などとすることができる。

10

【 0 0 6 8 】

また、上述したシフトレジスタでは、各パルス信号線に電氣的に接続されるフリップフロップの個数がそれぞれ等しいシフトレジスタについて示した（図1（A）、図5（A）～（C）参照）が、電氣的に接続されるフリップフロップの個数がパルス信号線毎に異なる構成であってもよい。具体的には、図6（A）に示すように、第1のパルス信号線（PS1）及び第4のパルス信号線（PS4）には x 個のフリップフロップが電氣的に接続され、第2のパルス信号線（PS2）及び第5のパルス信号線（PS5）には z （ z は、 x と異なる2以上の自然数）個のフリップフロップが電氣的に接続される構成などとすることができる。

20

【 0 0 6 9 】

また、上述したシフトレジスタでは、第1のパルス信号線（PS1）と第4のパルス信号線（PS4）に電氣的に接続されるフリップフロップの個数がそれぞれ等しいシフトレジスタについて示した（図1（A）、図5（A）及び図6（A）参照）が、第1のパルス信号線（PS1）と、第4のパルス信号線（PS4）とで電氣的に接続されるフリップフロップの個数が異なってもよい。具体的には、図6（B）に示すように、第1のパルス信号線（PS1）には x 個のフリップフロップが電氣的に接続され、第4のパルス信号線（PS4）には $x+z$ 個のフリップフロップが電氣的に接続される構成などとすることができる。

【 0 0 7 0 】

また、上述したシフトレジスタでは、第1の期間（ t_1 ）と、第2の期間（ t_2 ）とが重畳しないシフトレジスタについて示した（図1（B）参照）が、第1の期間（ t_1 ）と、第2の期間（ t_2 ）とが重畳する期間を有する構成であっても良い。具体的には、図6（C）に示すように、第1の期間（ t_1 ）と、第2の期間（ t_2 ）とが重畳する期間（ T ）を含む構成などとすることができる。端的に述べると、図1（B）及び図6（C）に示すように、シフトレジスタが有する複数のパルス信号線の少なくとも一がクロック信号を供給する配線として機能し且つ該複数のパルス信号線の少なくとも一が反転クロック信号を供給する配線として機能するように、各期間を設ければよい。

30

【 0 0 7 1 】

また、図2（A）に示したフリップフロップの回路構成は一例であり、入力された信号を遅延し出力する回路であればどのような回路構成であっても良い。具体的には、図7（A）に示すような回路などを本実施の形態のフリップフロップに適用することが可能である。

40

【 0 0 7 2 】

図7（A）に示す第1のフリップフロップ（FF1）は、トランジスタ131乃至トランジスタ134を有する。なお、ここでは、トランジスタ131乃至トランジスタ134は、 n チャネル型トランジスタであるとする。

【 0 0 7 3 】

トランジスタ131は、ゲート端子及び第1端子がスタートパルス線に電氣的に接続される。

【 0 0 7 4 】

50

トランジスタ 132 は、ゲート端子が第 2 のフリップフロップ (FF2) の出力端子に電氣的に接続され、第 1 端子がトランジスタ 131 の第 2 の端子に電氣的に接続され、第 2 端子が低電源電位線に電氣的に接続される。

【0075】

トランジスタ 133 は、ゲート端子がトランジスタ 131 の第 2 端子及びトランジスタ 132 の第 1 端子に電氣的に接続され、第 1 端子が第 1 のパルス信号線 (PS1) に電氣的に接続される。

【0076】

トランジスタ 134 は、ゲート端子が第 2 のフリップフロップ (FF2) の出力端子に電氣的に接続され、第 1 端子がトランジスタ 133 の第 2 端子に電氣的に接続され、第 2 端子が低電源電位線に電氣的に接続される。

10

【0077】

なお、以下においては、便宜上、トランジスタ 131 の第 2 端子、トランジスタ 132 の第 1 端子、及びトランジスタ 133 のゲート端子が電氣的に接続する点をノード C と呼ぶこととする。

【0078】

以下に、図 7 (A) に示した第 1 のフリップフロップ (FF1) の動作について図 7 (B) を参照しながら説明する。

【0079】

まず、第 1 のフリップフロップ (FF1) と電氣的に接続されたスタートパルス線の電位が H レベルへと増加する。これにより、H レベルの信号がトランジスタ 131 のゲート端子及び第 1 端子に入力され、ダイオード接続されたトランジスタ 131 がオンする。これにより、ノード C の電位が H レベルへと増加する。これに伴い、トランジスタ 133 もオンする。その結果、当該期間における第 1 のパルス信号線 (PS1) の電位である L レベルの電位が第 1 のフリップフロップの出力信号 (FF1out) として出力される。

20

【0080】

続く期間において、スタートパルス線の電位が L レベルへと低下する。そのためトランジスタ 131 がオフする。これにより、ノード C が浮遊状態となる。この時、トランジスタ 131 のソース端子とゲート端子の間には L レベルから H レベルの電位差が存在しており、ノード C が浮遊状態になったことにより、当該電位差が保持される。つまり、トランジスタ 131 はソース端子の電位の状態に依存せず、オンし続ける。また、第 1 のパルス信号線 (PS1) の電位が H レベルへと増加する。これにより、浮遊状態にあり且つトランジスタ 133 のゲート端子と電氣的に接続されたノード C の電位は、当該期間の第 1 のパルス信号線 (PS1) の H レベルの電位によってさらに増加する。以上により、第 1 のパルス信号線 (PS1) の電位である H レベルの電位が第 1 のフリップフロップの出力信号 (FF1out) として出力される。

30

【0081】

また、第 1 のフリップフロップ (FF1) の出力信号である H レベルの信号が、第 2 のフリップフロップ (FF2) に入力される。ここでは、第 2 のフリップフロップ (FF2) は、第 1 のフリップフロップ (FF1) に電氣的に接続される第 1 のパルス信号線 (PS1) を第 4 のパルス信号線 (PS4) に置換した点を除いて、第 1 のフリップフロップ (FF1) と同一構成となる。そのため、詳細な回路動作については、前述の説明を援用することとする。当該期間においては、第 2 のフリップフロップ (FF2) は、当該期間における第 4 のパルス信号線 (PS4) の電位である L レベルの電位を出力する。

40

【0082】

続く期間において、第 1 のパルス信号線 (PS1) の電位が L レベルへと低下すると共に第 4 のパルス信号線 (PS4) の電位が H レベルへと増加する。その結果、第 1 のフリップフロップの出力信号 (FF1out) が L レベルへと低下する。また、第 4 のパルス信号線 (PS4) の電位である H レベルの電位が第 2 のフリップフロップの出力信号 (FF2out) として出力される。

50

【 0 0 8 3 】

なお、第2のフリップフロップの出力信号 (F F 2 o u t) は、第3のフリップフロップ (図示しない) に入力されると共に第1のフリップフロップ (F F 1) が有するトランジスタ132及びトランジスタ134のゲート端子にも入力される。そのため、第1のフリップフロップ (F F 1) が有するトランジスタ132及びトランジスタ134がオンする。これにより、トランジスタ132のゲート端子 (ノード C) の電位が L レベルとなり、且つ、第1のフリップフロップの出力信号 (F F 1 o u t) が、当該期間におけるトランジスタ133を介した第1のパルス信号 (P S 1) の L レベルから、トランジスタ134を介した低電源電位 (V S S) の L レベルへと変化する。

【 0 0 8 4 】

10

続く期間において、第4のパルス信号線 (P S 4) の電位が L レベルへと低下する。つまり、第2のフリップフロップの出力信号 (F F 2 o u t) が L レベルへと低下する。そのため、第1のフリップフロップ (F F 1) が有するトランジスタ132及びトランジスタ134がオフする。なお、当該状態は、第1のフリップフロップ (F F 1) の入力端子に、再度 H レベルの電位が入力されるまで維持される。

【 0 0 8 5 】

図7 (A) に示した第1のフリップフロップ (F F 1) は、上述した動作によって入力された信号を半クロック周期分遅延させて出力することができる。そのため、本実施の形態のフリップフロップに適用することが可能である。

【 0 0 8 6 】

20

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【 0 0 8 7 】

(実施の形態 2)

本実施の形態では、実施の形態1に示したシフトレジスタを構成するトランジスタに適用可能なトランジスタの一例について説明する。

【 0 0 8 8 】

本実施の形態におけるトランジスタの構造例について図8を用いて説明する。図8は、本実施の形態におけるトランジスタの構造の一例を示す図であり、図8 (A) は、該トランジスタの上面図であり、図8 (B) は図8 (A) の線分 Z 1 - Z 2 における断面図である。

30

【 0 0 8 9 】

図8 (A) 及び図8 (B) に示すトランジスタは、基板 2 0 1 上の導電層 2 1 1 と、導電層 2 1 1 上の絶縁層 2 0 2 と、絶縁層 2 0 2 上の酸化物半導体層 2 1 3 と、酸化物半導体層 2 1 3 上の導電層 2 1 5 a 及び導電層 2 1 5 b と、を有する。

【 0 0 9 0 】

なお、当該トランジスタにおいて、導電層 2 1 1 はゲート端子として機能し、絶縁層 2 0 2 はゲート絶縁層として機能し、導電層 2 1 5 a 及び導電層 2 1 5 b の一方はソース端子として機能し、他方はドレイン端子として機能する。また、酸化物半導体層 2 1 3 はチャネル形成領域を有する。なお、酸化物半導体層 2 1 3 は、形成の際に脱水化または脱水素化処理が施されている。

40

【 0 0 9 1 】

さらに、図8 (A) 及び図8 (B) に示すトランジスタは、酸化物半導体層 2 1 3 に脱水化処理又は脱水素化処理が施されるだけでなく、酸化物半導体層 2 1 3 の一部に接して酸化物絶縁層 2 0 7 が設けられる。脱水化または脱水素化処理が施された後に、酸化物絶縁層 2 0 7 が形成された酸化物半導体層 2 1 3 をチャネル形成領域として用いたトランジスタは、長期間の使用や高負荷に伴うしきい値電圧 (V t h) のシフトが起こりにくいいため、信頼性が高い。

【 0 0 9 2 】

なお、酸化物絶縁層 2 0 7 の上に窒化物絶縁層を設けてもよい。窒化物絶縁層は、酸化

50

物絶縁層 207 の下方に設ける絶縁層 202 または下地となる絶縁層と接する構成とすることが好ましく、基板の側面近傍からの水分や、水素イオンや、 OH^- などの不純物が侵入することをブロックする。特に、酸化物絶縁層 207 と接する絶縁層 202 または下地となる絶縁層を窒化珪素層とすると有効である。即ち、酸化物半導体層 213 の下面、上面、及び側面を囲むように窒化珪素層を設けると、トランジスタの信頼性が向上する。

【0093】

また、酸化物絶縁層 207 の上（窒化物絶縁層を有する場合には窒化物絶縁層の上）に平坦化絶縁層を設けることもできる。

【0094】

また、本実施の形態のトランジスタは、図 8 (C) に示すように、酸化物半導体層 213 の一部の上に酸化物導電層 214a 及び酸化物導電層 214b が設けられ、酸化物導電層 214a に接するように導電層 215a が設けられ、酸化物導電層 214b に接するように導電層 215b が設けられた構造とすることもできる。

【0095】

酸化物導電層 214a 及び酸化物導電層 214b は、酸化物半導体層 213 より高い導電率を有しており、トランジスタ 251 のソース領域（低抵抗ソース領域ともいう）及びドレイン領域（低抵抗ドレイン領域ともいう）として機能する。

【0096】

酸化物導電層 214a 及び酸化物導電層 214b を形成するために用いられる酸化物導電膜としては、例えば可視光に対して透光性を有する導電材料、例えば In-Sn-Zn-O 系、 In-Al-Zn-O 系、 Sn-Ga-Zn-O 系、 Al-Ga-Zn-O 系、 Sn-Al-Zn-O 系、 In-Zn-O 系、 Sn-Zn-O 系、 Al-Zn-O 系、 In-Sn-O 系、 In-O 系、 Sn-O 系、 Zn-O 系の金属酸化物を適用することができ、膜厚は 1nm 以上 300nm 以下の範囲内で適宜選択する。また、スパッタ法を用いる場合、 SiO_2 を 2 重量% 以上 10 重量% 以下含むターゲットを用いて成膜を行い、透光性を有する導電膜に結晶化を阻害する SiO_x ($x > 0$) を含ませ、後の工程で行う脱水化または脱水素化のための加熱処理の際に酸化物半導体層 213 が結晶化してしまうのを抑制することができる。

【0097】

また、例えば In-Ga-Zn-O 系膜を酸化物半導体層に用いる場合、チャネル形成領域として機能する酸化物半導体層 213 と、酸化物導電層 214a 及び酸化物導電層 214b とを異なる成膜条件によって、作り分けることができる。

【0098】

例えば、スパッタ法で成膜する場合、アルゴンガス中で成膜した酸化物半導体膜で形成した酸化物導電層 214a 及び酸化物導電層 214b は、N 型の導電型を有し、活性化エネルギー (E) が 0.01eV 以上 0.1eV 以下である。

【0099】

なお、本実施の形態において、酸化物導電層 214a 及び酸化物導電層 214b は、 In-Ga-Zn-O 系膜であり、少なくともアモルファス成分を含んでいるものとする。また、酸化物導電層 214a 及び酸化物導電層 214b の中に結晶粒（ナノクリスタル）を含む場合がある。この酸化物導電層 214a 及び酸化物導電層 214b 中の結晶粒（ナノクリスタル）は直径 1nm ~ 10nm、代表的には 2nm ~ 4nm 程度である。

【0100】

酸化物導電層 214a 及び酸化物導電層 214b は、必ずしも設ける必要はないが、チャネル形成領域として機能する酸化物半導体層 213 とソース端子並びにドレイン端子として機能する導電層 215a 及び導電層 215b の間に酸化物導電層 214a 及び酸化物導電層 214b を設けることにより、良好な電氣的な接合が得られ、トランジスタ 251 は安定な動作を行うことができる。また高いドレイン電圧でも良好な移動度を保持することもできる。

【0101】

10

20

30

40

50

また、図 8 (A) 及び図 8 (B) に示すトランジスタは、図 9 (A) 及び図 9 (B) に示すように、酸化物絶縁層 2 0 7 (窒化物絶縁層を有する場合には酸化物絶縁層 2 0 7 及び窒化物絶縁層) を挟んで酸化物半導体層 2 1 3 の上に導電層 2 1 7 を有する構造にすることもできる。図 9 (A) 及び図 9 (B) は、本実施の形態のトランジスタの構造の一例を示す図であり、図 9 (A) は該トランジスタの上面図であり、図 9 (B) は図 9 (A) の線分 Z 1 - Z 2 における断面図である。導電層 2 1 7 は、第 2 のゲート端子としての機能を有し、第 2 のゲート端子を介して第 2 のゲート電圧を導電層 2 1 7 に印加することにより、トランジスタ 2 5 1 のしきい値電圧を制御することができる。また、平坦化絶縁層を設ける場合には、平坦化絶縁層の上に導電層 2 1 7 を設けることもできる。

【 0 1 0 2 】

10

例えば、第 2 のゲート端子の電位をソース端子の電位よりも高くなるようにすると、トランジスタのしきい値電圧は負の方向へシフトし、ソース端子の電位より低くなるようにすると、トランジスタのしきい値電圧は正の方向へシフトする。

【 0 1 0 3 】

図 8 及び図 9 に一例として示すように、本実施の形態のトランジスタは、チャンネル形成領域に酸化物半導体を用いたトランジスタである。該トランジスタは、チャンネル形成領域にアモルファスシリコンを用いた従来のトランジスタに比べ、高い移動度を有する。そのため、該トランジスタによって構成されるシフトレジスタは高速動作を行うことができる。

【 0 1 0 4 】

20

また、図 8 (A) 及び図 8 (C) に示すトランジスタを複数用いる場合の一形態について図 1 0 を用いて説明する。図 1 0 は、本発明の一態様であるシフトレジスタに適用可能な複数のトランジスタの構造の一例を示す図であり、図 1 0 (A) は 2 つのトランジスタの上面図であり、図 1 0 (B) は、図 1 0 (A) の線分 X 1 - X 2 における断面図である。

【 0 1 0 5 】

図 1 0 (A) ではトランジスタ 2 5 1 及びトランジスタ 2 5 2 を示している。なお、ここでは一例として、酸化物半導体層と、ソース端子又はドレイン端子として機能する導電層との間に酸化物導電層を有する構造について示す。

【 0 1 0 6 】

30

トランジスタ 2 5 1 は、図 8 (A) 及び図 8 (C) に示したトランジスタである。そのため、ここでは前述の説明を援用することとする。

【 0 1 0 7 】

トランジスタ 2 5 2 は、基板 2 0 1 上の導電層 2 1 1 と、導電層 2 1 1 上の絶縁層 2 0 2 と、絶縁層 2 0 2 上の酸化物半導体層 2 1 3 と、酸化物半導体層 2 1 3 上の酸化物導電層 2 1 4 a 及び酸化物導電層 2 1 4 b と、導電層 2 1 5 a 及び導電層 2 1 5 b と、を有する。

【 0 1 0 8 】

なお、トランジスタ 2 5 2 において、導電層 2 1 1 はゲート端子として機能し、絶縁層 2 0 2 はゲート絶縁層として機能し、酸化物半導体層 2 1 3 よりも導電率が高い酸化物導電層 2 1 4 a 及び酸化物導電層 2 1 4 b はソース領域 (低抵抗ソース領域ともいう) 又はドレイン領域 (低抵抗ドレイン領域ともいう) として機能し、導電層 2 1 5 a、導電層 2 1 5 b はソース端子又はドレイン端子として機能する。また、酸化物半導体層 2 1 3 はチャンネル形成領域を有する。なお、酸化物半導体層 2 1 3 は、形成の際に脱水化または脱水素化処理が施されている。

40

【 0 1 0 9 】

さらに、図 1 0 (A) 及び図 1 0 (B) に示すトランジスタ 2 5 1 及びトランジスタ 2 5 2 は、酸化物半導体層に脱水化処理又は脱水素化処理が施されるだけでなく、酸化物半導体層 2 1 3 及び酸化物半導体層 2 1 3 2 の一部に接して酸化物絶縁層 2 0 7 が設けられる。

50

【0110】

さらに、トランジスタ251の導電層211は、絶縁層202に設けられた開口部を介して導電層215bに接する。これにより良好なコンタクトを得ることができ、接触抵抗を低減することができる。よって開口の数の低減、開口の数の低減による占有面積の縮小を図ることができる。よって例えばこの構造である2つのトランジスタを用いて論理回路（例えばインバータ）などを構成することもできる。

【0111】

図10に一例として示すように、実施の形態1に示したシフトレジスタでは、あるトランジスタのゲート端子として機能する導電層がゲート絶縁層として機能する絶縁層に設けられた開口部を介して他のトランジスタのソース端子又はドレイン端子として機能する導電層と電氣的に接続された構造にすることもできる。

10

【0112】

次に、図8(B)に示すトランジスタの作製方法の一例について図11(A)～(D)を用いて説明する。図11(A)～(D)は、図8(B)に示すトランジスタの作製方法の一例を示す断面図である。

【0113】

なお、以下において、「膜」とは、基板全面に形成されたものであって、後にフォトリソグラフィ工程等によって所望の形状に加工されるものが、加工前の状態にあるものをいう。そして、「層」とは、「膜」からフォトリソグラフィ工程等により所望の形状に加工、形成されたもの、及び基板全面に形成することを目的としたもののことをいう。

20

【0114】

まず、基板201を準備し、基板201の上に導電膜を形成した後、第1のフォトリソグラフィ工程により導電層211を形成する（図11(A)参照）。なお、形成された導電層211はテーパ形状であることが好ましい。導電層211をテーパ形状とすることにより、上部に接する膜との密着性を高めることができる。

【0115】

基板201としては、絶縁表面を有し、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。基板201としては、例えばガラス基板などを用いることができる。

【0116】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。一般に、ホウ酸(B_2O_3)と比較して酸化バリウム(BaO)を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いることが好ましい。

30

【0117】

なお、上記のガラス基板に代えて、基板201としてセラミック基板、石英基板、サファイア基板などの絶縁体でなる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。

40

【0118】

また、下地層となる絶縁層を基板201と、導電層211との間に設けてもよい。下地層は、基板201からの不純物元素の拡散を防止する機能があり、窒化珪素、酸化珪素、窒化酸化珪素、又は酸化窒化珪素によって構成される層又はそれらの層による積層構造により形成することができる。

【0119】

導電層211を形成するための導電膜の材料としては、例えばモリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いることができ、導電層211を形成するための導電膜は、これらの材料のいずれか一つ又は複数を含む膜の単層膜又は積層膜により形

50

成することができる。

【0120】

また、導電層211を形成するための導電膜は、チタン層上にアルミニウム層と、該アルミニウム層上にチタン層が積層された3層の積層構造、またはモリブデン層上にアルミニウム層と、該アルミニウム層上にモリブデン層を積層した3層の積層構造とすることが好ましい。勿論、導電膜として単層、2層構造、または4層以上の積層構造としてもよい。また、導電膜として、チタン膜、アルミニウム膜及びチタン膜の積層導電膜を用いた場合は、塩素ガスを用いたドライエッチング法でエッチングすることができる。

【0121】

次に、導電層211の上に絶縁層202を形成する。

10

【0122】

絶縁層202は、プラズマCVD法又はスパッタ法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層又は窒化酸化珪素層を単層で又は積層して形成することができる。例えば、成膜ガスとして、 SiH_4 、酸素及び窒素を用いてプラズマCVD法により酸化窒化珪素層を形成すればよい。絶縁層202の膜厚は、100nm以上500nm以下とし、積層の場合は、例えば、膜厚50nm以上200nm以下の第1の絶縁層と、第1の絶縁層上に膜厚5nm以上300nm以下の第2の絶縁層の積層とする。また、絶縁層202として、リン又はボロンがドーパされたシリコンターゲット材を用いて成膜された酸化シリコン膜を用いることにより不純物（水分や、水素イオンや、 OH^- など）の侵入を抑制することができる。

20

【0123】

本実施の形態では、一例としてプラズマCVD法により膜厚200nmの窒化珪素を成膜することにより絶縁層202を形成する。

【0124】

次に、絶縁層202の上に酸化物半導体膜を形成する。酸化物半導体膜の膜厚は、2nm以上200nm以下であることが好ましい。例えば膜厚を50nm以下と薄くすることにより、酸化物半導体膜の形成後に脱水化または脱水素化のための加熱処理を行っても酸化物半導体膜を非晶質な状態にすることができる。また、酸化物半導体膜の膜厚を薄くすることで酸化物半導体膜の形成後に加熱処理した場合に、結晶化してしまうのを抑制することができる。

30

【0125】

なお、酸化物半導体膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、絶縁層202の表面に付着しているゴミを除去してもよい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板にプラズマを形成して表面を改質する方法である。なお、アルゴンに代えて窒素、ヘリウム、酸素などを用いてもよい。

【0126】

酸化物半導体膜としては、In-Ga-Zn-O系膜、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-Sn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体膜を用いる。本実施の形態では、In-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタ法により成膜する。また、酸化物半導体膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素雰囲気下においてスパッタ法により形成することができる。また、スパッタ法を用いる場合、 SiO_2 を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、酸化物半導体膜に結晶化を阻害する SiO_x （ $x > 0$ ）を含ませてもよい。これにより、後の工程で行う脱水化または脱水素化のための加熱処理の際に結晶化してしまうのを抑制することができる。

40

【0127】

ここでは、In、Ga、及びZnを含む金属酸化物ターゲット（組成比として、 In_2

50

$\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol]、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [at])を用いて、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下で成膜する。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚分布も均一となるために好ましい。本実施の形態では、酸化物半導体膜として、 In-Ga-Zn-O 系金属酸化物ターゲットを用いてスパッタ法により In-Ga-Zn-O 系膜を成膜する。

【0128】

なお、当該金属酸化物ターゲットとしては、上記組成のターゲットの他、組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 0.5$ [mol]、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.25$ [at]又は $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol]、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [at]などを用いることもできる。

10

【0129】

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法と、DCスパッタ法があり、さらにパルスのバイアスを与えるパルスDCスパッタ法もある。RFスパッタ法は主に絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に金属導電膜を成膜する場合に用いられる。

【0130】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

20

【0131】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

【0132】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアスパッタ法もある。

【0133】

30

また、スパッタを行う成膜室の排気手段としては、クライオポンプを用いることが好ましい。クライオポンプを用いて排気を行うことにより、成膜室内の水分など、不純物を除去することができる。

【0134】

次に、酸化物半導体膜を第2のフォトリソグラフィ工程により島状に加工し、酸化物半導体層213を形成する(図11(B)参照)。なお、第2のフォトリソグラフィ工程の後、酸化物半導体層213を不活性気体雰囲気(窒素、またはヘリウム、ネオン、アルゴン等)下において加熱処理(400以上であって750未満)を行い、層内に含まれる水素及び水などの不純物を除去してもよい。

【0135】

40

次に、酸化物半導体層213の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400以上であって750未満、好ましくは425以上とする。なお、425以上であれば熱処理時間は1時間以下でよいが、425以下であれば加熱処理時間は、1時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層213に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層213への水や水素の混入を防ぐ。本実施の形態では、酸化物半導体層213の脱水化または脱水素化を行う加熱温度から、再び水が入らないような十分な温度まで同じ炉を用いて徐冷する。具体的には、当該加熱温度よりも100以上下がるまで窒素雰囲気下で徐冷する。なお、当該雰囲気は、窒素雰囲気に限定されず、ヘリウム、ネオン、アルゴンなどの不活性気体雰囲気

50

であればどのような雰囲気であってもよい。

【0136】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。当該ガスとして、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

10

【0137】

酸化物半導体層213を400 以上750 未満の温度で熱処理することで、酸化物半導体層の脱水化、脱水素化が図られ、その後の水(H₂O)の再含浸を防ぐことができる。

【0138】

また、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。また、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

20

【0139】

なお、第1の加熱処理の条件または酸化物半導体層213の材料によっては、酸化物半導体層213が、微結晶粒及び非晶質領域を含んで構成される場合または結晶粒のみによって構成される場合がある。例えば、結晶化率が90%以上、または80%以上の微結晶の酸化物半導体膜となる場合もある。また、第1の加熱処理の条件または酸化物半導体層213の材料によっては、酸化物半導体層213が結晶粒を含まない非晶質領域のみによって構成される場合もある。

【0140】

酸化物半導体層213は、第1の加熱処理後に酸素欠乏型となり、低抵抗化する。第1の加熱処理後の酸化物半導体膜は、成膜直後の酸化物半導体膜よりもキャリア濃度が高まり、好ましくは $1 \times 10^{18} / \text{cm}^3$ 以上のキャリア濃度を有する酸化物半導体層となる。

30

【0141】

なお、導電層211は、第1の加熱処理の条件、またはその材料によっては、微結晶層または多結晶層となる場合もある。例えば、導電層211として、酸化インジウム酸化スズ合金膜を用いる場合は450 1時間の熱処理で結晶化し、導電層211として、酸化珪素を含む酸化インジウム酸化スズ合金膜を用いる場合は結晶化しない。

【0142】

また、酸化物半導体層213の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

40

【0143】

次に、絶縁層202、及び酸化物半導体層213の上に導電膜を形成する。

【0144】

該導電膜としては、チタン(Ti)、モリブデン(Mo)、タングステン(W)、アルミニウム(Al)、クロム(Cr)、銅(Cu)、及びタンタル(Ta)から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた化合物等を用いる。導電膜は、上述した元素を含む単層に限定されず、2層以上の積層を用いることが

50

できる。本実施の形態では、チタン膜（膜厚 100 nm）とアルミニウム膜（膜厚 200 nm）とチタン膜（膜厚 100 nm）の 3 層構造の導電膜を形成する。また、チタン膜に変えて窒化チタン膜を用いてもよい。

【0145】

なお、後に 200 ～ 600 の熱処理を行う場合には、この熱処理に耐える耐熱性を導電膜に持たせることが好ましい。例えばヒロック防止元素が添加されたアルミニウム合金や、耐熱性導電膜と積層した導電膜を用いることが好ましい。なお、導電膜の成膜方法は、スパッタ法や真空蒸着法（電子ビーム蒸着法など）や、アーク放電イオンプレーティング法や、スプレー法を用いる。また、銀、金、銅などの導電性ナノペーストを用いてスクリーン印刷法、インクジェット法などを用いて吐出し焼成して形成しても良い。

10

【0146】

次に、第 3 のフォトリソグラフィ工程によりレジストマスク 233a 及びレジストマスク 233b を形成し、当該導電膜を選択的にエッチングして導電層 215a 及び導電層 215b を形成する（図 11（C）参照）。

【0147】

また、第 3 のフォトリソグラフィ工程においては、酸化物半導体層 213 上に接する導電膜のみを選択的に除去する。例えば In - Ga - Zn - O 系酸化物半導体層上に接する金属導電膜のみを選択的に除去するためにアルカリ性のエッチャントとしてアンモニア過水（組成の重量比として、過酸化水素：アンモニア：水 = 5：2：2）などを用いると、当該導電膜を選択的に除去し、酸化物半導体からなる酸化物半導体層を残存させることができる。

20

【0148】

また、エッチング条件にもよるが第 3 のフォトリソグラフィ工程において酸化物半導体層 213 の露出領域がエッチングされる場合がある。その場合、導電層 215a と導電層 215b に挟まれる領域の酸化物半導体層は、導電層 211 上で導電層 215a 及び導電層 215b が重なる領域の酸化物半導体層に比べ、膜厚が薄くなる。

【0149】

次に、絶縁層 202、酸化物半導体層 213 の上に酸化物絶縁層 207 を形成する。この段階で、酸化物半導体層 213 の一部は、酸化物絶縁層 207 と接する。なお、絶縁層 202 を挟んで導電層 211 と重なる酸化物半導体層の領域がチャネル形成領域となる。

30

【0150】

酸化物絶縁層 207 は、少なくとも 1 nm 以上の膜厚とし、スパッタ法など、酸化物絶縁層に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。本実施の形態では、スパッタ法を用いて、酸化物絶縁層として酸化珪素膜を成膜する。成膜時の基板温度は、室温以上 300 以下とすればよく、本実施の形態では 100 とする。酸化珪素膜のスパッタ法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス（代表的にはアルゴン）及び酸素の混合雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び希ガス雰囲気下でスパッタ法により酸化珪素を形成することができる。低抵抗化した酸化物半導体層に接して形成する酸化物絶縁層は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。なお、スパッタ法で形成した酸化物絶縁層は特に緻密であり、接する層へ不純物が拡散する現象を抑制する保護膜として単層であっても利用することができる。また、リン（P）や硼素（B）をドーブしたターゲットを用い、酸化物絶縁層にリン（P）や硼素（B）を添加することもできる。

40

【0151】

本実施の形態では、純度が 6 N であり、柱状多結晶 B ドープの珪素ターゲット（抵抗値 0.01 cm）を用い、基板とターゲットの間との距離（T - S 間距離）を 89 mm、

50

圧力 0.4 Pa、直流 (DC) 電源 6 kW、酸素 (酸素流量比率 100%) 雰囲気下でパルス DC スパッタ法により成膜する。膜厚は 300 nm とする。

【0152】

なお、酸化物絶縁層 207 は酸化物半導体層 213 のチャネル形成領域となる領域上に接して設けられ、チャネル保護層としての機能も有する。

【0153】

次いで、第 2 の加熱処理 (好ましくは 200 以上 400 以下、例えば 250 以上 350 以下) を不活性ガス雰囲気下、または窒素ガス雰囲気下で行ってもよい。例えば、窒素雰囲気下で 250、1 時間の第 2 の加熱処理を行う。第 2 の加熱処理を行うと、酸化物半導体層 213 の一部が酸化物絶縁層 207 と接した状態で加熱され、また、酸化物半導体層 213 の他の一部が導電層 215a 及び導電層 215b と接した状態で加熱される。

10

【0154】

第 1 の加熱処理で低抵抗化された酸化物半導体層 213 が酸化物絶縁層 207 と接した状態で第 2 の加熱処理が施されると、酸化物絶縁層 207 が接した領域が酸素過剰な状態となる。その結果、酸化物半導体層 213 のうち酸化物絶縁層 207 と接する領域から、酸化物半導体層 213 の深さ方向に向けて、高抵抗化 (I 型化) する (図 11 (D) 参照)。

【0155】

なお、第 2 の加熱処理を行うタイミングは、第 3 のフォトリソグラフィ工程の終了直後に限定されず、第 3 のフォトリソグラフィ工程よりも後の工程であれば特に限定されない。

20

【0156】

以上により、図 8 (B) に示したトランジスタを作製することができる。

【0157】

なお、本実施例の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0158】

(実施の形態 3)

本実施の形態では、実施の形態 1 に示したシフトレジスタを構成するトランジスタに適用可能な、実施の形態 2 に示したトランジスタとは異なるトランジスタの一例について説明する。

30

【0159】

本実施の形態におけるトランジスタの構造の一例について図 12 を用いて説明する。図 12 は、本実施の形態におけるトランジスタの構造の一例を示す図であり、図 12 (A) は該トランジスタの上面図であり、図 12 (B) は図 12 (A) の線分 Z1 - Z2 における断面図である。

【0160】

図 12 (A) 及び図 12 (B) に示すトランジスタは、基板 201 上の導電層 211 と、導電層 211 上の絶縁層 202 と、絶縁層 202 上の導電層 215a 及び導電層 215b と、絶縁層 202 並びに導電層 215a 及び導電層 215b 上の酸化物半導体層 213 と、を有する。

40

【0161】

なお、当該トランジスタにおいて、導電層 211 はゲート端子として機能し、絶縁層 202 はゲート絶縁層として機能し、導電層 215a 及び導電層 215b の一方はソース端子として機能し、他方はドレイン端子として機能する。また、酸化物半導体層 213 はチャネル形成領域を有する。なお、酸化物半導体層 213 は、形成の際に脱水化または脱水素化処理が施されている。

【0162】

さらに、図 12 (A) 及び図 12 (B) に示すトランジスタは、酸化物半導体層 213

50

に脱水化処理又は脱水素化処理が施されるだけでなく、酸化物半導体層 2 1 3 の一部に接して酸化物絶縁層 2 0 7 が設けられる。脱水化または脱水素化処理が施された後に、酸化物絶縁層 2 0 7 が形成された酸化物半導体層 2 1 3 をチャネル形成領域として用いたトランジスタは、長期間の使用や高負荷に伴うしきい値電圧 (V_{th}) のシフトが起こりにくいため、信頼性が高い。

【0163】

なお、酸化物絶縁層 2 0 7 の上に窒化物絶縁層を設けてもよい。窒化物絶縁層は、酸化物絶縁層 2 0 7 の下方に設ける絶縁層 2 0 2 または下地となる絶縁層と接する構成とすることが好ましく、基板の側面近傍からの水分や、水素イオンや、 OH^- などの不純物が侵入することをブロックする。特に、酸化物絶縁層 2 0 7 と接する絶縁層 2 0 2 または下地となる絶縁層を窒化珪素層とすると有効である。即ち、酸化物半導体層 2 1 3 の下面、上面、及び側面を囲むように窒化珪素層を設けると、トランジスタの信頼性が向上する。

10

【0164】

また、酸化物絶縁層 2 0 7 の上（上記窒化物絶縁層を設ける場合には窒化物絶縁層の上）に平坦化絶縁層を設けることもできる。

【0165】

また、図 9 (A) 及び図 9 (B) と同様に図 1 2 に示すトランジスタは、酸化物半導体層 2 1 3 と重なる領域の酸化物絶縁層 2 0 7 の上（上記平坦化絶縁層を設ける場合には平坦化絶縁層の上）に導電層を有する構造にすることもできる。該導電層は、第 2 のゲート端子としての機能を有する。第 2 のゲート電圧を当該導電層に印加することにより、トランジスタのしきい値電圧を制御することができる。

20

【0166】

なお、平坦化絶縁層は必ずしも設ける必要はない。平坦化絶縁層を設けない場合には、酸化物絶縁層 2 0 7 の上（窒化物絶縁層を有する場合には窒化物絶縁層の上）に第 2 のゲート端子としての機能を有する導電層を有する構造とすることもできる。

【0167】

例えば、第 2 のゲート端子の電位がソース端子の電位よりも高くなるようにすると、トランジスタのしきい値電圧は負の方向へシフトし、ソース端子の電位より低くなるようにすると、トランジスタのしきい値電圧は正の方向へシフトする。

【0168】

図 1 2 に示すように、本実施の形態のトランジスタは、ソース端子又はドレイン端子として機能する導電層上に酸化物半導体層を有する、いわゆるボトムコンタクト型のトランジスタである。該トランジスタは、チャネル形成領域にアモルファスシリコンを用いた従来のトランジスタに比べ、高い移動度を有する。そのため、該トランジスタによって構成されるシフトレジスタは高速動作を行うことができる。また、ボトムコンタクト型のトランジスタを適用することにより、酸化物半導体層とソース端子又はドレイン端子として機能する導電層との接触面積を増やすことができ、ピーリングなどを防止することができる。

30

【0169】

なお、本実施例の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

40

【0170】

（実施の形態 4）

本実施の形態では、実施の形態 1 に示したシフトレジスタを構成するトランジスタに適用可能な、実施の形態 2 及び実施の形態 3 に示したトランジスタとは異なるトランジスタの一例について説明する。

【0171】

本実施の形態におけるトランジスタの構造の一例について図 1 3 を用いて説明する。図 1 3 は、本実施の形態におけるトランジスタの構造の一例を示す図であり、図 1 3 (A) は該トランジスタの上面図であり、図 1 3 (B) は図 1 3 (A) の線分 Z 1 - Z 2 にお

50

る断面図である。

【0172】

図13(A)及び図13(B)に示すトランジスタは、図8に示すトランジスタと同様に、基板201上の導電層211と、導電層211上の絶縁層202と、絶縁層202上の酸化物半導体層213と、酸化物半導体層213上の導電層215a及び導電層215bと、を有する。

【0173】

なお、当該トランジスタにおいて、導電層211はゲート端子として機能し、絶縁層202はゲート絶縁層として機能し、導電層215a及び導電層215bの一方はソース端子として機能し、他方はドレイン端子として機能する。また、酸化物半導体層213はチャネル形成領域を有する。なお、酸化物半導体層213は、形成の際に脱水化または脱水素化処理が施されている。

10

【0174】

さらに、図13(A)及び図13(B)に示すトランジスタは、酸化物半導体層213に脱水化処理又は脱水素化処理が施されるだけでなく、酸化物半導体層213の一部に接して酸化物絶縁層207が、導電層215a及び導電層215bの下に設けられる。図13(A)及び図13(B)に示す酸化物絶縁層207は、チャネル保護層としての機能を有する。

【0175】

なお、酸化物絶縁層207並びに導電層215a及び導電層215bの上に窒化物絶縁層を設けてもよい。窒化物絶縁層は、酸化物絶縁層207の下方に設ける絶縁層202または下地となる絶縁層と接する構成とすることが好ましく、基板の側面近傍からの水分や、水素イオンや、OH⁻などの不純物が侵入することをブロックする。特に、酸化物絶縁層207と接する絶縁層202または下地となる絶縁層を窒化珪素層とすると有効である。即ち、酸化物半導体層213の下面、上面、及び側面を囲むように窒化珪素層を設けると、トランジスタの信頼性が向上する。

20

【0176】

また、酸化物絶縁層207並びに導電層215a及び導電層215bの上(上記窒化物絶縁層を設ける場合には窒化物絶縁層の上)に平坦化絶縁層を設けることもできる。

【0177】

また、酸化物絶縁層207の上(上記平坦化絶縁層を設ける場合には平坦化絶縁層の上)に酸化物絶縁層207を挟んで酸化物半導体層213の上に導電層を有する構造にすることもできる。該導電層は、第2のゲート端子としての機能を有する。第2のゲート電圧を導電層に印加することにより、トランジスタ251のしきい値電圧を制御することができる。

30

【0178】

なお、平坦化絶縁層は必ずしも設ける必要はない。平坦化絶縁層を設けない場合には、酸化物絶縁層207の上(窒化物絶縁層を有する場合には窒化物絶縁層の上)に当該導電層を有する構造とすることもできる。

【0179】

例えば、第2のゲート端子の電位がソース端子の電位よりも高くなるようにすると、トランジスタのしきい値電圧は負の方向へシフトし、ソース端子の電位より低くなるようにすると、トランジスタのしきい値電圧は正の方向へシフトする。

40

【0180】

また、本実施の形態のトランジスタは、図8(C)に示すトランジスタと同様に、酸化物半導体層213の一部の上に一对のバッファ層として機能する一对の酸化物導電層が設けられ、一对の酸化物導電層にそれぞれ接するように一对の電極である導電層215a及び導電層215bが設けられた構造とすることもできる。

【0181】

以上のように、本実施の形態におけるトランジスタは、酸化物半導体層の一部の上にチ

50

ャネル保護層となる絶縁層を有する、いわゆるチャネル保護型のトランジスタである。該トランジスタは、チャネル形成領域にアモルファスシリコンを用いた従来のトランジスタに比べ、高い移動度を有する。そのため、該トランジスタによって構成されるシフトレジスタは高速動作を行うことができる。

【0182】

なお、本実施例の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0183】

(実施の形態5)

本実施の形態では、実施の形態1に示したシフトレジスタを有する表示装置の一例について図14を用いて説明する。

10

【0184】

実施の形態1に示したシフトレジスタを有する表示装置としては、液晶表示装置又はエレクトロルミネセンス(以下、ELともいう)表示装置など、様々な表示装置が挙げられる。本実施の形態における表示装置の構成について図14(A)を用いて説明する。図14(A)は本実施の形態における表示装置の構成を示すブロック図である。

【0185】

図14(A)に示す表示装置は、画素部701と、走査線駆動回路702と、信号線駆動回路703と、を有する。

【0186】

20

さらに、画素部701は、複数の画素704を有するドットマトリクス構造である。具体的には、複数の画素704は、行列方向に複数配置されている。各画素704は走査線705を介して走査線駆動回路702に電氣的に接続され、信号線706を介して信号線駆動回路703に電氣的に接続される。

【0187】

走査線駆動回路702は、データ信号を入力する画素704を選択する回路であり、走査線705を介して選択信号を画素704に出力する。

【0188】

信号線駆動回路703は、画素704に書き込むデータを信号として出力する回路であり、信号線706を介して走査線駆動回路702により選択された画素704に画素データを信号として出力する。

30

【0189】

画素704は、少なくとも表示素子と、スイッチング素子とを有する。表示素子としては、例えば液晶素子又はEL素子などの発光素子を適用することができ、スイッチング素子としては、例えばトランジスタなどを適用することができる。

【0190】

次に、走査線駆動回路702及び信号線駆動回路703の構成例について図14(B)、(C)を用いて説明する。図14(B)、(C)は駆動回路の構成を示すブロック図であり、図14(B)は走査線駆動回路702の構成を示すブロック図であり、図14(C)は信号線駆動回路703の構成を示すブロック図である。

40

【0191】

走査線駆動回路702は、図14(B)に示すように、シフトレジスタ900と、レベルシフタ901と、バッファ902とを有する。

【0192】

シフトレジスタ900は、走査線駆動回路用スタートパルス(GSP)、走査線駆動回路用基準クロック信号(GCK)などの信号が入力され、各順序論理回路において順次選択信号が出力される。本実施の形態のシフトレジスタ900は、実施の形態1で示したように走査線駆動回路用基準クロック信号(GCK)が、動作期間に含まれる一部の期間において走査線駆動回路用基準クロック信号を供給する複数の配線を有する。

【0193】

50

信号線駆動回路 703 は、図 14 (C) に示すように、シフトレジスタ 903、第 1 のラッチ回路 904、第 2 のラッチ回路 905、レベルシフタ 906、バッファ 907 と、を有する。

【0194】

シフトレジスタ 903 には、信号線駆動回路用スタートパルス (SSP)、信号線駆動回路用基準クロック信号 (CLK) などの信号が入力され、各順序論理回路において順次選択信号が出力される。本実施の形態のシフトレジスタ 903 は、実施の形態 1 で示したように信号線駆動回路用基準クロック信号 (CLK) が、動作期間に含まれる一部の期間において信号線駆動回路用基準クロック信号を供給する複数の配線を有する。

【0195】

なお、シフトレジスタ 900 及びシフトレジスタ 903 のどちらか一つのみが実施の形態 1 に示したシフトレジスタであってもよい。

【0196】

第 1 のラッチ回路 904 にはデータ信号 (DATA) が入力される。第 1 のラッチ回路 904 は、論理回路を用いて構成することができる。

【0197】

バッファ 907 は、信号を増幅させる機能を有し、オペアンプなどを有する。バッファ 907 は、論理回路を用いて構成することができる。

【0198】

第 2 のラッチ回路 905 にはラッチ (LAT) 信号を一時保持することができ、保持されたラッチ信号を一斉に図 14 (A) における画素部 701 に出力させる。これを線順次駆動と呼ぶ。そのため、線順次駆動ではなく、点順次駆動を行う画素であれば、第 2 のラッチ回路 905 は不要とすることができる。また、第 2 のラッチ回路 905 は、論理回路を用いて構成することができる。

【0199】

次に、本実施の形態の表示装置の動作について説明する。

【0200】

まず、走査線駆動回路 702 で走査線 705 が選択される。選択された走査線 705 に電氣的に接続された画素 704 は、信号線 706 を介して信号線駆動回路 703 からデータ信号が入力される。これにより、当該画素 704 は、データの書き込みが行われ表示状態になる。走査線駆動回路 702 により走査線 705 が選択され、すべての画素 704 においてデータ書き込みが行われる。以上が本実施の形態における表示装置の動作である。

【0201】

図 14 に示す表示装置の各回路は、すべて同一基板上に設けることができる。また、同一の導電型のトランジスタにより構成することができる。同一基板上に設けることにより小型化することができ、同一の導電型のトランジスタで構成することにより工程を簡略化することができる。

【0202】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0203】

(実施の形態 6)

本実施の形態では、実施の形態 5 に示した表示装置の一例として液晶表示装置について図 15 を用いて説明する。

【0204】

図 15 (A) に本実施の形態の液晶表示装置が有する画素の回路図を示す。図 15 (A) に示す画素は、トランジスタ 821 と、液晶素子 822 と、容量素子 823 と、を有する。

【0205】

トランジスタ 821 は、ゲート端子が走査線 804 に電氣的に接続され、第 1 端子が信

10

20

30

40

50

号線 805 に電氣的に接続される。なお、トランジスタ 821 は、当該画素が有する液晶素子 822 への電圧の印加を制御する選択トランジスタとして機能する。

【0206】

液晶素子 822 は、一方の端子がトランジスタ 821 の第 2 端子に電氣的に接続され、他方の端子が共通電位 (Vcom) を供給する配線 (以下、共通電位線ともいう) に電氣的に接続される。なお、液晶素子 822 は、一方の端子の一部または全部となる第 1 の電極と、他方の端子の一部または全部となる第 2 の電極と、第 1 の電極と第 2 の電極の間に電圧が印加されることにより配向が変化する液晶分子を有する層 (液晶層という) とにより構成される。

【0207】

容量素子 823 は、一方の端子がトランジスタ 821 の第 2 端子に電氣的に接続され、他方の端子が共通電位線に電氣的に接続される。なお、容量素子 823 は、一方の端子の一部または全部となる第 1 の電極と、他方の端子の一部または全部となる第 2 の電極と、第 1 の電極と第 2 の電極の間に設けられた誘電体層とにより構成される。また、容量素子 823 は、画素の保持容量としての機能を有する。なお、容量素子 823 は必ずしも設ける必要はないが、容量素子 823 を設けることにより、トランジスタ 821 のリーク電流による影響を抑制することができる。

【0208】

なお、本実施の形態における液晶表示装置の液晶の駆動方式としては、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optically Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (Anti Ferroelectric Liquid Crystal) などが挙げられる。

【0209】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために 5 重量 % 以上のカイラル剤を混合させた液晶組成物を用いて液晶層に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が $10 \mu s \sim 100 \mu s$ と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

【0210】

画素に信号が入力される際には、まず、データが書き込まれる画素が選択され、選択された画素は、走査線 804 から入力される信号によりトランジスタ 821 がオン状態になる。

【0211】

このとき信号線 805 からのデータ信号がトランジスタ 821 を介して画素に入力され、液晶素子 822 の一方の端子の電位はデータ信号の電位となる。これにより、液晶素子 822 には、一方の端子と他方の端子の間に印加される電圧に応じた配向状態に設定される。データ書き込み後、走査線 804 から入力される信号によりトランジスタ 821 がオフ状態になり、液晶素子 822 は表示期間の間設定された配向状態を維持し、表示状態となる。上記動作を走査線 804 毎に順次行い、液晶表示装置が有する全ての画素において上記動作が行われる。

【0212】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、または動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全

10

20

30

40

50

面黒表示を1フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

【0213】

また、通常の垂直同期周波数を1.5倍、好ましくは2倍以上にすることで応答速度を改善する、所謂、倍速駆動と呼ばれる駆動技術もある。

【0214】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数のLED（発光ダイオード）光源または複数のEL光源などを用いて面光源を構成し、面光源を構成している各光源を独立して1フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。独立して複数のLEDを制御できるため、液晶層の光学変調の切り替えタイミングに合わせてLEDの発光タイミングを同期させることもできる。この駆動技術は、LEDを部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力の低減効果が図れる。

10

【0215】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

【0216】

次に、上記画素を含む本実施の形態における液晶表示装置の構造について図15（B）、（C）を用いて説明する。図15（B）、（C）は本実施の形態における表示装置の画素の構造を示す図であり、図15（B）は該画素の上面図であり、図15（C）は、図15（B）におけるA1 - A2、B1 - B2の断面図である。

20

【0217】

図15（B）及び図15（C）に示す液晶表示装置は、A1 - A2の断面において、基板2000上の導電層2001と、導電層2001上の絶縁層2002と、絶縁層2002上の酸化物半導体層2003と、酸化物半導体層2003上の導電層2005a及び導電層2005bと、導電層2005a、導電層2005b、及び酸化物半導体層2003上の酸化物絶縁層2007と、酸化物絶縁層2007に設けられた開口部を介して導電層2005bに接する透明導電層2020と、を有する。

【0218】

なお、導電層2001はゲート端子として機能し、絶縁層2002はゲート絶縁層として機能し、導電層2005a及び導電層2005bの一方は第1端子として機能し、他方は第2端子として機能する。また、ここでは、実施の形態2において説明したトランジスタ（図8（B）参照）を適用したが、当該トランジスタとして、実施の形態3又は実施の形態4に示したトランジスタを適用することも可能である。

30

【0219】

また、図15（B）及び図15（C）に示す液晶表示装置は、B1 - B2の断面において、基板2000上の導電層2008と、導電層2008上の絶縁層2002と、絶縁層2002上の酸化物絶縁層2007と、酸化物絶縁層2007上の透明導電層2020と、を有する。

【0220】

さらに、本実施の形態の液晶表示装置は、FPC（Flexible Printed Circuits）に接続するための電極または配線として機能する、導電層2022及び透明導電層2029と、導電層2023、導電層2024、及び透明導電層2028とを有する。

40

【0221】

透明導電層2020、透明導電層2029、及び透明導電層2028は、酸化インジウム（ In_2O_3 ）や酸化インジウム酸化スズ合金（ In_2O_3 - SnO_2 、ITOと略記する）などを用いてスパッタ法や真空蒸着法などにより形成される。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金（ In_2

50

O₃ ZnO)を用いても良い。

【0222】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0223】

(実施の形態7)

本実施の形態では、実施の形態5に示した表示装置の一例として、エレクトロルミネッセンスを利用した発光素子を有する発光表示装置について図16及び図17を用いて説明する。

【0224】

エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

【0225】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア(電子および正孔)が再結合することにより発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0226】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

【0227】

図16(A)は、本実施の形態における発光表示装置の画素の回路構成を示す回路図である。

【0228】

図16(A)に示すように、実施の形態における表示装置の画素は、トランジスタ851と、画素の保持容量としての機能を有する容量素子852と、トランジスタ853と、発光素子854と、を有する。

【0229】

トランジスタ851は、ゲート端子が走査線855に電氣的に接続され、第1端子が信号線856に電氣的に接続される。

【0230】

容量素子852は、一方の端子がトランジスタ851の第2端子に電氣的に接続され、他方の端子が低電源電位線に電氣的に接続される。

【0231】

トランジスタ853は、ゲート端子がトランジスタ851の第2端子及び容量素子852の一方の端子に電氣的に接続され、第1端子が低電源電位線に電氣的に接続される。

【0232】

発光素子854は、第1端子がトランジスタ853の第2端子に電氣的に接続され、第2端子が高電源電位線に電氣的に接続される。

【0233】

画素に信号が入力される際には、まず、データ書き込みを行う画素が選択される。選択された画素は、走査線855から入力される走査信号によりトランジスタ851がオン状態になり、所定の値の電圧であるビデオ信号(データ信号ともいう)が信号線856からトランジスタ853のゲート端子に入力される。

10

20

30

40

50

【 0 2 3 4 】

トランジスタ 8 5 3 はゲート端子に入力されるデータ信号に応じた電位によりオン状態またはオフ状態になる。このとき、発光素子 8 5 4 の一方の端子及び他方の端子の間に印加された電圧に応じて電流が流れ、発光素子 8 5 4 は流れる電流の量に応じた輝度で発光する。また、容量素子 8 5 2 によりトランジスタ 8 5 3 のゲート電圧は一定時間保持されるため、発光素子 8 5 4 は一定時間発光状態を維持する。

【 0 2 3 5 】

また、信号線 8 5 6 から画素に入力されるデータ信号がデジタル形式の場合、画素はトランジスタのオンとオフの切り替えによって、発光状態が制御される。よって、面積階調法または時間階調法を用いて階調の表示を行うことができる。なお、面積階調法は、1 画素を複数の副画素に分割し、各副画素を図 1 6 (A) に示す回路構成にして独立にデータ信号に基づいて駆動させることによって、階調表示を行う駆動法である。また、時間階調法は、画素が発光する期間を制御することによって、階調表示を行う駆動法である。

【 0 2 3 6 】

発光素子は、液晶素子などに比べて応答速度が高いので、液晶素子よりも時間階調法に適している。時間階調法で表示を行う場合、1 フレーム期間を複数のサブフレーム期間に分割する。そしてビデオ信号に従い、各サブフレーム期間において画素の発光素子の発光状態を制御する。1 フレーム期間を複数のサブフレーム期間に分割することによって、1 フレーム期間中に画素が実際に発光する期間のトータルの長さを、ビデオ信号により制御することができ、階調を表示することができる。

【 0 2 3 7 】

次に、発光素子の構成について、図 1 6 (B) ~ 図 1 6 (D) を用いて説明する。ここでは、トランジスタ 8 5 3 が n チャネル型の場合を例に挙げて、画素の断面構造について説明する。なお、図 1 6 (B) ~ (D) の発光表示装置に用いられるトランジスタ 8 5 3 は、駆動用トランジスタである。

【 0 2 3 8 】

発光素子 8 5 4 は、発光を取り出すために少なくとも陽極または陰極の一方が透明であればよい。そして、基板上にトランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の画素構成はどの射出構造の発光素子にも適用することができる。

【 0 2 3 9 】

上面射出構造の発光素子について図 1 6 (B) を用いて説明する。

【 0 2 4 0 】

図 1 6 (B) に、駆動用トランジスタであるトランジスタ 8 5 3 が n チャネル型で、発光素子 8 5 4 から発せられる光が陽極 7 0 0 5 側に抜ける場合の、画素の断面図を示す。図 1 6 (B) では、発光素子 8 5 4 の陰極 7 0 0 3 と駆動用トランジスタであるトランジスタ 8 5 3 が電気的に接続されており、陰極 7 0 0 3 上に発光層 7 0 0 4、陽極 7 0 0 5 が順に積層されている。陰極 7 0 0 3 は仕事関数が小さく、なおかつ光を反射する導電層であれば様々な材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLiなどが望ましい。そして発光層 7 0 0 4 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極 7 0 0 3 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なお、これらの層を全て設ける必要はない。陽極 7 0 0 5 は光を透過する透光性を有する導電性材料を用いて形成し、例えば、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOともいう）、インジウム亜鉛酸化物、酸化珪素を添加したインジウム錫酸化物などの透光性を有する導電性導電材料を用いればよい。

【 0 2 4 1 】

陰極 7003 及び陽極 7005 で発光層 7004 を挟んでいる領域が発光素子 854 に相当する。図 16 (B) に示した画素の場合、発光素子 854 から発せられる光は、矢印で示すように陽極 7005 側に射出する。

【0242】

次に、下面射出構造の発光素子について図 16 (C) を用いて説明する。トランジスタ 853 が n チャンネル型で、発光素子 854 から発せられる光が陰極 7013 側に射出する場合の、画素の断面図を示す。図 16 (C) では、トランジスタ 853 と電氣的に接続する透光性を有する導電層 7017 上に、発光素子 854 の陰極 7013 が成膜されており、陰極 7013 上に発光層 7014、陽極 7015 が順に積層されている。なお、陽極 7015 が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽層 7016 が成膜されていてもよい。陰極 7013 は、図 16 (B) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただし、その膜厚は、光を透過する程度（好ましくは、5 nm ~ 30 nm 程度）とする。例えば、20 nm の膜厚を有するアルミニウム層を、陰極 7013 として用いることができる。そして、発光層 7014 は、図 16 (B) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7015 は光を透過する必要はないが、図 16 (B) と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽層 7016 は、例えば光を反射する金属などを用いることができるが、金属に限定されない。例えば黒の顔料を添加した樹脂などを用いることもできる。

【0243】

陰極 7013 及び陽極 7015 で、発光層 7014 を挟んでいる領域が発光素子 854 に相当する。図 16 (C) に示した画素の場合、発光素子 854 から発せられる光は、矢印で示すように陰極 7013 側に射出する。

【0244】

次に、両面射出構造の発光素子について、図 16 (D) を用いて説明する。図 16 (D) では、トランジスタ 853 と電氣的に接続する透光性を有する導電層 7027 上に、発光素子 854 の陰極 7023 が成膜されており、陰極 7023 上に発光層 7024、陽極 7025 が順に積層されている。陰極 7023 は、図 16 (B) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただし、その膜厚は、光を透過する程度とする。例えば 20 nm の膜厚を有するアルミニウム層を、陰極 7023 として用いることができる。そして、発光層 7024 は、図 16 (B) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7025 は、図 16 (B) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

【0245】

陰極 7023 と、発光層 7024 と、陽極 7025 とが重なっている部分が発光素子 854 に相当する。図 16 (D) に示した画素の場合、発光素子 854 から発せられる光は、矢印で示すように陽極 7025 側と陰極 7023 側の両方に射出する。

【0246】

なお、ここでは、発光素子として有機 EL 素子について述べたが、発光素子として無機 EL 素子を設けることも可能である。

【0247】

なお、本実施の形態では、発光素子の駆動を制御するトランジスタ（駆動用トランジスタともいう）と発光素子が電氣的に接続されている例を示したが、駆動用トランジスタと、発光素子との間に電流制御用トランジスタが接続されている構成であってもよい。

【0248】

次に、本実施の形態における発光表示装置（発光パネルともいう）の外観及び断面について、図 17 を用いて説明する。図 17 (A) は、第 1 の基板上に形成されたトランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した発光表示装置の上面図であり、図 17 (B) は、図 17 (A) の H - I における断面図に相当する。

【0249】

第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bを囲むようにして、シール材4505が設けられている。また、画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bの上に第2の基板4506が設けられている。つまり、画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、第1の基板4501と、シール材4505と、第2の基板4506とによって、充填材4507と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルムなど）やカバー材でパッケージング（封入）することが好ましい。

10

【0250】

また、第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、トランジスタを複数有しており、図17(B)では、画素部4502に含まれるトランジスタ4510と、信号線駆動回路4503aに含まれるトランジスタ4509、トランジスタ4555とを例示している。

【0251】

トランジスタ4509、4510、4555は、酸化物半導体層を半導体層として含む信頼性の高い実施の形態2乃至実施の形態4に示すトランジスタのいずれかを適用することができる。本実施の形態において、トランジスタ4509、4510、4555はnチャネル型である。また、トランジスタ4509、4510、4555の上には絶縁層4542が形成され、絶縁層4542の上には絶縁層4544が形成され、絶縁層4542及び絶縁層4544を挟んでトランジスタ4509の上に導電層4540を有する。導電層4540は第2のゲート端子としての機能を有する。

20

【0252】

なお、画素部4502においては、絶縁層4542上に平坦化絶縁層4545が設けられ、平坦化絶縁層4545上に絶縁層4543が設けられている。

【0253】

また、4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極4517は、トランジスタ4510の第2端子と電気的に接続されている。なお、発光素子4511の構成は、第1の電極4517、発光層4512、第2の電極4513の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

30

【0254】

隔壁4520は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0255】

発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

40

【0256】

発光素子4511に酸素、水素、水分、二酸化炭素などが侵入しないように、第2の電極4513及び隔壁4520上に保護層を形成してもよい。保護層としては、窒化珪素層、窒化酸化珪素層、DLC層(Diamond like Carbon)などを形成することができる。

【0257】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電圧は、FPC4518a、4518bから供給されている。

【0258】

50

図 17 に示す発光表示装置では、接続端子電極 4515 が、発光素子 4511 が有する第 1 の電極 4517 が形成される導電膜と同じ導電膜から形成され、端子電極 4516 は、トランジスタ 4509、4510、4555 が有するソース電極及びドレイン電極として機能する導電層が形成される導電膜と同じ導電膜から形成されている。

【0259】

接続端子電極 4515 は、FPC 4518a が有する端子と、異方性導電層 4519 を介して電氣的に接続されている。

【0260】

発光素子 4511 からの光の取り出し方向に位置する基板は、透光性を有する必要がある。その場合には、該基板として、ガラス、プラスチック、ポリエステルフィルムまたは

10

【0261】

また、充填材 4507 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）または EVA（エチレンビニルアセテート）を用いることができる。本実施の形態は充填材 4507 として窒素を用いている。

【0262】

また、必要であれば、発光素子の射出面に偏光板、または円偏光板（楕円偏光板を含む）、位相差板（ / 4 板、 / 2 板）、カラーフィルタなどの光学フィルムを適宜設けて

20

【0263】

信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b として、別途用意された基板上に単結晶半導体層または多結晶半導体層を用いて形成された駆動回路を実装してもよい。また、信号線駆動回路 4503a、4503b のみ、若しくは一部、又は走査線駆動回路 4504a、4504b のみ、若しくは一部のみを別途形成して実装しても良く、本実施の形態は図 17 の構成に限定されない。

【0264】

以上の工程により、発光表示装置（表示パネル）を作製することができる。

30

【0265】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0266】

（実施の形態 8）

本実施の形態では、実施の形態 5 に示した表示装置の一例として、FPC などの外部接続配線を必要とせずに表示が可能な電子ペーパーについて図 18 及び図 19 を用いて説明する。

【0267】

なお、本実施の形態の電子ペーパーは、画像が保持される期間（画像保持期間）と、画像が書き換えられる期間（画像書き換え期間）とを有する。また、当該画像保持期間においては、画像表示を維持するための電力を必要としない。そのため、当該電子ペーパーは、消費電力が少ない表示装置である。

40

【0268】

当該電子ペーパーは、表示素子として、電圧の印加によって表示が制御でき且つ電圧が印加されない状態において該表示を保持する素子を有する。例えば、当該素子としては、電気泳動を用いる素子（電気泳動素子）、ツイストボールを用いる粒子回転素子、帯電トナーや電子粉流体（登録商標）を用いる粒子移動素子、磁気によって階調を表現する磁気泳動素子、液体移動素子、光散乱素子、相変化素子、などが挙げられる。本実施の形態では、電子ペーパーの一例として、電気泳動素子を有する電子ペーパーについて説明する。

50

【 0 2 6 9 】

電気泳動素子としては、正電荷に帯電した第 1 の粒子と、第 1 の粒子と異なる色を呈し且つ負電荷に帯電した第 2 の粒子と、溶媒となる液体とが封入されたマイクロカプセルを有する素子などが挙げられる。当該電気泳動素子に電圧が印加されることによって、マイクロカプセルの一方側に第 1 の粒子又は第 2 の粒子を集合させることで、表示を行うことができる。なお、当該電気泳動表示素子に電圧が印加されない状態においては、第 1 の粒子及び第 2 の粒子は移動しない。つまり、当該電気泳動素子の表示を保持する。また、電気泳動素子としては、正負のいずれかに帯電した粒子と、該粒子と異なる色を呈し且つ溶媒となる液体とが封入されたマイクロカプセルを有する素子などを用いることもできる。

【 0 2 7 0 】

10

なお、マイクロカプセル中に封入される正負のいずれかに帯電した粒子としては、導体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

【 0 2 7 1 】

次に、本実施の形態における電子ペーパーの構造例について図 1 8 を用いて説明する。なお、図 1 8 (A) は、電子ペーパーの画素の回路図であり、図 1 8 (B) は、当該画素の上面図であり、図 1 8 (C) は、図 1 8 (B) の A - B 線に対応する断面図である。

【 0 2 7 2 】

本実施の形態の電子ペーパーの画素は、ゲート端子が走査線 6 3 0 に電氣的に接続され、第 1 端子が信号線 6 3 1 に電氣的に接続されたトランジスタ 6 0 1 と、一方の端子がトランジスタ 6 0 1 の第 2 端子に電氣的に接続され、他方の端子が共通電位線に電氣的に接続された容量素子 6 0 2 と、一方の端子がトランジスタ 6 0 1 の第 2 端子及び容量素子 6 0 2 の一方の端子に電氣的に接続され、他方の端子が共通電位線に電氣的に接続された電気泳動素子 6 0 3 とを有する (図 1 8 (A) 参照) 。なお、本実施の形態において、共通電位 (V_{com}) として、接地電位又は 0 V などが挙げられる。

20

【 0 2 7 3 】

構造としては、当該画素は、基板 6 0 0 と、基板 6 0 0 上に設けられたトランジスタ 6 0 1 及び容量素子 6 0 2 と、トランジスタ 6 0 1 及び容量素子 6 0 2 上に設けられた電気泳動素子 6 0 3 と、電気泳動素子 6 0 3 上に設けられた基板 6 0 4 とを有する (図 1 8 (B) 、 (C) 参照) 。なお、図 1 8 (B) では、電気泳動素子 6 0 3 は省略している。

30

【 0 2 7 4 】

トランジスタ 6 0 1 は、走査線 6 3 0 と電氣的に接続された導電層 6 1 0 と、導電層 6 1 0 上の絶縁層 6 1 1 と、絶縁層 6 1 1 上の半導体層 6 1 2 と、半導体層 6 1 2 上の信号線 6 3 1 に電氣的に接続された導電層 6 1 3 及び導電層 6 1 4 とによって構成される。なお、導電層 6 1 0 はゲート端子として機能し、絶縁層 6 1 1 はゲート絶縁層として機能し、導電層 6 1 3 は第 1 端子として機能し、導電層 6 1 4 は第 2 端子として機能する。また、導電層 6 1 0 は、走査線 6 3 0 の一部であり、導電層 6 1 3 は、信号線 6 3 1 の一部であると表現することもできる。

【 0 2 7 5 】

40

容量素子 6 0 2 は、導電層 6 1 4 と、絶縁層 6 1 1 と、共通電位線 6 3 2 に電氣的に接続された導電層 6 1 5 とによって構成される。なお、導電層 6 1 4 は一方の端子として機能し、絶縁層 6 1 1 は誘電体として機能し、導電層 6 1 5 は他方の端子として機能する。また、導電層 6 1 5 は、共通電位線 6 3 2 の一部であると表現することもできる。

【 0 2 7 6 】

電気泳動素子 6 0 3 は、絶縁層 6 2 0 に設けられた開口部において導電層 6 1 4 に電氣的に接続された画素電極 6 1 6 と、導電層 6 1 5 と同じ電位が与えられる対向電極 6 1 7 と、画素電極 6 1 6 及び対向電極 6 1 7 の間に設けられた帯電粒子を含有する層 6 1 8 によって構成される。なお、画素電極 6 1 6 は一方の端子として機能し、対向電極 6 1 7 は他方の端子として機能する。

50

【0277】

本実施の形態の電子ペーパーは、帯電粒子を含有する層618に印加される電圧を制御することにより、帯電粒子を含有する層618中に分散した帯電粒子の移動を制御することができる。また、本実施の形態の電子ペーパーは、対向電極617及び基板604が透光性を有する。つまり、本実施の形態の表示装置は、基板604側を表示面とする反射型の表示装置である。

【0278】

以下に、本実施の形態の電子ペーパーの各構成要素に適用可能な材料について列挙する。

【0279】

基板600としては、半導体基板（例えば単結晶基板又はシリコン基板）、SOI基板、ガラス基板、石英基板、表面に絶縁層が設けられた導電性基板、又はプラスチック基板、貼り合わせフィルム、繊維状の材料を含む紙、若しくは基材フィルムなどの可撓性基板などがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。

【0280】

導電層610、導電層615、走査線630及び共通電位線632としては、アルミニウム（Al）、銅（Cu）、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、ネオジム（Nd）、スカンジウム（Sc）から選ばれた元素、上述した元素を成分とする合金、または上述した元素を成分とする窒化物を適用することができる。また、これらの材料の積層構造を適用することもできる。

【0281】

絶縁層611としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタルなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。なお、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものであり、濃度範囲として酸素が55～65原子%、窒素が1～20原子%、シリコンが25～35原子%、水素が0.1～10原子%の範囲において、合計100原子%となるように各元素を任意の濃度で含むものをいう。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものであり、濃度範囲として酸素が15～30原子%、窒素が20～35原子%、Siが25～35原子%、水素が15～25原子%の範囲において、合計100原子%となるように各元素を任意の濃度で含むものをいう。

【0282】

半導体層612としては、シリコン（Si）若しくはゲルマニウム（Ge）などの周期表第14族元素を主構成元素とする材料、シリコンゲルマニウム（SiGe）若しくはガリウムヒ素（GaAs）などの化合物、酸化亜鉛（ZnO）若しくはインジウム（In）及びガリウム（Ga）を含む酸化亜鉛などの酸化物、又は半導体特性を示す有機化合物などの半導体材料を適用することができる。また、これらの半導体材料からなる層の積層構造を適用することもできる。

【0283】

導電層613、導電層614及び信号線631としては、アルミニウム（Al）、銅（Cu）、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、ネオジム（Nd）、スカンジウム（Sc）から選ばれた元素、または上述した元素を成分とする合金、または上述した元素を成分とする窒化物を適用することができる。また、これらの材料の積層構造を適用することもできる。

【0284】

絶縁層620としては、酸化シリコン、酸化窒化シリコン、窒化シリコン、又は窒化酸化シリコン、酸化アルミニウム、酸化タンタルなどの絶縁体を適用することができる。ま

た、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル若しくはエポキシ等の有機材料、シロキサン樹脂等のシロキサン材料、又はオキサゾール樹脂などを適用することもできる。なお、シロキサン材料とは、Si-O-Si結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、有機基(例えばアルキル基、芳香族炭化水素)やフルオロ基を用いても良い。有機基は、フルオロ基を有していてもよい。

【0285】

画素電極616としては、アルミニウム(Al)、銅(Cu)、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、ネオジム(Nd)、スカンジウム(Sc)から選ばれた元素、または上述した元素を成分とする合金、または上述した元素を成分とする窒化物を適用することができる。また、これらの材料の積層構造を適用することもできる。さらに、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物などの透光性を有する導電性材料を適用することもできる。

10

【0286】

帯電粒子を含有する層618に含まれる帯電粒子としては、正に帯電した粒子として酸化チタン、負に帯電した粒子としてカーボンブラックを適用することができる。また、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を適用することもできる。

20

【0287】

対向電極617としては、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物などの透光性を有する導電性材料を適用することができる。

【0288】

基板604としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、若しくはソーダライムガラスなどのガラス基板、又はポリエチレンテレフタレート(PET)などの可撓性基板に代表される透光性を有する基板を適用することができる。

30

【0289】

なお、本実施の形態の電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍(電子ブック)、ポスター、電車などの乗り物の車内広告、クレジットカードなどの各種カードにおける表示などに適用することができる。電子機器の一例を図19に示す。図19は、電子書籍2700の一例を示している。

【0290】

図19に示すように、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

40

【0291】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図19では表示部2705)に文章を表示し、左側の表示部(図19では表示部2707)に画像を表示することができる。

【0292】

また、図19では、筐体2701に操作部などを備えた例を示している。例えば、筐体

50

2701において、電源スイッチ2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

【0293】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とするこ

10

【0294】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と組み合わせることが可能である。

【0295】

（実施の形態9）

上記実施の形態5乃至実施の形態8に示した表示装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

20

【0296】

図20（A）は、テレビジョン装置の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

【0297】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。また、リモコン操作機9610に、当該リモコン操作機9610から出力する情報を表示する表示部9607を設ける構成としてもよい。

30

【0298】

なお、テレビジョン装置9600は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【0299】

図20（B）は、デジタルフォトフレームの一例を示している。例えば、デジタルフォトフレーム9700は、筐体9701に表示部9703が組み込まれている。表示部9703は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

40

【0300】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子（USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像デ

50

ータを取り込み、取り込んだ画像データを表示部 9703 に表示させることができる。

【0301】

また、デジタルフォトフレーム 9700 は、無線で情報を送受信出来る構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0302】

図 21 (A) は携帯型遊技機であり、筐体 9881 と筐体 9891 の 2 つの筐体で構成されており、連結部 9893 により、開閉可能に連結されている。筐体 9881 には表示部 9882 が組み込まれ、筐体 9891 には表示部 9883 が組み込まれている。また、図 21 (A) に示す携帯型遊技機は、その他、スピーカ 9884、記録媒体挿入部 9886、LED ランプ 9890、入力手段 (操作キー 9885、接続端子 9887、センサ 9888 (力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの)、マイクロフォン 9889) などを備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも表示装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図 21 (A) に示す携帯型遊技機は、記録媒体に記録されているプログラムまたはデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図 21 (A) に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

10

【0303】

図 21 (B) は大型遊技機であるスロットマシンの一例を示している。スロットマシン 9900 は、筐体 9901 に表示部 9903 が組み込まれている。また、スロットマシン 9900 は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン 9900 の構成は上述のものに限定されず、少なくとも上記実施の形態に示した表示装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

20

【0304】

図 22 (A) は、携帯電話機の一例を示している。携帯電話機 9000 は、筐体 9001 に組み込まれた表示部 9002 の他、操作ボタン 9003、外部接続ポート 9004、スピーカ 9005、マイクロフォン 9006などを備えている。

30

【0305】

図 22 (A) に示す携帯電話機 9000 は、表示部 9002 を指などで触れることで、情報を入力することができる。また、電話を掛ける又はメールを打つなどの操作は、表示部 9002 を指などで触れることにより行うことができる。

【0306】

表示部 9002 の画面は主として 3 つのモードがある。第 1 のモードは、画像の表示を主とする表示モードであり、第 2 のモードは、文字などの情報の入力を主とする入力モードである。第 3 のモードは、表示モードと入力モードの 2 つのモードが混合した表示 + 入力モードである。

【0307】

例えば、電話を掛ける又はメールを作成する場合は、表示部 9002 を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部 9002 の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

40

【0308】

また、携帯電話機 9000 内部に、ジャイロ、加速度センサなどの傾きを検出するセンサを有する検出装置を設けることで、携帯電話機 9000 の向き (縦か横か) を判断して、表示部 9002 の画面表示を自動的に切り替えるようにすることができる。

【0309】

また、画面モードの切り替えは、表示部 9002 に触れること、又は筐体 9001 の操

50

作ボタン 9 0 0 3 の操作により行われる。また、表示部 9 0 0 2 に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部 9 0 0 2 に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

【 0 3 1 0 】

また、入力モードにおいて、表示部 9 0 0 2 の光センサで検出される信号を検知し、表示部 9 0 0 2 のタッチ操作による入力が一期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【 0 3 1 1 】

表示部 9 0 0 2 は、イメージセンサとして機能させることもできる。例えば、表示部 9 0 0 2 に掌や指を触れ、掌紋、指紋などを撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

【 0 3 1 2 】

図 2 2 (B) も携帯電話機の一例である。図 2 2 (B) の携帯電話機は、筐体 9 4 1 1 に、表示部 9 4 1 2、及び操作ボタン 9 4 1 3 を含む表示装置 9 4 1 0 と、筐体 9 4 0 1 に操作ボタン 9 4 0 2、外部入力端子 9 4 0 3、マイクロフォン 9 4 0 4、スピーカ 9 4 0 5、及び着信時に発光する発光部 9 4 0 6 を含む通信装置 9 4 0 0 とを有しており、表示機能を有する表示装置 9 4 1 0 は電話機能を有する通信装置 9 4 0 0 と矢印の 2 方向に脱着可能である。よって、表示装置 9 4 1 0 と通信装置 9 4 0 0 の短軸同士を取り付けることも、表示装置 9 4 1 0 と通信装置 9 4 0 0 の長軸同士を取り付けることもできる。また、表示機能のみを必要とする場合、通信装置 9 4 0 0 より表示装置 9 4 1 0 を取り外し、表示装置 9 4 1 0 を単独で用いることもできる。通信装置 9 4 0 0 と表示装置 9 4 1 0 とは無線通信または有線通信により画像または入力情報を授受することができ、それぞれ充電可能なバッテリーを有する。

【 0 3 1 3 】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と組み合わせることが可能である。

【 符号の説明 】

【 0 3 1 4 】

1 0 1	トランジスタ
1 0 2	トランジスタ
1 0 3	トランジスタ
1 0 4	トランジスタ
1 0 5	トランジスタ
1 0 6	トランジスタ
1 1 1	クロック信号選択用トランジスタ
1 1 2	クロック信号選択用トランジスタ
1 1 3	クロック信号選択用トランジスタ
1 1 4	クロック信号選択用トランジスタ
1 1 5	クロック信号選択用トランジスタ
1 1 6	クロック信号選択用トランジスタ
1 2 1	低電源電位選択用トランジスタ
1 2 2	低電源電位選択用トランジスタ
1 2 3	低電源電位選択用トランジスタ
1 2 4	低電源電位選択用トランジスタ
1 2 5	低電源電位選択用トランジスタ
1 2 6	低電源電位選択用トランジスタ
1 3 1	トランジスタ
1 3 2	トランジスタ

10

20

30

40

50

1 3 3	トランジスタ	
1 3 4	トランジスタ	
2 0 1	基板	
2 0 2	絶縁層	
2 0 7	酸化物絶縁層	
2 1 1	導電層	
2 1 3	酸化物半導体層	
2 1 4 a	酸化物導電層	
2 1 4 b	酸化物導電層	
2 1 5 a	導電層	10
2 1 5 b	導電層	
2 1 5 c	導電層	
2 1 7	導電層	
2 3 3 a	レジストマスク	
2 3 3 b	レジストマスク	
2 5 1	トランジスタ	
2 5 2	トランジスタ	
6 0 0	基板	
6 0 1	トランジスタ	
6 0 2	容量素子	20
6 0 3	電気泳動素子	
6 0 4	基板	
6 1 0	導電層	
6 1 1	絶縁層	
6 1 2	半導体層	
6 1 3	導電層	
6 1 4	導電層	
6 1 5	導電層	
6 1 6	画素電極	
6 1 7	対向電極	30
6 1 8	帯電粒子を含有する層	
6 2 0	絶縁層	
6 3 0	走査線	
6 3 1	信号線	
6 3 2	共通電位線	
7 0 1	画素部	
7 0 2	走査線駆動回路	
7 0 3	信号線駆動回路	
7 0 4	画素	
7 0 5	走査線	40
7 0 6	信号線	
8 0 4	走査線	
8 0 5	信号線	
8 2 1	トランジスタ	
8 2 2	液晶素子	
8 2 3	容量素子	
8 5 1	トランジスタ	
8 5 2	容量素子	
8 5 3	トランジスタ	
8 5 4	発光素子	50

8 5 5	走査線	
8 5 6	信号線	
9 0 0	シフトレジスタ	
9 0 1	レベルシフト	
9 0 2	バッファ	
9 0 3	シフトレジスタ	
9 0 4	ラッチ回路	
9 0 5	ラッチ回路	
9 0 6	レベルシフト	
9 0 7	バッファ	10
2 0 0 0	基板	
2 0 0 1	導電層	
2 0 0 2	絶縁層	
2 0 0 3	酸化物半導体層	
2 0 0 5 a	導電層	
2 0 0 5 b	導電層	
2 0 0 7	酸化物絶縁層	
2 0 0 8	導電層	
2 0 2 0	透明導電層	
2 0 2 2	導電層	20
2 0 2 3	導電層	
2 0 2 4	導電層	
2 0 2 8	透明導電層	
2 0 2 9	透明導電層	
2 1 1 2	導電層	
2 1 3 2	酸化物半導体層	
2 1 4 2 a	酸化物導電層	
2 1 4 2 b	酸化物導電層	
2 7 0 0	電子書籍	
2 7 0 1	筐体	30
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源スイッチ	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	
4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 3 a	信号線駆動回路	40
4 5 0 3 b	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	
4 5 0 4 b	走査線駆動回路	
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	トランジスタ	
4 5 1 0	トランジスタ	
4 5 1 1	発光素子	
4 5 1 2	発光層	50

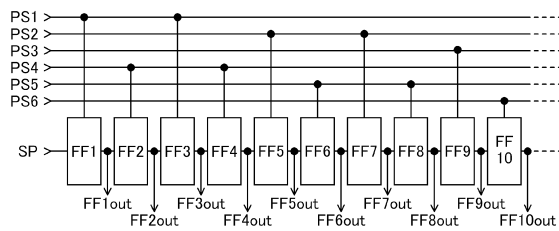
4 5 1 3	電極	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	電極	
4 5 1 8 a	F P C	
4 5 1 8 b	F P C	
4 5 1 9	異方性導電層	
4 5 2 0	隔壁	
4 5 4 0	導電層	
4 5 4 2	絶縁層	10
4 5 4 3	絶縁層	
4 5 4 4	絶縁層	
4 5 4 5	平坦化絶縁層	
4 5 5 5	トランジスタ	
7 0 0 3	陰極	
7 0 0 4	発光層	
7 0 0 5	陽極	
7 0 1 3	陰極	
7 0 1 4	発光層	
7 0 1 5	陽極	20
7 0 1 6	遮蔽層	
7 0 1 7	導電層	
7 0 2 3	陰極	
7 0 2 4	発光層	
7 0 2 5	陽極	
7 0 2 7	導電層	
9 0 0 0	携帯電話機	
9 0 0 1	筐体	
9 0 0 2	表示部	
9 0 0 3	操作ボタン	30
9 0 0 4	外部接続ポート	
9 0 0 5	スピーカ	
9 0 0 6	マイクロフォン	
9 4 0 0	通信装置	
9 4 0 1	筐体	
9 4 0 2	操作ボタン	
9 4 0 3	外部入力端子	
9 4 0 4	マイクロフォン	
9 4 0 5	スピーカ	
9 4 0 6	発光部	40
9 4 1 0	表示装置	
9 4 1 1	筐体	
9 4 1 2	表示部	
9 4 1 3	操作ボタン	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	
9 6 0 9	操作キー	50

9 6 1 0	リモコン操作機
9 7 0 0	デジタルフォトフレーム
9 7 0 1	筐体
9 7 0 3	表示部
9 8 8 1	筐体
9 8 8 2	表示部
9 8 8 3	表示部
9 8 8 4	スピーカ
9 8 8 5	操作キー
9 8 8 6	記録媒体挿入部
9 8 8 7	接続端子
9 8 8 8	センサ
9 8 8 9	マイクロフォン
9 8 9 0	L E Dランプ
9 8 9 1	筐体
9 8 9 3	連結部
9 9 0 0	スロットマシン
9 9 0 1	筐体
9 9 0 3	表示部

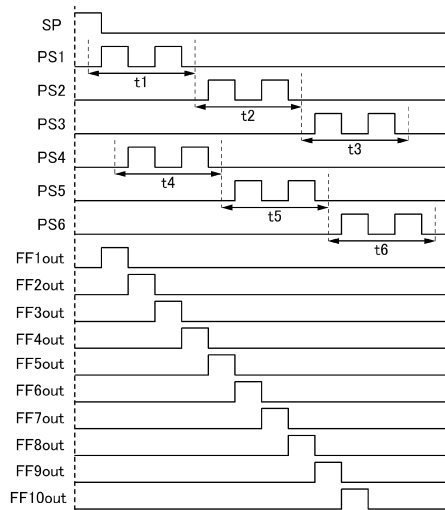
10

【図 1】

(A)

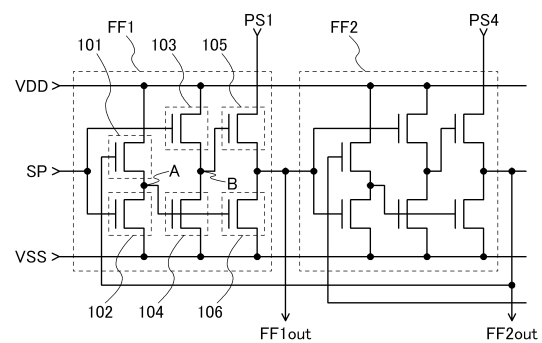


(B)

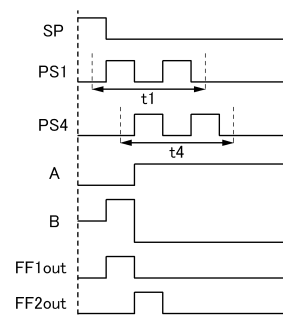


【図 2】

(A)

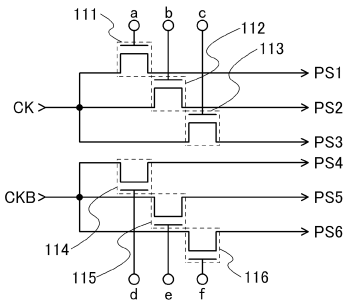


(B)

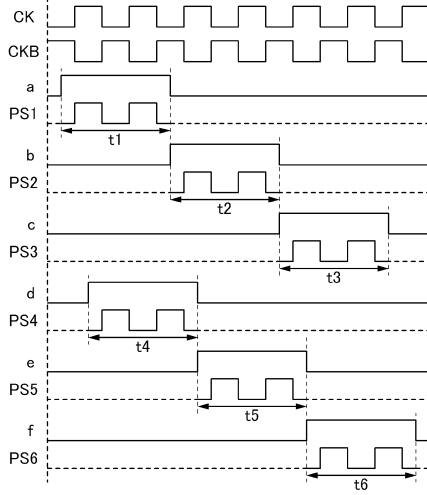


【図 3】

(A)

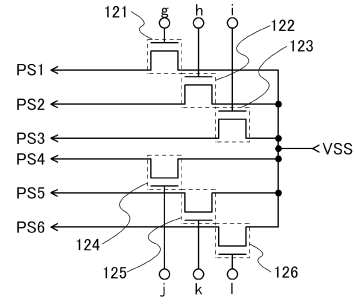


(B)

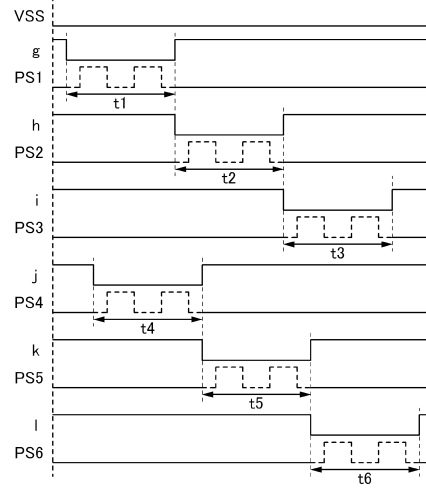


【図 4】

(A)

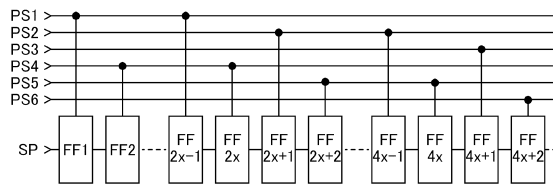


(B)

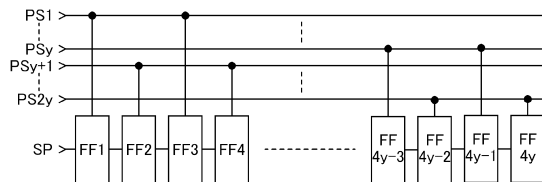


【図 5】

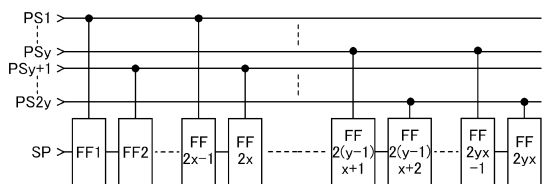
(A)



(B)

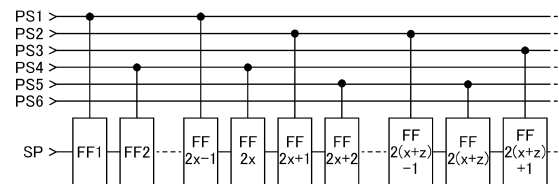


(C)

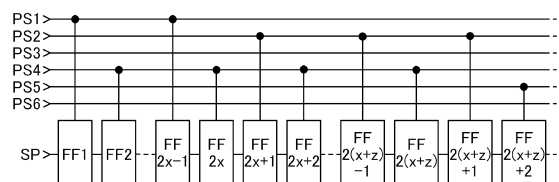


【図 6】

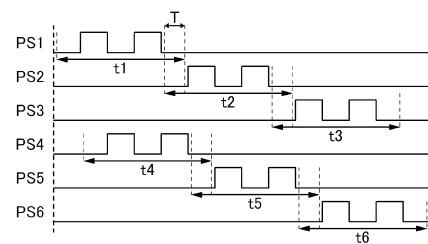
(A)



(B)

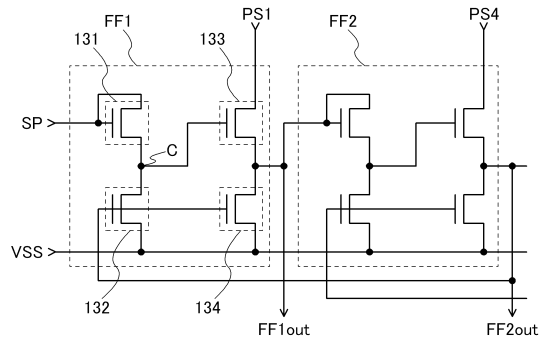


(C)

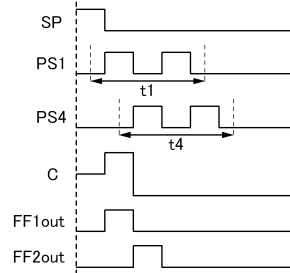


【図 7】

(A)

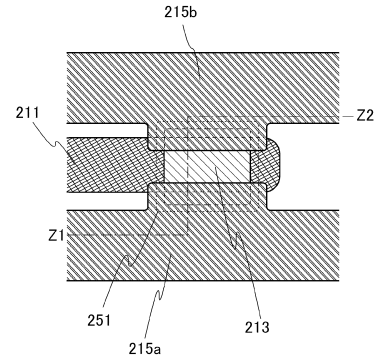


(B)

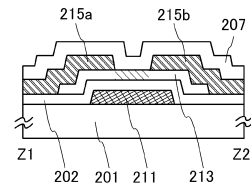


【図 8】

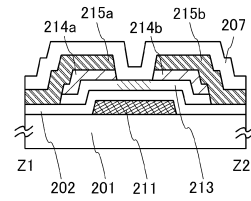
(A)



(B)

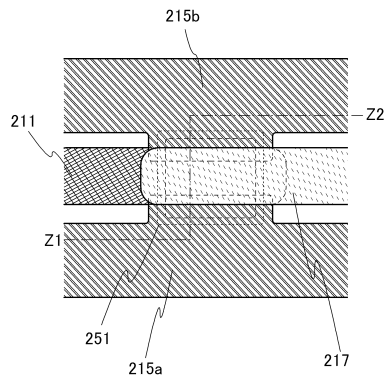


(C)

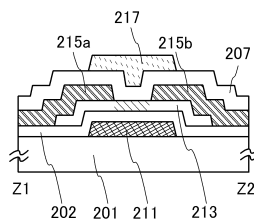


【図 9】

(A)

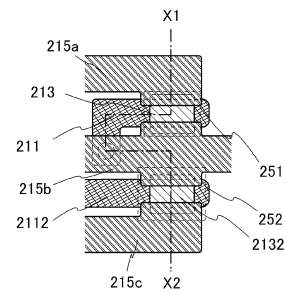


(B)

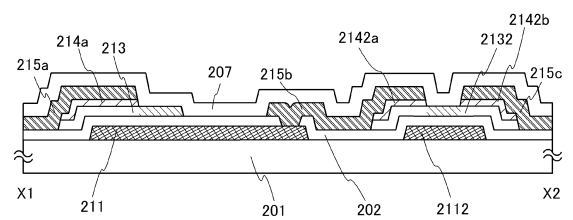


【図 10】

(A)

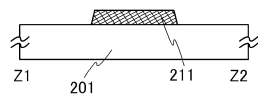


(B)

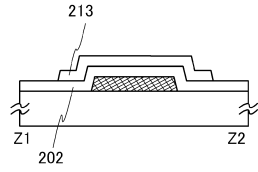


【図 1 1】

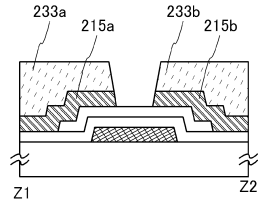
(A)



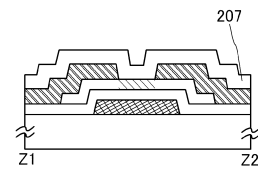
(B)



(C)

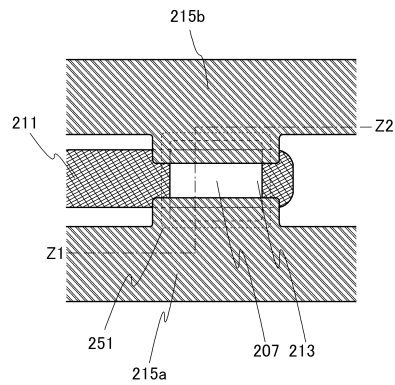


(D)

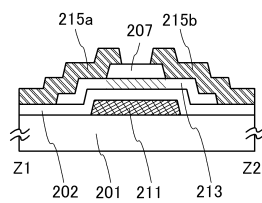


【図 1 3】

(A)

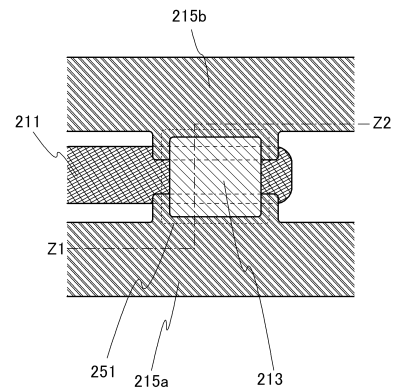


(B)

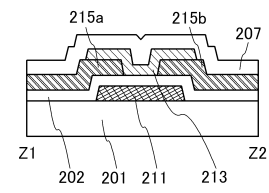


【図 1 2】

(A)

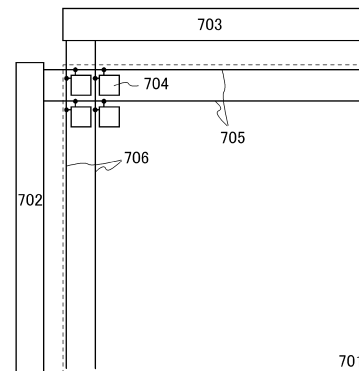


(B)

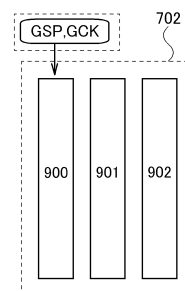


【図 1 4】

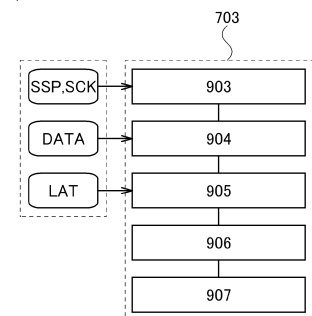
(A)



(B)



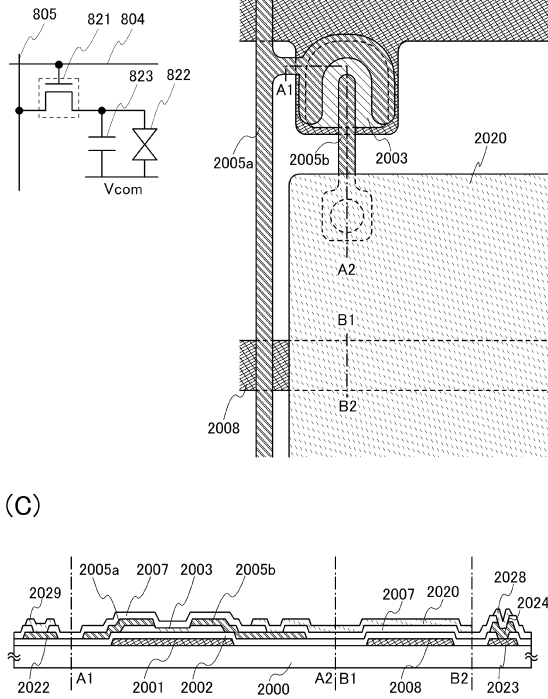
(C)



【 図 1 6 】

(A)

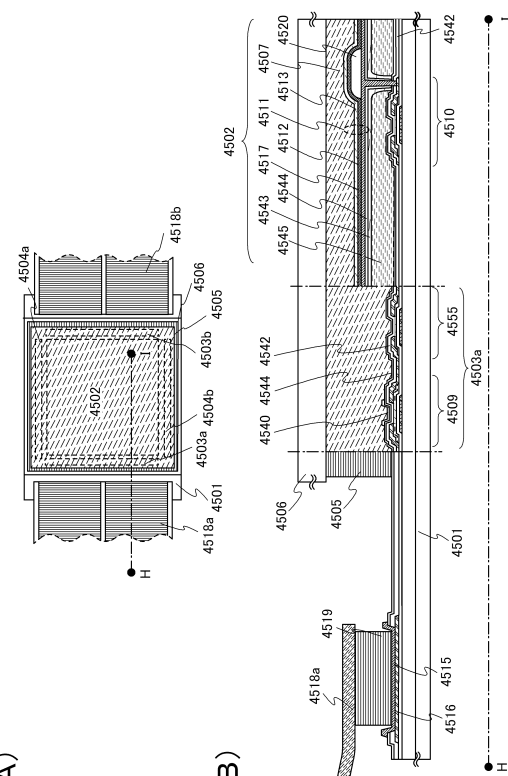
(B)



(C)

【圖 17】

(A)

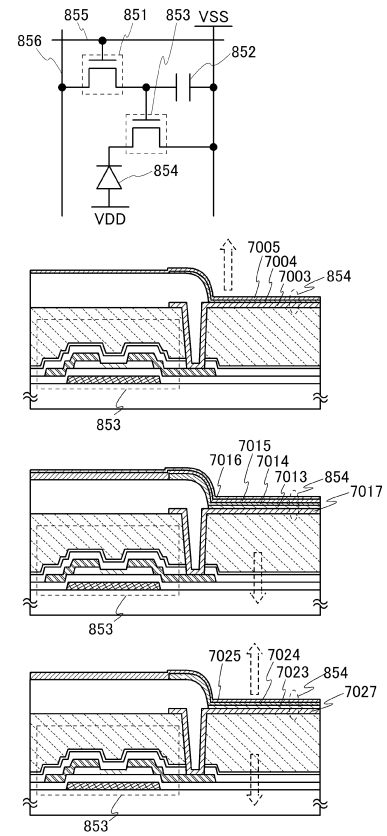
$$(B)$$


(A)

(B)

(C)

(D)

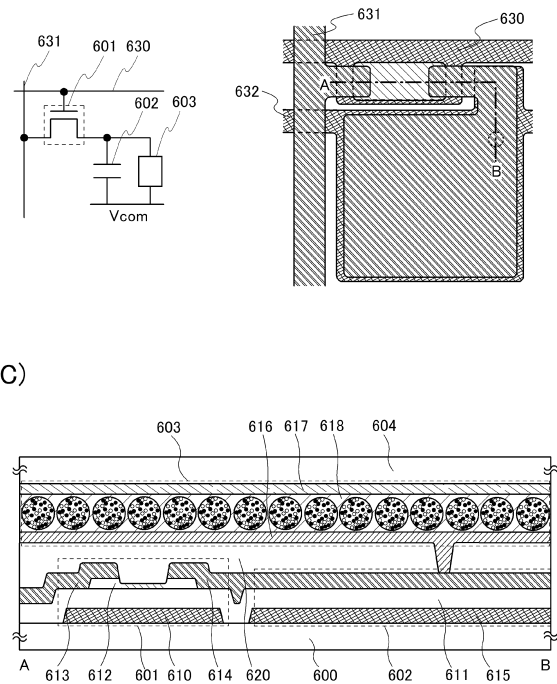


【 図 1 8 】

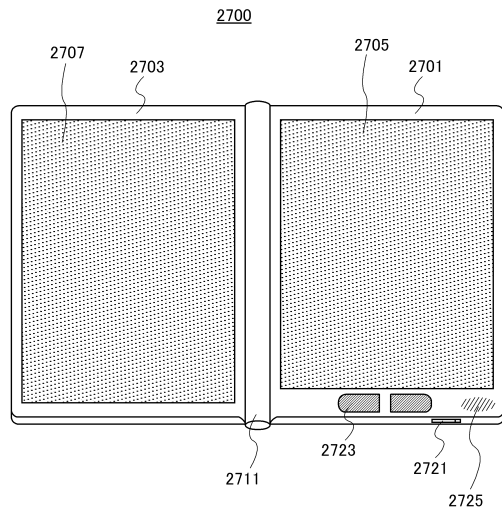
(A)

(B)

(C)

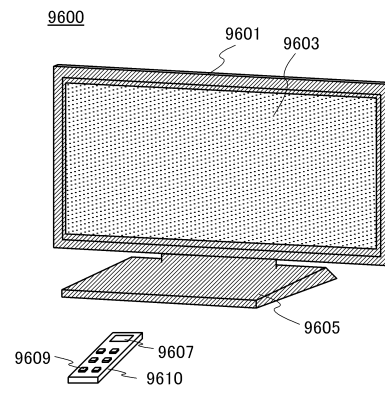


【図 19】

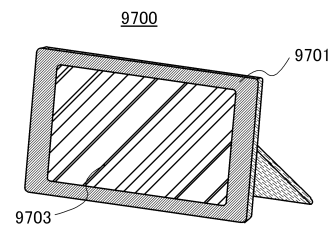


【図 20】

(A)

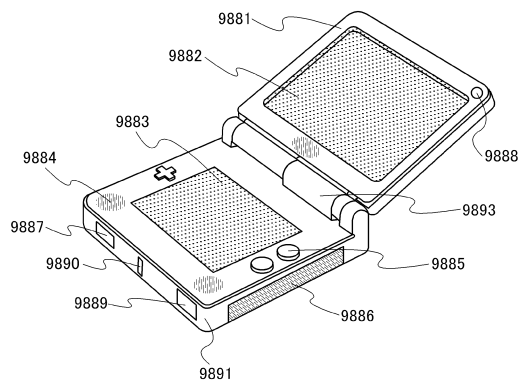


(B)

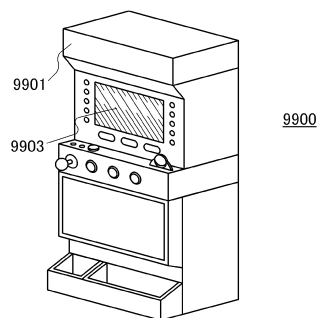


【図 21】

(A)

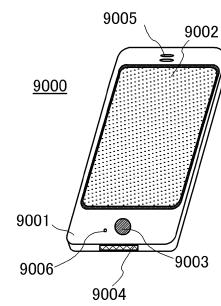


(B)

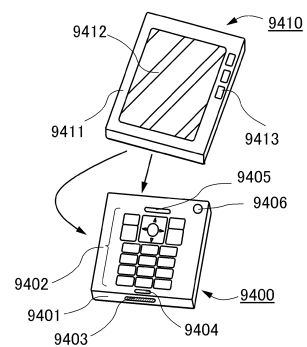


【図 22】

(A)



(B)



フロントページの続き

(56)参考文献 特開2004-226429(JP,A)
特開2008-9393(JP,A)
特開2009-99847(JP,A)
特開2008-166716(JP,A)
国際公開第2008/069056(WO,A1)
特開2011-29626(JP,A)
特開2011-29627(JP,A)
特開2011-29628(JP,A)
特許第5980402(JP,B2)

(58)調査した分野(Int.Cl., DB名)

G11C	19/28
G09G	3/20
H01L	29/786