

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4084080号
(P4084080)

(45) 発行日 平成20年4月30日(2008.4.30)

(24) 登録日 平成20年2月22日(2008.2.22)

(51) Int.Cl.

F 1

HO1L 29/786	(2006.01)	HO1L 29/78	613A
HO1L 21/336	(2006.01)	HO1L 29/78	617U
HO1L 21/20	(2006.01)	HO1L 29/78	616A
HO1L 21/8234	(2006.01)	HO1L 29/78	617K
HO1L 27/088	(2006.01)	HO1L 29/78	617L

請求項の数 15 (全 20 頁) 最終頁に続く

(21) 出願番号

特願2002-134885 (P2002-134885)

(22) 出願日

平成14年5月10日 (2002.5.10)

(65) 公開番号

特開2003-332581 (P2003-332581A)

(43) 公開日

平成15年11月21日 (2003.11.21)

審査請求日

平成17年4月19日 (2005.4.19)

(73) 特許権者 000005108

株式会社日立製作所

東京都千代田区丸の内一丁目6番6号

(74) 代理人 110000350

ボレール特許業務法人

(74) 代理人 100068504

弁理士 小川 勝男

(74) 代理人 100086656

弁理士 田中 恭助

(74) 代理人 100094352

弁理士 佐々木 孝

(72) 発明者 佐藤 健史

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所 中央研究所内

最終頁に続く

(54) 【発明の名称】薄膜トランジスタ基板の製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板の上部に、複数の結晶性半導体膜を形成する工程、

前記複数の結晶性半導体膜を覆って第1の絶縁膜を形成する工程、

前記第1の絶縁膜上に第1のゲート層を形成する工程、

前記第1のゲート層を、第1のN型トランジスタのゲートに加工する工程、

次いで、前記基板の上部に第2の絶縁膜を形成する工程、

前記第2の絶縁膜上に導体層からなる第2のゲート層を形成する工程、

前記第2のゲート層上に、第2のN型トランジスタのゲートを覆うレジストパターンを形成する工程、

前記第2のゲート層を、前記レジストパターンを用いて前記レジストパターンより縮小され、かつ、前記第1のゲート層を含まない前記第2のN型トランジスタのゲートに加工する工程、

前記第1及び第2のN型トランジスタに対応する結晶性半導体膜に、前記第1のN型トランジスタのゲートと、前記レジストパターンをマスクとして、前記第1の絶縁膜及び前記第2の絶縁膜とを介して第1の濃度でN型不純物を注入し、第1及び第2のN型トランジスタのソース及びドレインを形成する工程、

次いで、前記レジストパターンを除去し、前記第2のN型トランジスタに対応する前記結晶性半導体膜に、前記第2のN型トランジスタのゲートをマスクとして、前記第1の絶縁膜及び前記第2の絶縁膜とを介して前記第1の濃度より低い第2の濃度でN型不純物を

10

20

注入することにより、前記第2のN型トランジスタのLDD領域を形成する工程、を有することを特徴とする薄膜トランジスタ基板の製造方法。

【請求項2】

基板の上部に、複数の結晶性半導体膜を形成する工程、

前記複数の結晶性半導体膜を覆って第1の絶縁膜を形成する工程、

前記第1の絶縁膜上に第1のゲート層を形成する工程、

前記第1のゲート層を第1のN型トランジスタのゲート及び第1のP型トランジスタのゲートに加工する工程、

次いで、前記基板の上部に第2の絶縁膜を形成する工程、

前記第2の絶縁膜上に導体層からなる第2のゲート層を形成する工程、

前記第2のゲート層上に、第2のN型トランジスタのゲート、前記第1のP型トランジスタ及び第2のP型トランジスタを覆う第1のレジストパターンを形成し、前記第1のレジストパターンを用いて、前記第2のゲート層を前記第1のレジストパターンより縮小された第2のN型トランジスタのゲートに加工すると共に、第1のP型トランジスタ及び第2のP型トランジスタを覆うパターンに加工する工程、

前記第1及び第2のN型トランジスタに対応する前記結晶性半導体膜に、前記第1のN型トランジスタのゲート及び前記第1のレジストパターンとをマスクとして、前記第1の絶縁膜及び前記第2の絶縁膜とを介して第1の濃度でN型不純物を注入することにより、前記第1及び第2のN型トランジスタのソース及びドレインを形成する工程、

次いで、前記第1のレジストパターンを除去し、前記第2のN型トランジスタに対応する前記結晶性半導体膜に、前記第2のN型トランジスタのゲートをマスクとして、前記第1の絶縁膜及び前記第2の絶縁膜とを介して前記第1の濃度より低い第2の濃度でN型不純物を注入することにより、前記第2のN型トランジスタのLDD領域を形成する工程、

次いで、前記第2のP型トランジスタのゲート、前記第1及び第2のN型トランジスタを覆う第2のレジストパターンを形成し、前記第2のレジストパターンを用いて、前記第1のP型トランジスタを覆うパターンを除去すると共に、前記第2のP型トランジスタを覆うパターンを前記第2のP型トランジスタのゲートに加工する工程、

前記第1及び第2のP型トランジスタに対応する前記結晶性半導体膜に、前記第1のP型トランジスタのゲート及び第2のレジストパターンをマスクとして、前記第1の絶縁膜及び前記第2の絶縁膜とを介してP型不純物を注入することにより、前記第1及び第2のP型トランジスタのソース及びドレインを形成する工程、

次いで、前記第2のレジストパターンを除去する工程、を有し、

前記第1のゲート層をゲートとし、前記第1の絶縁膜をゲート絶縁膜として有する前記第1のN型薄膜トランジスタ及び前記第1のP型薄膜トランジスタと、前記第2のゲート層をゲートとして、前記第1の絶縁膜と前記第2の絶縁膜の積層をゲート絶縁膜として有する前記第1のゲート層を含まない前記第2のN型薄膜トランジスタ及び前記第2のP型薄膜トランジスタとを形成することを特徴とする薄膜トランジスタ基板の製造方法。

【請求項3】

前記第2のゲート層が、複数の導体層の積層であることを特徴とする請求項1に記載の薄膜トランジスタ基板の製造方法。

【請求項4】

前記第2のゲート層が、複数の導体層の積層であることを特徴とする請求項2に記載の薄膜トランジスタ基板の製造方法。

【請求項5】

前記基板が透光性絶縁基板であることを特徴とする請求項1に記載の薄膜トランジスタ基板の製造方法。

【請求項6】

前記基板が透光性絶縁基板であることを特徴とする請求項2に記載の薄膜トランジスタ基板の製造方法。

【請求項7】

10

20

30

40

50

前記第1のゲート層の膜厚は100nm以上であり、前記N型不純物及び前記P型不純物を注入する領域の前記第1の絶縁膜及び前記第2の絶縁膜の膜厚の和が150nm以下であることを特徴とする請求項1に記載の薄膜トランジスタ基板の製造方法。

【請求項8】

前記第1のゲート層の膜厚は100nm以上であり、前記N型不純物及び前記P型不純物を注入する領域の前記第1の絶縁膜及び前記第2の絶縁膜の膜厚の和が150nm以下であることを特徴とする請求項2に記載の薄膜トランジスタ基板の製造方法。

【請求項9】

前記第1のゲート層の膜厚は100nm以上であり、前記N型不純物及び前記P型不純物を注入する領域の前記第1の絶縁膜及び前記第2の絶縁膜の膜厚の和が150nm以下であることを特徴とする請求項3に記載の薄膜トランジスタ基板の製造方法。

10

【請求項10】

前記第1のゲート層からなるゲートはその端部が順テーパ状に形成されていることを特徴とする請求項1に記載の薄膜トランジスタ基板の製造方法。

【請求項11】

前記第1のゲート層からなるゲートはその端部が順テーパ状に形成されていることを特徴とする請求項2に記載の薄膜トランジスタ基板の製造方法。

【請求項12】

前記第1の絶縁膜の膜厚が前記第1のゲート層の膜厚より小さいことを特徴とする請求項1に記載の薄膜トランジスタ基板の製造方法。

20

【請求項13】

前記第1の絶縁膜の膜厚が前記第1のゲート層の膜厚より小さいことを特徴とする請求項2に記載の薄膜トランジスタ基板の製造方法。

【請求項14】

前記第1及び第2の絶縁膜の膜厚の和が、前記第2のゲート層の膜厚より小さいことを特徴とする請求項1に記載の薄膜トランジスタ基板の製造方法。

【請求項15】

前記第1及び第2の絶縁膜の膜厚の和が、前記第2のゲート層の膜厚より小さいことを特徴とする請求項2に記載の薄膜トランジスタ基板の製造方法。

【発明の詳細な説明】

30

【0001】

【発明の属する技術分野】

本発明は、多結晶Si(シリコン)薄膜を用いた駆動回路内蔵型表示装置に供し得る薄膜トランジスタ基板並びにその製造方法に関するものである。

【0002】

本発明は、液晶表示装置や有機発光素子を用いた表示装置、特に低温多結晶Si技術を用いた駆動回路内蔵型の液晶表示装置に用いられる薄膜トランジスタ基板に供して有用である。

【0003】

【従来の技術】

40

液晶表示装置では、高精細化、低コスト化を目的に、薄膜トランジスタ(Thin Film Transistor:以下、TFTと略称する)を用いた駆動回路を基板上に形成することが行われている。そして、このTFTの母材として、低温で形成された多結晶Si膜(以下、単に低温多結晶Si膜と略称する)が用いられている。特に、携帯情報端末用に用いられる小型の液晶表示装置では、駆動回路面積の縮小と低消費電力化が求められている。

【0004】

こうした諸課題に対して多くの技術が提案されているが、大きくは2つの側面に大別される。1つは、液晶の駆動に必要な高耐圧の薄膜トランジスタと、駆動回路用の高駆動力の薄膜トランジスタを同一基板上に形成する方法であり、2つ目は当該表示装置用電子回路

50

の構成に、低温多結晶Si膜を用いた薄膜トランジスタを用いる試みである。液晶の駆動に必要な高耐圧の薄膜トランジスタと、駆動回路用の高駆動力の薄膜トランジスタを同一基板上に形成する方法としては、例えば、特許公開公報、特開平5-335573号がある。又、特に、N型の薄膜トランジスタにおいては、耐圧とオフ電流の低減を目的として、ゲート端に低濃度のドープ領域であるLDD (Lightly Doped Drain) を設けることが行われている。ゲート端に合わせずれなく自己整合的にLDDを形成する方法の例は、例えば、特許公開公報、特開平11-163366号に見られる。又、有機発光素子を、低温多結晶Si膜を用いた薄膜トランジスタにより駆動する表示素子の例は、例えば、ASIA DISPLAY / IDW '01 予稿集、p319に見られる。

【0005】

10

【発明が解決しようとする課題】

本発明に用いる TFT の従来例には、次のような難点が見られた。即ち、複数のトランジスタ部を構成する為、厚さの異なるゲート絶縁膜を通してドーパントを半導体膜中に注入する必要が生ずる。この工程では、厚さの異なるゲート絶縁膜に対しては、当然、ドーパントの注入深さが異なる。従って、注入深さの異なる不純物領域を形成する為、加速電圧を調整して複数回の注入を行う必要がある。こうして、その製造工程数が多くなってしまう。一方、あらかじめ、半導体膜にドーピングを行ってからゲート絶縁膜を形成する方法では、工程数の増加は抑えられるが、ゲートとドーピング領域の間に合わせずれが生じやすい。この為、トランジスタに対する寄生容量が増大する難点がある。

【0006】

20

又、LDDの形成された高耐圧の薄膜トランジスタと、LDDがない高駆動力の薄膜トランジスタを同一基板上に形成するには、LDDを作り分けるマスクが必要となり、工程数が増加する難点がある。

【0007】

こうした状況を背景に、本発明の第1の目的は、LDD構造を有し、例えば液晶の駆動に適した高耐圧な薄膜トランジスタと、低電圧駆動可能な高駆動力の薄膜トランジスタとを、同一基板上に形成する簡便な製造方法を提供することにある。

【0008】

30

又、多結晶Si膜を用いた薄膜トランジスタを用いる表示装置では、トランジスタのオフ電流が大きいため、画像信号を保持するための容量を大きくとる必要がある。この為、開口率を大きくできないという問題がある。本発明の別な目的は、多結晶Si膜を用いた駆動回路内蔵表示装置において、容量の面積を縮小し、高開口率で低消費電力の表示装置を提供することにある。この目的に供する為、本発明は従前より開口率の高い、薄膜トランジスタ基板を提供する。

【0009】

【課題を解決するための手段】

本発明の第1の観点は、高耐圧と高駆動力のゲート絶縁膜の厚さの異なる薄膜トランジスタの不純物領域を、共に同じ膜厚を有する2層のゲート絶縁膜を通してドーパントを注入することにより形成する製造方法である。本発明の第2の観点は、表示装置に用いる薄膜トランジスタを構成する絶縁膜の1層の延在部分を用いてその占有面積を縮小するものである。

40

【0010】

本発明の骨子を述べれば、次の通りである。即ち、基板上に、結晶性半導体膜と、第1のゲート絶縁膜と、第1のゲート層からなるゲートが積層された第1の薄膜トランジスタと、前記結晶性半導体膜上に前記第1のゲート絶縁膜および第2のゲート絶縁膜と、第2のゲート層からなるゲートが積層され、前記第1のゲート層を含まない第2の薄膜トランジスタとが形成された薄膜トランジスタ基板を、第2のゲート層の加工に用いるレジストパターンと、第1のゲート層からなるパターンとをマスクとし、第1及び第2のゲート絶縁膜を通して半導体膜にドーパントを注入する工程を含み形成することを特徴としている。

50

【0011】

本発明の第2の骨子を述べれば、次の通りである。即ち、第2のゲート層をレジストパターンから縮小した形状に加工する工程と、第2のゲート層の加工に用いたレジストパターンおよび第1のゲート層からなるゲートをマスクとして、半導体膜にN型のドーパントを注入する第1の工程と、前記レジストパターンを除去後に第1および第2のゲート層をマスクとし、第1及び第2のゲート絶縁膜を通して前記第1の工程よりも低濃度にN型のドーパントを半導体膜に注入する第2の工程とを含み製造することを特徴としている。

【0012】

本発明の主な諸形態を列挙すれば、下記の通りである。

【0013】

本発明の第1の形態は、(1)基板の上部に、複数の結晶性半導体膜を形成する工程、
 (2)前記複数の結晶性半導体膜を覆って第1の絶縁膜を形成する工程、
 (3)前記第1の絶縁膜上に第1のゲート層を形成する工程、
 (4)前記第1のゲート層を、第1のN型トランジスタのゲートに加工する工程、
 (5)次いで、当該基板の上部に第2の絶縁膜を形成する工程、
 (6)前記第2の絶縁膜上に第2のゲート層を形成する工程、
 (7)前記第2のゲート層を、第1のゲート層を含まない第2のN型トランジスタのゲートに加工する工程、
 (8)N型トランジスタを構成する為の前記結晶性半導体膜に、前記第1の絶縁膜及び前記第2の絶縁膜とを介してN型不純物を注入し、当該第1及び第2のN型トランジスタの不純物領域を形成する工程、を有する薄膜トランジスタ基板の製造方法である。

【0014】

本発明の第2の形態は、(1)基板の上部に、複数の結晶性半導体膜を形成する工程、
 (2)前記複数の結晶性半導体膜を覆って第1の絶縁膜を形成する工程、
 (3)前記第1の絶縁膜層上に第1のゲート層からなる第1のN型トランジスタのゲート及び第1のP型トランジスタのゲートを形成する工程、
 (4)次いで、当該基板の上部に第2の絶縁膜を形成する工程、
 (5)前記第2の絶縁膜上に第2のゲート層を形成する工程、
 (6)前記第2のゲート層を、レジストパターンを用いて前記レジストパターンより縮小された第2のN型トランジスタのゲートに加工する工程、
 (7)前記第1及び第2のN型トランジスタに対応する半導体領域に、前記第1のN型トランジスタのゲートと、前記第2のN型トランジスタのゲートを加工する前記レジストパターンをマスク領域として、前記第1の絶縁膜及び前記第2の絶縁膜とを介して第1の濃度でN型不純物を注入する工程を有して、当該N型トランジスタの第1の不純物領域を形成する工程、
 (8)前記第2のN型トランジスタに対応する半導体領域に、前記第2のN型トランジスタのゲートをマスク領域として、前記第1の絶縁膜及び前記第2の絶縁膜とを介して前記第1の濃度より低い第2の濃度でN型不純物を注入する工程を有して、前記第2のN型トランジスタの第2の不純物領域を形成する工程、

(9)前記第2のゲート層を、第2のP型トランジスタのゲートに加工する工程、
 (10)P型トランジスタを構成する前記結晶性半導体膜に、前記第1のP型トランジスタのゲートと、前記第2のP型トランジスタのゲートの領域をマスク領域として、前記第1の絶縁膜及び前記第2の絶縁膜とを介してP型不純物を注入する工程を有して、当該P型トランジスタの不純物領域を形成する工程、を有し、

前記第1のゲート層をゲートとし、前記第1の絶縁膜をゲート絶縁膜として有する前記第1のN型薄膜トランジスタ及び第1のP型薄膜トランジスタと、前記第2のゲート層をゲートとして、前記第1の絶縁膜と前記第2の絶縁膜の積層をゲート絶縁膜として有する前記第1のゲート層を含まない前記第2のN型薄膜トランジスタ及び第2のP型薄膜トランジスタとを形成する薄膜トランジスタ基板の製造方法である。

【0015】

10

20

30

40

50

ここで、当該N型トランジスタの不純物領域を形成する前記工程は、次の手段をとることが好適である。

【0016】

即ち、当該工程が、N型トランジスタを構成する前記結晶性半導体膜に対して、前記第1のN型トランジスタのゲート及び、前記第2のN型トランジスタに対応して前記第2のN型トランジスタのゲートより大なる領域とをマスク領域として、少なくとも前記第1の絶縁膜及び前記第2の絶縁膜とを介して第1の不純物濃度でN型不純物を注入する工程と、当該N型トランジスタを構成する前記結晶性半導体膜に対して、前記第1のN型トランジスタのゲートと、前記第2のN型トランジスタのゲートとをマスク領域として、前記第1の絶縁膜及び前記第2の絶縁膜とを介して、前記第1の不純物濃度より低い不純物濃度の第2の不純物濃度でN型不純物を注入する工程とによってなされる。

10

【0017】

前記第2のN型トランジスタのゲートに対応した前記マスク領域を前記第2のN型トランジスタのゲートの領域より大なる領域を確保するに、前記第2のN型トランジスタのゲートを加工する為のフォトレジストを用いるのが実際的である。この場合、フォトレジストの幅より第2のN型トランジスタのゲートの幅が小さくなるように、いわゆるアンダーエッチングすることで、所望の形状を得ることが出来る。

【0018】

当該薄膜トランジスタ搭載基板が、表示装置に用いられる場合、前記基板が透光性絶縁基板であることが好都合である。こうした表示装置として、特に液晶表示装置、有機発光装置などをあげることが出来る。尚、透過型の液晶表示装置のほか、反射型の液晶表示装置に用いることも出来る。反射型の表示装置では、基板が透明でなくとも用いることが出来る。又、本発明によれば、高電圧駆動可能な薄膜トランジスタを低電圧駆動可能な周辺回路と共に形成できるため、比較的高電圧が必要な電気泳動を用いたディスプレイ、電子粉流体を用いたディスプレイなどに用いることも出来る。

20

【0019】

又、前記第2のゲート層は、複数の導体層の積層を用いても良い。

【0020】

半導体装置の第1及び第2の不純物領域を、所望に形成する為、前記第1の絶縁膜の膜厚が前記第1のゲート層の膜厚より小さいことが好適である。更に、前記第1及び第2の絶縁膜の膜厚の和が、前記第2のゲート層の膜厚より小さいことが好適である。

30

【0021】

前述の関係を満たす、より実際的なゲート層及び絶縁膜の厚さの例を示せば次の通りである。即ち、前記第1のゲート層の膜厚は、100nm以上であり、前記N型不純物及び前記P型不純物を注入する領域の前記第1の絶縁膜及び前記第2の絶縁膜の膜厚の和が150nm以下であることが実際的である。

【0022】

又、前記第1のN型トランジスタのゲートはその端部が順テープ状に形成されていることが実用的である。この上部に絶縁層を形成し、この絶縁膜を介してイオン打ち込みを行う場合、打ち込まれた不純物濃度が、絶縁膜のゲート端部近傍での厚さの変動の影響を受け難い。

40

上記の本発明の構成により、ゲート絶縁膜の厚さの異なる薄膜トランジスタのソースおよびドレインへのドーパント注入を同一の注入工程にて行うことができ、又マスクの増加なくLDDの作り分けが可能となる。

【0023】

代表的な表示装置に用いる薄膜トランジスタ搭載基板は次の基本構成を有する。即ち、絶縁基板上に、互いに交差して配置された複数の第1の配線及び複数の第2の配線と、この第1の配線及び第2の配線の交差部近傍に設けられた画素と、信号を保持する為の容量と、画素に対するスイッチ部と、当該装置の駆動の為の駆動回路部とを少なくとも有する。この場合、前記スイッチ部が、本発明のように、第1の絶縁膜と第2の絶縁膜との積層を

50

含むゲート絶縁膜を有する第1のトランジスタを有し、前記駆動回路部は、前記第1の絶縁膜をゲート絶縁膜とする第2のトランジスタを有する場合、前記信号を保持する為の容量が、前記ゲート絶縁膜から延在する第2の絶縁膜を介して形成されていることが極めて有用である。本発明では、第1のゲート層と、第2のゲート層との間に、第2のゲート絶縁膜を介して形成されている容量を含み、画素電極に印加される映像信号を保持する容量を形成することを特徴としている。本構成により、画素において容量の占める面積を縮小し、開口率を向上して表示装置を低消費電力化することができる。

【0024】

【発明の実施の形態】

図1は本発明を用いた薄膜トランジスタ基板の製造工程の例をその工程順に示した例である。図は各工程での主要部の断面図である。 10

【0025】

透光性絶縁基板1、例えば、ガラス基板上に、SiNとSiO₂との積層膜からなる下地絶縁膜2を介し、多結晶Siからなる半導体膜3が形成されている。下地絶縁膜2は、基板上に形成する半導体膜を良好に形成する為の層である。このSiNとSiO₂との積層膜は、例えばプラズマCVD法(Chemical Vapour Deposition)を用いて形成した。尚、透光性絶縁基板1として、プラスチック基板を目的の応じて用いることが出来る。

【0026】

多結晶Si膜は、プラズマCVDにより堆積したアモルファスSi膜を、パルスエキシマレーザを照射してアニールする方法で形成した。エキシマレーザによるアニールの場合、多結晶Si膜の厚さとしては30nm以上70nm以下が好ましい。更には、40nm以上60nm、より望ましくは50nm程度がよい。30nmより薄い膜では結晶性が低下し、70nmより厚いと結晶化に必要なレーザ光の強度が大きく、むしろ生産性が低下する。又、この場合、結晶化後の凹凸が大きくなり、被覆するゲート絶縁膜が絶縁破壊を起こしやすくなるため適当でない。尚、多結晶Si膜は、スパッタにより堆積したアモルファスSi膜を金属触媒を用いて結晶化する方法、触媒を用いたCVDにより直接堆積する方法など、その他の方法を用いて形成することもできる。 20

【0027】

50nmの厚さの多結晶Si膜を、ドライエッチを含むホトリソグラフィを用いて、所望形状に加工する。この多結晶Siからなる半導体膜3は、例えば、トランジスタや導体層などを構成する。この後、SiO₂からなる第1のゲート絶縁膜4を、TEOS(Tetraethoxysilaneの略称)を用いたプラズマCVDにより50nm堆積した。 30

【0028】

第1のゲート絶縁膜4は、上記のCVDを用いた方法のほか、450以下の温度でオゾンを用いてSi膜を酸化して酸化膜を形成する方法、RF(Radio Frequency)スパッタを用いて酸化膜を堆積する方法、これらを組み合わせた方法など、各種の方法を用いることが出来る。第1のゲート絶縁膜4上に、2wt%のCrを含むMoCr(モリブデン-クロム合金)からなる第1のゲート層を、スパッタにより150nm堆積する。燐酸、硝酸、酢酸、水の混合液を用いたウェットエッチングにより前記MoCr層を所望形状にエッチングする。この結果、端部に約60度の順テーパ形状を有するゲート110及び111が形成される。この状態の主要部の断面図が図1の(a)である。 40

【0029】

この第1のゲート層からなるゲート110及び111のトランジスタのチャネル方向の両端部をテーパにしておくことは、ソース、ドレインの不純物領域のイオン打込みを良好になすに有用である。即ち、第1のゲート層からなるゲートの上部に絶縁膜6を形成し、この第1のゲート層からなるゲート及び絶縁膜6を介して前記イオン打ち込みを行なう。第1のゲート層からなるゲートの上部に第2のゲート絶縁膜6を形成する際、通例、下部のゲートの端部に対応する位置で第2のゲート絶縁膜6の膜厚が厚く形成される。第2の 50

ゲート絶縁膜6の膜厚の変動が、半導体膜に形成される不純物領域の不純物濃度の変動となる。特に、ゲート端部が厚い場合、ソース、ドレインのチャネル端部の不純物濃度が極めて薄くなることも生じ得る。従って、少なくとも、本例のように、第1のゲート層からなるゲートのトランジスタのチャネル方向の両端部をテーパにしておくことが実際的である。

【0030】

又、前記ゲート絶縁膜と下地となる SiO_2 膜とのエッチング速度の選択比に優れるウェットエッチをゲート加工に用いることで、50 nm以下の薄いゲート絶縁膜でも膜がエッチングされるのを抑制できる。

【0031】

更に、 SiO_2 膜の第2のゲート絶縁膜6をTEOSを用いたプラズマCVDにより80 nm堆積する。第2のゲート絶縁膜上に、20 wt %のWを含むMoW(モリブデン-タンゲステン合金)からなる第2のゲート層7を厚さ150 nm堆積する。ポジレジストを塗布し、露光、現像して、所望形状のレジストパターン8を形成する。磷酸、硝酸、酢酸、水の混合液を用いたウェットエッチングを用いて、第2のゲート層7からなるゲート9をレジストパターン8から1 μm後退した幅を有する形状に加工する。わけても、トランジスタのチャネル方向の幅の制御が肝要である。

【0032】

第2のゲート層7を加工するのに用いたレジストパターン8と、第1のゲート層からなるゲート110とをマスクとし、第2のゲート絶縁膜6及び第1のゲート絶縁膜4を通して、半導体膜3に、N型の不純物であるPを注入する。この時、加速電圧70 kVにて10の15乗/cm²の濃度である。こうして、ソースおよびドレイン10が形成される。この状態の主要部の断面図が図1の(b)である。

【0033】

尚、第1のゲート膜の膜厚は、このときのPイオンの注入に対して、十分な阻止能力を有する厚さである必要がある。この膜にMoを主成分とする金属膜を用いる場合、厚さは100 nm以上が望ましい。

【0034】

前述のレジストパターン8を除去後、第1のゲート層からなるゲート110及び第2のゲート層からなるゲート9をマスクとし、第1のゲート絶縁膜4及び第2のゲート絶縁膜5を通して、Pイオンを加速電圧70 kVにてドーズ量10の13乗/cm²で注入する。第2のゲート層からなるゲート9を有する薄膜トランジスタには、ゲート端にPが低濃度で注入され、レジストに覆われていた領域に、LDD11がゲート9に対して自己整合的に形成される。この状態の主要部の断面図が図1の(c)である。

【0035】

一方、第1のゲート層からなるゲート110を有する薄膜トランジスタは、端部にテーパ加工がなされているので、ゲート端に低濃度領域が形成されない。尚、第1のゲート層を加工する際に、端部をテーパ加工する替わりに、ほぼ垂直な形状に加工すると、第1のゲート層からなるゲートを有する薄膜トランジスタに第2のゲート絶縁膜の膜厚に相当するLDD領域を形成することもできる。

【0036】

又、第2のゲート層7からなるゲート9の端部にLDDを自己整合的に形成する方法には、本例のゲートのサイドエッチを用いる方法のほか、レジストアッシングを用いてゲートパターンを縮小させる方法、ゲート端にサイドウォールを形成する方法など他の方法を用いることもできる。

【0037】

次に、先ず、レジストパターン70を形成する。そして、図1(d)に示すように、F(フッ素)系ガスを用いたドライエッチを含むホトリソグラフィにより、MoWの第2のゲート層7をドライエッチ加工し、P型TFTのゲート12を形成する。

【0038】

10

20

30

40

50

レジストパターン 11 及び第 1 のゲート層からなるゲート 111 をマスクとし、P 型の不純物である B (ボロン) を、第 1 ゲート絶縁膜 4 及び第 2 のゲート絶縁膜 6 を通して、半導体膜に注入し、P 型 TFT のソース及びドレイン 13 を形成する。加速電圧は 30 kV、ドーズ量は 10 の 15 乗 / cm² である。この時、N 型の TFT となる領域は、レジストパターン 11 により保護され、B が注入されて N 型 TFT の特性が低下するのが防止される。

【0039】

レジスト膜の除去の後、RTA (Rapid Thermal Anneal)、又は 600 以下の炉アニールによる活性化を行う。

【0040】

以上の工程により、次のような諸トランジスタが同一基板上に形成される。この状態が図 1 の (e) である。

(1) 第 1 のゲート絶縁膜 4 と第 1 のゲート層からなるゲート 110 を有し、LDD のない N チャネル型の薄膜トランジスタ 14。

(2) 第 1 のゲート絶縁膜 4 と第 1 のゲート層からなるゲート 111 を有し、LDD のない P チャネル型の薄膜トランジスタ 15。

(3) 第 1 のゲート絶縁膜 4 及び第 2 のゲート絶縁膜 6 と、第 2 のゲート層からなるゲート 9 を有し、ゲート端に LDD 11 が自己整合的に形成された N チャネル型の薄膜トランジスタ 16。

(4) 第 1 のゲート絶縁膜 4 及び第 2 のゲート絶縁膜 6 と、第 2 のゲート層からなるゲート 12 を有し、且つゲート端に LDD を持たない P 型の薄膜トランジスタ 17。

【0041】

N 型トランジスタ 14、P 型トランジスタ 15 は高駆動力を有する TFT、N 型トランジスタ 16、P 型トランジスタ 17 は高耐圧なる TFT である。

【0042】

本例では、第 1 のゲート層をゲートとする薄膜トランジスタと、第 2 のゲート層をゲートとする薄膜トランジスタのソースおよびドレインが、第 1 のゲート絶縁膜 4 及び第 2 のゲート絶縁膜 6 を通して半導体膜 3 に不純物を注入する工程において、それらが同時に形成される。従って、イオン注入工程を増加することなく、ゲート絶縁膜の膜厚の異なる薄膜トランジスタを形成できる。又、第 1 のゲート層の加工に用いるマスクを除き、ホトリソ工程の増加がない。このように、本方法は、複数の特性を有する薄膜トランジスタを少ない工程数で形成でき、生産性に優れる。又、第 2 のゲート層を加工するのに用いられるレジストパターン 8 と、第 2 のゲート層からなるゲートをマスクとして不純物を注入することにより、自己整合的に形成された LDD を有し、耐圧に優れる薄膜トランジスタと、LDD を有せず、駆動力に優れる薄膜トランジスタを同時に形成できる利点を有する。

【0043】

本例の要点を述べれば次の通りである。即ち、基板上に、結晶性半導体膜と、第 1 のゲート絶縁膜と、第 1 のゲート層と、第 2 のゲート絶縁膜と、第 2 のゲート層とが順次積層され、前記第 1 のゲート絶縁膜と、第 1 のゲート層からなるゲートとを含む第 1 の薄膜トランジスタと、前記第 1 および第 2 のゲート絶縁膜と、第 2 のゲート層からなるゲートとを含み、第 1 のゲート層を含まない第 2 の薄膜トランジスタとが形成された薄膜トランジスタ基板の製造方法において、第 2 のゲート層の加工に用いるレジストパターンと、第 1 のゲート層からなるパターンとをマスクとし、第 1 及び第 2 のゲート絶縁膜を通して半導体膜にドーパントを注入する工程を含む薄膜トランジスタ搭載基板の製造方法である。

【0044】

更には、基板上に、結晶性半導体膜と、第 1 のゲート絶縁膜と、第 1 のゲート層と、第 2 のゲート絶縁膜と、第 2 のゲート層とが順次積層され、前記第 1 のゲート絶縁膜と、第 1 のゲート層からなるゲートとを含む第 1 の薄膜トランジスタと、前記第 1 および第 2 のゲート絶縁膜と、第 2 のゲート層からなるゲートとを含み、第 1 のゲート層を含まない第 2 の薄膜トランジスタとが形成された薄膜トランジスタ基板の製造方法において、第 2 のゲ

10

20

30

40

50

ート層をレジストパターンから縮小した形状に加工する工程と、第2のゲート層の加工に用いたレジストパターンおよび第1のゲート層からなるゲートをマスクとして、半導体膜にN型のドーパントを注入する第1の工程と、前記レジストパターンを除去後に第1および第2のゲート層をマスクとし、第1及び第2のゲート絶縁膜を通して前記第1の工程よりも低濃度にN型のドーパントを半導体膜に注入する第2の工程とを含む、薄膜トランジスタ基板の製造方法である。

【0045】

次に、こうした諸TFTを搭載した基板を、透過型の液晶表示装置に用いる薄膜トランジスタ基板として用いる例を説明する。その要点を、図2および図3の断面図を用いて説明する。

10

【0046】

これまで説明してきた方法によって製造した基板1(図2の(a))の上に、厚さ500nmのSiO₂からなる層間絶縁膜18をCVDによって形成する。この後、フッ酸系のウェットエッチを含む通例のホトリソグラフィにより、層間絶縁膜18、第2のゲート絶縁膜6及び第1のゲート絶縁膜4にコンタクトホール71を形成する(図2の(b))。この例に見られるように、本発明においては、ゲート絶縁膜の膜厚の異なる薄膜トランジスタ(14と15、16と17)のソースおよびドレイン10が同1の膜構成4、6、18で覆われている。従って、同1のエッチング工程でコンタクトホールを開口でき、工程数を増加させることができない。尚、トランジスタ14と15とが絶縁膜14をゲート絶縁膜とし、一方、トランジスタ16と17とは絶縁膜4と6とをゲート絶縁膜としている。

20

【0047】

次いで、配線となるTi/A1Si/Tiの積層膜19を、スパッタにより順次積層したのち、ホトリソグラフィ工程により配線となす。この導体積層膜19は半導体膜3と接続している。尚、この際、第1のゲート層および第2のゲート層への接続もなされる。この導体積層膜19の上下のTi膜は、厚さ100nm、中間のA1Si膜は厚さ500nmとした。この状態が図2の(c)である。

【0048】

次に、図3に表示装置の画素付近の断面を示す。図3にはLDDを有するトランジスタの近傍領域のみを示している。図2(c)で説明したように基板に配線を形成後(図3の(a))、この上部に、プラズマCVDを用いてSiNからなる厚さ400nmの保護膜20を形成する。更に、400以下の還元性雰囲気化においてアニールし、水素化処理を行う。その後、感光性の有機膜を塗布し、所望の露光、現像した後、焼成し、厚さ2μmの有機保護膜21を形成する(図3の(b))。この有機保護膜21に開口部23が形成されている。

30

【0049】

この有機保護膜21マスクとして、SiN保護膜20をドライエッチ加工して、開口部24を形成する。この開口部24はTi/A1Si/Tiの導体積層膜19への開口部である。配線層へのITO(Indium-Tin-Oxide)からなる透明導電膜をスパッタにより堆積し、通例のホトリソグラフィによって画素電極22を形成する。図3の(c)は、こうした薄膜トランジスタ搭載基板の断面図である。

40

【0050】

又、図1から図3の工程において、半導体膜3、第1のゲート絶縁膜4、第1のゲート層5、第2のゲート絶縁膜6、第2のゲート層7が順次積層された容量30を形成できる。

【0051】

図4は本発明による薄膜トランジスタ基板の製造方法の別な例である。図では図1と同一部位は同一の符号で示した。図1の工程と同様に、厚さ50nmの多結晶Si膜からなる半導体膜3上に、厚さ100nmの第1のゲート絶縁膜4と、Moからなる厚さ150nmの第1のゲート層が順次積層されている。第1のゲート絶縁膜4はTEOSを用いたプラズマCVDにより形成され、Mo層はスパッタにより堆積された。

50

【0052】

C1系ガスを用いたドライエッチを含むホトリソグラフィにより、Mo膜を順テープ加工してゲート5とする。この状態が図4の(a)である。

【0053】

次に、図4(b)に示すように、厚さ50nmのCVD酸化膜からなる第2のゲート絶縁膜6が形成され、その上にスパッタにより、厚さ30nmのTi42と厚さ150nmのMoW合金41の2層膜7が形成される。この導体層の2層膜7は、後に第2のゲート層9となる層である。この上部に、所望形状のフォトレジスト8を形成し、第2のゲート層のMoW合金層41を、磷酸、硝酸、酢酸、水の混合液を用いて、ウェットエッチングする。この場合、MoW合金層41のチャネル方向の幅は、レジスト膜8のチャネル方向の幅から約0.5μm後退した形状に形成する。その後、F系ガスを用いたドライエッチ加工により、Ti膜42をレジストパターンにほぼ同一形状に加工する。この状態が図4の(b)に示される。

【0054】

レジストパターン8および第1のゲート層5をマスクとし、第1ゲート絶縁膜4および第2のゲート絶縁膜6を通してイオン注入を行い、N型の薄膜トランジスタのソースおよびドレイン10を形成する。この際、Pイオンを10の15乗/cm²のドーズ量で、加速電圧80kVで注入する。尚、第1のゲート絶縁膜4と第2のゲート絶縁膜6の厚さの和が150nmより大きい場合、ゲート絶縁膜を通して、半導体膜3にPイオンを注入する際に、レジスト膜8が損傷を受けるため適当でない。

【0055】

レジスト膜8を除去し、第2のゲート層のMoW層41と第1のゲート層5をマスクとし、第1のゲート絶縁膜4及び第2のゲート絶縁膜6を通して、Pイオンを、加速電圧80kVでドーズ量を10の14乗/cm²注入する。このイオン注入によって、ゲート9の端部のTi層42下部の半導体膜3に、低濃度N型領域43が形成された、ゲートオーバーラップ構造の薄膜トランジスタが得られる。ゲートオーバーラップ構造とすることにより、LCDのない薄膜トランジスタと同様の高駆動力を有し、且つ劣化の少ない薄膜トランジスタを形成できる。この状態が図4の(c)である。

【0056】

以下、図1の工程と同様に、こうして準備した基板の上部に、フォトレジスト70を所望形状に形成する。そして、P型TFTのゲート12をドライエッチ加工する。この状態が図4の(d)である。次いで、ゲート5およびレジスト70をマスクとして、Bイオンを注入してP型の薄膜トランジスタを形成する。こうして、異なる特性の薄膜トランジスタが形成された薄膜トランジスタ搭載基板を得ることが出来る。この状態が図4の(e)である。

【0057】

尚、第1のゲート層を2層として同様にゲートオーバーラップ構造の薄膜トランジスタとすることもできる。又、第2層のゲートを加工する際、第2のゲート絶縁膜の一部又は全部をゲート又はゲート加工に用いたレジストをマスクとしてエッチングし、膜厚を減少することもできる。ゲート絶縁膜の膜厚を減少することにより、イオン注入に必要な加速電圧を低減でき、レジストへのダメージを低減できる。この場合も、第1のゲート層をゲートとする薄膜トランジスタと、第2のゲート層をゲートとする薄膜トランジスタにおいて、半導体膜を被覆するゲート絶縁膜の厚さが同一となるため、イオン注入の回数を増やすことがない。

【0058】

次に、回路内蔵型液晶表示装置の薄膜トランジスタ基板の例を説明する。図5は、回路内蔵型液晶表示装置の薄膜トランジスタ基板における、主要部材の平面配置の概略を示す図である。

【0059】

透光性の絶縁性基板1に、互いに交差する複数の走査信号線51と映像信号線52が配置

10

20

30

40

50

され、この走査信号線 5 1 と映像信号線 5 2 との各交差部付近に、画素 5 3 が形成されている。画素内の回路は、基本的に表示部材 1 0 1、保持容量 1 0 2、スイッチ素子 1 0 3 を含む。図には基本構成を示すが、これらの諸例の詳細は後述される。画素 5 3 が形成された領域の周辺に、走査信号線を駆動する駆動回路 5 4 と、映像信号線を駆動する駆動回路 5 5 が形成されている。更に、外部からの信号を映像信号に変換するインターフェース回路 5 6 が形成される。インターフェース回路 5 6 には第 1 のゲート層をゲートとする、高駆動力の薄膜トランジスタを用いて、低電圧駆動を行う。駆動電圧は、例えば 1 0 V 以下である。一方、走査信号線駆動回路 5 4、映像信号線駆動回路 5 5 および画素には、比較的高い電圧が要求されるため、第 2 のゲート層をゲートとする薄膜トランジスタを用いて形成されている。ここで要請される電圧は、例えば 1 5 V 以上である。

10

【 0 0 6 0 】

本発明によれば、これまでの説明で明らかなように、低電圧駆動が可能で微細化が容易な薄膜トランジスタを用いた駆動回路と、耐圧に優れた薄膜トランジスタを用いた駆動回路および画素を同 1 基板上に低コストで形成できる。尚、液晶表示装置に限らず、有機発光素子を用いた表示装置においても、同様の駆動回路の構成とすることで、低消費電力で省面積の駆動回路が形成された表示装置を簡便に形成できる。

【 0 0 6 1 】

図 6 の (a) は本発明による液晶表示装置の画素の例を示す平面図、図 6 の (b) はその断面図である。液晶表示装置では、薄膜トランジスタが形成された基板と向かい合う形で対向基板を設け、基板間に液晶を封入する構造となっているが、図では薄膜トランジスタが形成された基板のみ示した。走査信号線 5 1 と映像信号線 5 2 に囲まれた画素内に、液晶に電圧を印加する画素電極 2 2 が I T O 透明導電膜により形成されている。画素電極 2 2 は図 6 の (a) では点線で囲まれた領域により表される。画素電極 2 2 上に液晶が封入され、画素電極 2 2 はスルーホール 7 4 を介して映像信号線 5 2 と同層の導電膜からなる配線 1 9 に接続され、配線 1 9 は第 2 のゲート層からなるゲート 3 1 - 1 及び 3 1 - 2 を備え、ゲート端に L D D 1 1 が形成された高耐圧の薄膜トランジスタである画素スイッチ 3 1 のソース 7 7 に接続される。尚、当該画素スイッチ 3 1 は、いわゆるダブルゲート型の薄膜トランジスタであり、走査信号線 5 1 に接続されたゲート 3 1 - 1 及び 3 1 - 2 が図示されている。ダブルゲート型の薄膜トランジスタは、単一のゲートを有する薄膜トランジスタに比べ、耐圧の向上とオフ電流の低減を図ることができ、画素スイッチに適している。画素スイッチ 3 1 のドレイン 7 8 には映像信号線 5 2 が接続される。又、画素電極 2 2 には電圧を保持する機能をもつ保持容量 3 0 が接続されている。保持容量 3 0 は、図 6 の (b) に示す断面図のよう、半導体膜 3 と第 1 のゲート層 5 との間に第 1 のゲート絶縁膜を介した容量と、第 1 のゲート層 5 と第 2 のゲート層 7 との間に第 2 のゲート絶縁膜 6 を介して形成された容量の並列接続により形成される。保持容量の下層電極をなす半導体膜 3 は画素スイッチ 3 0 のソースより延伸され、又、第 2 のゲート層 7 は配線 1 9 を通しコンタクトホール 7 3 を介してやはり画素スイッチのソース 3 0 に接続される。一方、保持容量の電極をなす第 1 のゲート層 5 は、第 1 のゲート層と同層の導電膜からなるコモン線 3 2 に接続されている。コモン線 3 2 と半導体層 3 の間には下層の半導体膜 3 が空乏化しないよう、1 0 V 以上の電圧が常時印加される。走査信号線からの電圧により、画素スイッチがオンすると、映像信号線からの電圧が画素電極 2 2 及び保持容量 3 0 に印加される。画素スイッチがオフになると、保持容量 3 0 に書き込まれた電圧が画素電極 2 2 に印加される電圧を保持する。保持容量の大きさは画素電極の電圧を一定に保つため、画素スイッチのオフ電流による電圧変動が十分小さくなるように設定される。

20

【 0 0 6 2 】

図 7 の (a) 及び図 7 の (b) は、比較のために示した従来の液晶表示装置の画素の例である。図 6 の例と同様に、薄膜トランジスタが形成された基板のみ示した。透明電極からなる画素電極 2 2 は保持容量 3 0 に接続され、保持容量 3 0 は画素電極に印加された電圧を保持する機能を有する。図 7 の (b) に示すように、保持容量 3 0 は、半導体膜 3 とゲート層 3 3 との間にゲート絶縁膜 3 4 を介して形成された容量と、ゲート層 3 3 と配線

30

40

50

19との間に層間絶縁膜18を介して形成された容量の並列接続からなるが、層間絶縁膜が厚いため主に半導体膜3とゲート層33との間の容量からなる。保持容量の電極をなすゲート層33は、同層の導電膜からなるコモン線32に接続される。又、保持容量の電極をなし、映像信号線と同層の導電膜からなる配線19は、スルーホール74を介して画素電極22に接続され、他方画素スイッチ31をなすLDD11を有したダブルゲート型の薄膜トランジスタ31のソース77に接続される。ソース77は又保持容量の下層電極をなす半導体膜3に延伸され接続されている。画素スイッチ31をなす薄膜トランジスタのゲート31-1及び31-2はゲート層33と同様の導電膜からなっており、同じくゲート層33と同層の導電膜からなる走査信号線51に接続される。画素スイッチをなす薄膜トランジスタ31は、周辺回路を形成する薄膜トランジスタと同一に比較的薄い単一層からなるゲート絶縁膜34を有しており、オフ電流が大きいために保持容量の面積を大きくとる必要があり、保持容量は画素面積の約30%を占めている。一方、図6の本発明においては、半導体膜3とゲート層との間の容量に加えて、第1のゲート層と第2のゲート層との間の薄い第2のゲート層を介した容量を用いることで面積辺りの容量を増加しており、保持容量30に必要な面積を縮小し、開口率を増加できる利点がある。図6の例において、従来方式のほぼ2倍の面積あたりの容量を持つ保持容量が形成出来る。従って、保持容量の占める面積が約半分に削減され、開口率が約10%増加した。

【0063】

図8、図9、図10は、それぞれ本発明による横電界型の液晶表示装置の画素部分の平面図、回路図および断面図の例である。本例では、保持容量30が、当該画素部の電子回路を構成するトランジスタを構成する絶縁膜を用いて構成される点が重要であるので、この点を先ず説明する。

【0064】

図10の断面図において、第1のゲート層5から延在する導電体層と第2のゲート層7から延在する導電体層の間に、第2のゲート絶縁膜6から延在する絶縁物層を介して保持容量30が形成されている。保持容量30はITOからなる画素電極22と対向電極23との間に接続され、各電極間の電位差を保持する機能を有する。横電界型の液晶表示装置では駆動電圧が比較的高いため、120nm以上の比較的厚いゲート絶縁膜を有する薄膜トランジスタを画素スイッチに用いる。一方、本発明により、周辺回路には100nm以下のより薄いゲート絶縁膜を有する低消費電力な駆動回路を簡便に形成できる。

【0065】

図9に画素部の等価回路を示す。画素電極22と対向電極23との間の電界により液晶59を駆動する。画素電極22と対向電極23との間には、本発明による第1のゲート層と第2のゲート層の間に形成された保持容量30が接続され、液晶に印加される電圧を保持する。画素電極22と対向電極23はそれぞれ画素スイッチ31、81に接続される。画素スイッチ31、81は走査信号線51の電圧によりオンとなり、それぞれ映像信号線52と画素電極22、及び対向電圧信号線57と対向電極23を接続し、保持容量30に電圧を書き込んだのちオフとなる。保持容量に保持される電圧は、液晶の劣化を防ぐため、一定の周期で逆向きに印加される。従来用いられている、半導体膜を電極に用いた容量では電圧の向きによって空乏化し容量が変動するため、図9の構成は適当でない。本発明の容量は半導体膜を用いなくても十分な容量が得られるため、図9の構成を用いて従来必要であった容量のための走査信号線に平行な配線を省略でき、開口率を増加できる利点を有する。

【0066】

更に、図8の平面図の構成とすれば、対向電極と対向電圧信号線を重ねることで開口率を増加できる。尚、重ねることで図9に示す寄生容量58が発生し、対向電極の電位が対向電圧信号線の電位により変動するが、液晶59に印加される電圧は保持容量30により保たれるため、表示が変動することはない。

【0067】

横電界型の液晶表示装置においても、薄膜トランジスタが形成された基板と対向電極と

10

20

30

40

50

の間に液晶を封入した構造を用いるが、図では薄膜トランジスタが形成された基板のみ示した。図8の22及び23の点線で囲んだ領域が、それぞれITO透明電極で形成された画素電極との対向電極を示す。画素電極22はスルーホール74を介し、映像信号線52と同層の導電膜からなる配線19に接続され、配線19はコンタクトホール73を介して保持容量30の下層電極をなす第1のゲート層5に接続されている。配線19は、第1の画素スイッチ31をなす薄膜トランジスタのソース77にも接続されている。一方、対向電極23はスルーホール83を介して映像信号線と同層の導電膜からなる配線84に接続され、配線84はコンタクトホール82を介して保持容量30の上層電極をなす第2のゲート層7に接続され、又第2の画素スイッチ81をなす薄膜トランジスタのソース85にも接続される。画素スイッチ31はソース77とドレイン78の間の半導体膜3上に、ゲートを兼ねる走査信号線51が2回横断する形状とすることで、2つのゲートを有するいわゆるダブルゲート型の薄膜トランジスタとしている。
10

【0068】

薄膜トランジスタ31は走査信号線51からなるゲートの両端に、それぞれLDD11が形成された高耐圧の薄膜トランジスタとしている。薄膜トランジスタ81も同様にLDDを有するダブルゲート型の薄膜トランジスタである。

【0069】

図11、図12、図13は、それぞれ本発明による有機発光素子を用いた表示装置の画素部付近の平面図、回路図、及び断面図の例である。

【0070】

平行に並ぶ映像信号線52と電源線57、およびそれらに交差する走査信号線51がそれぞれ複数配置され、各交差部付近に画素が形成されている。画素内には、走査信号線51をゲートに、映像信号線52および保持容量30にソースおよびドレインが接続された薄膜トランジスタ63と、IZO(Indium-Zinc-Oxide)等の透明電極で構成される画素電極22に接続された薄膜トランジスタ64が形成されている。画素電極上には、有機保護膜21の開口部に、ホール輸送層、発光層、電子伝達層がマスクを用いた蒸着により画素ごとに異なった波長の発光特性を持つように堆積され、さらに全面にAlからなる対向電極65が蒸着されて有機発光素子65が形成されている。画素電極に接続された薄膜トランジスタのゲートには、ゲート電圧を保持する保持容量30が接続される。
30

【0071】

図11において、有機発光素子65の下層電極をなす画素電極22は破線内部の領域で示される。画素電極22はスルーホール74を介し、映像信号線52と同層な導電膜からなる配線19に接続され、配線19を介してLDDを持たない高駆動力のP型の薄膜トランジスタ64のドレイン80に接続される。一方、薄膜トランジスタ80のソースは、映像信号線と同層な導電膜からなる電源線60に接続されている。又、薄膜トランジスタ80のゲート76は、保持容量30の下層電極をなす第1のゲート層5に延伸され、さらにN型の薄膜トランジスタ63のソース77に接続される。一方、保持容量30の上層電極をなす、第2のゲート層と同層な導電膜7は、電源線60に接続される。薄膜トランジスタ63は、第2のゲート層からなるゲート75を有し、ゲート端にLDD11が形成された高耐圧のダブルゲート型の薄膜トランジスタであり、ゲート75は同層の導電膜からなる走査信号線51に接続されている。又、薄膜トランジスタ63のドレイン77は映像信号線52に接続されている。保持容量30は、薄膜トランジスタ63が走査信号線51からの電圧によりオンされた時に、映像信号線52から印加された電圧が書き込まれ、薄膜トランジスタ63がオフになった時に、その電圧を保持する。保持された電圧は薄膜トランジスタ64のゲートに印加され、薄膜トランジスタ64が画素電極22を介して有機発光素子65に流す電流を制御し、その発光量が所望の値に保持される。従って、保持容量30は、映像の画素での発光量に対応する信号を保持する機能を有している。
40

【0072】

画素電極に接続された薄膜トランジスタ64には、第1のゲート絶縁膜を介して半導体

10

20

30

40

50

膜に積層された、第1のゲート層をゲートとする、P型の低しきい値の薄膜トランジスタを用いている。保持容量にソース又はドレインを接続した薄膜トランジスタ63には、第1および第2のゲート絶縁膜を介して半導体膜上に形成された第2のゲート層をゲートとし、ゲート端にLDDが形成された、オフ電流の少ないN型の薄膜トランジスタを用いている。ゲート絶縁膜のより薄い薄膜トランジスタを有機発光素子の駆動に用いると、しきい値変動が小さいため、画素間のばらつきが低減される。保持容量は第1のゲート層と第2のゲート層の間に第2のゲート絶縁膜を介して形成された容量により構成されている。面積あたりの容量の大きい第2のゲート絶縁膜を用いており、保持容量の占める面積を低減して開口率を拡大できる。開口率の増大により、同じ輝度での有機発光素子に流す電流の面密度を低減して劣化を低減し、又発光効率を改善できる利点を有する。又、保持容量は半導体膜を電極に用いない構成としており、薄膜トランジスタのしきい値付近の電圧で生じる半導体膜の空乏化による応答速度の低下や容量の変動がなく、より正確な電圧制御が行え、画質が向上する。尚、薄膜トランジスタの電流バラツキを低減するための補償回路を有する画素においても、駆動に用いる薄膜トランジスタのゲート電圧を保持する機能を有する容量に、本発明の半導体膜を含まない2つのゲート層間の容量を用いることで、開口率と電圧制御性を向上でき、高画質で長寿命の表示素子が得られる利点を有する。

【0073】

以上、実施の諸形態をもって詳細に説明したように、本発明により、低消費電力で省スペースの駆動回路を内蔵した、高画質の液晶表示装置および有機発光素子を用いた表示装置を、生産性よく製造できる。

【0074】

【発明の効果】

本発明の第1の形態によれば、LDD構造を有し、例えば液晶の駆動に適した高耐圧な薄膜トランジスタと、低電圧駆動可能な高駆動力の薄膜トランジスタとを、同1基板上に形成する簡便な製造方法を提供することが出来る。

【0075】

本発明の別な形態によれば、多結晶Si膜を用いた駆動回路内蔵表示装置において、容量の面積を縮小し、高開口率で低消費電力の表示装置を提供することが出来る。

【図面の簡単な説明】

【図1】 図1は本発明による薄膜トランジスタ基板の製造工程の例を示す断面図である。

【図2】 図2は本発明による薄膜トランジスタ基板の製造の例の一部工程を示す断面図である。

【図3】 図3は、本発明による薄膜トランジスタ基板の画素の断面図の例である。

【図4】 図4は、本発明による薄膜トランジスタ基板の製造工程の例を示す断面図である。

【図5】 図5は、本発明による駆動回路内蔵液晶表示装置の例である。

【図6】 図6は、本発明による液晶表示装置の画素の例を示す図である。

【図7】 図7は、従来技術による液晶表示装置の画素の例を示す図である。

【図8】 図8は、本発明による横電界型液晶表示装置の画素の例を示す平面図である。

【図9】 図9は、本発明による横電界型液晶表示装置の画素の例を示す回路図である。

【図10】 図10は、本発明による横電界型液晶表示装置の画素の例を示す断面図である。

【図11】 図11は、本発明による有機発光素子表示装置の画素の例を示す平面図である。

【図12】 図12は、本発明による有機発光素子表示装置の画素の例を示す回路図である。

【図13】 図13は、本発明による有機発光素子表示装置の画素の例を示す断面図である。

【符号の説明】

10

20

30

40

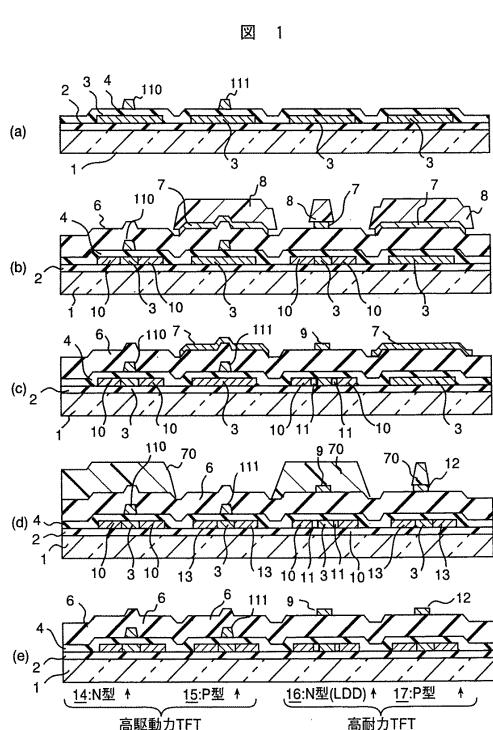
50

1：ガラス基板、2：下地膜、3：半導体膜、4：第1のゲート絶縁膜、5：第1のゲート層、6：第2のゲート絶縁膜、7：第2のゲート層、8：レジスト、9：ゲート、10：ソース又はドレイン、11：LDD、12：ゲート、13：ソース又はドレイン、14：TFT、15：TFT、16：TFT、17：TFT、18：層間絶縁膜、19：配線、20：SiN保護膜、21：有機保護膜、22：画素電極、23：開口部、24：開口部、30：保持容量、31：画素スイッチ、32：コモン線、33：ゲート層、34：ゲート絶縁膜。

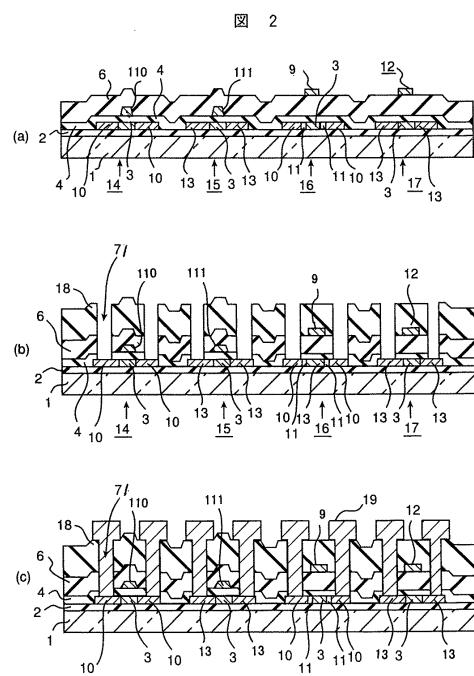
41：MoW層、42：Ti層、43：低濃度領域、51：走査信号線、52：映像信号線、53：画素、54：走査信号線駆動回路、55：映像信号線駆動回路、56：インターフェース回路、57：対向電圧信号線、58：寄生容量、59：液晶、60：電源線、61：対向電極、62：有機導電膜-発光層、63：TFT、64：TFT、65：有機発光素子、70：フォトレジスト、71：コンタクトホール、73：コンタクトホール、74：スルーホール、75：ゲート、76：ゲート、77：ソース、78：ドレイン、79：ソース、80：ドレイン、81：TFT、82：コンタクトホール、83：スルーホール、84：配線、85：ソース、86：ドレイン、101：表示部材、102：保持容量、103：スイッチ素子、110：ゲート、111：ゲート。

10

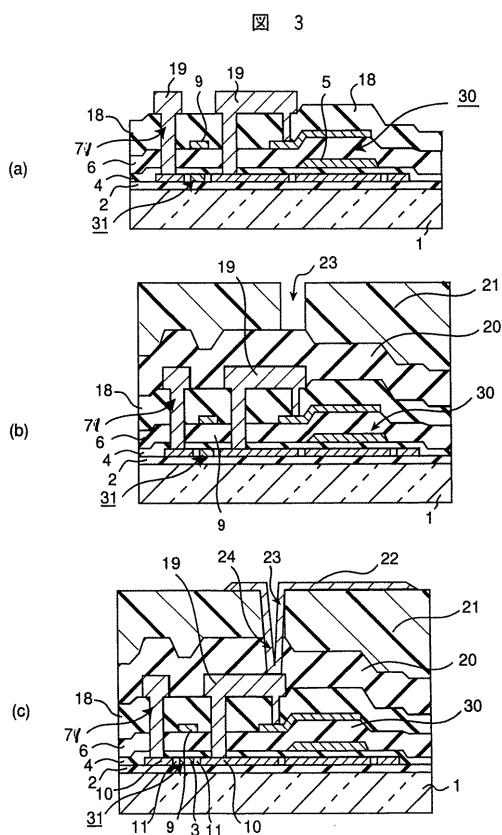
【図1】



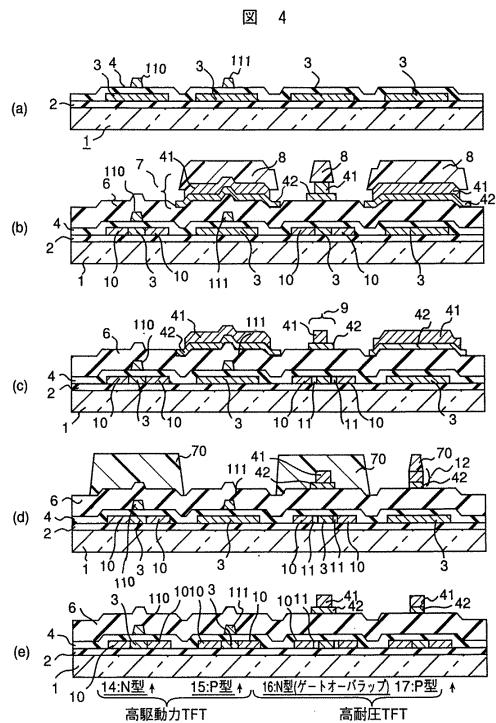
【図2】



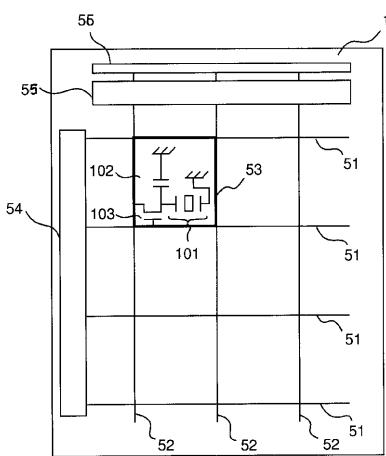
【図3】



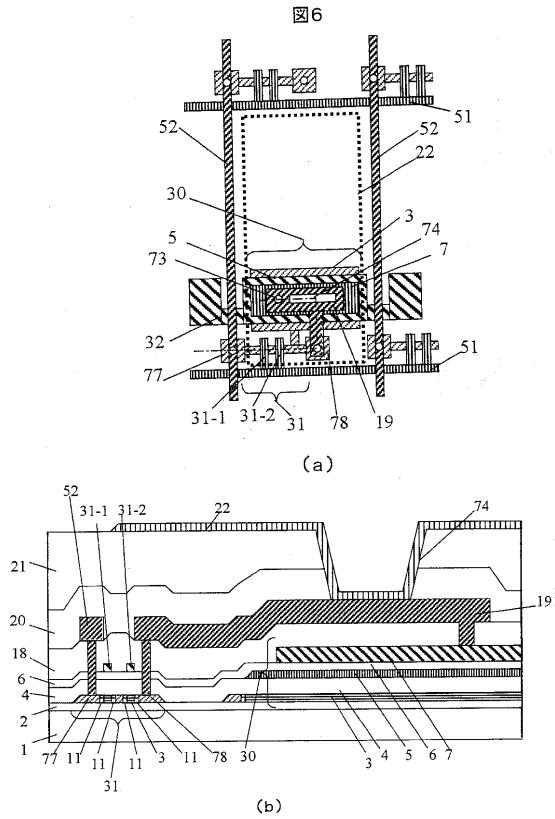
【 図 4 】



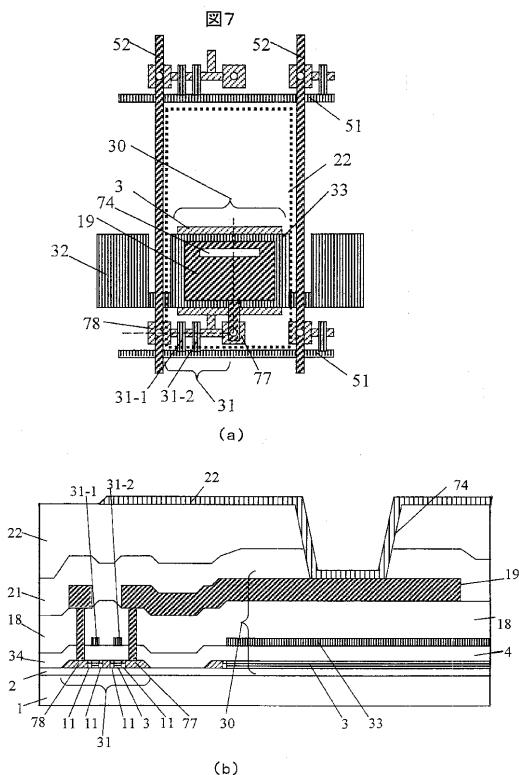
【図5】



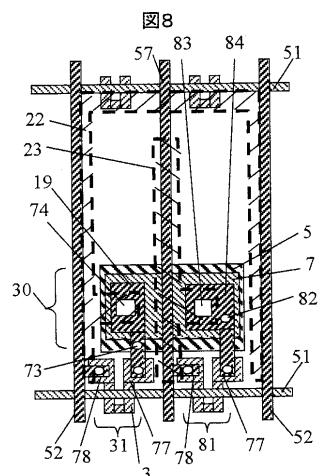
【図6】



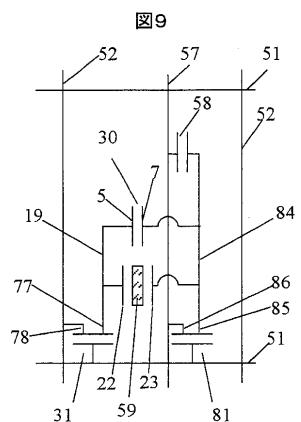
【図7】



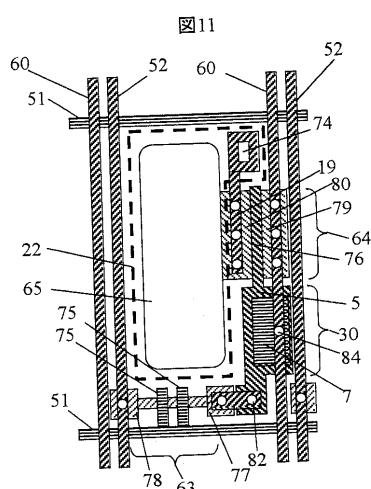
【 四 8 】



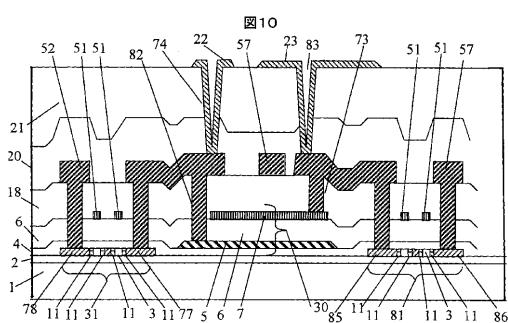
【 図 9 】



【 図 1 1 】

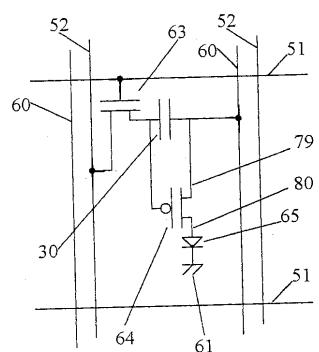


【 1 0 】



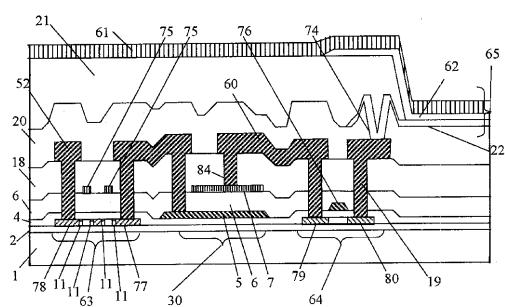
【図12】

図12



【図13】

図13



フロントページの続き

(51)Int.Cl.	F I
H 0 1 L 27/08 (2006.01)	H 0 1 L 29/78 6 1 2 B
G 0 2 F 1/1368 (2006.01)	H 0 1 L 21/20
	H 0 1 L 27/08 1 0 2 C
	H 0 1 L 27/08 3 3 1 E
	G 0 2 F 1/1368

(72)発明者 糸賀 敏彦

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

(72)発明者 芝 健夫

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

審査官 河本 充雄

(56)参考文献 特開平05-335573 (JP, A)

特開2000-349299 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/786

H01L 21/336

G02F 1/1368