

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第4区分

【発行日】平成28年7月28日(2016.7.28)

【公開番号】特開2015-154656(P2015-154656A)

【公開日】平成27年8月24日(2015.8.24)

【年通号数】公開・登録公報2015-053

【出願番号】特願2014-28150(P2014-28150)

【国際特許分類】

H 02 H 9/02 (2006.01)

H 02 J 1/00 (2006.01)

【F I】

H 02 H 9/02 E

H 02 J 1/00 309 R

【手続補正書】

【提出日】平成28年6月9日(2016.6.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電源に接続する入力キャパシタと当該入力キャパシタに並列接続されて前記電源からの入力電流を出力する一対の出力端子とを含む負荷に流れる突入電流を抑制する突入電流抑制回路において、

前記電源と接続されてオンオフ制御されるスイッチング素子と、

一方の出力端子と前記入力キャパシタの一方の電極との接続点と、前記電源との間にカソードが接続され、かつ、他方の出力端子と前記入力キャパシタの他方の電極との接続点と、前記電源との間にアノードが接続されたダイオードと、

前記ダイオードのカソードと前記入力キャパシタの一方の電極との間に接続される第1インダクタ、又は、前記ダイオードのアノードと前記入力キャパシタの他方の電極との間に接続される第2インダクタの少なくとも一方と、

を有し、

前記スイッチング素子がオンしたとき、前記第1インダクタ又は前記第2インダクタにより前記入力キャパシタへの突入電流が抑制され、

前記スイッチング素子がオフしたとき、前記第1インダクタ又は前記第2インダクタに蓄積されたエネルギーを前記ダイオードを介して前記入力キャパシタへ充電することにより構成されることを特徴とする突入電流抑制回路。

【請求項2】

前記第1インダクタ及び前記第2インダクタは、電流経路である電線の周りを覆う磁性体により構成され、軸方向に沿って分割される複数の環状要素により構成されており、当該環状要素の個数を選択することで前記所定の長さを変更可能であることを特徴とする請求項1に記載された突入電流抑制回路。

【請求項3】

前記第1インダクタ及び前記第2インダクタを有することを特徴とする請求項1又は請求項2に記載された突入電流抑制回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

かかる課題を解決するために、本発明は、電源から負荷に流れる突入電流を抑制する突入電流抑制回路を提供する。この突入電流抑制回路は、負荷に流れる突入電流を抑制するものであり、この負荷は、電源に接続する入力キャパシタと当該入力キャパシタに並列接続されて電源からの入力電流を出力する一対の出力端子とを含んでいる。ここで、突入電流抑制回路は、電源と接続されてオンオフ制御されるスイッチング素子と、一方の出力端子と入力キャパシタの一方の電極との接続点と、電源との間にカソードが接続され、かつ、他方の出力端子と入力キャパシタの他方の電極との接続点と、電源との間にアノードが接続されたダイオードと、ダイオードのカソードと入力キャパシタの一方の電極との間に接続される第1インダクタ、又は、ダイオードのアノードと入力キャパシタの他方の電極との間に接続される第2インダクタの少なくとも一方と、を有し、スイッチング素子がオンしたとき、第1インダクタ又は第2インダクタにより入力キャパシタへの突入電流が抑制され、スイッチング素子がオフしたとき、第1インダクタ又は第2インダクタに蓄積されたエネルギーをダイオードを介して入力キャパシタへ充電することにより構成される。

この構成によれば、ダイオード電流を活用するために入力キャパシタへの充電が早まり、ダイオード電流分だけスイッチング素子に流れる電流を減らすことができるので、突入電流を低減することができる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

ここで、本発明において、第1インダクタ及び第2インダクタは、電流経路である電線の周りを覆う磁性体により構成され、軸方向に沿って分割される複数の環状要素により構成されており、当該環状要素の個数を選択することで磁性体の所定の長さを変更可能であることが好ましい。

また、本発明は、第1インダクタ及び第2インダクタをそれぞれ有することが好ましい。

この構成によれば、スイッチング素子と入力キャパシタ間、及びキャパシタとダイオード間の配線を利用してインダクタを形成できるため、インダクタの容量を大きくでき突入電流を低減することができる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

本発明によれば、突入電流の低減を図ることができる。