(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년04월26일
(11) 등록번호 10-1137242
(24) 등록일자 2012년04월10일

(51) 국제특허분류(Int. Cl.)
H01L 27/02 (2006.01)
(21) 출원번호 10-2011-7005366(분할)
(22) 출원일자(국제) 2004년09월10일
심사청구일자 2011년03월07일
(85) 번역문제출일자 2011년03월07일
(65) 공개번호 10-2011-0039579
(43) 공개일자 2011년04월19일
(62) 원출원 특허 10-2006-7007236
원출원일자(국제) 2004년09월10일
심사청구일자 2009년09월10일
(86) 국제출원번호 PCT/US2004/029297
(87) 국제공개번호 WO 2005/040952
국제공개일자 2005년05월06일
(30) 우선권주장
10/685,091 2003년10월14일 미국(US)
(56) 선행기술조사문헌
EP01115202 A1
JP2001251173 A
전체 청구항 수 : 총 1 항

(73) 특허권자
세미컨덕터 콤포넌츠 인더스트리즈 엘엘씨
미합중국, 아리조나 85008, 피닉스, 이스트 맥도웰 로드 5005
(72) 발명자
할라믹, 조셉
체코공화국 75661 로즈노브 피. 알., 하조비에크 2806
할, 제퍼슨, 더블유.
미국 아리조나 85249, 챈들러, 몬테 비스타 스트리트, 에스. 5110
(74) 대리인
장훈

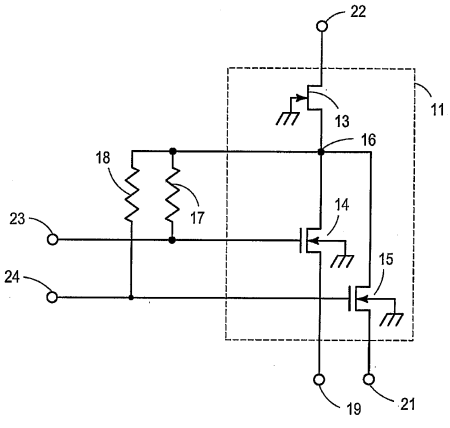
심사관 : 이승주

(54) 발명의 명칭 **전력 시스템 억제 방법 및 디바이스 및 그 구조**

(57) 요 약

전력 제어 시스템(25)은 상기 전력 제어 시스템(25)의 개시 동작을 제어하기 위해 2개의 개별적인 전류들을 이용한다. 상기 2개의 전류들은 상기 전력 제어 시스템(25)의 동작을 억제하기 위해 접지에 션트(shunt)되고 상기 2개의 전류들 중 하나는 전력 소비를 최소화하기 위해 디스에이블된다. 2개의 독립적으로 제어된 전류들은 2개의 개별적 제어 신호들(23, 24)에 응답하여 다중 출력 전류 고전압 디바이스(12)에 의해 생성된다.

대 표 도 - 도1



특허청구의 범위

청구항 1

전력 제어 시스템 동작 억제 방법에 있어서,

출력 전압의 제 1 값에 응답하여 시스템 제어기의 출력에서 제 1 출력 전류를 생성하도록 전력 제어기를 구성하는 단계, 및

상기 전력 제어기는, 상기 출력이 전압 리턴에 결합하는 것에 응답하여 상기 제 1 출력 전류의 생성을 억제하고, 상기 출력이 전압 리턴에 결합하는 동안 상기 출력 전압의 제 1 값보다 작은 출력 전압의 제 2 값에 응답하여 상기 출력에서 제 2 출력 전류를 생성하도록 구성하는 단계를 포함하고, 상기 제 2 출력 전류는 상기 제 1 출력 전류보다 작은, 전력 제어 시스템 동작 억제 방법.

명 세 서

기 술 분 야

[0001] 본 발명은 일반적으로 전자 장치에 관한 것으로, 특히 반도체 디바이스들 및 구조를 형성하는 방법들에 관한 것이다.

배 경 기 술

[0002] 종래에, 전자업계에서는 제어된 출력 전압들 및 전류들을 제공하기 위해, 고전압 또는 큰 입력 전압들을 제어하기 위한 다양한 방법들 및 디바이스들을 이용하였다. 오프라인 부트스트랩 개시 회로(off-line bootstrap startup circuit)로 불리는 이러한 디바이스의 한 예가 본 명세서에 참조로 포함된 1995년 12월 19일, Tisinger 등에 허여된 미국특허 제 5,477,175호에 개시되어 있다. 부트스트랩 개시 회로는 큰 입력 전압을 받아 출력 전류를 생성하여 커패시터를 충전시키고 출력 전압을 발생시킨다. 그러나, 많은 애플리케이션들은 커패시터를 충전하고 출력 전압을 형성하기 위해 제어될 수 있는 일련의 전류들을 필요로 하였다. 복수의 부트스트랩 개시 회로들을 사용하는 것은 결과적으로 반도체 제품들과 이들 제품들을 사용하는 애플리케이션들의 제조 비용과 복잡도를 증가시켰다.

발명의 내용

해결하려는 과제

[0003] 본 발명에서는 상기한 종래기술의 문제점들을 개선하고자 한다.

과제의 해결 수단

[0004] 따라서, 고전압값을 갖는 입력 전압을 받아 입력 전압으로부터 일련의 전류들을 생성할 수 있는 개시 회로를 갖는 것이 바람직하다.

발명의 효과

[0005] 본 발명에 따르면, 신규의 디바이스, 디바이스 형성 방법, 디바이스 사용방법이 개시된 것이 명백하다. 또한, 다른 특징들중에서도, 개시 디바이스의 출력을 저전압이 되게 함으로써 전력 제어 시스템의 동작을 억제하는 것이 포함된다. 출력상의 로우 전압은 개시 디바이스를 디스에이블되게 하여 전류를 충전시키고 전력 제어 시스템의 동작을 가능한 한 저전류가 소비되게 하면서 동작을 억제한다.

도면의 간단한 설명

[0006] 도 1은 본 발명에 따른 고전압 다중 출력 전류 디바이스 부분의 실시예의 개략도.

도 2는 본 발명에 따른 도 1의 고전압 다중 출력 전류 디바이스의 실시예 부분의 확대 평면도.

도 3은 본 발명에 따른 도 2의 고전압 다중 출력 전류 디바이스 부분의 확대 단면도.

도 4는 본 발명에 따른 도 2의 고전압 다중 출력 전류 디바이스를 이용하는 전력 제어회로의 부분의 실시예의 개략도.

도 5는 본 발명에 따른 도 4의 전력 제어회로의 일부 신호들의 그래픽도.

도 6은 본 발명에 따른 도 2의 고전압 다중 출력 전류 디바이스를 이용하는 정전기 방전(ESD) 보호 회로 부분의 실시예의 개략도.

발명을 실시하기 위한 구체적인 내용

[0007] 예시의 간단성 및 명료성을 위해, 도면들에서 구성요소들은 반드시 축척에 맞게 도시되지 않았으며, 도면들에서 동일 구성요소엔 동일 참조부호를 사용한다. 또한, 잘 알려진 단계들 및 구성요소들의 설명 및 상세는 설명의 간단성을 위해 생략한다. 본 명세서에서 사용되는, 전류 수송 전극은 MOS 트랜지스터의 소스 또는 드레인 또는 바이폴라 트랜지스터의 이미터 또는 콜렉터와 같은 디바이스를 통해 전류를 수송하는 디바이스의 요소를 의미하며, 제어 전극은 MOS 트랜지스터의 게이트 또는 바이폴라 트랜지스터의 베이스와 같은 디바이스를 통해 전류를 제어하는 디바이스의 요소를 의미한다.

[0008] 도 1은 단일 고전압 입력으로부터 복수의 독립적으로 제어된 출력 전류들을 생성할 수 있는 고전압 다중 출력 전류 디바이스(12)의 부분의 실시예를 개략적으로 도시한 것이다. 디바이스(12)는 JFET 트랜지스터(13), 제 1 MOS 트랜지스터(14), 및 제 2 MOS 트랜지스터(15)를 포함하도록 바람직하게 형성된 고전압 다중 출력 소자(11)를 포함한다. 디바이스(12)는 또한 각각 트랜지스터들(14, 15)의 게이트들에 바이어스 전류들을 제공하게 형성된 제 1 바이어스 저항기(17) 및 제 2 바이어스 저항기(18)를 포함한다. 디바이스(12)는 고전압 입력(22)에서 고전압을 수신하여, 각각 제어 입력들(23, 24)에 인가되는 제어 신호들에 응답하여, 각각 출력들(19, 21)에서 제 1 출력 전류 및 제 2 출력 전류를 생성하게 형성된다.

[0009] 이러한 기능을 제공하기 위해, 트랜지스터(13)의 드레인은 입력(22)에 접속되고 소스는 공통 노드(16)에 접속된다. 트랜지스터들(14, 15)의 드레인은 트랜지스터(13)의 소스 및 노드(16)에 접속된다. 트랜지스터(14)의 게이트는 입력(23) 및 트랜지스터(17)의 제 1 단자에 접속되고, 소스는 출력(19)에 접속된다. 트랜지스터(15)는 입력(24) 및 저항기(18)의 제 1 단자에 접속된 게이트와 출력(21)에 접속된 소스를 갖는다. 두 저항기들(17, 18)의 제 2 단자는 트랜지스터(13)의 소스 및 트랜지스터들(14, 15)의 드레인들에 접속된다. 트랜지스터(13)의 게이트 접속에 대해 도 3의 기재에서 보다 상세히 설명하도록 하겠다. 바람직한 실시예에서, 트랜지스터들(14, 15)은 둘 다 N채널 MOS 트랜지스터들이고, 트랜지스터(13)는 N채널 J-FET 트랜지스터이다. 다른 실시예들에서, 트랜지스터들(14, 15)은 J-FET들 및 바이폴라 트랜지스터들과 같은 다른 트랜지스터 구조들일 수 있다.

[0010] 전압이 입력(22)에 인가되었을 때, 출력들(19, 21)은 제어 입력들(23, 24)에 인가된 전압들에 의해 제어된다. 트랜지스터들(14, 15)은 독립적으로 인에이블 및 디스에이블되고, 이에 따라, 각각의 출력(19, 21)은 독립적으로 제어된 출력 전류들을 갖는다. 입력(23) 또는 입력(24)에 어떠한 외부 전압도 인가되지 않는다면, 예를 들면 입력(23) 또는 입력(24)은 플로팅되어, 각각의 저항기(17) 또는 저항기(18)는 트랜지스터(13)로부터의 바이어스 전류를 공급하여 디바이스(12) 및 각각의 트랜지스터를 인에이블되게 함으로써 각각의 출력(19) 또는 출력(21)에서 출력 전류를 발생한다. 동작 회로에서, 제어 전압은 통상적으로 출력 전류의 값을 제어하기 위해 입력들(23, 24)에 인가된다. 입력(23) 또는 입력(24)에 인가된 전압이, 각각의 트랜지스터의 문턱값 전압 미만인 게이트-소스 전압을 생성할 때, 그 트랜지스터는 통상적으로 디스에이블 된다. 트랜지스터(14) 또는 트랜지스터(15)가 디스에이블될 때, 전류는 여전히 각각의 저항기(17) 또는 저항기(18)를 통해 흘러, 이에 따라 저항기들(17, 18)은 디바이스(12)의 전력 소비를 최소화하기 위해 바이어스 전류가 확실하게 매우 작게 되도록 설계된다. 트랜지스터들(14, 15)을 디스에이블되게 하는 것은 디바이스(12)를 디스에이블되게 한다. 입력(23)에 인가된 전압이 트랜지스터(14)의 문턱값 전압보다 큰 게이트-소스 전압을 생성할 때, 트랜지스터(14)는 인에이블되고, 전류는 트랜지스터들(13, 14)을 통해 출력(19)으로 흐른다. 유사하게, 입력(24)에 인가된 전압이 트랜지스터(15)의 문턱값 전압보다 클 때, 트랜지스터들(13, 15)은 인에이블되고 전류는 트랜지스터들(13, 15)을 통해 출력(21)으로 흐른다. 이하 확인할 수 있는 바와 같이, 디바이스(12) 및 소자(11)의 신규의 구성은 한 디바이스로부터 이들 두 서로 다른 독립적으로 제어된 출력 전류들을 생성하는 것을 용이하게 한다. 디바이스(12)에 의해 공급되는 출력 전류들의 최대값은 트랜지스터들(14, 15)의 채널의 폭을 조절함으로써 선택된다.

[0011] 트랜지스터들(13, 14, 15)의 브레이크다운 전압들은 애플리케이션 및 그 외 다양한 인자들에 따른다. 일반적인 라인 전압 애플리케이션들에 대한 일 실시예에서, 기판(76)에 관한 트랜지스터(13)의 드레인에 브레이크다운 전

압은 400V를 초과할 수 있고, 트랜지스터들(14, 15)의 소스의 지속적 전압은 50V를 초과할 수 있다.

[0012] 도 2는 도 1의 기재에 설명된 디바이스(12)의 실시예의 부분의 확대 평면도이다. 도 3은 단면 선 3-3을 따라 도 2에 도시한 디바이스(12)의 확대 단면도이다. 이 기재는 도 2 및 도 3을 모두 참조한다. 트랜지스터들(14, 15)은 도 2에서 점선으로 표시한 부분이다. 트랜지스터들(13, 14, 15)은 반도체 기판(76)의 표면 상에 폐쇄된 기하학적 형상들로서 형성된다. 통상적으로, 폐쇄된 기하학적 형상들은 동심이고 주변이 일부 중첩하여 있는 중심들을 갖는다. 바람직한 실시예에서, 폐쇄된 기하학적 형상들은 원들로서, 또는 다양한 동심반경들을 갖는 원들의 호들로서 형성된다. 설명을 명료하게 하기 위해, 바람직한 실시예를 설명하나, 당업자들은 타원들, 정사각형들, 오각형들, 육각형들 등과 같은 그 외 다른 폐쇄된 형상들이 원들 대신 사용될 수 있고 트랜지스터들(13, 14, 15)은 서로 다른 길이들 및 폭들을 가질 수 있음을 알 것이다.

[0013] 바람직한 실시예에서, 트랜지스터(13)의 폐쇄된 기하학적 형상들은 증가하는 반경들을 갖는 동심원들로서 형성된다. 트랜지스터들(14, 15)의 기하학적 형상들의 제 1 부분은 원으로서 형성되고 제 2 부분은 트랜지스터들(13, 14, 15)의 원 부분의 반경들보다 큰 반경들을 갖는 호들을 가진 원의 호들로서 형성된다. 트랜지스터(13)는 드레인 접촉(72) 및 접촉(72) 위에 놓인 드레인 전극(71)을 포함하게 형성된다. 트랜지스터(14)는 또한 한 쌍의 소스 영역들(84)을 형성하는 원의 호들로서 형상을 이룬 한 쌍의 도핑된 영역들 및 원의 호로서 형상을 이룬 게이트 폴리실리콘(88)을 포함한다. 트랜지스터(15)는 한 쌍의 소스 영역들(85)을 형성하는 원의 호들로서 형상을 이룬 한 쌍의 도핑된 영역들 및 원의 호로서 형상을 갖춘 게이트 폴리실리콘(86)을 포함한다.

[0014] 바람직한 실시예에서, 트랜지스터(13)의 드레인 접촉(72)은 기판(76)의 표면 상의 도핑된 영역으로서 형성된다. 접촉(72)은 제 1 반경 및 중심(70)을 갖는 중공 제 1 원의 형상이다. 원 형상의 도핑된 영역(73)은 접촉(72)과 동심이고 접촉(72)의 반경보다 큰 제 2 반경을 갖는 기판(76)의 표면 상에 형성된다. 접촉(72)의 중공 원 형상 때문에, 영역(73)의 제 1 원 형상의 내측 부분은 접촉(72) 밑에 놓인다(도 3 참조). 영역(73)의 제 2 원형 부분은 접촉(72)의 외원주에서 폴리실리콘(88, 86)의 내측 에지까지 연장하여, 트랜지스터(13)의 채널을 형성한다. 접촉(72) 및 영역(73)의 제 2 부분 밑에 놓인 영역(73)의 부분과 기판(76)과의 계면(interface)은 J-FET 트랜지스터(13)의 게이트로서 기능한다. 통상적으로 기판(76), 따라서 트랜지스터(13)의 게이트는 디바이스(12)를 사용하는 회로에서 최저의 전위에 접속된다. 폴리실리콘(88, 86)의 내측 호 밑에 놓인 영역(73)의 호는 트랜지스터(13)의 소스 및 트랜지스터들(14, 15) 각각의 드레인을 형성한다. 이 제 3 원 형상의 영역은 영역(73)의 외측 에지(77)로 방사상으로 연장한다. 이에 따라, 트랜지스터(13)의 드레인 및 소스는 드레인의 반경보다 큰 반경을 갖는 소스를 가진 폐쇄된 기하학적 형상들로서 형성된다. 또한, 한 도핑된 영역이, 트랜지스터(13)의 소스 및 드레인과 트랜지스터들(14, 15)의 드레인을 형성하기 위해 사용된다.

[0015] 트랜지스터(14)의 소스 영역들(84)은 트랜지스터(14)의 드레인의 반경보다 큰 반경을 갖는 원의 호로서 각각 형상을 이룬 2개의 도핑된 영역들로서 형성된다. 통상적으로, 소스 영역(84)의 내측부분은 폴리실리콘(88) 밑에 놓인다. 소스 접촉(83)은 소스 영역(84) 이내에 형성된다. 소스 영역들(84)의 2개의 도핑된 영역들은 폴리실리콘(88)의 외주변을 따라 형성된 개구(114)에 의해 이격되어 있다. 폴리실리콘(88)의 부분은 개구(114)를 관통하여 연장하여 폴리실리콘(88)으로의 접촉을 용이하게 하는 탭(116)을 형성한다. 저항기(17)는 기판(76)의 표면 상의 도핑된 영역으로서 형성된다. 저항기(17)의 일 단부는 점선들로 도시된, 탭(116) 밑에서 연장하여 노드(16)에서 영역(73)에 전기적으로 접촉한다. 저항기(17)의 제 2 단부는 금속 접속(118)에 의해 탭(116)에 접속된다. 유사하게, 트랜지스터(15)의 소스 영역들(85)은 2개의 도핑된 영역들로서 형성되고 그 각각은 트랜지스터(15)의 드레인의 반경보다 큰 반경을 갖는 호로서 형상을 갖는다. 통상적으로, 소스 영역(85)의 내측부분은 폴리실리콘(86) 밑에 놓인다. 소스 접촉(80)은 소스 영역(85) 이내에 형성된다. 소스 영역들(85)의 2개의 도핑된 영역들은 폴리실리콘(86)의 외주변을 따라 형성된 개구(115)에 의해 이격된다. 폴리실리콘(86)의 부분은 개구(115)를 관통하여 연장하여 폴리실리콘(86)으로의 접촉을 용이하게 하는 탭(117)을 형성한다. 저항기(18)는 기판(76)의 표면 상의 도핑된 영역으로서 형성된다. 저항기(18)의 일 단부는 접속들로 도시된, 탭(117) 밑에서 연장하여 노드(16)에서 영역(18)에 전기적으로 접촉한다. 저항기(18)의 제 2 단부는 금속 접속(119)에 의해 탭(117)에 의해 접속된다. 트랜지스터들(14, 15) 각각의 소스를 위해 2개의 도핑된 영역들을 사용하는 것은 각각의 트랜지스터의 게이트 전극에 접속과 저항기들(17, 18)의 형성을 용이하게 한다.

[0016] 도 2 및 도 3의 설명으로부터 알 수 있는 바와 같이, 영역(73)에 의해 형성된 트랜지스터들(14, 15)의 원 부분의 내측 주변은 트랜지스터(13)의 외측 주변에 합쳐져, 트랜지스터들(14, 15)의 드레인에 합쳐지는 트랜지스터(13)의 소스를 형성한다. 영역(73)의 외측 주변은 만곡된 콘투어를 갖고, 영역들(84, 85)의 내측 주변은 영역(73)의 주변의 형상과 동일한 형상을 갖는다. 또한, 게이트 구조들(78, 79)은 영역(73)의 외측 주변의 형상과 동일한 콘투어를 갖는다. 동일 콘투어를 사용하는 것은 트랜지스터들(14, 15)을 위한 제어된 채널의 형성을 용

이하게 한다.

[0017] 바람직한 실시예에서, 드레인 전극(71)은 필드 산화막과 같은 절연체(64) 상에 그리고 층간 유전층(102) 상에 폐쇄된 원으로서 형성된다. 드레인 접촉(72)은 중공 원 구성을 갖기 때문에, 접촉(72) 위에 놓인 전극(71)의 부분은 절연체(64) 및 유전층(102)을 관통하여 접촉(72)까지 연장한다. 전극(71)은 디바이스(12)에 접촉하기 위해 본딩 패드로서 기능하게 형성된다. 접촉(72)의 중심 부분 내 개구된 부분은 디바이스(12)에 손상을 가하지 않고 전극(71)으로의 본딩을 용이하게 한다. 다른 실시예들에서 접촉(72)은 영역(73) 이내에 폐쇄된 원으로서 형성될 수 있다.

[0018] 도 3을 참조하면, 트랜지스터들(13, 14, 15)은 기판(76)의 표면 상에 형성된다. 기판(76)의 표면의 부분은 원형상 영역(73)을 형성하기 위해 도핑된다. 영역(73)의 부분은 영역(73) 내에 동심 중공 원 형상 드레인 접촉(72)을 형성하기 위해 보다 고농도로 도핑된다. 소스 영역(85) 및 소스 영역(84)은 기판(76)의 표면 상에 도핑된 영역들로서 형성되고 영역(73)의 원주로부터 이격하여 있다. 소스 접촉들(83, 80)은 각각의 소스 영역들(84, 85) 내 형성된다.

[0019] 트랜지스터(14)의 바디 영역(75)은 폴리실리콘(88) 밑에 놓인 기판(76)의 표면 상에 도핑된 영역으로서 형성된다. 영역(75)의 부분은 개구(114)(도 2)를 관통하여 연장함으로써 영역(75)에 접촉의 형성을 용이하게 한다. 유사하게, 트랜지스터(15)의 바디 영역(74)은 폴리실리콘(86) 밑에 놓인 기판(76)의 표면 상에 도핑된 영역으로서 형성된다. 도면을 명료하게 하기 위해, 개구들(114, 115)를 관통하는 연장부는 도시하지 않았다. 영역(74)의 부분은 개구(115)(도 2)를 관통하여 연장함으로써 영역(74)에 접촉의 형성을 용이하게 한다. 게이트 구조(78)는 소스 영역(84)과 영역(73) 사이에 개재하여 기판(76) 상에 형성되고 게이트 구조(79)는 소스 영역(85)과 영역(73) 사이에 개재되어 기판(76) 상에 형성된다. 게이트 구조(78)는 기판(76) 상에 형성된 게이트 절연층(81), 절연층(81) 상에 형성된 게이트 폴리실리콘(88) 및 폴리실리콘(88) 상에 형성된 유전층(102)을 포함한다. 유사하게, 게이트 구조(79)는 기판(76) 상에 형성된 게이트 절연층(82), 절연층(81) 상에 형성된 게이트 폴리실리콘(86), 폴리실리콘(86) 상에 형성된 유전층(102), 및 유전층(102) 상에 형성된 게이트 전극(87)을 포함한다. 통상적으로, 구조(78)의 한 에지는 소스 영역(84)의 부분 위에 놓이고 또 다른 에지는 영역(73)의 부분 위에 놓인다. 유사하게, 구조(79)의 한 에지는 소스 영역(85)의 부분 위에 놓이고 또 다른 에지는 영역(73)의 부분 위에 놓인다. 바람직하게 기판(76)은 P형 재료이고, 영역(73), 소스 영역(85) 및 소스 영역(84)은 N형 재료이어서 트랜지스터(13)는 N채널 모드 J-FET로서 형성되고 트랜지스터들(14, 15)은 N채널 MOS 트랜지스터들로 형성된다.

[0020] 당업자들은 디바이스(12)의 원 형상들의 폐쇄된 기하구조는 타원으로서 형성된 영역(73) 및 호들로서 형성된 영역들(84, 85), 정사각형의 각 변을 따라 사각형으로서 형성된 영역들(84, 85)을 가진 정사각형, 오각형의 어떤 변들을 따라 사각형으로서 형성된 영역들(84, 85)을 가진 오각형, 육각형의 일부 변들을 따라 사각형으로서 형성된 영역들(84, 85)을 가진 육각형, 등으로 형성될 수도 있음을 알 것이다.

[0021] 도 4는 디바이스(12)를 사용하는 전력 제어 시스템(25)의 부분의 실시예를 개략적으로 도시한 것이다. 전력 제어 시스템(25)은 디바이스(12), 및 시스템(25)의 고전압 전력-업 시퀀스를 제어하고 시스템(25)의 동작을 억제하는 개시제어 회로(34)를 사용한다. 시스템(25)은 전압 입력(57)과 전압 리턴(58) 사이의 입력 전압을 수신한다. 그 외 구성요소들은 통상적으로, 시스템(25)의 원하는 기능들을 제공하기 위해 외부에서 회로(34)에 접속된다. 예를 들면, 에너지 저장 커패시터(49), 1차 인덕턴스(54), 2차 인덕턴스(55) 및 보조 인덕턴스(60)를 갖는 트랜스포머(53), 정류 다이오드(61), 또 다른 저장 커패시터(62), 펄스 폭 변조기(PWM) 제어기(51), 전력 트랜지스터(52), 억제 트랜지스터(35), 및 부하(63)는 통상적으로 시스템(25)의 부분이다. 커패시터들(49, 62), 트랜스포머(53), 제어기(51), 트랜지스터(52), 및 다이오드들(61, 30)은 디바이스(12) 및 회로(34)의 동작을 기술하는데 도움이 되게 단순히 도시된 것이다. 당업자들은 도 4에 도시되지 않은 그 외 알려진 구성요소들 및 기능들은 완전한 전력 제어 시스템을 형성하게 포함됨을 이해한다. 대부분의 실시예들에서, 커패시터들(49, 62), 트랜스포머(53), 제어기(51), 트랜지스터(35), 및 다이오드들(61, 30)은 디바이스(12) 및 회로(34)가 형성된 반도체 다이에 외부이다. 일부 실시예들에서, 제어기(51) 또는 트랜지스터(52)는 디바이스(12) 및 회로(34)가 형성된 반도체 다이의 또 다른 부분일 수도 있고 또는 외부일 수도 있다. 바람직한 실시예에서, 트랜지스터(14)는 트랜지스터(15)보다 좁은 채널 폭을 갖고 트랜지스터(15)가 출력(21)에 제공하는 것보다 작은 출력 전류를 출력(19)에 제공한다. 이 바람직한 실시예에서, 트랜지스터(15)는 대략 600 마이크론의 폭을 갖도록 형성되고 트랜지스터(14)는 대략 100 마이크론의 폭을 갖도록 형성된다. 당업자들은 트랜지스터들(14, 15)이 대략 동일 폭들 또는 요구되는 전류밀도와 트랜지스터 설계 규칙들에 따라 다양한 다른 폭들을 갖도록 형성될 수 있음을 알 것이다.

[0022] 디바이스(12) 및 회로(34)는, 시스템(25)이 제어기(51)와 같은 시스템(25)에 접속된 다른 회로들에 인가되는 초기 전압 시퀀스의 원활하게 제어된 개시를 제공하도록 시스템(25) 내의 회로들에 전력을 인가하는데 사용되는 초기 전압을 제공하는데 이용된다. 회로(34)는 출력(19)으로부터 제 1 출력 전류와 디바이스(12)의 출력(21)으로부터 제 2 출력 전류와 근본적으로 동일한 2개의 제어된 전류들을 제공하는 제 1 출력(46) 및 제 2 출력(47)을 갖는다. 바람직한 실시예에서, 출력들(46, 47)은 함께 접속되어 출력(48) 및 회로(34)의 연관된 제어된 출력 전류를 형성한다. 다른 실시예들에서, 출력들(46, 47)은 분리되어 서로 다른 회로 기능들에 전류를 제공하는데 사용된다. 디바이스(12)의 출력 전류들을 제어하기 위해, 회로(34)는 제 1 센스 저항기(26), 제 1 센스 트랜지스터(28), 및 제 1 기준 트랜지스터(32)와 제 1 미러 트랜지스터(33)를 포함하는 제 1 전류 미러(31)를 포함하는, 제 1 전류 제어 루프를 갖는다. 회로(34)의 제 2 전류 제어 루프는 제 2 센스 저항기(27), 제 2 센스 트랜지스터(29), 및 제 2 기준 트랜지스터(37)와 제 2 미러 트랜지스터(38)를 포함하는 제 2 전류 미러(36)를 포함한다. 출력(19)에서 생성된 제 1 출력 전류는 제 1 제어 루프에 의해 제어된다. 출력(19)에서의 전류는 저항기(26)를 통해 흘러 저항기(26)에 걸리는 대응하는 전압을 생성한다. 저항기(26)는 트랜지스터(28)의 게이트와 소스 사이에 접속되어 트랜지스터(28)의 게이트-소스 전압을 형성하고, 이에 따라, 저항기(26)에 걸리는 전압은 트랜지스터(28)를 흐르는 제 1 센스 전류 흐름을 수립한다. 전류 미러(31)는 트랜지스터(28)로부터의 제 1 센스 전류를 수신하며 대응하여 제어 입력(23)에 인가되는 전압을 제어함으로써 트랜지스터(14)의 게이트 전압 및 제 1 출력 전류의 값을 제어한다. 출력(19)에서의 출력 전류가 증가함에 따라, 대응하여 제 1 센스 전류가 증가하고 이에 대응하여 트랜지스터(28)의 게이트 전압 및 대응하여 입력(23)의 제어 전압을 낮추어 출력 전류값을 감소시킨다. 그러므로, 이러한 네거티브 피드백 루프는 트랜지스터(14)에서 전류를 레귤레이트하는 작용을 한다. 유사하게, 제 2 제어 루프는 출력(21)에 제 2 출력 전류를 수신하게 결합된 제 2 바이어스 저항기(27)를 포함하고, 응답하여 트랜지스터(29)를 위한 게이트-소스 전압을 생성하고 응답하여 트랜지스터(29)를 흐르는 제 2 센스 전류를 생성한다. 트랜지스터(29)는 트랜지스터(29)로부터 제 2 센스 전류를 수신하는 제 2 전류 미러(36)에 결합되고, 응답하여 제 2 제어 입력(24)에 인가된 제어 전압을 제어하고 그럼으로써 트랜지스터(15)의 게이트 전압 및 제 2 출력 전류의 값을 제어한다. 2개의 전류 제어 루프들은 일부 실시예들에선 생략될 수 있다.

[0023] 회로(34)는 디바이스(12)의 동작을 차례로 나열하는데 이용되는, 동작 전압 검출기(39) 및 초기 전압 검출기(40)를 포함한다. 개시 기간 동안, 검출기들(39, 40)은 출력(48)에 형성된 전압의 값에 기초해서 트랜지스터들(14, 15)의 동작을 제어한다. 일부 실시예들에서, 출력들(46, 47)은 분리되고 서로 다른 회로 기능들에 전류를 공급하는데 사용되고, 이에 따라, 검출기들(39, 40)은 회로(34) 또는 그 외 다른 회로들(예를 들면 도 6 참조)의 동일 또는 서로 다른 출력들에 접속될 수 있다. 전압 기준(56)은 기준(56)의 제 1 및 제 2 출력에 2개의 기준 전압들을 제공한다. 2개의 기준 전압들은 초기 전압값 및 원하는 동작 전압값을 검출하기 위한 검출레벨을 설정하기 위해 검출기들(39, 40)에 의해 사용된다. 제어기(51)는 원하는 동작 전압에 도달할 때까지 제어기(51)가 확실하게 1차 인덕턴스(54)를 구동하지 않게 검출기(39)의 출력에 의해 제어된다. 당업자들은 전류 제어 루프들 및 검출기들(39, 40)은 제어 루프가 전류를 제어하고 검출기들이 출력들(46, 47)의 전압에 기초하여 디바이스(12)를 제어하는 한, 다양한 설계들에 의해 구현될 수 있음을 알 것이다.

[0024] 입력들(57, 22)에서의 전압이 제로에서 시작하여 시간에 대해 증가함에 따라, 출력들(46, 47)에서의 출력 전압은 제로에서 시작하여 초기 전압값을 지나 증가하여 원하는 동작 전압값에 도달한다. 원하는 동작 전압값은 통상적으로 제어기(51) 및 부하(63)와 같은 회로(34) 외부의 다른 회로들에 대해 정규의 동작을 제공하는 값이 되게 선택된다. 초기 전압값은 통상적으로 원하는 동작값보다 훨씬 작으며 일반적으로 어떤 기본 회로 기능들을 동작시키는데 이용될 수 있는 전압값들의 하한이다. 예를 들면, 초기 전압값은 출력 전압이 이의 원하는 동작값에 도달하기에 앞서 어떤 기본 비교기들 또는 다른 회로들이 동작할 필요가 있는 값일 수 있다. 초기 전압값은 통상적으로 기준(56) 및 검출기들(39, 40)을 동작시키는데 사용된다. 상기 초기 전압을 제공하기 위해, 출력(48)은 커패시터(39)에 접속되고 출력들(46, 47)로부터의 전류는 커패시터(49)를 충전시켜 출력(48)에 회로(34)의 출력 전압을 형성한다. 회로(34)는 상기 출력 전압을 수신하고 이에 응답하여 디바이스(12)의 시퀀싱을 제어한다. 초기 전압값은 시스템(25)을 개시하는데 필요한 시간량을 최소화하기 위해 가능한 한 초기값으로 커패시터(49)가 충전될 수 있게 가능한 한 낮게 선택된다.

[0025] 검출기(40)는 출력 전압을 수신하고 이에 응답하여 트랜지스터(15)를 디스에이블되게 하고 디바이스(12)가 출력 전압이 초기 전압값 미만인 한 트랜지스터(14)로부터 전류를 제공할 수 있게 형성된다. 출력 전압이 초기 전압값 이상일 때, 검출기(40)는 디바이스(12)가 제 1 및 제 2 출력 전류들 둘 다를 생성할 수 있도록 트랜지스터(15)를 인에이블되게 한다. 검출기(39)는 출력(48)의 출력 전압을 수신하여 이에 응답하여, 출력 전압이 원하는 동작 전압값 이상일 때 디바이스(12)를 디스에이블되게 하도록 형성된다. 바람직한 실시예에서, 검출기(39)는

출력 전압이 원하는 동작 전압값 주위에서 약간 변할 때 검출기(39)가 스위칭 온 및 오프하지 않게 히스테리시스(hysteresis)를 갖는다. 히스테리시스 입력에 기인해서, 검출기(39)는 원하는 동작 전압값을 검출기(39)의 히스테리시스 오프셋 전압을 감한 것과 근사적으로 동일한 제 3 값까지 감소할 때 디바이스(12)를 재-인에이블되게 한다. 이러한 기능을 돕기 위해, 검출기(39)는 출력(48)에 결합된 입력과, 제 1 디스에이블 트랜지스터(41) 및 제 2 디스에이블 트랜지스터(42)에 각각 결합된 2개의 출력들을 갖는다. 검출기들(39, 40) 각각 및 연관된 기준은 기준 전압값을 수립하기 위해 트랜지스터의 문턱값을 사용하는 단일 MOS 트랜지스터를 포함하는 당업자들에 알려진 다양한 회로들에 의해 형성될 수 있다.

[0026] 도 5는 회로(34)의 출력 전압 및 출력 전류를 각각 도시한 플롯들(43, 45)을 갖는 그래프이다. 상기 기재는 도 4 및 도 5를 모두 참조한다. 전력을 입력(57)에 인가하기에 앞서, 커패시터들(62, 49)은 방전되고 출력(48)은 제로 볼트에 있다. 결국, 회로(34)는 동작하지 않고 있고 디바이스(12)로부터 출력 전류는 없다. 입력 전압이 시간 T0에서 입력(57)에 인가될 때, 전류는 인덕턴스(54)를 통해 디바이스(12)의 입력(22)으로 흐르기 시작한다. 입력(22)의 전압이 증가함에 따라, 트랜지스터(13)가 턴-온 하여 바이어스 전류를 저항기들(17, 18)을 통해 트랜지스터들(14, 15)에 공급한다. 검출기(39)의 출력은 로우(low)이고 검출기(40)의 출력은 하이(high)이며, 따라서, 트랜지스터들(41, 42)은 디스에이블되고 트랜지스터(44)는 인에이블되어 입력(24)을 로우로 되게 하여 트랜지스터(15)를 디스에이블되게 한다. 저항기(17)는 입력(23), 따라서 트랜지스터(14)의 게이트를 입력(22)의 입력 전압으로 가져와서 트랜지스터들(14)을 인에이블되게 하여 제 1 출력 전류를 회로(34)에 공급한다. 회로(34)는 출력 전류를 제어하여 제 1 제어전류를 출력 전류값(68)으로 출력(48)에 공급한다(플롯(45)을 참조). 출력 전류는 커패시터(49)를 충전하기 시작한다. 시간 T1에서, 커패시터(49)는 초기 전압값(65)까지 충전하였고 검출기(40)의 출력은 로우 값으로 스위칭함으로써 트랜지스터(44)를 디스에이블되게 하여, 저항기(18)가 트랜지스터(15)를 인에이블되게 한다. 회로(34)는 제 2 출력 전류를 수신하여 제 2 제어전류를 출력(48)에 제공하게 값을 제어한다. 회로(34)는 제 3 출력을 제어기(51)에 제공한다. 트랜지스터(14)는 인에이블 상태에 있고, 결국, 출력(48)의 제어된 출력 전류는 값(69)까지 증가하여, 커패시터(49)는 디바이스(12)로부터 제 1 및 제 2 출력 전류들 둘 다에 의해 충전된다. 출력(48)의 전압의 값이 시간 T2에서 원하는 동작 전압값까지 증가하였을 때, 검출기(39)의 출력은 하이 값으로 스위칭함으로써 트랜지스터들(41, 42)를 인에이블되게 함으로써 제어 입력들(23, 24)을 로우가 되게 하여 디바이스(12)를 디스에이블되게 한다. 검출기(39)의 출력에 하이는 또한 제어기(51)를 인에이블되게 하고 트랜지스터(52)는 이에 응답하여 제어기(51)에 입력(22)을 구동하기 시작한다. 시스템(25)은 부하(63)에 전력을 공급하기를 시작한다. 출력(48)의 출력 전압이 제 3 전압값(67)까지 감소하면, 검출기(39)의 히스테리시스 오프셋은 시간 T3에서 로우 전압을 검출하고 트랜지스터들(41, 42)을 디스에이블되게 함으로써 디바이스(12)가 인에이블되어 제 1 및 제 2 출력 전류들을 출력(48)에 공급하고 다시 한 번 커패시터(49)를 동작 전압값(66)으로 충전한다. 제 3 전압값(67)은 값(65)에 매우 가까운 값을 포함하는 어떤 값일 수 있다.

[0027] 시스템(25)의 동작 동안, 시스템(25)을 디스에이블 또는 억제하는 것이 적합할 수도 있다. 예를 들면, 부하(63)는 시스템(25)을 디스에이블되게 하는 것을 요구하는 상태를 검출할 수도 있다. 이러한 경우, 부하(63) 또는 또 다른 회로(도시생략)는 트랜지스터(35)를 인에이블되게 하여 출력(48)이 로우가 되게 하여 시스템(25)의 동작을 억제한다. 출력(48)을 로우로 되게 하는 것은 커패시터(49)를 방전시킨다. 커패시터(49)가 초기 전압값 미만의 값까지 방전되었을 때, 검출기(40)는 트랜지스터(44)를 인에이블되게 하여 디바이스(12)의 트랜지스터(15)를 디스에이블되게 한다. 트랜지스터(15)를 디스에이블되게 하는 것은 시스템(25)이 제 2 출력 전류를 공급하지 못하게 하여 디바이스(12)를 제 1 출력 전류를 공급하게 인에이블 상태를 유지한다. 제 1 출력 전류가 제 2 출력 전류보다는, 바람직하게는 적어도 10배 미만으로, 훨씬 작기 때문에, 트랜지스터(14)를 인에이블 상태를 유지하는 것은 제어기(51)를 디스에이블되게 하여 시스템(25)이 부하(63)에 전압을 공급하지 못하게 하며, 디바이스(12)로 하여금 제 1 출력 전류를 대기 전류로서 공급하게 한다. 이에 따라, 이 방법은 대기 전류를 유지하면서 시스템(25)의 동작을 억제하는 용이한 방법을 제공하며 부하(63)가 트랜지스터(35)를 디스에이블되게 할 때 커패시터(49)를 쉽게 재충전할 수 있게 하는 방법을 제공한다. 시스템(25)이 억제되었을 때 소비되는 전력의 량을 최소화하는 것이 중요하다. 제 1 출력 전류의 낮은 전류 때문에, 시스템(25)을 억제하는 이 방법은 입력(57)에 인가되는 전압으로부터 소비되는 전력의 량을 최소화시킨다. 통상적으로 제 1 출력 전류의 값은 ENERGY STAR? 와 같은 평가 기준에 명시된 대기 전류 미만이 되게 선택된다. 디바이스(12) 및 트랜지스터(35)는 시스템 제어기(50) 및 시스템(25)의 억제 회로를 형성함을 알 수 있다.

[0028] 당업자들은 트랜지스터(35)가 동작 시퀀스에서 언제라도 인에이블될 수 있고 억제 기능이 언제라도 존재하는 출력 전압 및 전류값들에서 시작함을 이해할 것이다. 또한, 검출기들(39, 40)은 초기 전압값을 검출한 후에 제 2

출력 전류만을 디바이스(12)가 공급할 수 있게 하는 등의 다른 제어 시퀀스를 사용할 수도 있을 것이며, 또는 시퀀스를 반대로 하여 초기 전압값을 검출하기 전에 제 2 출력 전류를 공급하고 초기 전압값을 검출 후에 제 1 출력 전류를 공급하는 등을 할 수도 있을 것이다.

[0029] 도 6은 정전기 방전(ESD) 보호 회로(90)의 부분의 실시예를 개략적으로 도시한 것이다. 회로(90)는 디바이스(12)의 출력(21)을 개시 전류원으로서 이용하여 출력(91)에서 제어된 개시전압을 제공하며, 입력(57)에 접속된 회로들에 대해 ESD 보호도 할 수 있게 출력(19)을 이용한다. 흔히 전기회로의 동작중에, 회로는 외부 소스로부터 ESD 방전을 받을 수도 있다. 이러한 ESD 방전은 ESD 방전 소스에 가까이 접속된 반도체 디바이스들에 쉽게 손상을 입힐 수 있다. 회로(90)는 디바이스(12)의 트랜지스터(14)를 이용하여 ESD 발생시 트랜지스터(97)를 인에이블되게 하며 또한 트랜지스터(15)를 이용하여 회로(90)의 출력(91) 상의 출력 전압의 제어된 개시를 제공한다. 이에 따라, 트랜지스터들(14, 15)은 독립적으로 동작하여, 트랜지스터(13)의 출력으로부터 도출되는 2개의 서로 다른 기능들을 구현한다. 검출기(39) 및 트랜지스터(41)는 출력 전압의 제어 개시를 제공하기 위해 트랜지스터(15)를 제어하는데 사용되고, ESD 검출기(96)는 ESD가 발생하지 않으면 트랜지스터(14)를 디스에이블되게 하는데 사용된다. 회로(90)는, 출력(91)에 원하는 동작 전압값을 검출하는데 사용되는 제 1 기준 전압을 공급하며 트랜지스터(14)를 디스에이블되게 하는데 사용되는 제 2 기준 전압을 제공하는 기준(93)을 포함한다.

[0030] 동작 전압 검출기(39)는 출력(91)의 전압이 원하는 동작 전압값에 도달할 때까지 커패시터(49)를 충전하게 트랜지스터(15)를 제어한다. 입력(22)에 인가되는 입력 전압이 초기에 회로(90)에 인가될 때, 커패시터(49)가 방전된다. 입력 전압은 트랜지스터(13)을 턴-온 시키기에 충분하게 증가하여 바이어스 전류들을 저항기(18)를 통해 트랜지스터(15)에 공급한다. 검출기(39)의 출력은 로우 전압값에서 시작하여 출력(91) 상의 전압이 원하는 동작 전압값에 도달할 때까지 로우로 유지한다. 로우 전압은 트랜지스터(41)를 디스에이블되게 하여 저항기(18)가 트랜지스터(15)를 인에이블되게 하게 됨으로써 커패시터(49)를 충전하여 출력 전압을 형성하는 출력 전류를 형성한다. 커패시터(49)가 원하는 동작 전압값까지 충전되었을 때, 검출기(39)의 출력은 하이로 되어 트랜지스터(41)를 인에이블되게 하고 디바이스의 15를 디스에이블되게 한다. 검출기(39)의 히스테리시스는 도 4에 설명한 바와 같이 출력 전압을 원하는 동작 전압값에 유지하게 하는 기능을 한다. 검출기(39)는 트랜지스터(14)에 영향을 미치지 않는다.

[0031] ESD가 발생하였을 때, ESD는 트랜지스터(14)의 게이트를 충전시킴으로써 트랜지스터(14)를 인에이블되게 한다. 트랜지스터(14)는 트랜지스터(97)를 저 임피던스 상태로 구동시키는데 충분한 구동전류를 제공하게 형성된다. 트랜지스터(97)는 통상적으로, 트랜지스터(97)가 저 임피던스 상태에 있을 때 ESD 방전에 기인한 전류들을 쉽게 가라앉힐 수 있는 저 온-저항 전력 트랜지스터이다. 회로(90)가 검출기(96)로의 기준 입력 전압보다 큰 출력(91)에 의해 정의된 정규 동작 상태에 있지 않은 한, 트랜지스터(14)는 검출기(96)에 의해 하이 출력 상태에 의해 인에이블될 것이다. 회로(90)의 정규 동작 상태 하에서, 트랜지스터(14)는 디스에이블될 것이고 이에 의해 구동기 제어 블록(98)은 트랜지스터(97)를 제어할 수 있게 된다.

[0032] 당업자들은 검출기(96)가 다양한 구현을 취할 수 있음을 알 것이다. 일 예의 구현은 반전입력에서 출력 전압을 수신하고 비반전 입력에서 ESD 검출 전압을 수신하는 비교기(94)를 포함한다. 비교기(94)의 출력은 디바이스(12)의 입력(23)에 접속된다.

[0033] 위의 모든 것으로부터, 신규의 디바이스, 디바이스 형성 방법, 디바이스 사용방법이 개시된 것이 명백하다. 사실, 다른 특징들중에서도, 개시 디바이스의 출력을 저전압이 되게 함으로써 전력 제어 시스템의 동작을 억제하는 것이 포함된다. 출력상의 로우 전압은 개시 디바이스를 디스에이블되게 하여 전류를 충전시키고 전력 제어 시스템의 동작을 가능한 한 저전류가 소비되게 하면서 동작을 억제한다. 또한, 하나의 도핑된 영역을 사용하여 J-FET 트랜지스터의 소스 및 드레인을 형성하는 것을 포함한다. 단일 도핑된 영역은 폐쇄된 기하학적 형상으로서 형성된다. 모든 3개의 트랜지스터들을 위해 하나의 도핑된 영역을 사용하는 것은 고전압 다중 출력 전류 디바이스의 비용을 최소화시킨다. 폐쇄된 형상은 또한 단일 도핑된 영역에 이웃한 2개의 MOS 트랜지스터들의 소스들을 형성하는 것과 고전압 다중 출력 전류 디바이스를 위해 이용되는 공간을 더욱 최소화하는 것을 용이하게 한다. 독립적으로 제어된 MOS 트랜지스터들은 전력 제어 회로의 개시를 시퀀싱하기 위해 2개의 서로 다른 전류들을 위한 고전압 다중 출력 전류 디바이스와 복수의 독립적으로 제어된 출력 전류들을 요하는 다른 회로들을 사용하는 것을 용이하게 한다.

[0034] 소자(11) 및 디바이스(12)는 두개 이상의 출력들과, 트랜지스터들(14, 15)과 같은 트랜지스터들을 포함할 수 있다. 예를 들면, 소자(11) 및 디바이스(12)는 트랜지스터들(14, 15)과 병렬로 제 2 트랜지스터를 포함할 수 있다. 제 2 트랜지스터는 노드(16)에 접속된 드레인, 디바이스(12)의 제 2 출력을 형성하는 소스, 및 디바이스

(12)를 위한 제 2 입력을 형성하는 게이트를 가질 수도 있을 것이다. 제 3 트랜지스터는 제 1 단자가 노드(16)에 접속되고 제 2 단자가 제 3 트랜지스터의 게이트에 접속된 연관된 제 3 트랜지스터를 가질 것이다. 제 3 트랜지스터는 제 1 및 제 2 출력 전류들과는 다른 제 3 출력 전류를 형성할 수 있다. 모든 3개의 트랜지스터들을 사용하는 애플리케이션의 예는 도 4에 설명한 바와 같은 제 1 및 제 2 출력 전류들을 제공하는 트랜지스터들(14, 15)을 포함할 수도 있을 것이며, 제 3 트랜지스터는 도 6에 설명한 바와 같이 트랜지스터(97)를 구동하기 위해 제 3 출력 전류를 제공할 수도 있을 것이다. 또한, 소자(11) 및 디바이스(12)는 임의의 수의 이러한 트랜지스터들 및 연관된 저항기들을 가질 수도 있다.

부호의 설명

[0035] 12 : 고전압 다중 출력 전류 디바이스

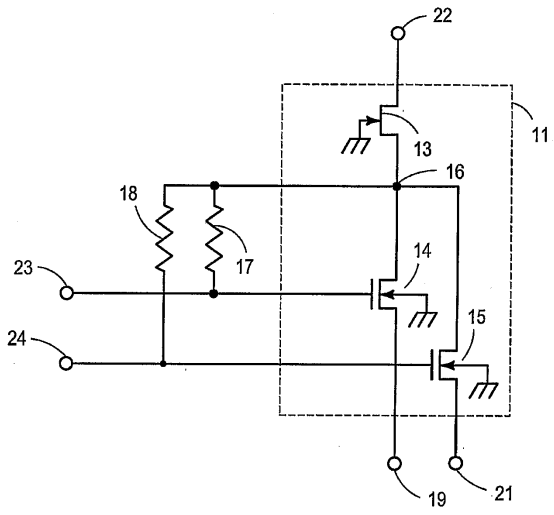
13 : JFET 트랜지스터

14 : 제 1 MOS 트랜지스터

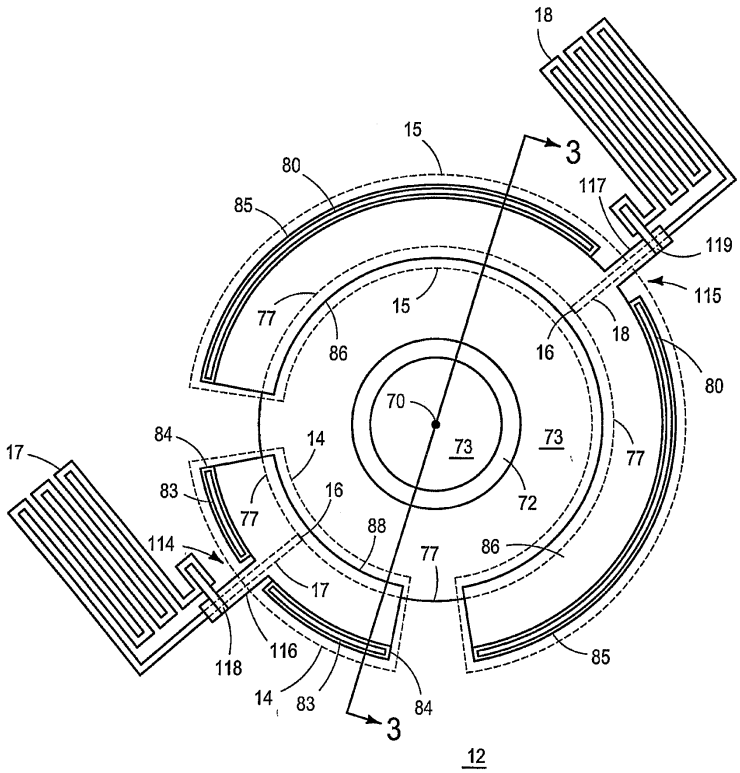
15 : 제 2 MOS 트랜지스터

도면

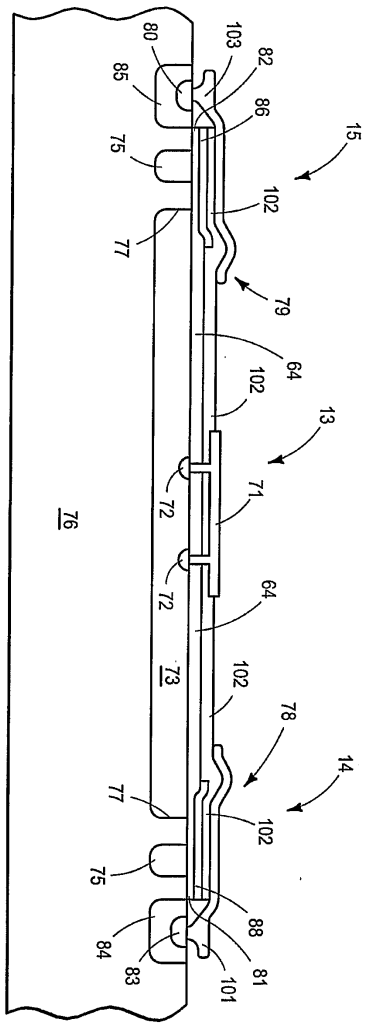
도면1



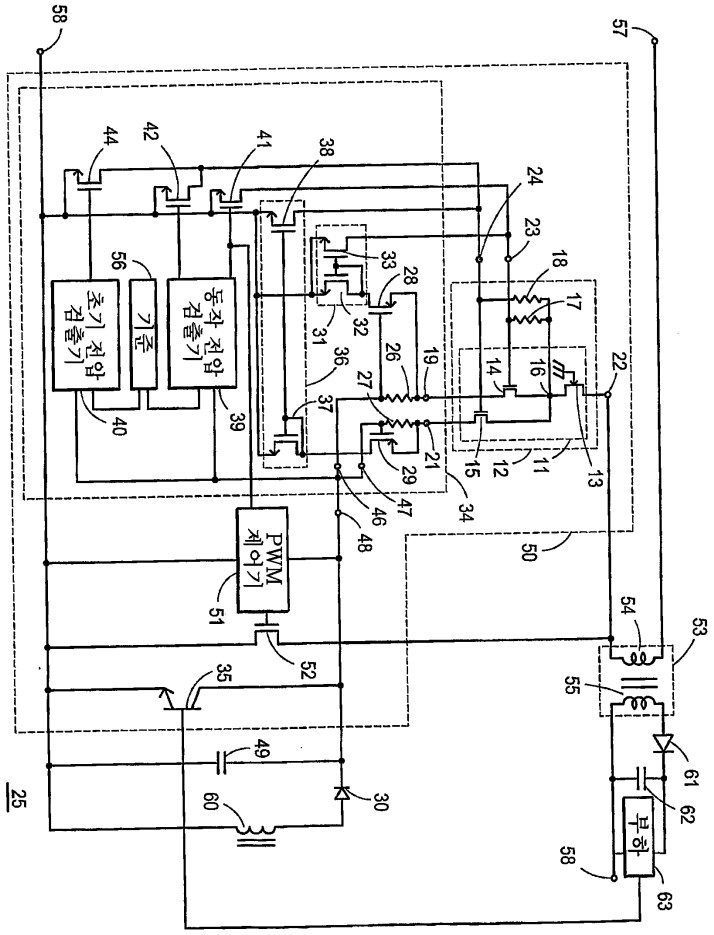
도면2


18
15
3
80
85
117
119
115
77
86
15
16
18
80
70
73
73
77
84
14
72
83
16
77
88
114
86
77
17
116
118
85
14
83
84
3
12

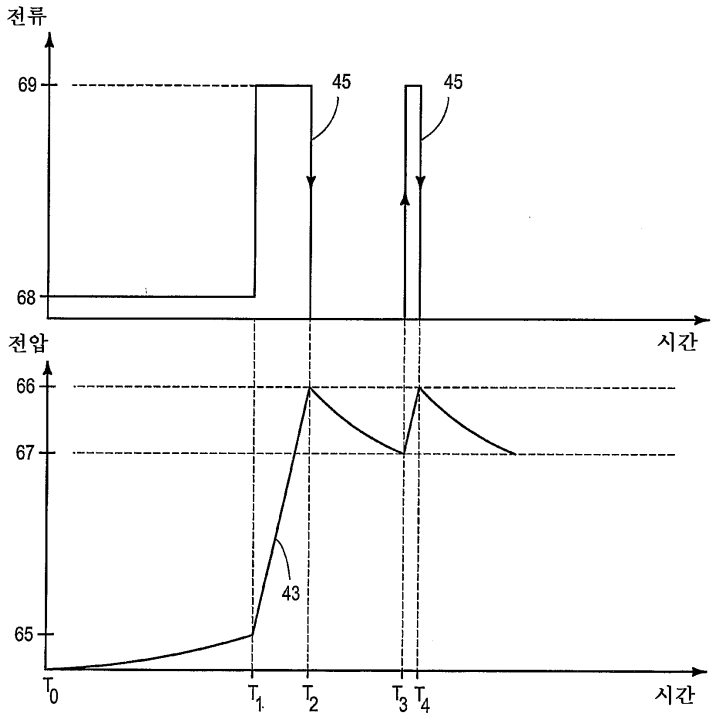
도면3


80
103
82
85
86
15
75
102
77
79
64
102
13
71
72
76
72
64
73
102
78
14
77
102
75
88
84
83
81
101

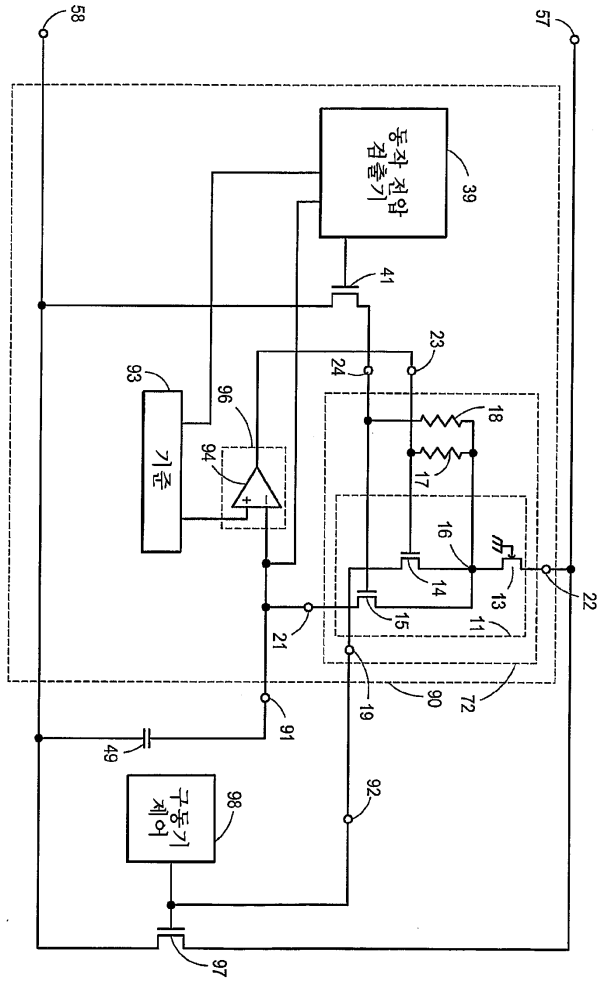
도면4


초기 전압 검출기
기준
동작 전압 검출기
PWM 제어기
부하

도면5


전류
69
68
45
45
시간
전압
66
67
65
43
T_0
T_1
T_2
T_3
T_4
시간

도면6


58
57
동작 전압 검출기
39
41
23
24
93
96
94
기준
18
17
16
14
13
15
11
22
21
19
90
72
91
49
구동기 제어
98
92
97