

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

時間殘餘回饋式時間數位轉換裝置及方法

【技術領域】

【0001】 本發明係有關一種時差測距或飛時測距之時間量測，尤指一種將時間轉換成數位碼以計算距離之時間殘餘回饋式時間數位轉換裝置及方法。

【先前技術】

【0002】 時間數位轉換器(Time-to-Digital Converter, TDC)係用以量測一待測時間差並轉換為數位形式，其輸入端接受兩個脈衝訊號，即開始訊號及結束訊號，此二訊號之間的時間差即為待測時間差。TDC之基本原理係利用一個粗調時脈，並搭配一計數器(counter)來完成，粗調時脈的週期已知，由計數器計算待測時間內共經過多少個粗調時脈週期，即可得知待測時間的大小。

【0003】 TDC之實體架構有許多類型，較為常見者有兩級式(two-stage)、管線式(pipeline)及循環式(cyclic)。兩級式TDC，如第一圖所示，使用兩個 TDC，分別為粗調(Coarse TDC, CTDC)與細調(Fine TDC, FTDC)，而在兩個TDC中間的部分再接上一個時間放大器(Time Amplifier, TA)，先由 CTDC 進行時間的偵測，當CTDC的 Stop 訊號到達時，觸發所有D型正反器將CTDC延遲線各節點的訊號輸出並轉換成數位碼，而CTDC的輸出將會產生一選擇訊號控制多工器(multiplexer, MPX)，而多工器的輸入將會接在CTDC延遲線的各節點上，而經由選擇訊號選擇，將殘留的時間

與Stop訊號送進TA進行時間的放大，最後再輸入進 FTDC轉換成數位碼。惟此種兩級式架構之解析度與其時間殘餘(time residue)檢測器及時間放大器之數量成正比，故為保持一定的解析度之前提下，其硬體架構必然十分龐大，不利於晶片之設計。

【0004】 管線式TDC為兩級式TDC所演化而成，管線式TDC是將轉換過程切割為更多的級數，如第二圖所示，共區分為n級，每一級的組成都一樣，由一個TDC、一個數位至時間轉換器(Digital-to-Time Converter, DTC)和一個時間放大器(TA)所組成，當第一級的TDC解出數位碼後，經由多工器(此架構沒有多工器)將殘餘時間選擇後交由TA做時間放大後，再傳給下一級的TDC 做偵測。惟此種管線式架構須在結束訊號之後始能開始進行轉換及時間殘餘(time residue)量測，在速度方面的表現不夠理想。

【0005】 循環式TDC，如第三圖所示，係以管線式為基礎，增加一回授路徑，故其仍具有管線式之缺點，即速度方面仍有不足。

【0006】 綜觀上述所有習知之TDC，其共同點乃在於待測時間之量測，乃以該時間內所經過之粗調時脈之完整週期量為粗時間值，再將與結束訊號對應之不完整週期之時間殘餘與該粗時間值相加，以取得正確之時間值。除上述之各種硬體面積架構、輸入範圍及速度難以取得平衡之缺點外，以外加方式計算時間，若該結束訊號因故未於其所應之粗調時脈週期內正確檢出時，該時間殘餘即會因時間之無可復返而失準且無法補救，雖後續之習知技術可經數位校正技術即可克服，但需額外的演算法與電路判定與運算。

【發明內容】

【0007】 本發明之主要目的，即在於提供一種時間殘餘回饋式時間數位轉換裝置及方法，其可在最小的硬體需求下，達到最快速的時間數位轉換速率，並具有高解析度、廣輸入範圍及自動校正謬誤等優點。

【0008】 本發明之主要目的，即在於提供一種時間殘餘回饋式時間數位轉換裝置及方法，其係將時間殘餘採計結束訊號之後之粗調時脈下一個週期或下N個週期之上升邊緣之時間，再與訊號開始時間至前述同一個上升邊緣所計算出之粗時間值相減以得出正確時間值，即使與結束訊號對應之粗調時脈週期結束時間未被即時檢出，亦可於之後檢出後再減除遲滯時間，即可獲得補救。

【0009】 為達成上述之目的，本發明係主要提供一種時間殘餘回饋式時間數位轉換裝置及方法，用以量測自一起始訊號至一結束訊號間之經過時間，並將其轉換為數位訊號，主要係計算自該起始訊號起至該結束訊號後與該結束訊號對應之下一個週期或下N個週期之起始邊緣間共經過之該粗調時脈之完整週期之數量，將該數量乘以該粗調時脈之週期以得出一粗時間值，計算自該結束訊號起至與其對應之粗調時脈週期之下一個週期或下N個週期之起始邊緣為止之時間殘餘，最後將該粗時間值減去該時間殘餘即得出所須正確時間。

【0010】 讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【圖式簡單說明】

【0011】 第一圖、係為習知之電路方塊圖（一）。

【0012】 第二圖、係為習知之電路方塊圖（二）。

【0013】 第三圖、係為習知之電路圖。

【0014】 第四圖、係為本發明之時間殘餘回饋式時間數位轉換裝置方塊圖。

【0015】 第五圖、係為本發明之時間數位轉換裝置之一較佳實施例之方塊圖。

【0016】 第六圖、係為本發明之量測之輸入訊號時序圖。

【0017】 第七圖、係為本發明之方法流程圖。

【實施方式】

【0018】 請參閱第四圖，本發明之時間殘餘回饋式時間數位轉換裝置主要係於一可控制開關1、一時間殘餘產生器2、一時間放大器(time amplifier, TA) 3及一時間數位轉換器(time-to-digital converter, TDC)4所組成。如圖所示，該可控制開關1係可自動控制選擇電路輸入訊號導通來自外在待測訊號源或時間放大器3輸出端之回授路徑，時間殘餘產生器2與時間放大器3係成串聯路徑，並與時間數位轉換器4形成平行路徑。

【0019】 續請參閱第五圖，其係為本發明之時間數位轉換裝置之一較佳實施例之方塊圖，可看出，該可控制開關1具有一常閉端及一常開端及一共用端，該常閉端係用以電連接於一待測訊號源，該待測訊號源係用以發出一起始訊號及一結束訊號。該時間殘餘產生器2具有一第一輸入端及一第一輸出端，該第一輸入端係電連接於該可控制開關1之該共用端與一粗調時脈。該時間放大器3具有一第二輸入端及一第二輸出端，該第二輸入端係電連接於該第一輸出端，該第二輸出端係電連接於該常開端。該時間數位轉換器4可為循環游標尺式，具有一第三輸入端、一第三輸出端及第四輸出端

(計數器的輸入應為起始、結束與粗調時脈，該第三輸入端係電連接於該共用端，該第三輸出端係電連接於該第一輸入端，該第四輸出端係用以連接一計數器5，該時間數位轉換器4係輸出該粗調時脈。

【0020】 復請併參第六圖，待量測之輸入訊號時間 T_{in} 即為起始訊號時間 T_{start} 與結束訊號 T_{stop} 間之時間差，起始訊號與粗調時脈係同步啟動，該時間數位轉換器4係計算於該起始訊號及該結束訊號間之輸入訊號時間內共經過之該粗調時脈之完整週期之數量，即計算於該起始訊號及該結束訊號後至下一個週期或下 N 個週期之起始邊緣(starting edge)之輸入訊號時間內共經過之該粗調時脈之完整週期之數量(於正緣觸發系統中，該起始邊緣即為一上升邊緣(rising edge))，將該數量乘以粗調時脈之週期以得出一粗時間值 T_{coarse} ，並將其轉換為數位訊號，其中該完整週期之數量係包含與該結束訊號對應之不完整週期，例如，由起始訊號開始啟動粗調時脈之第一個週期，結束訊號若於粗調時脈之第八個週期中，則雖該第八個週期並未完整，但仍計算至第八個週期結束時之週期數。該時間殘餘產生器2係受該結束訊號之觸發而啟動，以計算自該結束訊號起至前述同一個結束週期之下一個週期之起始邊緣(starting edge)為止之時間殘餘(time residue)，因粗時間值與時間殘餘係計算至粗調時脈之同一個結束週期或結束時間(即同一個結束點)，故將該粗時間值減去該時間殘餘即得出所須正確時間，且該時間數位轉換器之動作係與該時間殘餘產生器平行，其數學關係可以下式表示：

$$\text{【0021】 } T_{in} = T_{stop} - T_{start} \quad (1)$$

$$\text{【0022】 } T_{in} = T_{coarse} - T_{residue} = N_c T_c - T_{residue} \quad (2)$$

【0023】 其中 N_c 為粗調時間內之粗調時脈週期個數， T_c 為粗調時脈之

週期時間，而 $T_{residue}$ 則為時間殘餘。而萬一當與結束訊號對應之粗調時脈週期結束時間未被即時檢出時，亦可於其後之週期予以補救，假設於該當被檢出之時脈週期結束後又經過 N_e 個完整期後始被檢出，則式(2)可改寫為：

$$\text{【0024】 } T_{in} = N_c T_c - T_{residue} = (N_c + N_e) T_c - (N_e T_c + T_{residue})$$

【0025】 亦即將遲滯時間予以減除，即亦可得出正確時間，此亦為本發明之特點之一。

【0026】 第七圖所示者為本發明之方法流程圖，於步驟S1產生一粗調時脈，於步驟S2計算於該起始訊號及該結束訊號後至下一個週期或下N個週期之起始邊緣之輸入訊號時間內共經過之該粗調時脈之完整週期之數量，該完整週期之數量係包含與該結束訊號對應之不完整週期，於步驟S3將該數量乘以該粗調時脈之週期以得出一粗時間值，於步驟S4計算自該結束訊號起至前述起始邊緣為止之時間殘餘，於步驟S5將該粗時間值減去該時間殘餘即得出所須正確時間，其中該步驟S2與S4係為平行，且S2與S4同時結束，並在結束同時切換至下一次回授路徑。

【符號說明】

- 【0001】 可控制開關1
- 【0002】 時間殘餘產生器2
- 【0003】 時間放大器3
- 【0004】 時間數位轉換器4
- 【0005】 計數器5

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

【序列表】(請換頁單獨記載)

發明摘要

※ 申請案號： 106118865

※ 申請日： 106/06/07

※IPC 分類： *H03K 21/00* (2006.01)
H03K 5/131 (2014.01)

【發明名稱】(中文/英文)

時間殘餘回饋式時間數位轉換裝置及方法

METHOD AND APPRATUS FOR TIME-TO-DIGITAL CONVERSION
USING TIME RESIDUE FEEDBACK

【中文】

一種時間殘餘回饋式時間數位轉換裝置及方法，用以量測自一起始訊號至一結束訊號間之經過時間，並將其轉換為數位訊號，主要係計算於該起始訊號及該結束訊號後下一個週期或下N個(N為大於1之自然數)週期之起始邊緣共經過之粗調時脈之完整週期之數量，將該數量乘以該粗調時脈之週期以得出一粗時間值，計算自該結束訊號起至前述同一個起始邊緣為止之時間殘餘，最後將該粗時間值減去該時間殘餘即得出所須正確時間。

【英文】

A method and apparatus for time-to-digital conversion for measuring an elapsed time from a starting signal to an ending signal and converting to a digital signal. Primarily, the invention calculates an amount of complete cycles from the starting signal to a starting edge of a next clock cycle or the next Nth clock cycle (N is a natural number great than one) after the clock cycle corresponding to the ending signal. The amount is multiplied by a cycle time of the coarse clock to obtain a coarse time value. A time residue is calculated from the ending signal to the starting edge. Finally, the time residue is subtracted from the coarse time value to obtain a required time.

【代表圖】

【本案指定代表圖】：第（四）圖。

【本代表圖之符號簡單說明】：

可控制開關1

時間殘餘產生器2

時間放大器3

時間數位轉換器

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

申請專利範圍

1. 一種時間殘餘回饋式時間數位轉換裝置，包括：

一可控制開關，具有一常閉端及一常開端及一共用端，該常閉端係用以電連接於一待測訊號源，該待測訊號源係用以發出一起始訊號及一結束訊號；

一時間殘餘產生器，具有一第一輸入端及一第一輸出端，該第一輸入端係電連接於該可控制開關之共用端與一粗調時脈；

一時間放大器，具有一第二輸入端及一第二輸出端，該第二輸入端係電連接於該第一輸出端，該第二輸出端係電連接於該常開端；及

一時間數位轉換器，具有一第三輸入端、一第三輸出端及第四輸出端，該第三輸入端係電連接於該共用端，該第三輸出端係電連接於該第一輸入端，該第四輸出端係用以連接一輸出暫存器，該時間數位轉換器可輸出該粗調時脈，以計算自該起始訊號至該結束訊號後，與該結束訊號對應之該粗調時脈之下一個週期之起始邊緣(starting edge)共經過之完整週期之數量，將該數量乘以粗調時脈之週期以得出一粗時間值，並將其轉換為數位訊號；

其中，該時間殘餘產生器係受該結束訊號之觸發而啟動，以計算自該結束訊號起至前述同一個起始邊緣為止之時間殘餘，將該粗時間值減去該時間殘餘即得出所須正確時間，且該時間數位轉換器之動作係與該時間殘餘產生器平行。

2. 如申請專利範圍第 1 項所述之時間殘餘回饋式時間數位轉換裝置，其中該時間數位轉換器係為循環游標尺式。

3. 如申請專利範圍第 1 項所述之時間殘餘回饋式時間數位轉換裝置，其中該起始邊緣為一上升邊緣(rising edge)。

4. 一種時間殘餘回饋式時間數位轉換裝置，包括：

一可控制開關，具有一常閉端及一常開端及一共用端，該常閉端係用以電連接於一待測訊號源，該待測訊號源係用以發出一起始訊號及一結束訊號；

一時間殘餘產生器，具有一第一輸入端及一第一輸出端，該第一輸入端係電連接於該可控制開關之共用端與一粗調時脈；

一時間放大器，具有一第二輸入端及一第二輸出端，該第二輸入端係電連接於該第一輸出端，該第二輸出端係電連接於該常開端；及

一時間數位轉換器，具有一第三輸入端、一第三輸出端及第四輸出端，該第三輸入端係電連接於該共用端，該第三輸出端係電連接於該第一輸入端，該第四輸出端係用以連接一輸出暫存器，該時間數位轉換器可輸出該粗調時脈，以計算自該起始訊號至該結束訊號後，與該結束訊號對應之該粗調時脈之下 N 個週期 (N 為大於 1 之自然數) 之起始邊緣 (starting edge) 共經過之完整週期之數量，將該數量乘以粗調時脈之週期以得出一粗時間值，並將其轉換為數位訊號；

其中，該時間殘餘產生器係受該結束訊號之觸發而啟動，以計算自該結束訊號起至與前述同一個起始邊緣為止之時間殘餘，將該粗時間值減去該時間殘餘即得出所須正確時間，且該時間數位轉換器之動作係與該時間殘餘產生器平行。

5. 如申請專利範圍第 4 項所述之時間殘餘回饋式時間數位轉換裝置，其中該時間數位轉換器係為循環游標尺式。

6. 如申請專利範圍第 4 項所述之時間殘餘回饋式時間數位轉換裝置，其中該起始邊緣為一上升邊緣 (rising edge)。

7. 一種時間殘餘回饋式時間數位轉換方法，用以量測自一起始訊號至一結束訊號間之經過時間，並將其轉換為數位訊號，該方法係包括：

a) 產生一粗調時脈；

b) 計算自該起始訊號起至該結束訊號間後，與該結束訊號對應之該粗調時脈之下一個週期之起始邊緣 (starting edge) 共經過之完整週期之數量；

c) 將該數量乘以該粗調粗調時脈之週期以得出一粗時間值；

d) 計算自該結束訊號起至前述同一個起始邊緣為止之時間殘餘；

e) 將該粗時間值減去該時間殘餘即得出所須正確時間。

8. 如申請專利範圍第 7 項所述之時間殘餘回饋式時間數位轉換方法，其中該步驟 b) 與 d) 係為平行。

9. 如申請專利範圍第 7 項所述之時間殘餘回饋式時間數位轉換裝置，其中該起始邊緣為一上升邊緣 (rising edge)。

10. 如申請專利範圍第 7 項所述之時間殘餘回饋式時間數位轉換方法，其中且 b) 與 d) 同時結束，並在結束同時切換至下一次回授路徑。

11. 一種時間殘餘回饋式時間數位轉換方法，用以量測自一起始訊號至一結

東訊號間之經過時間，並將其轉換為數位訊號，該方法係包括：

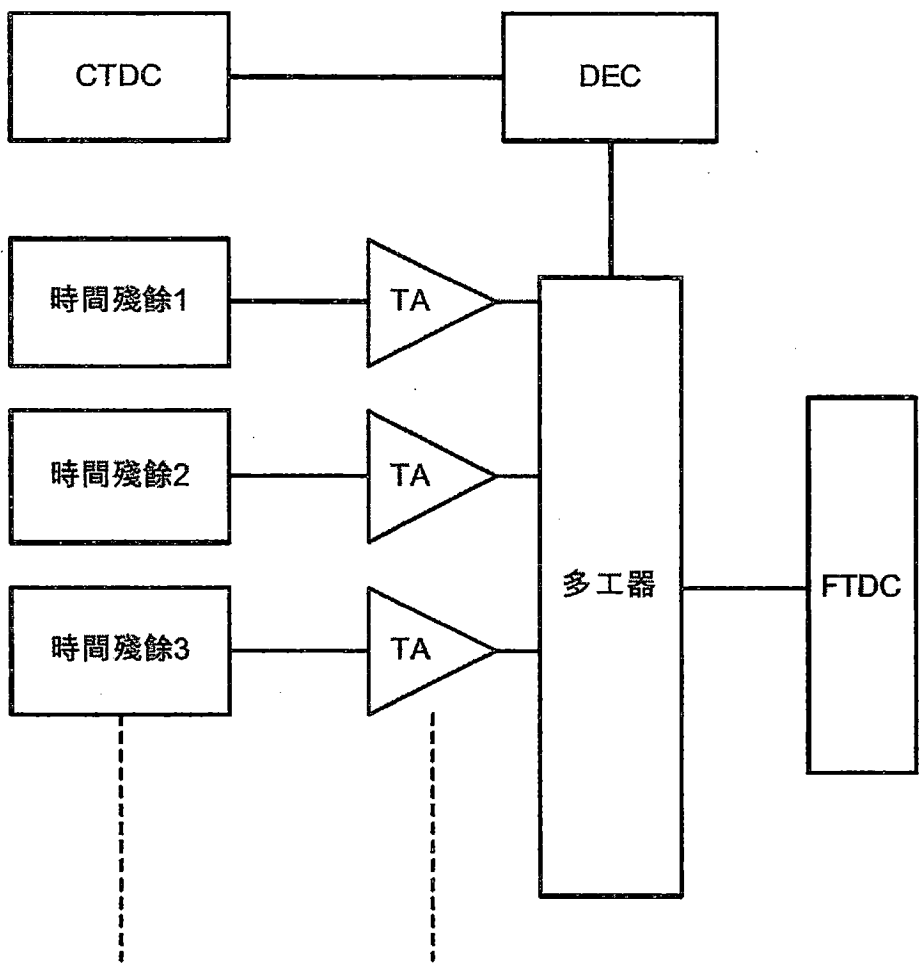
- a)產生一粗調時脈；
- b)計算自該起始訊號起至該結束訊號間後，至與該結束訊號對應之該粗調時脈之下 N 個週期(N 為大於 1 之自然數)之起始邊緣(starting edge)共經過之完整週期之數量；
- c)將該數量乘以該粗調時脈之週期以得出一粗時間值；
- d)計算自該結束訊號起至前述同一個起始邊緣為止之時間殘餘；
- e)將該粗時間值減去該時間殘餘即得出所須正確時間。

11. 如申請專利範圍第 10 項所述之時間殘餘回饋式時間數位轉換方法，其中該步驟 b)與 d)係為平行。

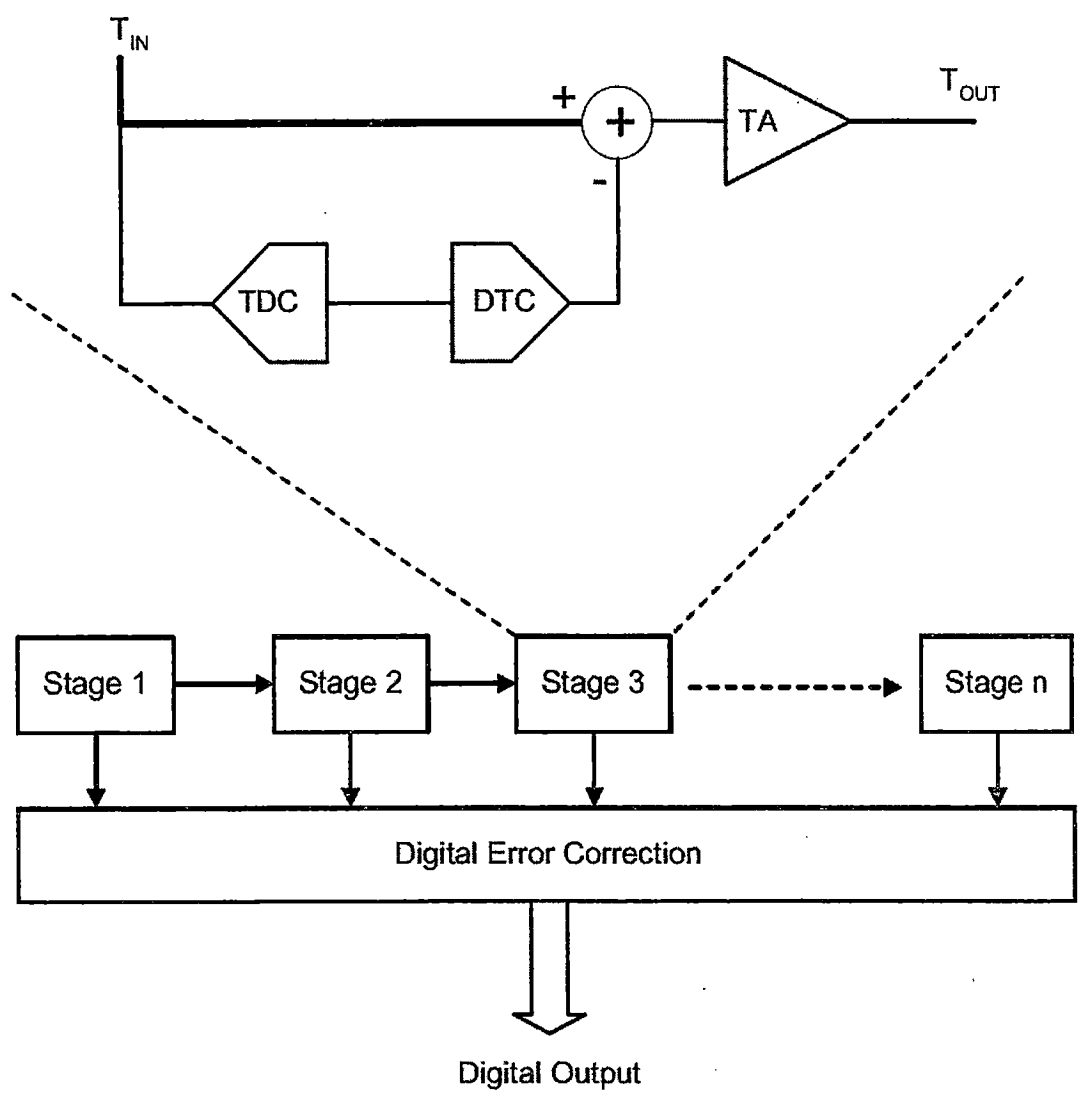
12. 如申請專利範圍第 10 項所述之時間殘餘回饋式時間數位轉換方法，其中且 b)與 d)同時結束，並在結束同時切換至下一次回授路徑。

13. 如申請專利範圍第 10 項所述之時間殘餘回饋式時間數位轉換裝置，其中該起始邊緣為一上升邊緣(rising edge)。

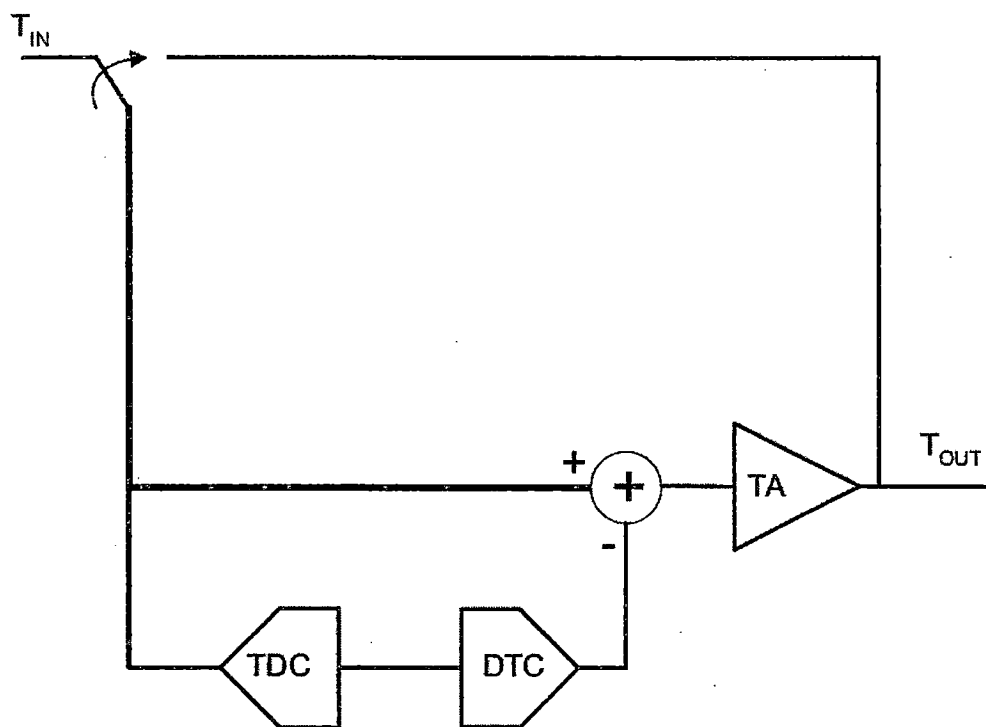
圖式



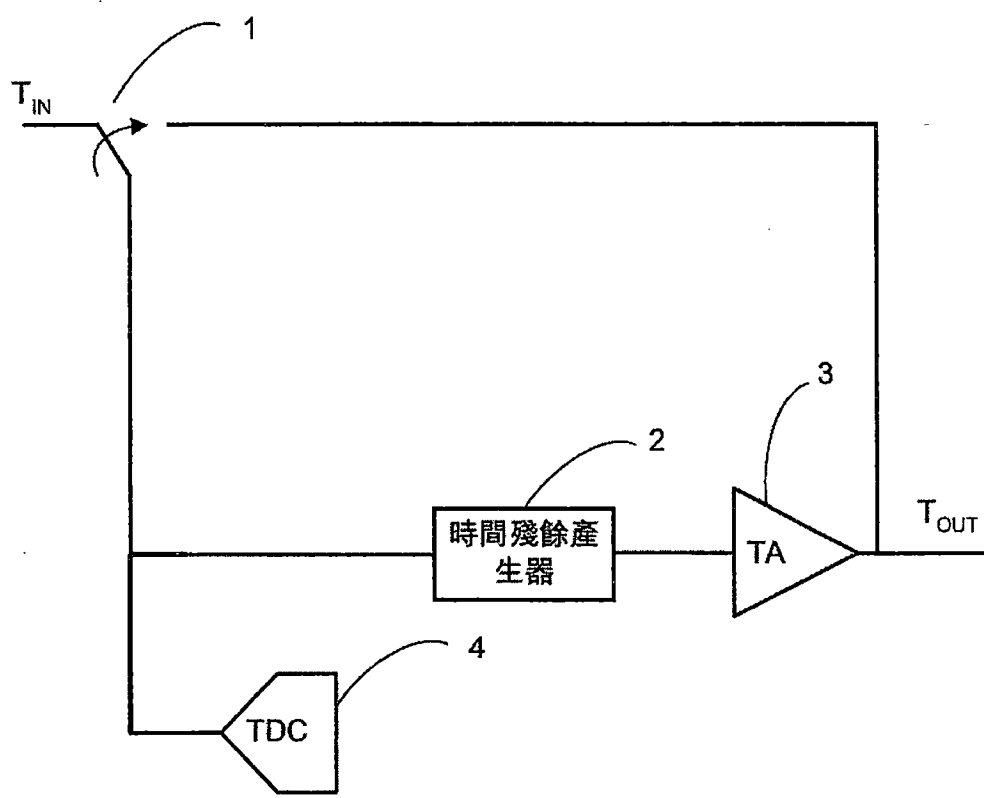
第一圖



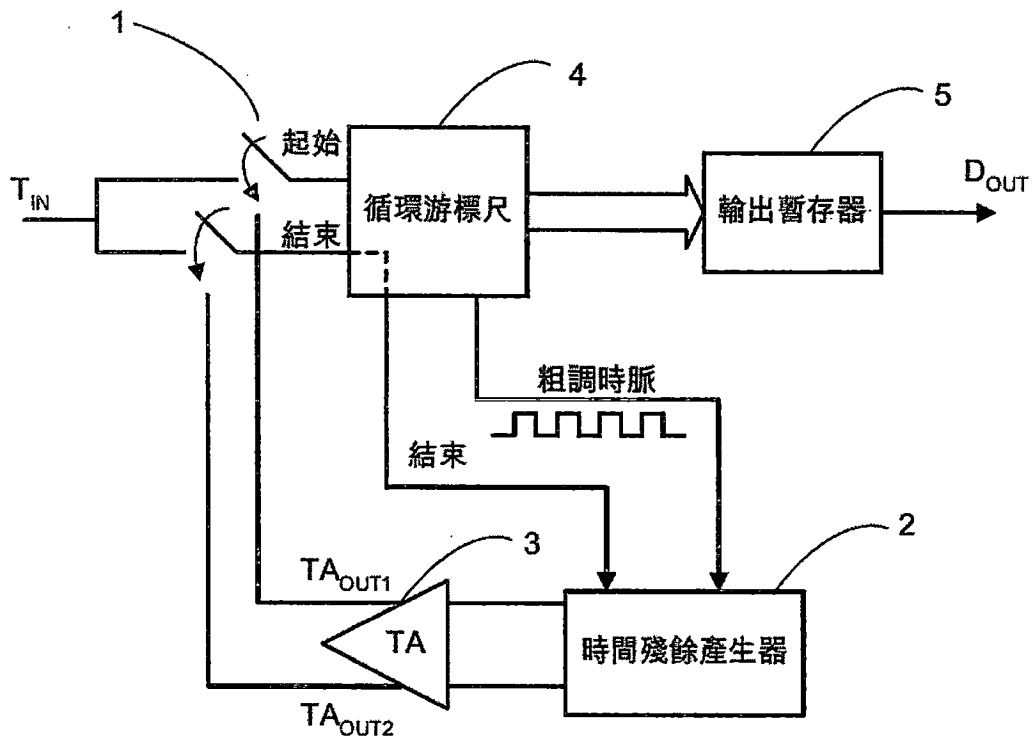
第二圖



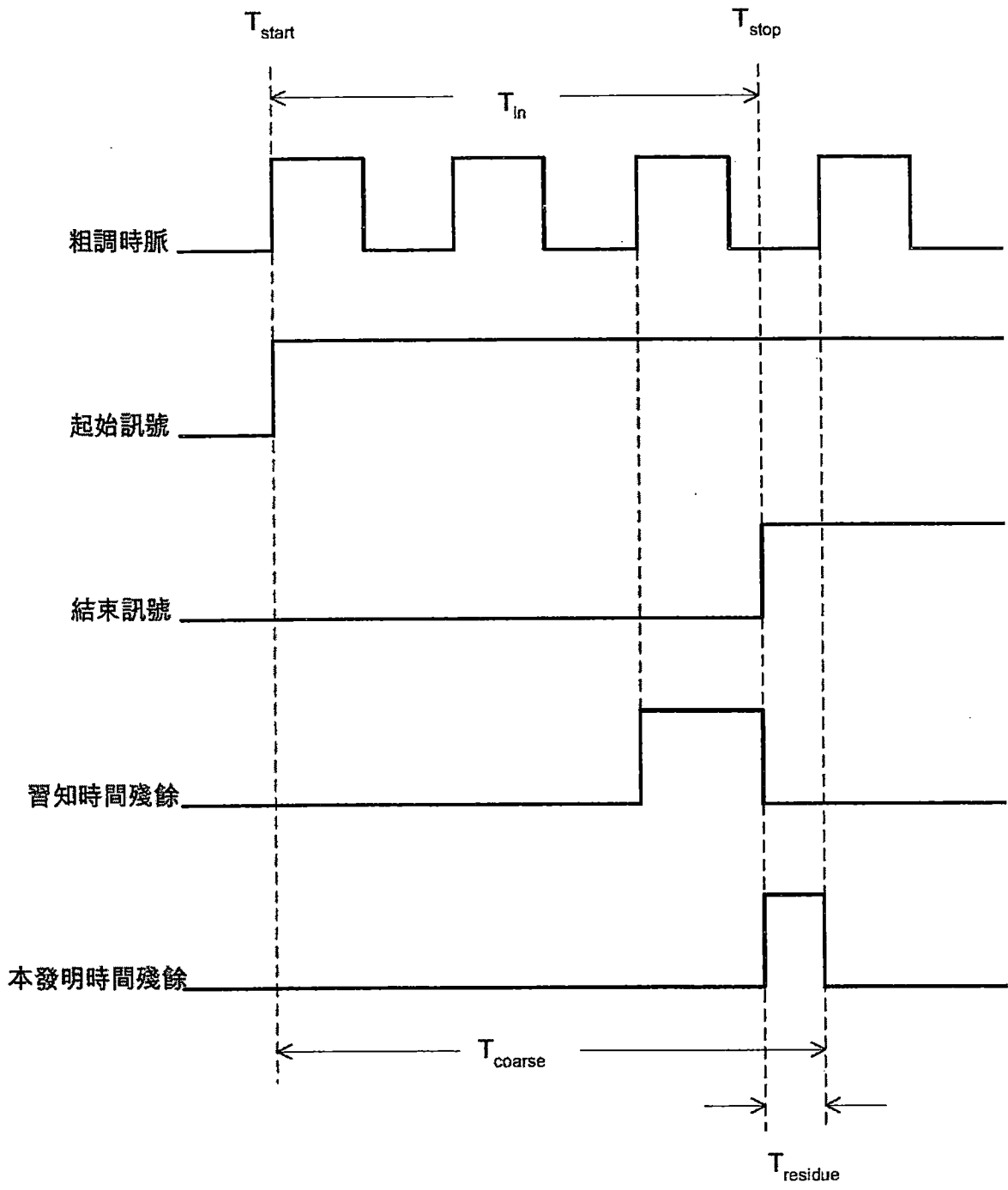
第三圖



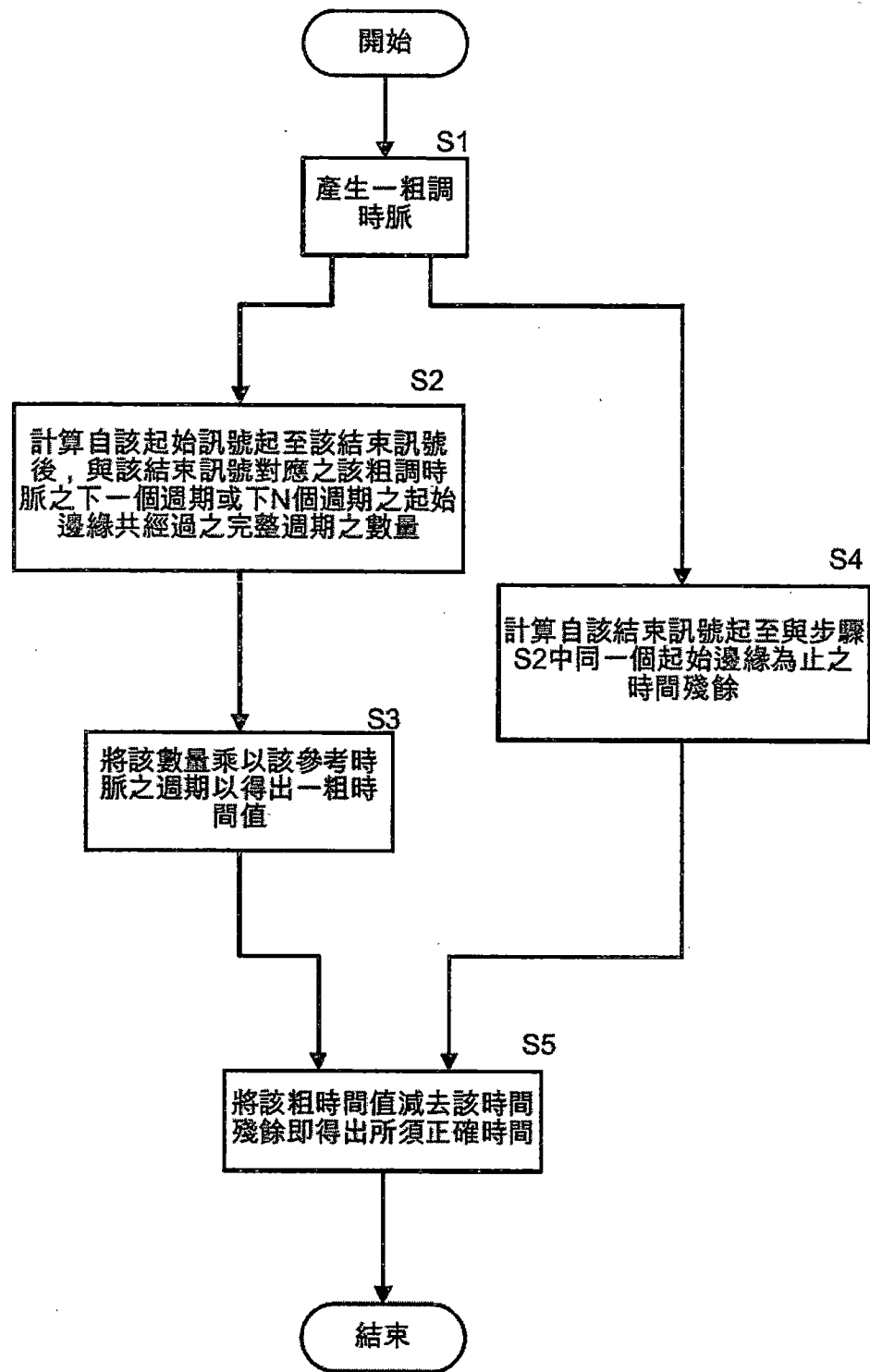
第四圖



第五圖



第六圖



第七圖