

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-135419
(P2009-135419A)

(43) 公開日 平成21年6月18日(2009.6.18)

(51) Int.Cl.	F 1	テーマコード (参考)
HO1L 21/8238 (2006.01)	HO1L 27/08	321D 4M104
HO1L 27/092 (2006.01)	HO1L 29/78	301G 5F048
HO1L 29/78 (2006.01)	HO1L 29/58	G 5F140
HO1L 29/423 (2006.01)	HO1L 21/28	301R
HO1L 29/49 (2006.01)	HO1L 21/28	301S

審査請求 未請求 請求項の数 35 O L (全 52 頁) 最終頁に続く

(21) 出願番号	特願2008-219523 (P2008-219523)
(22) 出願日	平成20年8月28日 (2008.8.28)
(31) 優先権主張番号	特願2007-282846 (P2007-282846)
(32) 優先日	平成19年10月31日 (2007.10.31)
(33) 優先権主張国	日本国 (JP)

(71) 出願人	000005821 パナソニック株式会社 大阪府門真市大字門真1006番地
(74) 代理人	100077931 弁理士 前田 弘
(74) 代理人	100110939 弁理士 竹内 宏
(74) 代理人	100110940 弁理士 嶋田 高久
(74) 代理人	100113262 弁理士 竹内 祐二
(74) 代理人	100115059 弁理士 今江 克実
(74) 代理人	100115691 弁理士 藤田 篤史

最終頁に続く

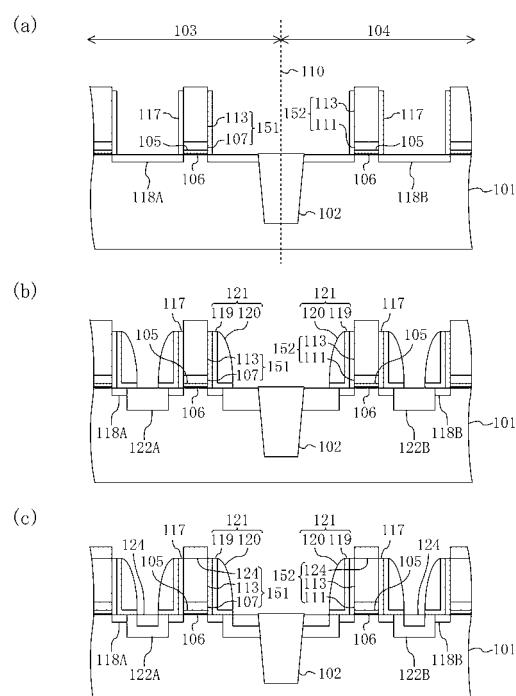
(54) 【発明の名称】半導体装置及びその製造方法

(57) 【要約】

【課題】nチャネル及びpチャネルのゲート構造が異なり且つメタルゲート電極を有する半導体装置において、ゲート電極パターン形成時のドライエッティングでゲート絶縁膜の突き抜けが発生しないようにする。

【解決手段】ゲート絶縁膜105と接する第2ゲート電極材料膜(TiN膜)111がゲート電極151の一部として形成されないnチャネル領域103上に、第2ゲート電極材料膜(TiN膜)111のエッティング時にオーバーエッティング吸収層として機能する第1ゲート電極材料膜(ポリシリコン膜)107を予め形成しておく。

【選択図】図3



【特許請求の範囲】

【請求項 1】

半導体基板上に形成された n チャネル型電界効果トランジスタ及び p チャネル型電界効果トランジスタを有する半導体装置であって、

前記 n チャネル型電界効果トランジスタ及び前記 p チャネル型電界効果トランジスタのうちの一方のトランジスタのゲート電極は、ゲート絶縁膜と接する金属含有層と、前記金属含有層の上に形成された第 1 のシリコン含有層とを含み、

前記 n チャネル型電界効果トランジスタ及び前記 p チャネル型電界効果トランジスタのうちの他方のトランジスタのゲート電極は、ゲート絶縁膜と接する第 2 のシリコン含有層と、前記第 2 のシリコン含有層の上に形成された第 3 のシリコン含有層とを含み、

前記第 1 のシリコン含有層と前記第 3 のシリコン含有層とは同一のシリコン含有材料膜から形成されていることを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、

前記第 2 のシリコン含有層及び第 3 のシリコン含有層の全体がシリサイド層であることを特徴とする半導体装置。

【請求項 3】

半導体基板上に形成された n チャネル型電界効果トランジスタ及び p チャネル型電界効果トランジスタを有する半導体装置であって、

前記 n チャネル型電界効果トランジスタ及び前記 p チャネル型電界効果トランジスタのうちの一方のトランジスタのゲート電極は、ゲート絶縁膜と接する金属含有層と、前記金属含有層の上に形成された第 1 の導電性酸化物層と、前記第 1 の導電性酸化物層の上に形成された第 1 のシリコン含有層とを含み、

前記 n チャネル型電界効果トランジスタ及び前記 p チャネル型電界効果トランジスタのうちの他方のトランジスタのゲート電極は、ゲート絶縁膜と接する第 2 のシリコン含有層と、前記第 2 のシリコン含有層の上に形成された第 2 の導電性酸化物層と、前記第 2 の導電性酸化物層の上に形成された第 3 のシリコン含有層とを含み、

前記第 1 のシリコン含有層と前記第 3 のシリコン含有層とは同一のシリコン含有材料膜から形成されていることを特徴とする半導体装置。

【請求項 4】

請求項 3 に記載の半導体装置において、

前記第 1 の導電性酸化物層及び前記第 2 の導電性酸化物層は、Ir 及びRu のうちの少なくとも 1 つを含む酸化物からなることを特徴とする半導体装置。

【請求項 5】

半導体基板上に形成された n チャネル型電界効果トランジスタ及び p チャネル型電界効果トランジスタを有する半導体装置であって、

前記 n チャネル型電界効果トランジスタ及び前記 p チャネル型電界効果トランジスタのうちの一方のトランジスタのゲート電極は、ゲート絶縁膜と接する金属含有層と、前記金属含有層の上に形成された第 1 のシリコン含有層とを含み、

前記 n チャネル型電界効果トランジスタ及び前記 p チャネル型電界効果トランジスタのうちの他方のトランジスタのゲート電極は、ゲート絶縁膜と接する第 2 のシリコン含有層と、前記第 2 のシリコン含有層の上に形成された導電性酸化物層と、前記導電性酸化物層の上に形成された他の金属含有層と、前記他の金属含有層の上に形成された第 3 のシリコン含有層とを含み、

前記金属含有層と前記他の金属含有層とは同一の金属含有膜から形成されており、

前記第 1 のシリコン含有層と前記第 3 のシリコン含有層とは同一のシリコン含有材料膜から形成されていることを特徴とする半導体装置。

【請求項 6】

請求項 5 に記載の半導体装置において、

前記金属含有層と前記第 1 のシリコン含有層との積層構造の側面には第 1 のオフセット

10

20

30

40

50

スペースが形成されており、

前記第2のシリコン含有層と前記導電性酸化物層との積層構造の側面には第2のオフセットスペースが形成されており、

前記第1のオフセットスペースは第1のオフセット膜及びその外側に形成された第2のオフセット膜の積層膜からなり、

前記第2のオフセットスペースは前記第2のオフセット膜の単層膜からなることを特徴とする半導体装置。

【請求項7】

請求項6に記載の半導体装置において、

前記第2のオフセットスペースは、前記他の金属含有層と前記第3のシリコン含有層との積層構造の側面においては前記第1のオフセット膜及び前記第2のオフセット膜の積層膜からなることを特徴とする半導体装置。 10

【請求項8】

請求項7に記載の半導体装置において、

前記第2のシリコン含有層と前記導電性酸化物層との積層構造の幅は、前記他の金属含有層と前記第3のシリコン含有層との積層構造の幅よりも大きく、

前記第2のシリコン含有層と前記導電性酸化物層との積層構造の側面における前記第2のオフセットスペースの幅は、前記他の金属含有層と前記第3のシリコン含有層との積層構造の側面における前記第2のオフセットスペースの幅よりも小さいことを特徴とする半導体装置。 20

【請求項9】

請求項1、3～8のいずれか1項に記載の半導体装置において、

前記第1のシリコン含有層及び前記第3のシリコン含有層のそれぞれの少なくとも上部は、Ni、Co、Ti、W及びPtのうちの少なくとも1つを含むシリサイド層であることを特徴とする半導体装置。

【請求項10】

請求項1、3～9のいずれか1項に記載の半導体装置において、

前記第2のシリコン含有層は、ポリシリコン、アモルファスシリコン又はシリコンゲルマニウムに、P(磷)、As(砒素)、B(ホウ素)、In(インジウム)、N(窒素)、C(炭素)及びF(フッ素)のうちから選ばれた少なくとも1つの不純物をドーピングした材料からなることを特徴とする半導体装置。 30

【請求項11】

半導体基板上に形成されたnチャネル型電界効果トランジスタ及びpチャネル型電界効果トランジスタを有する半導体装置であって、

前記nチャネル型電界効果トランジスタ及び前記pチャネル型電界効果トランジスタのうちの一方のトランジスタのゲート電極は、ゲート絶縁膜と接する金属含有層と、前記金属含有層の上に形成された導電性酸化物層と、前記導電性酸化物層の上に形成されたシリコン含有層とを含み、

前記nチャネル型電界効果トランジスタ及び前記pチャネル型電界効果トランジスタのうちの他方のトランジスタのゲート電極は、ゲート絶縁膜と接する他のシリコン含有層を含み、 40

前記シリコン含有層と前記他のシリコン含有層とは同一のシリコン含有材料膜から形成されていることを特徴とする半導体装置。

【請求項12】

請求項11に記載の半導体装置において、

前記他のシリコン含有層の全体がシリサイド層であることを特徴とする半導体装置。

【請求項13】

請求項11に記載の半導体装置において、

前記シリコン含有層及び前記他のシリコン含有層のそれぞれの少なくとも上部は、Ni、Co、Ti、W及びPtのうちの少なくとも1つを含むシリサイド層であることを特徴 50

とする半導体装置。

【請求項 1 4】

請求項 1 1 ~ 1 3 のいずれか 1 項に記載の半導体装置において、

前記金属含有層と前記導電性酸化物層との積層構造の側面には第 1 のオフセットスペーサが形成されており、

前記他のシリコン含有層の側面には第 2 のオフセットスペーサが形成されており、

前記第 2 のオフセットスペーサは第 1 のオフセット膜及びその外側に形成された第 2 のオフセット膜の積層膜からなり、

前記第 1 のオフセットスペーサは前記第 2 のオフセット膜の単層膜からなることを特徴とする半導体装置。

10

【請求項 1 5】

請求項 1 4 に記載の半導体装置において、

前記第 1 のオフセットスペーサは、前記シリコン含有層の側面においては前記第 1 のオフセット膜及び前記第 2 のオフセット膜の積層膜からなることを特徴とする半導体装置。

【請求項 1 6】

請求項 1 5 に記載の半導体装置において、

前記金属含有層と前記導電性酸化物層との積層構造の幅は、前記シリコン含有層の幅よりも大きく、

前記金属含有層と前記導電性酸化物層との積層構造の側面における前記第 1 のオフセットスペーサの幅は、前記シリコン含有層の側面における前記第 2 のオフセットスペーサの幅よりも小さいことを特徴とする半導体装置。

20

【請求項 1 7】

請求項 6 ~ 8 、 1 4 ~ 1 6 のいずれか 1 項に記載の半導体装置において、

前記第 1 のオフセット膜及び前記第 2 のオフセット膜はそれぞれ、シリコン酸化膜、シリコン窒化膜、シリコン炭化膜、シリコン酸化窒化膜又はシリコン酸化炭化膜であることを特徴とする半導体装置。

【請求項 1 8】

請求項 5 ~ 1 7 のいずれか 1 項に記載の半導体装置において、

前記導電性酸化物層は、Ir 及びRu の少なくとも 1 つを含む酸化物からなることを特徴とする半導体装置。

30

【請求項 1 9】

請求項 1 ~ 1 8 のいずれか 1 項に記載の半導体装置において、

前記金属含有層は、Ni 、 Pd 、 Pt 、 Co 、 Rh 、 Ru 、 Cu 、 Ag 及び Au からなる金属群から選ばれた少なくとも 1 つの金属よりなる金属膜、又は前記金属群から選ばれた少なくとも 1 つの金属の珪化物若しくは炭化物からなる膜であることを特徴とする半導体装置。

【請求項 2 0】

請求項 1 ~ 1 8 のいずれか 1 項に記載の半導体装置において、

前記金属含有層は、Ti 、 Zr 、 Hf 、 V 、 Nb 、 Ta 、 Cr 、 Mo 及び W からなる金属群から選ばれた少なくとも 1 つの金属よりなる金属膜、又は前記金属群から選ばれた少なくとも 1 つの金属の窒化物、珪化物若しくは炭化物からなる膜であることを特徴とする半導体装置。

40

【請求項 2 1】

請求項 1 ~ 2 0 のいずれか 1 項に記載の半導体装置において、

前記ゲート絶縁膜は、SiO₂ 膜、HfO₂ 膜、HfAl_xO_y 膜、HfSi_xO_y 膜若しくはこれらの膜に窒素を添加した膜からなる絶縁膜群から選ばれた 1 つの絶縁膜からなる単層膜、又は前記絶縁膜群から選ばれた少なくとも 1 つの絶縁膜を含む積層絶縁膜であることを特徴とする半導体装置。

【請求項 2 2】

第 1 のトランジスタ領域と第 2 のトランジスタ領域とを有する半導体基板上にゲート絶

50

縁膜を形成する工程(a)と、

前記ゲート絶縁膜の上に第1のシリコン含有材料膜を形成する工程(b)と、

前記第1のトランジスタ領域上に位置する部分の前記第1のシリコン含有材料膜を除去する工程(c)と、

前記工程(c)の後に、前記第1のトランジスタ領域上に位置する部分の前記ゲート絶縁膜の上、及び前記第2のトランジスタ領域上に位置する部分の前記第1のシリコン含有材料膜の上に金属含有材料膜を形成する工程(d)と、

前記第2のトランジスタ領域上に位置する部分の前記金属含有材料膜を除去する工程(e)と、

前記工程(e)の後に、前記第1のトランジスタ領域上に位置する部分の前記金属含有材料膜の上、及び前記第2のトランジスタ領域上に位置する部分の前記第1のシリコン含有材料膜の上に第2のシリコン含有材料膜を形成する工程(f)と、

前記第1のトランジスタ領域上において前記金属含有材料膜及び前記第2のシリコン含有材料膜をパターニングすることによって第1のゲート電極を形成すると共に、前記第2のトランジスタ領域上において前記第1のシリコン含有材料膜及び前記第2のシリコン含有材料膜をパターニングすることによって第2のゲート電極を形成する工程(g)とを備えていることを特徴とする半導体装置の製造方法。

【請求項23】

請求項22に記載の半導体装置の製造方法において、

前記工程(c)は、前記第2のトランジスタ領域上に位置する部分の前記第1のシリコン含有材料膜を覆うエッチングカバー膜を用いて、前記第1のトランジスタ領域上に位置する部分の前記第1のシリコン含有材料膜を除去する工程を含み、

前記工程(f)の前に、前記エッチングカバー膜を除去する工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項24】

請求項23に記載の半導体装置の製造方法において、

前記工程(e)は、前記第1のトランジスタ領域上に位置する部分の前記金属含有材料膜を覆う他のエッチングカバー膜を用いて、前記第2のトランジスタ領域上に位置する部分の前記金属含有材料膜を除去する工程を含み、

前記工程(f)の前に、前記他のエッチングカバー膜を除去する工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項25】

第1のトランジスタ領域と第2のトランジスタ領域とを有する半導体基板上にゲート絶縁膜を形成する工程(a)と、

前記ゲート絶縁膜の上に第1のシリコン含有材料膜及び第1の導電性酸化物膜を順次形成する工程(b)と、

前記第1のトランジスタ領域上に位置する部分の前記第1の導電性酸化物膜及び前記第1のシリコン含有材料膜を除去する工程(c)と、

前記工程(c)の後に、前記第1のトランジスタ領域上に位置する部分の前記ゲート絶縁膜の上、及び前記第2のトランジスタ領域上に位置する部分の前記第1の導電性酸化物膜の上に金属含有材料膜及び第2の導電性酸化物膜を順次形成する工程(d)と、

前記第2のトランジスタ領域上に位置する部分の前記第2の導電性酸化物膜及び前記金属含有材料膜を除去する工程(e)と、

前記工程(e)の後に、前記第1のトランジスタ領域上に位置する部分の前記第2の導電性酸化物膜の上、及び前記第2のトランジスタ領域上に位置する部分の前記第1の導電性酸化物膜の上に第2のシリコン含有材料膜を形成する工程(f)と、

前記第1のトランジスタ領域上において前記金属含有材料膜、前記第2の導電性酸化物膜及び前記第2のシリコン含有材料膜をパターニングすることによって第1のゲート電極を形成すると共に、前記第2のトランジスタ領域上において前記第1のシリコン含有材料膜、前記第1の導電性酸化物膜及び前記第2のシリコン含有材料膜をパターニングするこ

10

20

30

40

50

とによって第2のゲート電極を形成する工程(g)とを備えていることを特徴とする半導体装置の製造方法。

【請求項26】

第1のトランジスタ領域と第2のトランジスタ領域とを有する半導体基板上にゲート絶縁膜を形成する工程(a)と、

前記ゲート絶縁膜の上に第1のシリコン含有材料膜及び導電性酸化物膜を順次形成する工程(b)と、

前記第1のトランジスタ領域上に位置する部分の前記導電性酸化物膜及び前記第1のシリコン含有材料膜を除去する工程(c)と、

前記工程(c)の後に、前記第1のトランジスタ領域上に位置する部分の前記ゲート絶縁膜の上、及び前記第2のトランジスタ領域上に位置する部分の前記導電性酸化物膜の上に金属含有材料膜及び第2のシリコン含有材料膜を順次形成する工程(d)と、

前記第1のトランジスタ領域上において前記第2のシリコン含有材料膜及び前記金属含有材料膜をパターニングすることによって第1のゲート電極を形成すると共に、前記第2のトランジスタ領域上において前記第2のシリコン含有材料膜及び前記金属含有材料膜をゲート電極形状にパターニングする工程(e)と、

前記工程(e)の後に、前記第1のトランジスタ領域及び前記第2のトランジスタ領域を覆う絶縁膜を形成する工程(f)と、

前記第1のトランジスタ領域をレジストによって保護しながら、前記第2のトランジスタ領域上において前記絶縁膜及び前記導電性酸化物膜をエッチバックした後、前記レジストを除去し、その後、前記第1のトランジスタ領域を前記絶縁膜によって保護しながら、前記第2のトランジスタ領域上において前記第1のシリコン含有材料膜をゲート電極形状にパターニングすることによって第2のゲート電極を形成する工程(g)と、

前記工程(g)の後に、前記第1のトランジスタ領域上に残存する前記絶縁膜を除去する工程(h)とを備えていることを特徴とする半導体装置の製造方法。

【請求項27】

請求項26に記載の半導体装置の製造方法において、

前記工程(f)は、前記第2のトランジスタ領域上においてパターニングされた前記第2のシリコン含有材料膜及び前記金属含有材料膜のそれぞれの側面を覆うように前記絶縁膜を形成する工程を含み、

前記工程(h)は、前記半導体基板上の全面に他の絶縁膜を形成した後、当該他の絶縁膜及び前記絶縁膜に対してエッチバックを行って、前記第1のゲート電極の側面に前記絶縁膜及び前記他の絶縁膜の積層膜からなる第1のオフセットスペーサを形成すると共に、前記第2のゲート電極のうちの前記第2のシリコン含有材料膜及び前記金属含有材料膜のそれぞれの側面を覆う前記絶縁膜と当該絶縁膜並びに前記第2のゲート電極のうちの前記導電性酸化物膜及び前記第1のシリコン含有材料膜のそれぞれの側面を覆う前記他の絶縁膜とからなる第2のオフセットスペーサを形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項28】

第1のトランジスタ領域と第2のトランジスタ領域とを有する半導体基板上にゲート絶縁膜を形成する工程(a)と、

前記ゲート絶縁膜の上に金属含有材料膜及び導電性酸化物膜を形成する工程(b)と、

前記第2のトランジスタ領域上に位置する部分の前記導電性酸化物膜及び前記金属含有材料膜を除去する工程(c)と、

前記工程(c)の後に、前記第1のトランジスタ領域上に位置する部分の前記導電性酸化物膜の上、及び前記第2のトランジスタ領域上に位置する部分の前記ゲート絶縁膜の上にシリコン含有材料膜を形成する工程(d)と、

前記第1のトランジスタ領域上において前記シリコン含有材料膜をゲート電極形状にパターニングすると共に、前記第2のトランジスタ領域上において前記シリコン含有材料膜をパターニングすることによって第2のゲート電極を形成する工程(e)と、

10

20

30

40

50

前記工程(e)の後に、前記第1のトランジスタ領域及び前記第2のトランジスタ領域を覆う絶縁膜を形成する工程(f)と、

前記第2のトランジスタ領域をレジストによって保護しながら、前記第1のトランジスタ領域上において前記絶縁膜及び前記導電性酸化物膜をエッチバックした後、前記レジストを除去し、その後、前記第2のトランジスタ領域を前記絶縁膜によって保護しながら、前記第1のトランジスタ領域上において前記金属含有材料膜をゲート電極形状にパターニングすることによって第1のゲート電極を形成する工程(g)と、

前記工程(g)の後に、前記第2のトランジスタ領域上に残存する前記絶縁膜を除去する工程(h)とを備えていることを特徴とする半導体装置の製造方法。

【請求項29】

請求項28に記載の半導体装置の製造方法において、

前記工程(f)は、前記第1のトランジスタ領域上においてパターニングされた前記シリコン含有材料膜の側面を覆うように前記絶縁膜を形成する工程を含み、

前記工程(h)は、前記半導体基板上の全面に他の絶縁膜を形成した後、当該他の絶縁膜及び前記絶縁膜に対してエッチバックを行って、前記第1のゲート電極のうちの前記シリコン含有材料膜の側面を覆う前記絶縁膜と当該絶縁膜並びに前記第1のゲート電極のうちの前記導電性酸化物膜及び前記金属含有材料膜のそれぞれの側面を覆う前記他の絶縁膜とからなる第1のオフセットスペーサを形成すると共に、前記第2のゲート電極の側面に前記絶縁膜及び前記他の絶縁膜の積層膜からなる第2のオフセットスペーサを形成する形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項30】

請求項1～4のいずれか1項に記載の半導体装置において、

前記金属含有層の厚さ及び前記第2のシリコン含有層の厚さは、前記金属含有層における金属M1と当該金属M1と同一又は異なる元素M2との間の結合を切断するためのエネルギーである結合解離エネルギーD(M1-M2)と、前記第2のシリコン含有層におけるシリコン結合を切断するためのエネルギーである結合解離エネルギーD(Si-Si)とに基づいて決定されていることを特徴とする半導体装置。

【請求項31】

請求項30に記載の半導体装置において、

前記結合解離エネルギーD(M1-M2)が前記結合解離エネルギーD(Si-Si)よりも大きい場合には、前記第2のシリコン含有層の厚さが前記金属含有層の厚さよりも大きく設定されており、

前記結合解離エネルギーD(M1-M2)が前記結合解離エネルギーD(Si-Si)よりも小さい場合には、前記第2のシリコン含有層の厚さが前記金属含有層の厚さよりも小さく設定されていることを特徴とする半導体装置。

【請求項32】

請求項30に記載の半導体装置において、

前記金属含有層はTi又はTaからなり、

前記第2のシリコン含有層はポリシリコンからなり、

前記第2のシリコン含有層の厚さは前記金属含有層の厚さよりも小さく設定されていることを特徴とする半導体装置。

【請求項33】

請求項30に記載の半導体装置において、

前記金属含有層はTiN、TiC、TiO、TaN、TaC又はTaOからなり、

前記第2のシリコン含有層はポリシリコンからなり、

前記第2のシリコン含有層の厚さは前記金属含有層の厚さよりも大きく設定されていることを特徴とする半導体装置。

【請求項34】

請求項22～25に記載の半導体装置の製造方法において、

前記第1のシリコン含有材料膜の厚さは、前記金属含有材料膜の厚さ、及び前記工程(

10

20

30

40

50

g) における前記第1のシリコン含有材料膜と前記金属含有材料膜とのエッティングレート比に応じて、前記第1のシリコン含有材料膜及び前記金属含有材料膜のそれぞれのエッティングが完了する時間が実質的に同じになるように設定されていることを特徴とする半導体装置の製造方法。

【請求項35】

請求項34に記載の半導体装置の製造方法において、

前記第1のシリコン含有材料膜の厚さは、

$$\text{TIME 1} = \text{TH1 / ER1} \dots \quad (\text{式1})$$

$$\text{TIME 2} = \text{TH2 / ER2} \dots \quad (\text{式2})$$

$$\text{TIME 2} \times 1.2 > \text{TIME 1} > \text{TIME 2} \times 0.8 \dots \quad (\text{式3})$$

10

に従って設定されている（但し、TIME1は前記第1のシリコン含有材料膜のエッティングが完了するのに要する時間であり、TIME2は前記金属含有材料膜のエッティングが完了するのに要する時間であり、TH1は前記第1のシリコン含有材料膜の厚さであり、TH2は前記金属含有材料膜の厚さであり、ER1は前記工程(g)における前記第1のシリコン含有材料膜のエッティングレートであり、ER2は前記工程(g)における前記金属含有材料膜のエッティングレートである）ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置及び半導体装置の製造方法に関し、具体的には、電界効果トランジスタを含む半導体装置及びその製造方法に関するものである。

20

【背景技術】

【0002】

近年、半導体装置の高度集積化及び微細化に伴い、トランジスタにおいても微細化が急速に進められている。これに伴って、トランジスタのゲート絶縁膜の薄膜化が進んでおり、現在、EOT(等価酸化膜厚)で約2.0nm以下にまで薄膜化が進められている。このように、ゲート絶縁膜が薄膜化すると、従来のSiO₂からなるゲート絶縁膜では、リーク電流が増大し、無視できない値となる。そこで、ゲート絶縁膜として、高誘電率膜(以下、High-k膜)が用いられている。High-k膜をゲート絶縁膜として用いることにより、実際の物理的膜厚を厚く確保してトンネル電流を抑えつつ、EOTを薄くし、消費電力の低減を図ることができる。

30

【0003】

一方、ゲート電極においては、トランジスタの微細化に伴い、電極の空乏化による容量の低下が問題となる。従来のポリシリコンからなるゲート電極の場合、この容量の低下は、シリコン酸化膜の膜厚の増分に換算すると、約0.5nmに相当し、ゲート絶縁膜の膜厚と比較して無視できない値となる。そこで、ゲート電極においては、従来のポリシリコンに代えて、メタルを用いることが考えられている。メタルゲートを用いた場合には、前述のような空乏化の問題を抑えることができる。

【0004】

ところで、従来のように、ポリシリコン膜を用いたゲート電極の場合、フォトリソグラフィ法とイオン注入法とにより、pチャネル領域とnチャネル領域、即ち、2種類の仕事関数を有する領域を容易に作り分けることができる。そして、例えば、ゲート電極にポリシリコン膜を用いたCMOSFET(Complementary Metal Oxide Semiconductor Field Effect Transistor)を形成する場合、nMOSFETのゲート電極にはn⁺PolySiを用い、pMOSFETのゲート電極にはp⁺PolySiを用いることにより、低い閾値を得る方法(Dual Work Function)が広く用いられている。

40

【0005】

しかしながら、一般に、メタルゲートに関しては、前述のポリシリコンゲートに相当する方法、即ち、1種類の膜を堆積した後に、それぞれの領域に応じた導電型の不純物を注入することにより、容易に仕事関数を変動させるような方法は確立されていない。

50

【0006】

そこで、メタルゲート電極を用いつつ、Dual Work Functionの制御が可能なゲート電極構造として、pチャネル側では前述の空乏化を抑制するためのメタルゲートを用いたpMIS (Metal Insulator Semiconductor) 構造とし、一方、nチャネル側ではゲート電極の空乏化が比較的発生しにくいために仕事関数制御が容易なn⁺ Poly Siを用いたnMOS構造としたゲート電極構造、つまりハイブリッドメタルゲート電極構造が提案されている（非特許文献1参照）。

【0007】

以下、従来のハイブリッドメタルゲート電極構造を用いたCMOSFETの形成方法について説明する。

【0008】

図23(a)、(b)及び図24(a)、(b)は従来のハイブリッドメタルゲート電極構造を用いたCMOSFETの形成方法の各工程を示す断面図である。

【0009】

まず、図23(a)に示すように、半導体基板11に素子分離12を形成してnチャネル領域13及びpチャネル領域14を区画した後、nチャネル領域13及びpチャネル領域14にpウェル及びnウェル（図示省略）を形成する。その後、各領域13及び14を含む半導体基板11の上にHfO₂膜等のHigh-k膜をゲート絶縁膜15として形成する。その後、ゲート絶縁膜15上にpMIS構造用の金属含有膜であるTiN等のゲート電極材料膜21を堆積する。

【0010】

次に、図23(b)に示すように、nチャネル領域13上が開口されたレジストパターン19を用いてnチャネル領域13上のゲート電極材料膜21を選択的に除去した後、レジストパターン19を除去し、その後、図24(a)に示すように、半導体基板11上の全面にポリシリコン膜23を堆積した後、ゲート電極形成領域を覆うレジストパターン24を形成する。

【0011】

その後、レジストパターン24を用いて、nチャネル領域13上のポリシリコン膜23、及びpチャネル領域14上のゲート電極材料膜21及びポリシリコン膜23の積層膜をゲート電極の形状に加工する。これにより、図24(b)に示すように、nチャネル領域13上にポリシリコン膜23からなるゲート電極51が形成されると共に、pチャネル領域14上にゲート電極材料膜21及びポリシリコン膜23の積層膜からなるゲート電極52が形成される。その後、図示は省略しているが、各ゲート電極をマスクとして、通常の工程により、nチャネル領域13及びpチャネル領域14にイオン注入を行い、ソース・ドレイン領域を形成した後、不純物活性化のための熱処理を行う。

【非特許文献1】Y.Nishida他、Advanced Poly-Si NMIS and Poly-Si/TiN PMIS Hybrid-gate High-k CMIS using PVD/CVD-Stacked TiN and Local Strain Technique、2007年Symposium on VLSI Technology Digest of Technical Papers、p.214-215

【発明の開示】

【発明が解決しようとする課題】

【0012】

しかしながら、前述のハイブリッドメタルゲート電極の形成方法においては、フォトリソグラフィ及びドライエッチングを用いてゲート電極材料膜をパターニングしてゲート電極を形成する際に、pMIS構造とnMOS構造との違いであるpMIS構造用のメタル材料を所定の領域以外ではエッチングによって完全に除去する必要があると共に、当該エッチングを下地のゲート絶縁膜でストップさせる必要がある。この場合、pMIS構造とnMOS構造との違いであるメタル材料をエッチングして完全に除去するために必要なオーバーエッチングにより、膜厚が1～3nm程度の薄膜であるゲート絶縁膜の突き抜けが発生し、下地の半導体基板（シリコン基板）がむき出しとなつてシリコン基板が掘れ下がり、それによってシリコン基板削れ（例えば図24(b)に示す基板削れ31）が発生す

るという問題がある。特に、素子分離と活性領域との境界に段差が生じている場合には、当該段差部においてメタル材料膜が厚くなり、このメタル材料膜を完全に除去するために、nMOS側のゲート絶縁膜に対するオーバーエッティング量が大きくなる結果、ゲート絶縁膜の突き抜け及びそれに伴う基板削れに起因する問題、例えばトランジスタ特性劣化やパーティクル増加等がより顕在化する。図25は、前述の従来のハイブリッドメタルゲート電極構造を用いたCMOSFETの形成方法における図23(a)に示す工程で、素子分離12と活性領域との境界に段差が生じ、当該段差部においてメタル材料膜であるゲート電極材料膜21が厚膜化(厚膜化した厚さを両矢印50で示している)した様子を示している。

【0013】

10

前記に鑑み、本願発明は、ハイブリッドメタルゲート電極においてゲート絶縁膜の突き抜けが発生しない半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0014】

前記の目的を達成するために、本願第1発明に係る半導体装置は、半導体基板上に形成されたnチャネル型電界効果トランジスタ及びpチャネル型電界効果トランジスタを有する半導体装置であって、前記nチャネル型電界効果トランジスタ及び前記pチャネル型電界効果トランジスタのうちの一方のトランジスタのゲート電極は、ゲート絶縁膜と接する金属含有層と、前記金属含有層の上に形成された第1のシリコン含有層とを含み、前記nチャネル型電界効果トランジスタ及び前記pチャネル型電界効果トランジスタのうちの他方のトランジスタのゲート電極は、ゲート絶縁膜と接する第2のシリコン含有層と、前記第2のシリコン含有層の上に形成された第3のシリコン含有層とを含み、前記第1のシリコン含有層と前記第3のシリコン含有層とは同一のシリコン含有材料膜から形成されている。

20

【0015】

また、本願第1発明の半導体装置を製造するための本願第2発明に係る半導体装置の製造方法は、第1のトランジスタ領域と第2のトランジスタ領域とを有する半導体基板上にゲート絶縁膜を形成する工程(a)と、前記ゲート絶縁膜の上に第1のシリコン含有材料膜を形成する工程(b)と、前記第1のトランジスタ領域上に位置する部分の前記第1のシリコン含有材料膜を除去する工程(c)と、前記工程(c)の後に、前記第1のトランジスタ領域上に位置する部分の前記ゲート絶縁膜の上、及び前記第2のトランジスタ領域上に位置する部分の前記第1のシリコン含有材料膜の上に金属含有材料膜を形成する工程(d)と、前記第2のトランジスタ領域上に位置する部分の前記金属含有材料膜を除去する工程(e)と、前記工程(e)の後に、前記第1のトランジスタ領域上に位置する部分の前記金属含有材料膜の上、及び前記第2のトランジスタ領域上に位置する部分の前記第1のシリコン含有材料膜の上に第2のシリコン含有材料膜を形成する工程(f)と、前記第1のトランジスタ領域上において前記金属含有材料膜及び前記第2のシリコン含有材料膜をパターニングすることによって第1のゲート電極を形成すると共に、前記第2のトランジスタ領域上において前記第1のシリコン含有材料膜及び前記第2のシリコン含有材料膜をパターニングすることによって第2のゲート電極を形成する工程(g)とを備えている。

30

【0016】

40

また、前記の目的を達成するために、本願第3発明に係る半導体装置は、半導体基板上に形成されたnチャネル型電界効果トランジスタ及びpチャネル型電界効果トランジスタを有する半導体装置であって、前記nチャネル型電界効果トランジスタ及び前記pチャネル型電界効果トランジスタのうちの一方のトランジスタのゲート電極は、ゲート絶縁膜と接する金属含有層と、前記金属含有層の上に形成された第1の導電性酸化物層と、前記第1の導電性酸化物層の上に形成された第1のシリコン含有層とを含み、前記nチャネル型電界効果トランジスタ及び前記pチャネル型電界効果トランジスタのうちの他方のトランジスタのゲート電極は、ゲート絶縁膜と接する第2のシリコン含有層と、前記第2のシリ

50

コン含有層の上に形成された第2の導電性酸化物層と、前記第2の導電性酸化物層の上に形成された第3のシリコン含有層とを含み、前記第1のシリコン含有層と前記第3のシリコン含有層とは同一のシリコン含有材料膜から形成されている。

【0017】

また、本願第3発明の半導体装置を製造するための本願第4発明に係る半導体装置の製造方法は、第1のトランジスタ領域と第2のトランジスタ領域とを有する半導体基板上にゲート絶縁膜を形成する工程(a)と、前記ゲート絶縁膜の上に第1のシリコン含有材料膜及び第1の導電性酸化物膜を順次形成する工程(b)と、前記第1のトランジスタ領域上に位置する部分の前記第1の導電性酸化物膜及び前記第1のシリコン含有材料膜を除去する工程(c)と、前記工程(c)の後に、前記第1のトランジスタ領域上に位置する部分の前記ゲート絶縁膜の上、及び前記第2のトランジスタ領域上に位置する部分の前記第1の導電性酸化物膜の上に金属含有材料膜及び第2の導電性酸化物膜を順次形成する工程(d)と、前記第2のトランジスタ領域上に位置する部分の前記第2の導電性酸化物膜及び前記金属含有材料膜を除去する工程(e)と、前記工程(e)の後に、前記第1のトランジスタ領域上に位置する部分の前記第2の導電性酸化物膜の上、及び前記第2のトランジスタ領域上に位置する部分の前記第1の導電性酸化物膜の上に第2のシリコン含有材料膜を形成する工程(f)と、前記第1のトランジスタ領域上において前記金属含有材料膜、前記第2の導電性酸化物膜及び前記第2のシリコン含有材料膜をパターニングすることによって第1のゲート電極を形成すると共に、前記第2のトランジスタ領域上において前記第1のシリコン含有材料膜、前記第1の導電性酸化物膜及び前記第2のシリコン含有材料膜をパターニングすることによって第2のゲート電極を形成する工程(g)とを備えている。

10

20

30

40

【0018】

本願第1～第4発明によると、ゲート絶縁膜と接する金属含有材料膜(金属含有層)がゲート電極の一部として形成されない第2のトランジスタ領域(他方のトランジスタ領域)上には、金属含有材料膜のエッチング時にオーバーエッチング吸収層として機能する第1のシリコン含有材料膜(第2のシリコン含有層)を予め形成している。このため、金属含有材料膜のエッチング時にゲート絶縁膜に対するオーバーエッチング量が各トランジスタ領域で実質的に同等となるように第1のシリコン含有材料膜の膜厚等を設定することにより、各トランジスタ領域間でのゲート絶縁膜に対するオーバーエッチング量の不均一性を低減できる。従って、ゲート絶縁膜の突き抜け及びそれに伴う基板削れ等を防止できるため、トランジスタ特性劣化やパーティクル増加等に起因する歩留まり低下の危険を回避でき、それによって高性能な半導体装置を安価で提供することができる。

【0019】

また、本願第1～第4発明によると、ゲート電極加工時のエッチングにおけるオーバーエッチング量が各トランジスタ領域において実質的に同等となるため、オーバーエッチングに伴うゲート寸法変化を各トランジスタ領域で揃えることができる。このため、各トランジスタ、具体的にはnチャネル型電界効果トランジスタ及びpチャネル型電界効果トランジスタのそれぞれにおけるゲート寸法のばらつきを低減することが可能となり、トランジスタ特性がより安定した半導体装置を提供することができる。

【0020】

尚、本願第1発明の半導体装置において、前記第2のシリコン含有層及び第3のシリコン含有層の全体がシリサイド層であってもよい。

【0021】

また、本願第2発明の半導体装置の製造方法において、前記工程(c)は、前記第2のトランジスタ領域上に位置する部分の前記第1のシリコン含有材料膜を覆うエッチングカバー膜を用いて、前記第1のトランジスタ領域上に位置する部分の前記第1のシリコン含有材料膜を除去する工程を含み、前記工程(f)の前に、前記エッチングカバー膜を除去する工程をさらに備えていてもよい。この場合、前記工程(e)は、前記第1のトランジスタ領域上に位置する部分の前記金属含有材料膜を覆う他のエッチングカバー膜を用いて

50

、前記第2のトランジスタ領域上に位置する部分の前記金属含有材料膜を除去する工程を含み、前記工程(f)の前に、前記他のエッチングカバー膜を除去する工程をさらに備えてもよい。

【0022】

また、本願第3発明の半導体装置において、前記第1の導電性酸化物層及び前記第2の導電性酸化物層は、Ir及びRuのうちの少なくとも1つを含む酸化物から構成されていてよい。

【0023】

前記の目的を達成するために、本願第5発明に係る半導体装置は、半導体基板上に形成されたnチャネル型電界効果トランジスタ及びpチャネル型電界効果トランジスタを有する半導体装置であって、前記nチャネル型電界効果トランジスタ及び前記pチャネル型電界効果トランジスタのうちの一方のトランジスタのゲート電極は、ゲート絶縁膜と接する金属含有層と、前記金属含有層の上に形成された第1のシリコン含有層とを含み、前記nチャネル型電界効果トランジスタ及び前記pチャネル型電界効果トランジスタのうちの他方のトランジスタのゲート電極は、ゲート絶縁膜と接する第2のシリコン含有層と、前記第2のシリコン含有層の上に形成された導電性酸化物層と、前記導電性酸化物層の上に形成された他の金属含有層と、前記他の金属含有層の上に形成された第3のシリコン含有層とを含み、前記金属含有層と前記他の金属含有層とは同一の金属含有膜から形成されており、前記第1のシリコン含有層と前記第3のシリコン含有層とは同一のシリコン含有材料膜から形成されている。

10

20

30

40

【0024】

また、本願第5発明の半導体装置を製造するための本願第6発明に係る半導体装置の製造方法は、第1のトランジスタ領域と第2のトランジスタ領域とを有する半導体基板上にゲート絶縁膜を形成する工程(a)と、前記ゲート絶縁膜の上に第1のシリコン含有材料膜及び導電性酸化物膜を順次形成する工程(b)と、前記第1のトランジスタ領域上に位置する部分の前記導電性酸化物膜及び前記第1のシリコン含有材料膜を除去する工程(c)と、前記工程(c)の後に、前記第1のトランジスタ領域上に位置する部分の前記ゲート絶縁膜の上、及び前記第2のトランジスタ領域上に位置する部分の前記導電性酸化物膜の上に金属含有材料膜及び第2のシリコン含有材料膜を順次形成する工程(d)と、前記第1のトランジスタ領域上において前記第2のシリコン含有材料膜及び前記金属含有材料膜をパターニングすることによって第1のゲート電極を形成すると共に、前記第2のトランジスタ領域上において前記第2のシリコン含有材料膜及び前記金属含有材料膜をゲート電極形状にパターニングする工程(e)と、前記工程(e)の後に、前記第1のトランジスタ領域及び前記第2のトランジスタ領域を覆う絶縁膜を形成する工程(f)と、前記第1のトランジスタ領域をレジストによって保護しながら、前記第2のトランジスタ領域において前記絶縁膜及び前記導電性酸化物膜をエッチバックした後、前記レジストを除去し、その後、前記第1のトランジスタ領域を前記絶縁膜によって保護しながら、前記第2のトランジスタ領域上において前記第1のシリコン含有材料膜をゲート電極形状にパターニングすることによって第2のゲート電極を形成する工程(g)と、前記工程(g)の後に、前記第1のトランジスタ領域上に残存する前記絶縁膜を除去する工程(h)とを備えている。

50

【0025】

また、前記の目的を達成するために、本願第7発明に係る半導体装置は、半導体基板上に形成されたnチャネル型電界効果トランジスタ及びpチャネル型電界効果トランジスタを有する半導体装置であって、前記nチャネル型電界効果トランジスタ及び前記pチャネル型電界効果トランジスタのうちの一方のトランジスタのゲート電極は、ゲート絶縁膜と接する金属含有層と、前記金属含有層の上に形成された導電性酸化物層と、前記導電性酸化物層の上に形成されたシリコン含有層とを含み、前記nチャネル型電界効果トランジスタ及び前記pチャネル型電界効果トランジスタのうちの他方のトランジスタのゲート電極は、ゲート絶縁膜と接する他のシリコン含有層を含み、前記シリコン含有層と前記他のシ

リコン含有層とは同一のシリコン含有材料膜から形成されている。

【0026】

また、本願第7発明の半導体装置を製造するための本願第8発明に係る半導体装置の製造方法は、第1のトランジスタ領域と第2のトランジスタ領域とを有する半導体基板上にゲート絶縁膜を形成する工程(a)と、前記ゲート絶縁膜の上に金属含有材料膜及び導電性酸化物膜を形成する工程(b)と、前記第2のトランジスタ領域上に位置する部分の前記導電性酸化物膜及び前記金属含有材料膜を除去する工程(c)と、前記工程(c)の後に、前記第1のトランジスタ領域上に位置する部分の前記導電性酸化物膜の上、及び前記第2のトランジスタ領域上に位置する部分の前記ゲート絶縁膜の上にシリコン含有材料膜を形成する工程(d)と、前記第1のトランジスタ領域上において前記シリコン含有材料膜をゲート電極形状にパターニングすると共に、前記第2のトランジスタ領域上において前記シリコン含有材料膜をパターニングすることによって第2のゲート電極を形成する工程(e)と、前記工程(e)の後に、前記第1のトランジスタ領域及び前記第2のトランジスタ領域を覆う絶縁膜を形成する工程(f)と、前記第2のトランジスタ領域をレジストによって保護しながら、前記第1のトランジスタ領域上において前記絶縁膜及び前記導電性酸化物膜をエッチバックした後、前記レジストを除去し、その後、前記第2のトランジスタ領域を前記絶縁膜によって保護しながら、前記第1のトランジスタ領域上において前記金属含有材料膜をゲート電極形状にパターニングすることによって第1のゲート電極を形成する工程(g)と、前記工程(g)の後に、前記第2のトランジスタ領域上に残存する前記絶縁膜を除去する工程(h)とを備えている。

10

20

【0027】

本願第5～第8発明によると、ゲート電極加工時のエッチングにおいてオーバーエッチングの実施前に、オーバーエッチング量が大きくなるトランジスタ領域を覆うように、エッチングストッパー膜として機能する絶縁膜を予め形成している。このため、ゲート絶縁膜の突き抜け及びそれに伴う基板削れ等を防止できるため、トランジスタ特性劣化やパーティクル増加等に起因する歩留まり低下の危険を回避でき、それによって高性能な半導体装置を安価で提供することができる。

【0028】

また、本願第5～第8発明によると、ゲート電極加工時のエッチングにおけるオーバーエッチング量が各トランジスタ領域において過剰とならないため、オーバーエッチングに伴うゲート寸法変化を各トランジスタ領域で揃えることができる。このため、各トランジスタ、具体的にはnチャネル型電界効果トランジスタ及びpチャネル型電界効果トランジスタのそれぞれにおけるゲート寸法のばらつきを低減することが可能となり、トランジスタ特性がより安定した半導体装置を提供することができる。

30

【0029】

尚、本願第5発明の半導体装置において、前記金属含有層と前記第1のシリコン含有層との積層構造の側面には第1のオフセットスペーサが形成されており、前記第2のシリコン含有層と前記導電性酸化物層との積層構造の側面には第2のオフセットスペーサが形成されており、前記第1のオフセットスペーサは第1のオフセット膜及びその外側に形成された第2のオフセット膜の積層膜から構成されており、前記第2のオフセットスペーサは前記第2のオフセット膜の単層膜から構成されていてもよい。この場合、前記第2のオフセットスペーサは、前記他の金属含有層と前記第3のシリコン含有層との積層構造の側面においては前記第1のオフセット膜及び前記第2のオフセット膜の積層膜から構成されていてもよい。すなわち、前記第2のシリコン含有層と前記導電性酸化物層との積層構造の幅は、前記他の金属含有層と前記第3のシリコン含有層との積層構造の幅よりも大きく、前記第2のシリコン含有層と前記導電性酸化物層との積層構造の側面における前記第2のオフセットスペーサの幅は、前記他の金属含有層と前記第3のシリコン含有層との積層構造の側面における前記第2のオフセットスペーサの幅よりも小さくてもよい。

40

【0030】

また、本願第1、第3、第5発明の半導体装置において、前記第1のシリコン含有層及

50

び前記第3のシリコン含有層のそれぞれの少なくとも上部は、Ni、Co、Ti、W及びPtのうちの少なくとも1つを含むシリサイド層であってもよい。

【0031】

また、本願第1、第3、第5発明の半導体装置において、前記第2のシリコン含有層は、ポリシリコン、アモルファスシリコン又はシリコンゲルマニウムに、P(磷)、As(砒素)、B(ホウ素)、In(インジウム)、N(窒素)、C(炭素)及びF(フッ素)のうちから選ばれた少なくとも1つの不純物をドーピングした材料から構成されていてよい。

【0032】

また、本願第6発明の半導体装置の製造方法において、前記工程(f)は、前記第2のトランジスタ領域上においてパターニングされた前記第2のシリコン含有材料膜及び前記金属含有材料膜のそれぞれの側面を覆うように前記絶縁膜を形成する工程を含み、前記工程(h)は、前記半導体基板上の全面に他の絶縁膜を形成した後、当該他の絶縁膜及び前記絶縁膜に対してエッチバックを行って、前記第1のゲート電極の側面に前記絶縁膜及び前記他の絶縁膜の積層膜からなる第1のオフセットスペーサを形成すると共に、前記第2のゲート電極のうちの前記第2のシリコン含有材料膜及び前記金属含有材料膜のそれぞれの側面を覆う前記絶縁膜と当該絶縁膜並びに前記第2のゲート電極のうちの前記導電性酸化物膜及び前記第1のシリコン含有材料膜のそれぞれの側面を覆う前記他の絶縁膜とからなる第2のオフセットスペーサを形成する形成する工程を含んでいてよい。

【0033】

また、本願第7発明の半導体装置において、前記他のシリコン含有層の全体がシリサイド層であってもよい。

【0034】

また、本願第7発明の半導体装置において、前記シリコン含有層及び前記他のシリコン含有層のそれぞれの少なくとも上部は、Ni、Co、Ti、W及びPtのうちの少なくとも1つを含むシリサイド層であってもよい。

【0035】

また、本願第7発明の半導体装置において、前記金属含有層と前記導電性酸化物層との積層構造の側面には第1のオフセットスペーサが形成されており、前記他のシリコン含有層の側面には第2のオフセットスペーサが形成されており、前記第2のオフセットスペーサは第1のオフセット膜及びその外側に形成された第2のオフセット膜の積層膜から構成されており、前記第1のオフセットスペーサは前記第2のオフセット膜の単層膜から構成されていてよい。この場合、前記第1のオフセットスペーサは、前記シリコン含有層の側面においては前記第1のオフセット膜及び前記第2のオフセット膜の積層膜から構成されていてよい。すなわち、前記金属含有層と前記導電性酸化物層との積層構造の幅は、前記シリコン含有層の幅よりも大きく、前記金属含有層と前記導電性酸化物層との積層構造の側面における前記第1のオフセットスペーサの幅は、前記シリコン含有層の側面における前記第2のオフセットスペーサの幅よりも小さくてもよい。

【0036】

また、本願第5、第7発明の半導体装置において、第1及び第2のオフセットスペーサが形成されている場合、前記第1のオフセット膜及び前記第2のオフセット膜はそれぞれ、シリコン酸化膜、シリコン窒化膜、シリコン炭化膜、シリコン酸化窒化膜又はシリコン酸化炭化膜であってもよい。

【0037】

また、本願第5、第7発明の半導体装置において、前記導電性酸化物層は、Ir及びRuのうちの少なくとも1つを含む酸化物から構成されていてよい。

【0038】

また、本願第1、第3、第5、第7発明の半導体装置において、前記金属含有層は、Ni、Pd、Pt、Co、Rh、Ru、Cu、Ag及びAuからなる金属群から選ばれた少なくとも1つの金属よりなる金属膜、又は前記金属群から選ばれた少なくとも1つの金属

10

20

30

40

50

の珪化物若しくは炭化物からなる膜であってもよい。

【0039】

また、本願第1、第3、第5、第7発明の半導体装置において、前記金属含有層は、Ti、Zr、Hf、V、Nb、Ta、Cr、Mo及びWからなる金属群から選ばれた少なくとも1つの金属よりなる金属膜、又は前記金属群から選ばれた少なくとも1つの金属の窒化物、珪化物若しくは炭化物からなる膜であってもよい。

【0040】

また、本願第1、第3、第5、第7発明の半導体装置において、前記ゲート絶縁膜は、SiO₂膜、HfO₂膜、HfAl_xO_y膜、HfSi_xO_y膜若しくはこれらの膜に窒素を添加した膜からなる絶縁膜群から選ばれた1つの絶縁膜からなる単層膜、又は前記絶縁膜群から選ばれた少なくとも1つの絶縁膜を含む積層絶縁膜であってもよい。

10

【0041】

また、本願第8発明の半導体装置の製造方法において、前記工程(f)は、前記第1のトランジスタ領域上においてパターニングされた前記シリコン含有材料膜の側面を覆うように前記絶縁膜を形成する工程を含み、前記工程(h)は、前記半導体基板上の全面に他の絶縁膜を形成した後、当該他の絶縁膜及び前記絶縁膜に対してエッチバックを行って、前記第1のゲート電極のうちの前記シリコン含有材料膜の側面を覆う前記絶縁膜と当該絶縁膜並びに前記第1のゲート電極のうちの前記導電性酸化物膜及び前記金属含有材料膜のそれぞれの側面を覆う前記他の絶縁膜とからなる第1のオフセットスペーサを形成すると共に、前記第2のゲート電極の側面に前記絶縁膜及び前記他の絶縁膜の積層膜からなる第2のオフセットスペーサを形成する形成する工程を含んでいてもよい。

20

【0042】

また、本願第1、第3発明の半導体装置において、前記金属含有層の厚さ及び前記第2のシリコン含有層の厚さは、前記金属含有層における金属M1と当該金属M1と同一又は異なる元素M2との間の結合を切断するためのエネルギーである結合解離エネルギーD(M1 - M2)と、前記第2のシリコン含有層におけるシリコン結合を切断するためのエネルギーである結合解離エネルギーD(Si - Si)とに基づいて決定されていてもよい。この場合、前記結合解離エネルギーD(M1 - M2)が前記結合解離エネルギーD(Si - Si)よりも大きい場合には、前記第2のシリコン含有層の厚さが前記金属含有層の厚さよりも大きく設定されており、前記結合解離エネルギーD(M1 - M2)が前記結合解離エネルギーD(Si - Si)よりも小さい場合には、前記第2のシリコン含有層の厚さが前記金属含有層の厚さよりも小さく設定されていてもよい。また、前記金属含有層はTi又はTaからなり、前記第2のシリコン含有層はポリシリコンからなり、前記第2のシリコン含有層の厚さは前記金属含有層の厚さよりも小さく設定されていてもよい。また、前記金属含有層はTiN、TiC、TiO、TaN、TaC又はTaOからなり、前記第2のシリコン含有層はポリシリコンからなり、前記第2のシリコン含有層の厚さは前記金属含有層の厚さよりも大きく設定されていてもよい。

30

【0043】

また、本願第2、第4発明の半導体装置の製造方法において、前記第1のシリコン含有材料膜の厚さは、前記金属含有材料膜の厚さ、及び前記工程(g)における前記第1のシリコン含有材料膜と前記金属含有材料膜とのエッチングレート比に応じて、前記第1のシリコン含有材料膜及び前記金属含有材料膜のそれぞれのエッチングが完了する時間が実質的に同じになるように設定されていてもよい。この場合、前記第1のシリコン含有材料膜の厚さは、

40

$$\text{TIME1} = \text{TH1} / \text{ER1} \quad \dots \quad (\text{式1})$$

$$\text{TIME2} = \text{TH2} / \text{ER2} \quad \dots \quad (\text{式2})$$

$$\text{TIME2} \times 1.2 > \text{TIME1} > \text{TIME2} \times 0.8 \quad \dots \quad (\text{式3})$$

に従って設定されていてもよい(但し、TIME1は前記第1のシリコン含有材料膜のエッチングが完了するのに要する時間であり、TIME2は前記金属含有材料膜のエッチングが完了するのに要する時間であり、TH1は前記第1のシリコン含有材料膜の厚さであ

50

り、T H 2 は前記金属含有材料膜の厚さであり、E R 1 は前記工程 (g) における前記第 1 のシリコン含有材料膜のエッティングレートであり、E R 2 は前記工程 (g) における前記金属含有材料膜のエッティングレートである)。

【 0 0 4 4 】

尚、本願第 1 ~ 第 8 発明において、各トランジスタ領域毎にゲート絶縁膜を作り分けても良い。

【 発明の効果 】

【 0 0 4 5 】

本願発明によると、ゲート絶縁膜の突き抜け及びそれに伴う基板削れ等を防止できるため、トランジスタ特性劣化やパーティクル増加等に起因する歩留まり低下の危険を回避でき、それによって高性能な半導体装置を安価で提供することができる。

10

【 0 0 4 6 】

また、本願発明によると、ゲート電極加工時のエッティングにおけるオーバーエッティング量が各トランジスタ領域において実質的に同等となるため、オーバーエッティングに伴うゲート寸法変化を各トランジスタ領域で揃えることができる。このため、各トランジスタ、具体的には n チャネル型電界効果トランジスタ及び p チャネル型電界効果トランジスタのそれらにおけるゲート寸法のばらつきを低減することが可能となり、トランジスタ特性がより安定した半導体装置を提供することができる。

【 発明を実施するための最良の形態 】

【 0 0 4 7 】

(第 1 の実施形態)

以下、本発明の第 1 の実施形態に係る半導体装置及びその製造方法について、図面を参考しながら説明する。

20

【 0 0 4 8 】

図 1 (a) ~ (c) 、図 2 (a) ~ (c) 及び図 3 (a) ~ (c) は、本発明の第 1 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。尚、図 1 (a) ~ (c) 、図 2 (a) ~ (c) 及び図 3 (a) ~ (c) において、 n p 境界を符号 1 1 0 の破線で示している。

【 0 0 4 9 】

まず、図 1 (a) に示すように、半導体基板 1 0 1 に例えば S T I (Shallow Trench Isolation) からなる素子分離 1 0 2 を形成し、 n チャネル領域 1 0 3 及び p チャネル領域 1 0 4 を区画した後、 n チャネル領域 1 0 3 及び p チャネル領域 1 0 4 のそれらに対してウェル形成用イオン注入を実施する。次に、 n チャネル領域 1 0 3 及び p チャネル領域 1 0 4 のそれらに対して、トランジスタの閾値を調整するためのイオン注入を実施する。次に、例えばロジックトランジスタ、 S R A M (static random access memory) トランジスタ、及び入出力 I / O トランジスタ等の各トランジスタの機能に応じた膜厚及び膜質を持つゲート絶縁膜の作りこみを実施する。図 1 (a) は、 n チャネル領域 1 0 3 及び p チャネル領域 1 0 4 のそれぞれの上に、例えばロジックトランジスタ用のゲート絶縁膜 1 0 5 を形成している場合を示している。具体的には、ゲート絶縁膜 1 0 5 は、半導体基板 1 0 1 の表面に形成された、シリコン酸化膜と比較して比誘電率の十分に高い高誘電率膜、例えばハフニウムシリコン酸化膜 (H f S i _x O _y 膜) である。ここで、 H f S i _x O _y 膜の E O T (シリコン酸化膜換算膜厚) は約 2 . 0 n m である。尚、ゲート絶縁膜 1 0 5 と半導体基板 1 0 1 との界面には、半導体基板 1 0 1 が酸化されてなる例えば厚さ 1 n m 程度の極薄シリコン酸化膜が界面層 1 0 6 として形成されている。

30

【 0 0 5 0 】

次に、図 1 (a) に示すように、ゲート絶縁膜 1 0 5 の直上に、 n チャネル領域 1 0 3 のトランジスタの閾値制御を行うための第 1 ゲート電極材料膜 1 0 7 として、例えば P (燐) をドーピングした厚さ 5 ~ 2 0 n m 程度のポリシリコン膜を堆積する。この第 1 ゲート電極材料膜 1 0 7 はオーバーエッティング吸収層として機能するものであり、後の工程で実施されるゲート電極加工時のドライエッティングにおいて、ゲート絶縁膜 1 0 5 へのオ-

40

50

バーエッティング量が n チャネル領域 103 及び p チャネル領域 104 で実質的に同等となるように、膜厚等が設定されている。

【0051】

次に、図 1 (b) に示すように、第 1 ゲート電極材料膜 107 の上に、p チャネル領域 104 を開口したレジストパターン 109 を形成した後、レジストパターン 109 をマスクとしてエッティングを行うことにより、p チャネル領域 104 上に位置する部分の第 1 ゲート電極材料膜 107 を除去する。ここで、第 1 ゲート電極材料膜 107 であるポリシリコン膜のエッティングには、例えば 65 に加熱した水酸化カリウム溶液 (KOH / H₂O = 0.3 g / 150 cc) を用いる。これにより、ゲート絶縁膜 105 の膜減り等のダメージを防止しながらエッティングを行うことができる。或いは、例えば 80 に加熱した希釈 APM (ammonia-hydrogen peroxide mixture) 溶液 (NH₃ : H₂O₂ : H₂O = 3 ~ 10 : 1 : 200 ~ 1000) 又は低ダメージのリモートプラズマを用いたケミカルドライエッティングによって第 1 ゲート電極材料膜 107 を除去することも可能である。さらには、例えば RIE (reactive ion etching) によるドライエッティングによって第 1 ゲート電極材料膜 107 を途中まで除去した後に、前記の希釈 APM 溶液、水酸化カリウム溶液又は低ダメージのリモートプラズマを用いたケミカルドライエッティングを追加的に実施することによって第 1 ゲート電極材料膜 107 を除去することも可能である。この場合、n p 境界 110 におけるレジストパターン 109 の側面から n チャネル領域 103 上の第 1 ゲート電極材料膜 107 が後退する量を低減することができる。尚、第 1 ゲート電極材料膜 107 のエッティングの実施後、例えば SPM (sulfuric acid-hydrogen peroxide mixture) 溶液又はシンナー溶液等を用いてレジストパターン 109 を除去する。

【0052】

次に、図 1 (c) に示すように、p チャネル領域 104 のトランジスタの閾値制御を行うための第 2 ゲート電極材料膜 111 として、例えば厚さ 5 ~ 20 nm 程度の TiN 膜を n チャネル領域 103 上及び p チャネル領域 104 上のそれぞれの全面に堆積する。

【0053】

このとき、前述のオーバーエッティング吸収層となる第 1 ゲート電極材料膜 107 の膜厚は、p チャネル領域 104 のトランジスタの閾値制御を行うための第 2 ゲート電極材料膜 111 の膜厚、及びゲート加工での各ゲート電極材料膜のエッティングレート比に応じて、第 1 ゲート電極材料膜 107 及び第 2 ゲート電極材料膜 111 のそれぞれのエッティングが完了する時間が実質的に同じになるように予め設定されている。

【0054】

具体的には、オーバーエッティング吸収層となる第 1 ゲート電極材料膜 107 の膜厚の決定は下記 (式 1) ~ (式 3) に従って行われる。

【0055】

$$\text{TIME 1} = \text{TH1 / ER1} \dots \quad (\text{式 1})$$

$$\text{TIME 2} = \text{TH2 / ER2} \dots \quad (\text{式 2})$$

$$\text{TIME 2} \times 1.2 > \text{TIME 1} > \text{TIME 2} \times 0.8 \dots \quad (\text{式 3})$$

尚、TIME 1 は第 1 ゲート電極材料膜 107 のエッティングが完了するのに要する時間であり、TIME 2 は第 2 ゲート電極材料膜 111 のエッティングが完了するのに要する時間であり、TH1 は第 1 ゲート電極材料膜 107 の膜厚であり、TH2 は第 2 ゲート電極材料膜 111 の膜厚であり、ER1 はゲート加工時の第 1 ゲート電極材料膜 107 のエッティングレートであり、ER2 はゲート加工時の第 2 ゲート電極材料膜 111 のエッティングレートである。

【0056】

上記 (式 1) ~ (式 3) によれば、例えば第 2 ゲート電極材料膜 111 の膜厚つまり TiN 膜厚 (TH2) が 10 nm であり、TiN のエッティングレート (ER2) が 30 nm / min であり、第 1 ゲート電極材料膜 107 のエッティングレートつまりポリシリコンのエッティングレート (ER1) が 35 nm / min であるとした場合、TIME 2 は 2.0 sec となるから、TIME 1 については 1.6 ~ 2.4 sec に設定すればよい。従って、第

10

20

30

40

50

1ゲート電極材料膜107の膜厚(TH1)は9.3~14nmに設定すればよいことになる。また、第1ゲート電極材料107の膜厚(TH1)を11.7nmとすれば、TIME1=TIME2となり、第1ゲート電極材料膜107及び第2ゲート電極材料膜111のそれぞれのエッティングが同時に完了するため、nチャネル領域103及びpチャネル領域104のそれぞれにおけるゲート絶縁膜105に対するオーバーエッティング量を揃えることが可能となる。

【0057】

次に、図2(a)に示すように、nチャネル領域103の第1ゲート電極材料膜107を覆うように堆積された第2ゲート電極膜111の上に、nチャネル領域103を開口したレジストパターン112を形成した後、レジストパターン112をマスクとして、第2ゲート電極材料膜111つまりTiN膜に対してエッティングを行い、nチャネル領域103上に位置する部分の第2ゲート電極材料膜111を除去する。第2ゲート電極材料膜111であるTiN膜は、例えばSPM溶液、希釈塩酸若しくは過酸化水素水等の薬液、又は低ダメージのリモートプラズマを用いたケミカルドライエッティングによって除去することが可能である。或いは、例えばRIEによるドライエッティングを用いてnチャネル領域103の第2ゲート電極材料膜111を選択的に除去し、当該エッティングを第1ゲート電極材料膜107の表面でストップさせてもよい。このRIEによるドライエッティングを用いた場合には、np境界110におけるレジストパターン112の側面からpチャネル領域104上の第2ゲート電極材料膜111が後退する量を低減することができる。尚、第2ゲート電極材料膜111のエッティングの実施後、例えばSPM溶液又はシンナー溶液等を用いてレジストパターン112を除去する。

10

20

30

40

50

【0058】

次に、図2(b)に示すように、半導体基板101上の全面に第3ゲート電極材料膜113として、例えばP(燐)をドーピングした厚さ80nm~150nm程度のポリシリコン膜を堆積した後、第3ゲート電極材料膜113の上に、nチャネル領域103及びpチャネル領域104のそれぞれのゲート電極形成領域を覆うレジストパターン114をフォトリソグラフィにより形成する。このとき、オーバーエッティング吸収層となる第1ゲート電極材料膜107の存在により、nチャネル領域103におけるnチャネルゲート電極高さ115とpチャネル領域104におけるpチャネルゲート電極高さ116との差が小さくなっているため、レジストパターン114を形成する際のフォーカスマージンが拡大するので、レジストパターン114として、より微細なパターンを形成することが可能となる。

【0059】

次に、レジストパターン114をマスクとして、nチャネル領域103上における第3ゲート電極材料膜113と第1ゲート電極材料膜107との積層膜、及びpチャネル領域104における第3ゲート電極材料膜113と第2ゲート電極材料膜111との積層膜に対して同時に、例えばハロゲン系のエッティングガスを用いた異方性ドライエッティングを行い、その後、レジストパターン114を除去する。これにより、図2(c)に示すように、nチャネル領域103上には、ゲート絶縁膜と接する第1ゲート電極材料膜(ポリシリコン膜)107と、その上に形成された第3ゲート電極材料膜(ポリシリコン膜)113とからなるゲート電極151が形成されると共に、pチャネル領域104上には、ゲート絶縁膜と接する第2ゲート電極材料膜(TiN膜)111と、その上に形成された第3ゲート電極材料膜(ポリシリコン膜)113とからなるゲート電極152が形成される。このとき、nチャネル領域103及びpチャネル領域104に共通に形成されている第3ゲート電極材料膜113についてはnチャネル領域103及びpチャネル領域104のそれぞれにおいて同時にエッティングが完了する。また、第3ゲート電極材料膜113のエッティングに引き続き、nチャネル領域103の第1ゲート電極材料膜107とpチャネル領域104の第2ゲート電極材料膜111とに対して同時にエッティングが実施される。ここで、前述したように、オーバーエッティング吸収層となる第1ゲート電極材料膜107の膜厚は、pチャネル領域104のトランジスタの閾値制御を行うための第2ゲート電極材料1

11の膜厚、及びゲート加工での各ゲート電極材料膜のエッチングレート比に応じて、第1ゲート電極材料膜107及び第2ゲート電極材料膜111のそれぞれのエッチングが完了する時間が実質的に同じとなるように予め設定されている。従って、nチャネル領域103及びpチャネル領域104のそれぞれにおいて第1ゲート電極材料膜107のエッチングと第2ゲート電極材料膜111のエッチングとは同時に完了する。これにより、nチャネル領域103及びpチャネル領域104のそれぞれにおいてゲート絶縁膜105に対するオーバーエッチング量を揃えることが可能となるため、ゲート絶縁膜105に対する過剰なオーバーエッチングは発生しない。従って、ゲート絶縁膜105の突き抜けやそれに伴う半導体基板101の削れ等の問題は発生しない。

【0060】

10

次に、図3(a)に示すように、nチャネル領域103上及びpチャネル領域104上の全面に、例えばLPCVD (low pressure-chemical vapor deposition) 法によりTEOS (tetraethylorthosilicate) 膜又はSiN膜などの絶縁膜を厚さ5~20nm程度堆積した後、当該絶縁膜に対して異方性ドライエッチングによるエッチバックを行って、ゲート電極151及び152のそれぞれの側面にオフセットスペーサ117を形成する。次に、ゲート電極151及び152並びにオフセットスペーサ117をマスクとして、nチャネル領域103及びpチャネル領域104のそれぞれに対してイオン注入を行うことにより、nチャネル領域103におけるゲート電極151の両側にエクステンション注入層118Aを形成すると共にpチャネル領域104におけるゲート電極152の両側にエクステンション注入層118Bを形成する。

20

【0061】

20

次に、図3(b)に示すように、nチャネル領域103上及びpチャネル領域104上の全面に、例えばSA-CVD (sub atmospheric-chemical vapor deposition) 法によりNSG (nondoped silicate glass) 膜を厚さ5~10nm程度堆積した後、例えばALD (atomic layer deposition) 法によりSiN膜を厚さ20~40nm程度堆積する。次に、NSG膜とSiN膜との積層膜に対して異方性ドライエッチングによるエッチバックを行って、ゲート電極151及び152のそれぞれの側面にオフセットスペーサ117を介して、サイドウォール下層膜119及びサイドウォール上層膜120からなるサイドウォールスペーサ121を形成する。尚、サイドウォール下層膜119として、NSG膜に代えて、例えばLPCVD法によりTEOS膜を形成してもよい。次に、ゲート電極151、オフセットスペーサ117及びサイドウォールスペーサ121をマスクとして、nチャネル領域103に対してAs (砒素) 及びP (燐) のイオン注入を行うことにより、nチャネル領域103におけるゲート電極151から見てエクステンション注入層118Aの外側にソース・ドレイン注入層122Aを形成する。また、ゲート電極152、オフセットスペーサ117及びサイドウォールスペーサ121をマスクとして、pチャネル領域104に対してB (ホウ素) のイオン注入を行うことにより、pチャネル領域104におけるゲート電極152から見てエクステンション注入層118Bの外側にソース・ドレイン注入層122Bを形成する。その後、活性化熱処理を行い、イオン注入によって半導体基板101中に導入した各不純物を活性化する。

30

【0062】

40

次に、nチャネル領域103上及びpチャネル領域104上の全面に、高融点金属膜として例えばNi膜をスパッタ法などによって堆積した後、シリサイド化熱処理を実施し、その後、シリサイド未反応領域のNi膜を例えばウェットエッチングにより除去する。これにより、図3(c)に示すように、ソース・ドレイン注入層122A及び122Bのそれぞれの表面並びにゲート電極151及び152のそれぞれの表面にNiシリサイド層124が形成される。

【0063】

40

以上に説明した第1の実施形態によると、ゲート絶縁膜105と接する第2ゲート電極材料膜(TiN膜)111がゲート電極151の一部として形成されないnチャネル領域103上に、第2ゲート電極材料膜(TiN膜)111のエッチング時にオーバーエッチ

50

ング吸収層として機能する第1ゲート電極材料膜(ポリシリコン膜)107を予め形成している。このため、第2ゲート電極材料膜(TiN膜)111のエッチング時にゲート絶縁膜105に対するオーバーエッチング量が各トランジスタ領域で実質的に同等となるよう第1ゲート電極材料膜(ポリシリコン膜)107の膜厚等を設定することにより、各トランジスタ領域間でのゲート絶縁膜105に対するオーバーエッチング量の不均一性を低減できる。従って、ゲート絶縁膜105の突き抜け及びそれに伴う基板削れ等を防止できるため、トランジスタ特性劣化やパーティクル増加等に起因する歩留まり低下の危険を回避でき、それによって高性能な半導体装置を安価で提供することができる。

【0064】

また、第1の実施形態によると、ゲート電極加工時のエッチングにおけるオーバーエッチング量が各トランジスタ領域において実質的に同等となるため、オーバーエッチングに伴うゲート寸法変化を各トランジスタ領域で揃えることができる。このため、各トランジスタ、具体的にはnチャネル型電界効果トランジスタ及びpチャネル型電界効果トランジスタのそれにおけるゲート寸法のばらつきを低減することが可能となり、トランジスタ特性がより安定した半導体装置を提供することができる。

【0065】

(第1の実施形態の第1変形例)

以下、本発明の第1の実施形態の第1変形例に係る半導体装置及びその製造方法について、図面を参照しながら説明する。

【0066】

図4(a)～(c)及び図5(a)～(c)は、本発明の第1の実施形態の第1変形例に係る半導体装置の製造方法の各工程を示す断面図である。尚、図4(a)～(c)及び図5(a)～(c)において、図1(a)～(c)、図2(a)～(c)及び図3(a)～(c)に示す第1の実施形態と同一の構成要素には同一の符号を付すことにより、重複する説明を省略する。

【0067】

まず、図4(a)に示すように、半導体基板101に例えばSTIからなる素子分離102を形成し、nチャネル領域103及びpチャネル領域104を区画した後、nチャネル領域103及びpチャネル領域104のそれぞれに対してウェル形成用イオン注入を実施する。次に、nチャネル領域103及びpチャネル領域104のそれぞれに対して、トランジスタの閾値を調整するためのイオン注入を実施する。次に、例えばロジックトランジスタ、SRAMトランジスタ、及び入出力I/Oトランジスタ等の各トランジスタの機能に応じた膜厚及び膜質を持つゲート絶縁膜の作りこみを実施する。図4(a)は、nチャネル領域103及びpチャネル領域104のそれぞれの上に、例えばロジックトランジスタ用のゲート絶縁膜105を形成している場合を示している。具体的には、ゲート絶縁膜105は、半導体基板101の表面に形成された、シリコン酸化膜と比較して比誘電率の十分に高い高誘電率膜、例えばハフニウムシリコン酸化膜(HfSi_xO_y膜)である。ここで、HfSi_xO_y膜のEOTは約2.0nmである。尚、ゲート絶縁膜105と半導体基板101との界面には、半導体基板101が酸化されてなる例えば厚さ1nm程度の極薄シリコン酸化膜が界面層106として形成されている。

【0068】

次に、図4(a)に示すように、ゲート絶縁膜105の直上に、nチャネル領域103のトランジスタの閾値制御を行うための第1ゲート電極材料膜107として、例えばP(燐)をドーピングした厚さ5～20nm程度のポリシリコン膜を堆積する。この第1ゲート電極材料膜107はオーバーエッチング吸収層として機能するものであり、後の工程で実施されるゲート電極加工時のドライエッチングにおいて、ゲート絶縁膜105へのオーバーエッチング量がnチャネル領域103及びpチャネル領域104で実質的に同等となるよう、膜厚等が設定されている。

【0069】

次に、図4(a)に示すように、第1ゲート電極材料膜107の上に、例えばHDP-

10

20

30

40

50

N S G (high density plasma-nondoped silicate glass) からなる第 1 エッティングカバー膜 201 を形成する。

【 0070 】

次に、図 4 (b) に示すように、第 1 エッティングカバー膜 201 の上に、 p チャネル領域 104 を開口したレジストパターン 109 を形成した後、レジストパターン 109 をマスクとして異方性ドライエッティングを行うことにより、 p チャネル領域 104 上に位置する部分の第 1 エッティングカバー膜 201 を除去すると共に p チャネル領域 104 上に位置する部分の第 1 ゲート電極材料膜 107 を途中まで除去する。その後、レジストパターン 109 を除去する。

【 0071 】

次に、図 4 (c) に示すように、 n チャネル領域 103 を覆う第 1 エッティングカバー膜 201 をマスクとして、 p チャネル領域 104 上に残存する第 1 ゲート電極材料膜 107 を除去する。ここで、第 1 ゲート電極材料膜 107 であるポリシリコン膜のエッティングには、例えば 65 に加熱した水酸化カリウム溶液 (KOH / H₂O = 0.3 g / 150 c c) を用いる。これにより、ゲート絶縁膜 105 の膜減り等のダメージを防止しながらエッティングを行うことができる。或いは、例えば 80 に加熱した希釈 APM 溶液 (NH₃ : H₂O₂ : H₂O = 3 ~ 10 : 1 : 200 ~ 1000) 又は低ダメージのリモートプラズマを用いたケミカルドライエッティングによって第 1 ゲート電極材料膜 107 を除去することも可能である。

【 0072 】

本変形例においては、第 1 エッティングカバー膜 201 をマスクとして、第 1 ゲート電極材料膜 107 のエッティングを行うため、エッティングを実施した後に基板表面が他の薬液などに曝されることがないので、ゲート絶縁膜 105 の表面にダメージ等が生じることはない。

【 0073 】

次に、図 5 (a) に示すように、 p チャネル領域 104 のトランジスタの閾値制御を行うための第 2 ゲート電極材料膜 111 として、例えば厚さ 5 ~ 20 nm 程度の TiN 膜を n チャネル領域 103 上及び p チャネル領域 104 上のそれぞれの全面に堆積する。

【 0074 】

このとき、前述のオーバーエッティング吸収層となる第 1 ゲート電極材料膜 107 の膜厚は、 p チャネル領域 104 のトランジスタの閾値制御を行うための第 2 ゲート電極材料 111 の膜厚、及びゲート加工での各ゲート電極材料膜のエッティングレート比に応じて、第 1 ゲート電極材料膜 107 及び第 2 ゲート電極材料膜 111 のそれぞれのエッティングが完了する時間が実質的に同じになるように予め設定されている。オーバーエッティング吸収層となる第 1 ゲート電極材料膜 107 の膜厚の具体的な決定は、第 1 の実施形態で説明した (式 1) ~ (式 3) に従って行われる。

【 0075 】

次に、図 5 (b) に示すように、第 2 ゲート電極膜 111 の上に、 n チャネル領域 103 を開口したレジストパターン 112 を形成した後、 n チャネル領域 103 の第 1 エッティングカバー膜 201 、及びレジストパターン 112 をマスクとして、第 2 ゲート電極材料膜 111 つまり TiN 膜に対してエッティングを行い、 n チャネル領域 103 上に位置する部分の第 2 ゲート電極材料膜 111 を除去する。このとき、第 2 ゲート電極材料膜 111 である TiN 膜を、例えば RIE によるドライエッティングを用いて除去することが可能である。或いは、例えば SPM 溶液、希釈塩酸若しくは過酸化水素水等の薬液、又は低ダメージのリモートプラズマを用いたケミカルドライエッティングによって、第 2 ゲート電極材料膜 111 である TiN 膜を除去することも可能である。第 2 ゲート電極材料膜 111 のエッティングの実施後、例えば SPM 溶液又はシンナー溶液等を用いてレジストパターン 112 を除去する。続いて、第 1 エッティングカバー膜 201 である HDP - N SG 膜を、例えば異方性ドライエッティング、又は HF 薬液 (フッ酸) 等を用いたウェットエッティングにより除去する。

10

20

30

40

50

【0076】

本変形例においては、第2ゲート電極材料膜111をエッティングする際に、nチャネル領域103上においては第1エッティングカバー膜201がストッパーとなるため、その下側に存在する第1ゲート電極材料膜107の表面はエッティングされない。

【0077】

次に、図5(c)に示すように、半導体基板101上の全面に第3ゲート電極材料膜113として、例えばP(燐)をドーピングした厚さ80nm~150nm程度のポリシリコン膜を堆積した後、第3ゲート電極材料膜113の上に、nチャネル領域103及びpチャネル領域104のそれぞれのゲート電極形成領域を覆うレジストパターン114をフォトリソグラフィにより形成する。このとき、オーバーエッティング吸収層となる第1ゲート電極材料膜107の存在により、nチャネル領域103におけるnチャネルゲート電極高さ115とpチャネル領域104におけるpチャネルゲート電極高さ116との差が小さくなっているため、レジストパターン114を形成する際のフォーカスマージンが拡大するので、レジストパターン114として、より微細なパターンを形成することが可能となる。

10

【0078】

その後、第1の実施形態の図2(c)及び図3(a)~(c)に示す各工程と同様の工程を実施することにより、第1の実施形態と同様の構造を持つ半導体装置を得ることができる。

20

【0079】

以上に説明した第1の実施形態の第1変形例によると、第1の実施形態と同様に、ゲート絶縁膜105と接する第2ゲート電極材料膜(TiN膜)111がゲート電極151の一部として形成されないnチャネル領域103上に、第2ゲート電極材料膜(TiN膜)111のエッティング時にオーバーエッティング吸収層として機能する第1ゲート電極材料膜(ポリシリコン膜)107を予め形成している。このため、第2ゲート電極材料膜(TiN膜)111のエッティング時にゲート絶縁膜105に対するオーバーエッティング量が各トランジスタ領域で実質的に同等となるように第1ゲート電極材料膜(ポリシリコン膜)107の膜厚等を設定することにより、各トランジスタ領域間でのゲート絶縁膜105に対するオーバーエッティング量の不均一性を低減できる。従って、ゲート絶縁膜105の突き抜け及びそれに伴う基板削れ等を防止できるため、トランジスタ特性劣化やパーティクル增加等に起因する歩留まり低下の危険を回避でき、それによって高性能な半導体装置を安価で提供することができる。

30

【0080】

また、第1の実施形態の第1変形例によると、ゲート電極加工時のエッティングにおけるオーバーエッティング量が各トランジスタ領域において実質的に同等となるため、オーバーエッティングに伴うゲート寸法変化を各トランジスタ領域で揃えることができる。このため、各トランジスタ、具体的にはnチャネル型電界効果トランジスタ及びpチャネル型電界効果トランジスタのそれぞれにおけるゲート寸法のばらつきを低減することが可能となり、トランジスタ特性がより安定した半導体装置を提供することができる。

40

【0081】

さらに、第1の実施形態の第1変形例によると、第1エッティングカバー膜201をハーフマスクとして第1ゲート電極材料107であるポリシリコン膜のエッティングを実施するため、エッティングを実施した後に基板表面がその他の薬液などに曝されることがないので、ゲート絶縁膜105の表面にダメージ等が生じる危険を回避することができる。

【0082】

また、第1の実施形態の第1変形例によると、nチャネル領域103上に形成された第2ゲート電極材料膜111であるTiN膜をエッティングにより除去する際に、第1エッティングカバー膜201がエッティングストッパーとして機能するため、第1エッティングカバー膜201の下側に存在する第1ゲート電極材料膜107の表面がエッティングされないので、nチャネル領域103上における膜減り等の発生を防止することができる。

50

【0083】

(第1の実施形態の第2変形例)

以下、本発明の第1の実施形態の第2変形例に係る半導体装置及びその製造方法について、図面を参照しながら説明する。

【0084】

図6(a)、(b)及び図7(a)、(b)は、本発明の第1の実施形態の第2変形例に係る半導体装置の製造方法の各工程を示す断面図である。尚、図6(a)、(b)及び図7(a)、(b)において、図1(a)～(c)、図2(a)～(c)及び図3(a)～(c)に示す第1の実施形態、又は図4(a)～(c)及び図5(a)～(c)に示す第1の実施形態の第1変形例と同一の構成要素には同一の符号を付すことにより、重複する説明を省略する。

10

【0085】

まず、本変形例においては、図4(a)～(c)に示す第1の実施形態の第1変形例の各工程と同様の工程を順次実施する。

【0086】

次に、図6(a)に示すように、pチャネル領域104のトランジスタの閾値制御を行うための第2ゲート電極材料膜111として、例えば厚さ5～20nm程度のTiN膜をnチャネル領域103上及びpチャネル領域104上のそれぞれの全面に堆積する。

20

【0087】

このとき、前述のオーバーエッチング吸収層となる第1ゲート電極材料膜107の膜厚は、pチャネル領域104のトランジスタの閾値制御を行うための第2ゲート電極材料111の膜厚、及びゲート加工での各ゲート電極材料膜のエッチングレート比に応じて、第1ゲート電極材料膜107及び第2ゲート電極材料膜111のそれぞれのエッチングが完了する時間が実質的に同じになるように予め設定されている。オーバーエッチング吸収層となる第1ゲート電極材料膜107の膜厚の具体的な決定は、第1の実施形態で説明した(式1)～(式3)に従って行われる。

20

【0088】

次に、図6(a)に示すように、第2ゲート電極材料膜111の上に、例えばHDP-NSGからなる第2エッチングカバー膜301を形成する。

30

【0089】

次に、図6(b)に示すように、第2エッチングカバー膜301の上に、nチャネル領域103を開口したレジストパターン112を形成した後、nチャネル領域103上に位置する部分の第2エッチングカバー膜301及び第2ゲート電極材料膜111つまりTiN膜を順次エッチングにより除去する。このとき、第2エッチングカバー膜301であるHDP-NSG膜及び第2ゲート電極材料膜111であるTiN膜を、例えばRIEによるドライエッチングを用いて除去することが可能である。或いは、例えばHF薬液(フッ酸)を用いて第2エッチングカバー膜301であるHDP-NSG膜をエッチング除去した後に、例えばSPM溶液、希釈塩酸若しくは過酸化水素水等の薬液、又は低ダメージのリモートプラズマを用いたケミカルドライエッチングによって、第2ゲート電極材料膜111であるTiN膜を除去することも可能である。第2エッチングカバー膜301及び第2ゲート電極材料膜111のエッチングの実施後、例えばSPM溶液又はシンナー溶液等を用いてレジストパターン112を除去する。

40

【0090】

本変形例においては、第2エッチングカバー膜301及び第2ゲート電極材料膜111をエッチングする際に、nチャネル領域103上においては第1エッチングカバー膜201がストッパーとなるため、その下側に存在する第1ゲート電極材料膜107の表面はエッチングされることがない。

【0091】

続いて、図7(a)に示すように、nチャネル領域103上に残存する第1エッチングカバー膜201であるHDP-NSG膜、及びpチャネル領域104上に残存する第2エ

50

ッチングカバー膜 301 である HDP - NSG 膜を、例えば異方性ドライエッチング、又は HF 薬液(フッ酸)等を用いたウェットエッチングにより除去する。

【0092】

次に、図 7 (b) に示すように、半導体基板 101 上の全面に第 3 ゲート電極材料膜 113 として、例えば P(燐) をドーピングした厚さ 80 nm ~ 150 nm 程度のポリシリコン膜を堆積した後、第 3 ゲート電極材料膜 113 の上に、n チャネル領域 103 及び p チャネル領域 104 のそれぞれのゲート電極形成領域を覆うレジストパターン 114 をフォトリソグラフィにより形成する。このとき、オーバーエッチング吸収層となる第 1 ゲート電極材料膜 107 の存在により、n チャネル領域 103 における n チャネルゲート電極高さ 115 と p チャネル領域 104 における p チャネルゲート電極高さ 116 との差が小さくなっているため、レジストパターン 114 を形成する際のフォーカスマージンが拡大するので、レジストパターン 114 として、より微細なパターンを形成することが可能となる。

10

【0093】

その後、第 1 の実施形態の図 2 (c) 及び図 3 (a) ~ (c) に示す各工程と同様の工程を実施することにより、第 1 の実施形態と同様の構造を持つ半導体装置を得ることができる。

【0094】

以上に説明した第 1 の実施形態の第 2 变形例によると、第 1 の実施形態と同様に、ゲート絶縁膜 105 と接する第 2 ゲート電極材料膜 (TiN 膜) 111 がゲート電極 151 の一部として形成されない n チャネル領域 103 上に、第 2 ゲート電極材料膜 (TiN 膜) 111 のエッチング時にオーバーエッチング吸収層として機能する第 1 ゲート電極材料膜 (ポリシリコン膜) 107 を予め形成している。このため、第 2 ゲート電極材料膜 (TiN 膜) 111 のエッチング時にゲート絶縁膜 105 に対するオーバーエッチング量が各トランジスタ領域で実質的に同等となるように第 1 ゲート電極材料膜 (ポリシリコン膜) 107 の膜厚等を設定することにより、各トランジスタ領域間でのゲート絶縁膜 105 に対するオーバーエッチング量の不均一性を低減できる。従って、ゲート絶縁膜 105 の突き抜け及びそれに伴う基板削れ等を防止できるため、トランジスタ特性劣化やパーティクル增加等に起因する歩留まり低下の危険を回避でき、それによって高性能な半導体装置を安価で提供することができる。

20

【0095】

また、第 1 の実施形態の第 2 变形例によると、ゲート電極加工時のエッチングにおけるオーバーエッチング量が各トランジスタ領域において実質的に同等となるため、オーバーエッチングに伴うゲート寸法変化を各トランジスタ領域で揃えることができる。このため、各トランジスタ、具体的には n チャネル型電界効果トランジスタ及び p チャネル型電界効果トランジスタのそれぞれにおけるゲート寸法のばらつきを低減することが可能となり、トランジスタ特性がより安定した半導体装置を提供することができる。

30

【0096】

さらに、第 1 の実施形態の第 2 变形例によると、第 1 エッチングカバー膜 201 をハーフマスクとして第 1 ゲート電極材料 107 であるポリシリコン膜のエッチングを実施するため、エッチングを実施した後に基板表面がその他の薬液などに曝されることがないので、ゲート絶縁膜 105 の表面にダメージ等が生じる危険を回避することができる。

40

【0097】

また、第 1 の実施形態の第 2 变形例によると、n チャネル領域 103 上に形成された第 2 ゲート電極材料膜 111 である TiN 膜をエッチングにより除去する際に、第 1 エッチングカバー膜 201 がエッチングストッパーとして機能するため、第 1 エッチングカバー膜 201 の下側に存在する第 1 ゲート電極材料膜 107 の表面がエッチングされることがないので、n チャネル領域 103 上における膜減り等の発生を防止することができる。

【0098】

また、第 1 の実施形態の第 2 变形例によると、第 2 ゲート電極材料膜 111 上にレジス

50

トパターン 112 をパターニング形成する際に、第 2 エッチングカバー膜 301 が第 2 ゲート電極材料膜 111 とレジストパターン 112 との間に存在している。このため、第 2 ゲート電極材料膜 111 の直上にレジストパターン 112 をパターニング形成する場合のように、第 2 ゲート電極材料膜 111 が金属含有材料からなることに起因してレジスト失活等が起こり、その影響を受けてレジスト裾引きが発生する等の危険を回避することができる。

【0099】

(第 1 の実施形態の第 3 変形例)

以下、本発明の第 1 の実施形態の第 3 変形例に係る半導体装置及びその製造方法について、図面を参照しながら説明する。

10

【0100】

図 26 (a) ~ (c) 、図 27 (a) ~ (c) 及び図 28 (a) ~ (c) は、本発明の第 1 の実施形態の第 3 変形例に係る半導体装置の製造方法の各工程を示す断面図である。尚、図 26 (a) ~ (c) 、図 27 (a) ~ (c) 及び図 28 (a) ~ (c) において、図 1 (a) ~ (c) 、図 2 (a) ~ (c) 及び図 3 (a) ~ (c) に示す第 1 の実施形態と同一の構成要素には同一の符号を付すことにより、重複する説明を省略する。

【0101】

まず、第 1 の実施形態の図 1 (a) に示す工程と同様に、図 26 (a) に示す工程を実施する。ここで、本変形例が第 1 の実施形態と異なっている点は、第 1 ゲート電極材料膜 107 として堆積するポリシリコン膜の厚さが 10 ~ 40 nm 程度であり、後述する図 26 (c) に示す工程（第 1 の実施形態の図 1 (c) に示す工程に相当）で第 2 ゲート電極材料膜 111 として堆積される金属膜の厚さ（5 ~ 20 nm 程度）よりも 2 倍程度大きいことである。尚、本変形例では、この金属膜として、例えば、Ta 系金属膜である TaN 膜若しくは TaCN 膜、又は酸素含有金属膜である TiON 膜、TiCNO 膜、TaCO 膜若しくは TaCNO 膜等を用いる。

20

【0102】

続いて、第 1 の実施形態の図 1 (b) 、(c) 、図 2 (a) ~ (c) 及び図 3 (a) ~ (c) に示す工程と同様に、図 26 (b) 、(c) 、図 27 (a) ~ (c) 及び図 28 (a) ~ (c) に示す工程を順次実施する。ここで、前述のように、第 1 の実施形態と比べて第 1 ゲート電極材料膜 107 の厚さが大きい点を除いて、各工程の内容は第 1 の実施形態の対応する工程と同じである。

30

【0103】

以上に説明した第 1 の実施形態の第 3 変形例においても、第 1 の実施形態と同様の効果を得ることができる。

【0104】

また、本変形例のように、第 2 ゲート電極材料膜 111 として、前述のような Ta 系金属膜や酸素含有金属膜を用いた場合、これらの金属膜の構成元素間の結合解離エネルギーが、シリコン結合を切断するための結合解離エネルギーよりも大きいため、これらの金属膜のエッチングレートはポリシリコン膜のエッチングレートよりも小さくなる。従って、本変形例のように、第 1 ゲート電極材料膜 107 として堆積するポリシリコン膜の厚さを、第 2 ゲート電極材料膜 111 として堆積する金属膜の厚さよりも大きくすることが、本発明の効果を得る上で特に有効である。

40

【0105】

(第 2 の実施形態)

以下、本発明の第 2 の実施形態に係る半導体装置及びその製造方法について、図面を参照しながら説明する。

【0106】

図 8 (a) ~ (c) 、図 9 (a) ~ (c) 、図 10 (a) ~ (c) 及び図 11 (a) ~ (c) は、本発明の第 2 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。尚、図 8 (a) ~ (c) 、図 9 (a) ~ (c) 、図 10 (a) ~ (c) 及び図 11

50

(a) ~ (c)において、図1(a) ~ (c)、図2(a) ~ (c)及び図3(a) ~ (c)に示す第1の実施形態と同一の構成要素には同一の符号を付すことにより、重複する説明を省略する。

【0107】

まず、図8(a)に示すように、半導体基板101に例えばSTIからなる素子分離102を形成し、nチャネル領域103及びpチャネル領域104を区画した後、nチャネル領域103及びpチャネル領域104のそれぞれに対してウェル形成用イオン注入を実施する。次に、nチャネル領域103及びpチャネル領域104のそれぞれに対して、トランジスタの閾値を調整するためのイオン注入を実施する。次に、例えばロジックトランジスタ、SRAMトランジスタ、及び入出力I/Oトランジスタ等の各トランジスタの機能に応じた膜厚及び膜質を持つゲート絶縁膜の作りこみを実施する。図8(a)は、nチャネル領域103及びpチャネル領域104のそれぞれの上に、例えばロジックトランジスタ用のゲート絶縁膜105を形成している場合を示している。具体的には、ゲート絶縁膜105は、半導体基板101の表面に形成された、シリコン酸化膜と比較して比誘電率の十分に高い高誘電率膜、例えばハフニウムシリコン酸化膜($HfSi_xO_y$ 膜)である。ここで、 $HfSi_xO_y$ 膜のEOTは約2.0nmである。尚、ゲート絶縁膜105と半導体基板101との界面には、半導体基板101が酸化されてなる例えば厚さ1nm程度の極薄シリコン酸化膜が界面層106として形成されている。

10

【0108】

次に、図8(a)に示すように、ゲート絶縁膜105の直上に、nチャネル領域103のトランジスタの閾値制御を行うための第1ゲート電極材料膜107として、例えばP(燐)をドーピングした厚さ5~20nm程度のポリシリコン膜を堆積する。この第1ゲート電極材料膜107はオーバーエッチング吸収層として機能するものであり、後の工程で実施されるゲート電極加工時のドライエッチングにおいて、ゲート絶縁膜105へのオーバーエッチング量がnチャネル領域103及びpチャネル領域104で実質的に同等となるように、膜厚等が設定されている。

20

【0109】

次に、図8(a)に示すように、第1ゲート電極材料膜107の上に、例えば、導電性酸化物であるRu(ルテニウム)酸化物又はIr(イリジウム)酸化物などからなる第1エッチングストッパー膜401を形成する。

30

【0110】

次に、図8(b)に示すように、第1エッチングストッパー膜401の上に、pチャネル領域104を開口したレジストパターン109を形成した後、レジストパターン109をマスクとして異方性ドライエッチングを行うことにより、pチャネル領域104上に位置する部分の第1エッチングストッパー膜401を除去すると共にpチャネル領域104上に位置する部分の第1ゲート電極材料膜107を途中まで除去する。その後、レジストパターン109を除去する。

【0111】

次に、図8(c)に示すように、nチャネル領域103を覆う第1エッチングストッパー膜401をマスクとして、pチャネル領域104上に残存する第1ゲート電極材料膜107を除去する。ここで、第1ゲート電極材料膜107であるポリシリコン膜のエッチングには、例えば65に加熱した水酸化カリウム溶液($KOH/H_2O = 0.3g/150cc$)を用いる。これにより、ゲート絶縁膜105の膜減り等のダメージを防止しながらエッチングを行うことができる。或いは、例えば80に加熱した希釈APM溶液($NH_3 : H_2O_2 : H_2O = 3~10 : 1 : 200~1000$)又は低ダメージのリモートプラズマを用いたケミカルドライエッチングによって第1ゲート電極材料膜107を除去することも可能である。

40

【0112】

本実施形態においては、第1エッチングストッパー膜401をマスクとして、第1ゲート電極材料膜107のエッチングを行うため、エッチングを実施した後に基板表面がその

50

他の薬液などに曝されることがないので、ゲート絶縁膜 105 の表面にダメージ等が生じることはない。

【0113】

次に、図9(a)に示すように、pチャネル領域104のトランジスタの閾値制御を行うための第2ゲート電極材料膜111として、例えば厚さ5~20nm程度のTiN膜をnチャネル領域103上及びpチャネル領域104上のそれぞれの全面に堆積する。

【0114】

このとき、前述のオーバーエッチング吸収層となる第1ゲート電極材料膜107の膜厚は、pチャネル領域104のトランジスタの閾値制御を行うための第2ゲート電極材料111の膜厚、及びゲート加工での各ゲート電極材料膜のエッチングレート比に応じて、第1ゲート電極材料膜107及び第2ゲート電極材料膜111のそれぞれのエッチングが完了する時間が実質的に同じになるように予め設定されている。オーバーエッチング吸収層となる第1ゲート電極材料膜107の膜厚の具体的な決定は、第1の実施形態で説明した(式1)~(式3)に従って行われる。

10

【0115】

次に、図9(a)に示すように、第2ゲート電極材料111の上に、例えば導電性酸化物であるRu(ルテニウム)酸化物又はIr(イリジウム)酸化物などからなる第2エッチストッパー膜402を形成する。

【0116】

次に、図9(b)に示すように、第2エッチストッパー膜402の上に、nチャネル領域103を開口したレジストパターン112を形成した後、nチャネル領域103上に位置する部分の第2エッチストッパー膜402及び第2ゲート電極材料膜111つまりTiN膜を順次エッチングにより除去する。このとき、第2エッチストッパー膜402である導電性酸化物膜及び第2ゲート電極材料膜111であるTiN膜を、例えばRIEによるドライエッチングを用いて除去することが可能である。或いは、例えばHF薬液(フッ酸)を用いて第2エッチストッパー膜402である導電性酸化物膜をエッチング除去した後に、例えばSPM溶液、希釀塩酸若しくは過酸化水素水等の薬液、又は低ダメージのリモートプラズマを用いたケミカルドライエッチングによって、第2ゲート電極材料膜111であるTiN膜を除去することも可能である。第2エッチストッパー膜402及び第2ゲート電極材料膜111のエッチングの実施後、例えばSPM溶液又はシンナー溶液等を用いてレジストパターン112を除去する。

20

30

【0117】

本実施形態においては、第2エッチストッパー膜402及び第2ゲート電極材料膜111をエッチングする際に、nチャネル領域103上においては第1エッチストッパー膜401がストッパーとなるため、その下側に存在する第1ゲート電極材料膜107の表面はエッチングされることがない。

【0118】

次に、図9(c)に示すように、半導体基板101上の全面に、具体的には、nチャネル領域103の第1エッチストッパー膜401上及びpチャネル領域104の第2エッチストッパー膜402上に、第3ゲート電極材料膜113として、例えばP(燐)をドーピングした厚さ80nm~150nm程度のポリシリコン膜を堆積した後、第3ゲート電極材料膜113の上に、nチャネル領域103及びpチャネル領域104のそれぞれのゲート電極形成領域を覆うレジストパターン114をフォトリソグラフィにより形成する。このとき、オーバーエッチング吸収層となる第1ゲート電極材料膜107の存在により、nチャネル領域103におけるnチャネルゲート電極高さ115とpチャネル領域104におけるpチャネルゲート電極高さ116との差が小さくなっているため、レジストパターン114を形成する際のフォーカスマージンが拡大するので、レジストパターン114として、より微細なパターンを形成することが可能となる。

40

【0119】

次に、図10(a)に示すように、レジストパターン114をマスクとして、第3ゲー

50

ト電極材料膜 113 に対して、例えばハロゲン系のエッティングガスを用いた異方性ドライエッティングを行う。このとき、n チャネル領域 103 及び p チャネル領域 104 に共通に形成されている第 3 ゲート電極材料 113 のエッティングは n チャネル領域 103 及び p チャネル領域 104 のそれぞれにおいて同時に完了する。また、第 1 エッティングストッパー膜 401 及び第 2 エッティングストッパー膜 402 により、第 3 ゲート電極材料膜 113 の膜厚ばらつき（素子分離 102 とそれに隣接する活性領域との間の段差に起因する膜厚ばらつきを含む）の影響は吸収され、第 3 ゲート電極材料膜 113 のエッティングが完了した時点で第 1 エッティングストッパー膜 401 及び第 2 エッティングストッパー膜 402 のそれぞれの表面が露出する。

【0120】

次に、図 10 (b) に示すように、レジストパターン 114 をマスクとして、第 1 エッティングストッパー膜 401 及び第 2 エッティングストッパー膜 402 に対して、例えばフルオロカーボンガスに代表されるフッ素系のエッティングガスを用いた異方性ドライエッティングを行う。第 1 エッティングストッパー膜 401 及び第 2 エッティングストッパー膜 402 に対するエッティングは、レジストパターン 114 の外側の第 1 ゲート電極材料膜 107 及び第 2 ゲート電極材料膜 111 のそれぞれの表面が露出するまで行う。ここで、導電性酸化物である第 1 エッティングストッパー膜 401 とポリシリコンである第 1 ゲート電極材料膜 107 及び導電性酸化物である第 2 エッティングストッパー膜 402 と TiN である第 2 ゲート電極材料膜 111 及び導電性酸化物である第 1 ゲート電極材料膜 107 及び第 2 ゲート電極材料膜 111 をほとんど削ることなく、第 1 エッティングストッパー膜 401 及び第 2 エッティングストッパー膜 402 のエッティングを行うことができる。

【0121】

次に、レジストパターン 114 をマスクとして、n チャネル領域 103 上の第 1 ゲート電極材料膜 107、及び p チャネル領域 104 上の第 2 ゲート電極材料膜 111 に対して同時に、例えばハロゲン系のエッティングガスを用いた異方性ドライエッティングを行い、その後、レジストパターン 114 を除去する。これにより、図 10 (c) に示すように、n チャネル領域 103 上には、ゲート絶縁膜と接する第 1 ゲート電極材料膜（ポリシリコン膜）107 と、その上に形成された第 1 エッティングストッパー膜（導電性酸化物膜）401 と、その上に形成された第 3 ゲート電極材料膜（ポリシリコン膜）113 とからなるゲート電極 161 が形成されると共に、p チャネル領域 104 上には、ゲート絶縁膜と接する第 2 ゲート電極材料膜（TiN 膜）111 と、その上に形成された第 2 エッティングストッパー膜（導電性酸化物膜）402 と、その上に形成された第 3 ゲート電極材料膜（ポリシリコン膜）113 とからなるゲート電極 162 が形成される。ここで、前述したように、オーバーエッティング吸収層となる第 1 ゲート電極材料 107 の膜厚は、p チャネル領域 104 のトランジスタの閾値制御を行うための第 2 ゲート電極材料 111 の膜厚、及びゲート加工での各ゲート電極材料膜のエッティングレート比に応じて、第 1 ゲート電極材料膜 107 及び第 2 ゲート電極材料膜 111 のそれぞれのエッティングが完了する時間が実質的に同じとなるように予め設定されている。従って、n チャネル領域 103 及び p チャネル領域 104 のそれぞれにおいて第 1 ゲート電極材料膜 107 のエッティングと第 2 ゲート電極材料膜 111 のエッティングとは同時に完了する。これにより、n チャネル領域 103 及び p チャネル領域 104 のそれぞれにおいてゲート絶縁膜 105 に対するオーバーエッティング量を揃えることが可能となるため、ゲート絶縁膜 105 に対する過剰なオーバーエッティングは発生しない。従って、ゲート絶縁膜 105 の突き抜けやそれに伴う半導体基板 101 の削れ等の問題は発生しない。

【0122】

尚、本実施形態において、ゲート電極 161 及び 162 の形成後にレジストパターン 114 を除去したが、これに代えて、図 10 (a) に示す第 3 ゲート電極材料膜 113 のエッティングが完了した後に、レジストパターン 114 を除去しても良い。すなわち、図 10 (b) に示す第 1 エッティングストッパー膜 401 及び第 2 エッティングストッパー膜 402

10

20

30

30

40

50

のエッティング、並びに図 10 (c) に示す第 1 ゲート電極材料膜 107 及び第 2 ゲート電極材料膜 111 のエッティングにおいては、パターニングされた第 3 ゲート電極材料膜 113 をマスクとして用いてもよい。

【0123】

次に、図 11 (a) に示すように、n チャネル領域 103 上及び p チャネル領域 104 上の全面に、例えば L P - C V D 法により T E O S 膜又は S i N 膜などの絶縁膜を厚さ 5 ~ 20 nm 程度堆積した後、当該絶縁膜に対して異方性ドライエッティングによるエッチバックを行って、ゲート電極 161 及び 162 のそれぞれの側面にオフセットスペーサ 117 を形成する。次に、ゲート電極 161 及び 162 並びにオフセットスペーサ 117 をマスクとして、n チャネル領域 103 及び p チャネル領域 104 のそれぞれに対してイオン注入を行うことにより、n チャネル領域 103 におけるゲート電極 161 の両側にエクステンション注入層 118A を形成すると共に p チャネル領域 104 におけるゲート電極 162 の両側にエクステンション注入層 118B を形成する。

【0124】

次に、図 11 (b) に示すように、n チャネル領域 103 上及び p チャネル領域 104 上の全面に、例えば S A - C V D 法により N S G 膜を厚さ 5 ~ 10 nm 程度堆積した後、例えば A L D 法により S i N 膜を厚さ 20 ~ 40 nm 程度堆積する。次に、N S G 膜と S i N 膜との積層膜に対して異方性ドライエッティングによるエッチバックを行って、ゲート電極 161 及び 162 のそれぞれの側面にオフセットスペーサ 117 を介して、サイドウォール下層膜 119 及びサイドウォール上層膜 120 からなるサイドウォールスペーサ 121 を形成する。尚、サイドウォール下層膜 119 として、N S G 膜に代えて、例えば L P - C V D 法により T E O S 膜を形成してもよい。次に、ゲート電極 161、オフセットスペーサ 117 及びサイドウォールスペーサ 121 をマスクとして、n チャネル領域 103 に対して A s (硅素) 及び P (磷) のイオン注入を行うことにより、n チャネル領域 103 におけるゲート電極 161 から見てエクステンション注入層 118A の外側にソース・ドレイン注入層 122A を形成する。また、ゲート電極 162、オフセットスペーサ 117 及びサイドウォールスペーサ 121 をマスクとして、p チャネル領域 104 に対して B (ホウ素) のイオン注入を行うことにより、p チャネル領域 104 におけるゲート電極 162 から見てエクステンション注入層 118B の外側にソース・ドレイン注入層 122B を形成する。その後、活性化熱処理を行い、イオン注入によって半導体基板 101 中に導入した各不純物を活性化する。

【0125】

次に、n チャネル領域 103 上及び p チャネル領域 104 上の全面に、高融点金属膜として例えば N i 膜をスパッタ法などによって堆積した後、シリサイド化熱処理を実施し、その後、シリサイド未反応領域の N i 膜を例えばウェットエッティングにより除去する。これにより、図 11 (c) に示すように、ソース・ドレイン注入層 122A 及び 122B のそれぞれの表面並びにゲート電極 161 及び 162 のそれぞれの表面に N i シリサイド層 124 が形成される。

【0126】

以上に説明した第 2 の実施形態によると、ゲート絶縁膜 105 と接する第 2 ゲート電極材料膜 (T i N 膜) 111 がゲート電極 161 の一部として形成されない n チャネル領域 103 上に、第 2 ゲート電極材料膜 (T i N 膜) 111 のエッティング時にオーバーエッティング吸収層として機能する第 1 ゲート電極材料膜 (ポリシリコン膜) 107 を予め形成している。このため、第 2 ゲート電極材料膜 (T i N 膜) 111 のエッティング時にゲート絶縁膜 105 に対するオーバーエッティング量が各トランジスタ領域で実質的に同等となるように第 1 ゲート電極材料膜 (ポリシリコン膜) 107 の膜厚等を設定することにより、各トランジスタ領域間でのゲート絶縁膜 105 に対するオーバーエッティング量の不均一性を低減できる。また、第 1 ゲート電極材料膜 (ポリシリコン膜) 107 上の第 3 ゲート電極材料膜 (ポリシリコン膜) 113 のエッティング時にエッティングストッパーとして機能する第 1 エッティングストッパー膜 401 を形成しているので、膜厚等が所定値に設定された第

10

20

30

40

50

1ゲート電極材料膜（ポリシリコン膜）107に膜減り等が生じることもない。従って、ゲート絶縁膜105の突き抜け及びそれに伴う基板削れ等を防止できるため、トランジスタ特性劣化やパーティクル増加等に起因する歩留まり低下の危険を回避でき、それによって高性能な半導体装置を安価で提供することができる。

【0127】

また、第2の実施形態によると、ゲート電極加工時のエッチングにおけるオーバーエッチング量が各トランジスタ領域において実質的に同等となるため、オーバーエッチングに伴うゲート寸法変化を各トランジスタ領域で揃えることができる。このため、各トランジスタ、具体的にはnチャネル型電界効果トランジスタ及びpチャネル型電界効果トランジスタのそれそれぞれにおけるゲート寸法のばらつきを低減することが可能となり、トランジスタ特性がより安定した半導体装置を提供することができる。

10

【0128】

（第3の実施形態）

以下、本発明の第3の実施形態に係る半導体装置及びその製造方法について、図面を参照しながら説明する。

【0129】

図12(a)～(c)、図13(a)～(c)、図14(a)～(c)、図15(a)～(c)及び図16(a)、(b)は、本発明の第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。尚、図12(a)～(c)、図13(a)～(c)、図14(a)～(c)、図15(a)～(c)及び図16(a)、(b)において、図1(a)～(c)、図2(a)～(c)及び図3(a)～(c)に示す第1の実施形態と同一の構成要素には同一の符号を付すことにより、重複する説明を省略する。

20

【0130】

まず、図12(a)に示すように、半導体基板101に例えばSTIからなる素子分離102を形成し、nチャネル領域103及びpチャネル領域104を区画した後、nチャネル領域103及びpチャネル領域104のそれぞれに対してウェル形成用イオン注入を実施する。次に、nチャネル領域103及びpチャネル領域104のそれぞれに対して、トランジスタの閾値を調整するためのイオン注入を実施する。次に、例えばロジックトランジスタ、SRAMトランジスタ、及び入出力I/Oトランジスタ等の各トランジスタの機能に応じた膜厚及び膜質を持つゲート絶縁膜の作りこみを実施する。図12(a)は、nチャネル領域103及びpチャネル領域104のそれぞれの上に、例えばロジックトランジスタ用のゲート絶縁膜105を形成している場合を示している。具体的には、ゲート絶縁膜105は、半導体基板101の表面に形成された、シリコン酸化膜と比較して比誘電率の十分に高い高誘電率膜、例えばハフニウムシリコン酸化膜(HfSi_xO_y膜)である。ここで、HfSi_xO_y膜のEOTは約2.0nmである。尚、ゲート絶縁膜105と半導体基板101との界面には、半導体基板101が酸化されてなる例えば厚さ1nm程度の極薄シリコン酸化膜が界面層106として形成されている。

30

【0131】

次に、図12(a)に示すように、ゲート絶縁膜105の直上に、nチャネル領域103のトランジスタの閾値制御を行うための第1ゲート電極材料膜107として、例えばP(燐)をドーピングした厚さ5～20nm程度のポリシリコン膜を堆積する。

40

【0132】

次に、図12(a)に示すように、第1ゲート電極材料膜107の上に、例えば、導電性酸化物であるRu(ルテニウム)酸化物又はIr(イリジウム)酸化物などからなるエッチングストッパー膜401を形成する。

【0133】

次に、図12(b)に示すように、エッチングストッパー膜401の上に、pチャネル領域104を開口したレジストパターン109を形成した後、レジストパターン109をマスクとして異方性ドライエッチングを行うことにより、pチャネル領域104上に位置する部分のエッチングストッパー膜401を除去すると共にpチャネル領域104上に位

50

置する部分の第1ゲート電極材料膜107を途中まで除去する。その後、レジストパターン109を除去する。

【0134】

次に、図12(c)に示すように、nチャネル領域103を覆うエッチングストッパー膜401をマスクとして、pチャネル領域104上に残存する第1ゲート電極材料膜107を除去する。ここで、第1ゲート電極材料膜107であるポリシリコン膜のエッチングには、例えば65に加熱した水酸化カリウム溶液($KOH / H_2O = 0.3g / 150cc$)を用いる。これにより、ゲート絶縁膜105の膜減り等のダメージを防止しながらエッチングを行うことができる。或いは、例えば80に加熱した希釈APM溶液($NH_3 : H_2O_2 : H_2O = 3 \sim 10 : 1 : 200 \sim 1000$)又は低ダメージのリモートプラズマを用いたケミカルドライエッチングによって第1ゲート電極材料膜107を除去することも可能である。

10

【0135】

本実施形態においては、エッチングストッパー膜401をマスクとして、第1ゲート電極材料膜107のエッチングを行うため、エッチングを実施した後に基板表面がその他の薬液などに曝されることがないので、ゲート絶縁膜105の表面にダメージ等が生じることはない。

【0136】

次に、図13(a)に示すように、pチャネル領域104のトランジスタの閾値制御を行うための第2ゲート電極材料膜111として、例えば厚さ5~20nm程度のTiN膜をnチャネル領域103上及びpチャネル領域104上のそれぞれの全面に堆積する。

20

【0137】

次に、図13(b)に示すように、第2ゲート電極材料膜111上の全面に、第3ゲート電極材料膜113として、例えばP(燐)をドーピングした厚さ80nm~150nm程度のポリシリコン膜を堆積した後、第3ゲート電極材料膜113の上に、nチャネル領域103及びpチャネル領域104のそれぞれのゲート電極形成領域を覆うレジストパターン114をフォトリソグラフィにより形成する。

【0138】

次に、図13(c)に示すように、レジストパターン114をマスクとして、第3ゲート電極材料膜113に対して、例えばハロゲン系のエッチングガスを用いた異方性ドライエッチングを行う。このとき、nチャネル領域103及びpチャネル領域104に共通に形成されている第3ゲート電極材料膜113のエッチングはnチャネル領域103及びpチャネル領域104のそれぞれにおいて同時に完了し、レジストパターン114の外側に位置する部分の第2ゲート電極材料膜111の表面が露出する。

30

【0139】

次に、図14(a)に示すように、引き続きレジストパターン114をマスクとして、nチャネル領域103及びpチャネル領域104に共通に形成されている第2ゲート電極材料111に対してエッチングを行う。これにより、pチャネル領域104上においては、ゲート絶縁膜と接する第2ゲート電極材料膜(TiN膜)111と、その上に形成された第3ゲート電極材料膜(ポリシリコン膜)113とからなるゲート電極172が形成される。このとき、nチャネル領域103においては第2ゲート電極材料111の下地であるエッチングストッパー膜(導電性酸化物膜)401でエッチングストップさせる。また、同時に、pチャネル領域104においては第2ゲート電極材料111の下地であるゲート絶縁膜105でエッチングストップさせる。ここで、エッチング対象の膜の種類及び膜厚のそれぞれがnチャネル領域103及びpチャネル領域104で同じであるため、pチャネル領域104のゲート絶縁膜105に対するオーバーエッチング量が過剰となることはないので、pチャネル領域104のゲート絶縁膜105に突き抜けの問題は発生しない。

40

【0140】

次に、図14(b)に示すように、レジストパターン114を除去した後、図14(c)

50

)に示すように、nチャネル領域103上及びpチャネル領域104上の全面に、例えばL.P.-C.V.D法によりTEOS膜からなる厚さ5nm程度の第1オフセットカバー膜501を堆積した後、第1オフセットカバー膜501の上に、nチャネル領域103を開口したレジストパターン502を形成する。

【0141】

次に、レジストパターン502をマスクとして、nチャネル領域103を覆う第1オフセットカバー膜501及びエッチングストッパー膜401に対してエッチバックを行って、図15(a)に示すように、nチャネル領域103を覆う第1オフセットカバー膜501及びエッチングストッパー膜401を除去する。これにより、エッチングストッパー膜401がnチャネル領域103のゲート電極171(図15(b)参照)の形状にパターンングされる。また、nチャネル領域103のゲート電極171の一部となる第2ゲート電極材料膜(TiN膜)111と第3ゲート電極材料膜(ポリシリコン膜)113との積層構造の側面に第1オフセットカバー膜501が残存する。すなわち、第1オフセットカバー膜501によって、nチャネル領域103及びpチャネル領域104のそれぞれの第2ゲート電極材料膜111の側壁が露出することを防止できると共に、後の工程で実施される、nチャネル領域103の第1ゲート電極材料膜107のエッチングの際に、pチャネル領域104の半導体基板101表面におけるエッチングストッパー膜の膜厚を厚くすることができる。その後、レジストパターン502を例えばアッシング又はSPM溶液などを用いて除去する。このとき、前述のように、第2ゲート電極材料膜111の側壁の露出が防止されているので、第2ゲート電極材料膜111つまりTiN膜の酸化や異常反応などを抑制できる。

10

20

30

【0142】

次に、図15(b)に示すように、pチャネル領域104を第1オフセットカバー膜501によって覆いながら、nチャネル領域103の第3ゲート電極材料膜113及び第1オフセットカバー膜501をマスクとして、nチャネル領域103の第1ゲート電極材料107に対してエッチバックを行い、nチャネル領域103のゲート絶縁膜105の表面を露出させる。これにより、nチャネル領域103上において、ゲート絶縁膜と接する第1ゲート電極材料膜(ポリシリコン膜)107と、その上に形成されたエッチングストッパー膜(導電性酸化物膜)401と、その上に形成された第2ゲート電極材料膜(TiN膜)111と、その上に形成された第3ゲート電極材料膜(ポリシリコン膜)113とからなるゲート電極171が形成される。このとき、pチャネル領域104の半導体基板101及びゲート電極172のそれぞれの表面は第1オフセットカバー膜501によって保護されているため、エッチングされることなく形状が損われることもない。また、nチャネル領域103のエッチングストッパー膜401及び第1ゲート電極材料107のエッチバックに際して、nチャネル領域103の第3ゲート電極材料膜113の上面が露出しているため、第3ゲート電極材料膜113も同時にエッチバックされるが、これによって、nチャネル領域103のゲート電極171のゲート高さ115は、pチャネル領域104のゲート電極172のゲート高さ116に近づくことになる。

【0143】

次に、nチャネル領域103上及びpチャネル領域104上の全面に、例えばL.P.-C.V.D法により厚さ5nm程度のTEOS膜からなる第2オフセットカバー膜504を堆積した後、当該第2オフセットカバー膜504及びpチャネル領域104の第1オフセットカバー膜501に対して異方性ドライエッチングによるエッチバックを行う。これにより、図15(c)に示すように、ゲート電極171の側面に、第2ゲート電極材料膜(TiN膜)111及び第3ゲート電極材料膜(ポリシリコン膜)113の積層構造の側面を覆う第1オフセットカバー膜501と、当該第1オフセットカバー膜501並びに第1ゲート電極材料膜(ポリシリコン膜)107及びエッチングストッパー膜(導電性酸化物膜)401の積層構造の側面を覆う第2オフセットカバー膜504とからなるオフセットスペーサ117Aが形成される。また、ゲート電極172の側面の全体に、第1オフセットカバー膜501と第2オフセットカバー膜504とからなるオフセットスペーサ117Bが

40

50

形成される。

【0144】

尚、本実施形態においては、ゲート電極171のうち第1ゲート電極材料膜（ポリシリコン膜）107及びエッチングストッパー膜（導電性酸化物膜）401の積層構造の幅は、ゲート電極171のうち第2ゲート電極材料膜（TiN膜）111及び第3ゲート電極材料膜（ポリシリコン膜）113の積層構造の幅よりも大きい。また、ゲート電極171のうち第1ゲート電極材料膜（ポリシリコン膜）107及びエッチングストッパー膜（導電性酸化物膜）401の積層構造の側面に形成されているオフセットスペーサ117Aの幅は、ゲート電極171のうち第2ゲート電極材料膜（TiN膜）111及び第3ゲート電極材料膜（ポリシリコン膜）113の積層構造の側面に形成されているオフセットスペーサ117Aの幅よりも小さい。

10

【0145】

次に、図15(c)に示すように、ゲート電極171及び172並びにオフセットスペーサ117A及び117Bをマスクとして、nチャネル領域103及びpチャネル領域104のそれぞれに対してイオン注入を行うことにより、nチャネル領域103におけるゲート電極171の両側にエクステンション注入層118Aを形成すると共に、pチャネル領域104におけるゲート電極172の両側にエクステンション注入層118Bを形成する。

20

【0146】

本実施形態においては、nチャネル領域103における実質的なオフセットスペーサ幅505は、オフセットスペーサ117Aのうちの第2オフセットカバー膜504の厚さとなり、pチャネル領域104におけるオフセットスペーサ幅506は、第1オフセットカバー膜501の厚さと第2オフセットカバー膜504の厚さとを合わせたものとなる。これにより、nチャネル領域103のオフセットスペーサ幅505とpチャネル領域104のオフセットスペーサ幅506とを個別に設定することが可能となる。また、各チャネル領域におけるゲート電極幅についても前述のオフセットスペーサ幅と連動するため、nチャネル領域103の実質的なゲート電極幅（つまり最下層の第1ゲート電極材料膜107の幅）507と、pチャネル領域104のゲート電極幅508とを個別に設定することも可能となっている。

30

【0147】

次に、図16(a)に示すように、nチャネル領域103上及びpチャネル領域104上の全面に、例えばSA-CVD法によりNSG膜を厚さ5~10nm程度堆積した後、例えばALD法によりSiN膜を厚さ20~40nm程度堆積する。次に、NSG膜とSiN膜との積層膜に対して異方性ドライエッチングによるエッチバックを行って、ゲート電極171及び172のそれぞれの側面にオフセットスペーサ117A及び117Bを介して、サイドウォール下層膜119及びサイドウォール上層膜120からなるサイドウォールスペーサ121を形成する。尚、サイドウォール下層膜119として、NSG膜に代えて、例えばLPCVD法によりTEOS膜を形成してもよい。次に、ゲート電極171、オフセットスペーサ117A及びサイドウォールスペーサ121をマスクとして、nチャネル領域103に対してAs（砒素）及びP（磷）のイオン注入を行うことにより、nチャネル領域103におけるゲート電極171から見てエクステンション注入層118Aの外側にソース・ドレイン注入層122Aを形成する。また、ゲート電極172、オフセットスペーサ117B及びサイドウォールスペーサ121をマスクとして、pチャネル領域104に対してB（ホウ素）のイオン注入を行うことにより、pチャネル領域104におけるゲート電極172から見てエクステンション注入層118Bの外側にソース・ドレイン注入層122Bを形成する。その後、活性化熱処理を行い、イオン注入によって半導体基板101中に導入した各不純物を活性化する。

40

【0148】

次に、nチャネル領域103上及びpチャネル領域104上の全面に、高融点金属膜として例えばNi膜をスパッタ法などによって堆積した後、シリサイド化熱処理を実施し、

50

その後、シリサイド未反応領域のN_i膜を例えばウェットエッティングにより除去する。これにより、図16(b)に示すように、ソース・ドレイン注入層122A及び122Bのそれぞれの表面並びにゲート電極171及び172のそれぞれの表面にN_iシリサイド層124が形成される。

【0149】

以上に説明した第3の実施形態によると、ゲート電極加工時のエッティング、具体的には、nチャネル領域103のエッティングストッパー膜401及び第1ゲート電極材料107に対してエッティングを行う前に、オーバーエッティング量が大きくなるpチャネル領域104を覆うように、エッティングストッパー膜として機能する第1オフセットカバー膜501を予め形成している。言い換えると、ゲート電極加工時のオーバーエッティング量が過剰となるpチャネル領域104におけるエッティングストッパー膜の膜厚を、オーバーエッティング実施前に増大させている。従って、ゲート絶縁膜105の突き抜け及びそれに伴う基板削れ等を防止できるため、トランジスタ特性劣化やパーティクル増加等に起因する歩留まり低下の危険を回避でき、それによって高性能な半導体装置を安価で提供することができる。

10

【0150】

また、第3の実施形態によると、ゲート電極加工時のエッティングにおけるオーバーエッティング量が各トランジスタ領域において過剰とならないため、オーバーエッティングに伴うゲート寸法変化を各トランジスタ領域で揃えることができる。このため、各トランジスタ、具体的にはnチャネル型電界効果トランジスタ及びpチャネル型電界効果トランジスタのそれぞれにおけるゲート寸法のばらつきを低減することが可能となり、トランジスタ特性がより安定した半導体装置を提供することができる。

20

【0151】

(第4の実施形態)

以下、本発明の第4の実施形態に係る半導体装置及びその製造方法について、図面を参考しながら説明する。

【0152】

図17(a)～(c)、図18(a)～(c)、図19(a)～(c)及び図20(a)～(c)は、本発明の第4の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。尚、図17(a)～(c)、図18(a)～(c)、図19(a)～(c)及び図20(a)～(c)において、図1(a)～(c)、図2(a)～(c)及び図3(a)～(c)に示す第1の実施形態と同一の構成要素には同一の符号を付すことにより、重複する説明を省略する。

30

【0153】

まず、図17(a)に示すように、半導体基板101に例えばSTIからなる素子分離102を形成し、nチャネル領域103及びpチャネル領域104を区画した後、nチャネル領域103及びpチャネル領域104のそれぞれに対してウェル形成用イオン注入を実施する。次に、nチャネル領域103及びpチャネル領域104のそれぞれに対して、トランジスタの閾値を調整するためのイオン注入を実施する。次に、例えばロジックトランジスタ、SRAMトランジスタ、及び入出力I/Oトランジスタ等の各トランジスタの機能に応じた膜厚及び膜質を持つゲート絶縁膜の作りこみを実施する。図17(a)は、nチャネル領域103及びpチャネル領域104のそれぞれの上に、例えばロジックトランジスタ用のゲート絶縁膜105を形成している場合を示している。具体的には、ゲート絶縁膜105は、半導体基板101の表面に形成された、シリコン酸化膜と比較して比誘電率の十分に高い高誘電率膜、例えばハフニウムシリコン酸化膜(HfSi_xO_y膜)である。ここで、HfSi_xO_y膜のEOTは約2.0nmである。尚、ゲート絶縁膜105と半導体基板101との界面には、半導体基板101が酸化されてなる例えば厚さ1nm程度の極薄シリコン酸化膜が界面層106として形成されている。

40

【0154】

次に、図17(a)に示すように、ゲート絶縁膜105の直上に、pチャネル領域10

50

4のトランジスタの閾値制御を行うためのゲート電極材料膜111として、例えば厚さ5~20nm程度のTiN膜を堆積する。

【0155】

次に、図17(a)に示すように、ゲート電極材料膜111の上に、例えば、導電性酸化物であるRu(ルテニウム)酸化物又はIr(イリジウム)酸化物などからなるエッティングストッパー膜402を形成する。

【0156】

次に、図17(b)に示すように、エッティングストッパー膜402の上に、nチャネル領域103を開口したレジストパターン112を形成した後、レジストパターン112をマスクとして異方性ドライエッティングを行うことにより、nチャネル領域103上に位置する部分のエッティングストッパー膜402を除去すると共にnチャネル領域103上に位置する部分のゲート電極材料膜111を途中まで除去する。その後、レジストパターン112を除去する。

10

【0157】

次に、図17(c)に示すように、pチャネル領域104を覆うエッティングストッパー膜402をマスクとして、nチャネル領域103上に残存するゲート電極材料膜111を除去する。ここで、ゲート電極材料膜111であるTiN膜の除去は、例えばSPM溶液、希釈塩酸若しくは過酸化水素水などの薬液又は低ダメージのリモートプラズマを用いたケミカルドライエッティングによって行う。

20

【0158】

本実施形態においては、エッティングストッパー膜402をマスクとして、ゲート電極材料膜111のエッティングを行うため、エッティングを実施した後に基板表面が他の薬液などに曝されることがないので、ゲート絶縁膜105の表面にダメージ等が生じることはない。

20

【0159】

次に、図18(a)に示すように、半導体基板101上の全面に、つまり、nチャネル領域103のゲート絶縁膜105上及びpチャネル領域104のエッティングストッパー膜402上に、ゲート電極材料膜113として、例えばP(燐)をドーピングした厚さ80nm~150nm程度のポリシリコン膜を堆積した後、ゲート電極材料膜113の上に、nチャネル領域103及びpチャネル領域104のそれぞれのゲート電極形成領域を覆うレジストパターン114をフォトリソグラフィにより形成する。

30

【0160】

次に、図18(b)に示すように、レジストパターン114をマスクとして、ゲート電極材料膜113に対して、例えばハロゲン系のエッティングガスを用いた異方性ドライエッティングを行う。これにより、nチャネル領域103上においては、ゲート絶縁膜と接するゲート電極材料膜(ポリシリコン膜)113からなるゲート電極181が形成される。このとき、nチャネル領域103及びpチャネル領域104に共通に形成されているゲート電極材料膜113のエッティングはnチャネル領域103及びpチャネル領域104のそれぞれにおいて同時に完了する。すなわち、pチャネル領域104では下地の導電性酸化物膜であるエッティングストッパー膜402によってエッティングがストップすると同時に、nチャネル領域103では下地のゲート絶縁膜105によってエッティングがストップする。

40

【0161】

図18(b)に示すエッティング工程では、エッティング対象の膜の種類及び厚さがnチャネル領域103及びpチャネル領域104で同じであるため、nチャネル領域103のゲート絶縁膜105に対するオーバーエッティング量が過剰となることはないので、nチャネル領域103のゲート絶縁膜105において突き抜けの問題が発生することはない。

【0162】

次に、図18(c)に示すように、レジストパターン114を除去した後、図19(a)に示すように、nチャネル領域103上及びpチャネル領域104上の全面に、例えばLPCVD法によりTEOS膜からなる厚さ5nm程度の第1オフセットカバー膜50

50

1を堆積した後、第1オフセットカバー膜501の上に、pチャネル領域104を開口したレジストパターン601を形成する。

【0163】

次に、レジストパターン601をマスクとして、pチャネル領域104を覆う第1オフセットカバー膜501及びエッチングストッパー膜402に対してエッチバックを行って、図19(b)に示すように、pチャネル領域104を覆う第1オフセットカバー膜501及びエッチングストッパー膜402を除去する。これにより、エッチングストッパー膜402がpチャネル領域104のゲート電極182(図19(c)参照)の形状にパターンングされる。また、pチャネル領域104のゲート電極182の一部となるゲート電極材料膜(ポリシリコン膜)113の側面に第1オフセットカバー膜501が残存する。すなわち、第1オフセットカバー膜501によって、後の工程で実施される、pチャネル領域104のゲート電極材料膜111のエッチングの際に、nチャネル領域103の半導体基板101表面におけるエッチングストッパー膜の膜厚を厚くすることができる。その後、レジストパターン601を例えればアッシング又はSPM溶液などを用いて除去する。

10

【0164】

次に、図19(c)に示すように、nチャネル領域103を第1オフセットカバー膜501によって覆いながら、pチャネル領域104の第3ゲート電極材料膜113及び第1オフセットカバー膜501をマスクとして、pチャネル領域104のゲート電極材料111に対してエッチバックを行い、pチャネル領域104のゲート絶縁膜105の表面を露出させる。これにより、pチャネル領域104上において、ゲート絶縁膜と接するゲート電極材料膜(TiN膜)111と、その上に形成されたエッチングストッパー膜(導電性酸化物膜)402と、その上に形成されたゲート電極材料膜(ポリシリコン膜)113とからなるゲート電極182が形成される。このとき、nチャネル領域103の半導体基板101及びゲート電極181のそれぞれの表面は第1オフセットカバー膜501によって保護されているため、エッチングされることなく形状が損われることもない。また、pチャネル領域104のエッチングストッパー膜402及びゲート電極材料膜111のエッチバックに際して、pチャネル領域104のゲート電極材料膜113の上面が露出しているため、ゲート電極材料膜113も同時にエッチバックされるが、これによって、pチャネル領域104のゲート電極182のゲート高さ116は、nチャネル領域103のゲート電極181のゲート高さ115に近づくことになる。

20

【0165】

次に、nチャネル領域103上及びpチャネル領域104上の全面に、例えばLPCVD法により厚さ5nm程度のTEOS膜からなる第2オフセットカバー膜504を堆積した後、当該第2オフセットカバー膜504及びnチャネル領域103の第1オフセットカバー膜501に対して異方性ドライエッチングによるエッチバックを行う。これにより、図20(a)に示すように、ゲート電極181の側面の全体に、第1オフセットカバー膜501と第2オフセットカバー膜504とからなるオフセットスペーサ117Aが形成される。また、ゲート電極182の側面に、ゲート電極材料膜(ポリシリコン膜)113の側面を覆う第1オフセットカバー膜501と、当該第1オフセットカバー膜501並びにゲート電極材料膜(TiN膜)111及びエッチングストッパー膜(導電性酸化物膜)402の積層構造の側面を覆う第2オフセットカバー膜504とからなるオフセットスペーサ117Bが形成される。

30

【0166】

尚、本実施形態においては、ゲート電極182のうちゲート電極材料膜(TiN膜)111及びエッチングストッパー膜(導電性酸化物膜)402の積層構造の幅は、ゲート電極182のうちゲート電極材料膜(ポリシリコン膜)113の幅よりも大きい。また、ゲート電極182のうちゲート電極材料膜(TiN膜)111及びエッチングストッパー膜(導電性酸化物膜)402の積層構造の側面に形成されているオフセットスペーサ117Bの幅は、ゲート電極182のうちゲート電極材料膜(ポリシリコン膜)113の側面に形成されているオフセットスペーサ117Bの幅よりも小さい。

40

50

【0167】

次に、図20(a)に示すように、ゲート電極181及び182並びにオフセットスペーサ117A及び117Bをマスクとして、nチャネル領域103及びpチャネル領域104のそれぞれに対してイオン注入を行うことにより、nチャネル領域103におけるゲート電極181の両側にエクステンション注入層118Aを形成すると共に、pチャネル領域104におけるゲート電極182の両側にエクステンション注入層118Bを形成する。

【0168】

本実施形態においては、nチャネル領域103におけるオフセットスペーサ幅505は、第1オフセットカバー膜501の厚さと第2オフセットカバー膜504の厚さとを合わせたものとなり、pチャネル領域104における実質的なオフセットスペーサ幅506は、オフセットスペーサ117Bのうちの第2オフセットカバー膜504の厚さとなる。これにより、nチャネル領域103のオフセットスペーサ幅505とpチャネル領域104のオフセットスペーサ幅506とを個別に設定することが可能となる。また、各チャネル領域におけるゲート電極幅についても前述のオフセットスペーサ幅と連動するため、nチャネル領域103の実質的なゲート電極幅(つまりゲート電極材料膜113の幅)507と、pチャネル領域104のゲート電極幅(つまり最下層のゲート電極材料膜111の幅)508とを個別に設定することも可能となっている。

10

【0169】

次に、図20(b)に示すように、nチャネル領域103上及びpチャネル領域104上の全面に、例えばSA-CVD法によりNSG膜を厚さ5~10nm程度堆積した後、例えばALD法によりSiN膜を厚さ20~40nm程度堆積する。次に、NSG膜とSiN膜との積層膜に対して異方性ドライエッチングによるエッチバックを行って、ゲート電極181及び182のそれぞれの側面にオフセットスペーサ117A及び117Bを介して、サイドウォール下層膜119及びサイドウォール上層膜120からなるサイドウォールスペーサ121を形成する。尚、サイドウォール下層膜119として、NSG膜に代えて、例えばLPCVD法によりTEOS膜を形成してもよい。次に、ゲート電極181、オフセットスペーサ117A及びサイドウォールスペーサ121をマスクとして、nチャネル領域103に対してAs(砒素)及びP(磷)のイオン注入を行うことにより、nチャネル領域103におけるゲート電極181から見てエクステンション注入層118Aの外側にソース・ドレイン注入層122Aを形成する。また、ゲート電極182、オフセットスペーサ117B及びサイドウォールスペーサ121をマスクとして、pチャネル領域104に対してB(ホウ素)のイオン注入を行うことにより、pチャネル領域104におけるゲート電極182から見てエクステンション注入層118Bの外側にソース・ドレイン注入層122Bを形成する。その後、活性化熱処理を行い、イオン注入によって半導体基板101中に導入した各不純物を活性化する。

20

30

【0170】

次に、nチャネル領域103上及びpチャネル領域104上の全面に、高融点金属膜として例えばNi膜をスパッタ法などによって堆積した後、シリサイド化熱処理を実施し、その後、シリサイド未反応領域のNi膜を例えばウェットエッチングにより除去する。これにより、図20(c)に示すように、ソース・ドレイン注入層122A及び122Bのそれぞれの表面並びにゲート電極181及び182のそれぞれの表面にNiシリサイド層124が形成される。

40

【0171】

以上に説明した第4の実施形態によると、ゲート電極加工時のエッチング、具体的には、pチャネル領域104のエッチングストッパー膜402及びゲート電極材料111に対してエッチングを行う前に、オーバーエッチング量が大きくなるnチャネル領域103を覆うように、エッチングストッパー膜として機能する第1オフセットカバー膜501を予め形成している。言い換えると、ゲート電極加工時のオーバーエッチング量が過剰となるnチャネル領域103におけるエッチングストッパー膜の膜厚を、オーバーエッチング実

50

施前に増大させている。従って、ゲート絶縁膜105の突き抜け及びそれに伴う基板削れ等を防止できるため、トランジスタ特性劣化やパーティクル増加等に起因する歩留まり低下の危険を回避でき、それによって高性能な半導体装置を安価で提供することができる。

【0172】

また、第4の実施形態によると、ゲート電極加工時のエッチングにおけるオーバーエッチング量が各トランジスタ領域において過剰とならないため、オーバーエッチングに伴うゲート寸法変化を各トランジスタ領域で揃えることができる。このため、各トランジスタ、具体的にはnチャネル型電界効果トランジスタ及びpチャネル型電界効果トランジスタのそれぞれにおけるゲート寸法のばらつきを低減することが可能となり、トランジスタ特性がより安定した半導体装置を提供することができる。

10

【0173】

尚、第1の実施形態（第1～第3変形例を含む）、第2の実施形態、第3の実施形態及び第4の実施形態において、ゲート絶縁膜105として、EOTが約2.0nmのハフニウムシリコン酸化膜（HfSi_xO_y膜）を用いたが、ゲート絶縁膜105の材料や膜厚は、これに限るものではない。ゲート絶縁膜105としては、例えば、HfO₂膜、HfSi_xO_y膜若しくはHfAl_xO_y等のHigh-k膜若しくはSiO₂膜又はこれらの膜に窒素を添加した膜からなる絶縁膜群から選ばれた1つの絶縁膜からなる単層膜、又は前記絶縁膜群から選ばれた少なくとも1つの絶縁膜を含む積層絶縁膜であってもよい。また、ゲート絶縁膜105の膜厚は、ゲート長、EOTの許容値及びリーク電流の許容値等を考慮して適宜決定すればよい。さらに、各トランジスタ領域毎にゲート絶縁膜を作り分けても良い。

20

【0174】

また、第1の実施形態（第1～第3変形例を含む）、第2の実施形態、第3の実施形態及び第4の実施形態において、界面層106として、半導体基板101を酸化したシリコン酸化膜を用いたが、これに代えて、シリコン酸化膜を窒化したSiON膜、又は半導体基板101を酸化したシリコン酸化膜若しくはSiON膜とALD法により形成されたSiN膜との積層膜を用いてもよい。

30

【0175】

また、第1の実施形態（第1～第3変形例を含む）、第2の実施形態、第3の実施形態及び第4の実施形態において、第1ゲート電極材料膜107（第4の実施形態ではゲート電極材料膜113）として、P（磷）をドーピングしたポリシリコン膜を用いたが、これに限らず、アモルファスシリコン膜、ノンドープポリシリコン膜又はシリコンゲルマニウム膜等にP（磷）、As（砒素）、B（ホウ素）、In（インジウム）、N（窒素）、C（炭素）及びF（フッ素）のうちから選ばれた少なくとも1つの不純物等を例えればイオン注入でドーピングしたSi含有材料膜を用いてもよい。ここで、具体的な材料膜の選定に際しては、後工程でのエッチング除去性やトランジスタの閾値制御などの観点を適宜考慮すればよい。

【0176】

また、第1の実施形態（第1～第3変形例を含む）、第2の実施形態、第3の実施形態及び第4の実施形態において、第2ゲート電極材料膜111（第4の実施形態ではゲート電極材料膜111）の材料としては、pチャネル領域104のトランジスタの閾値電圧を低くするために、p⁺型のポリシリコンの仕事関数に近い仕事関数を持つ材料を選択すればよい。このような材料としては、各実施形態で用いたTiNの他、例えば、Ni、Pd、Pt、Co、Rh、Ru、Cu、Ag、Au等からなる金属群から選ばれた少なくとも1つの金属よりなる金属膜、又は前記金属群から選ばれた少なくとも1つの金属の窒化物、珪化物、炭化物若しくは酸化物その他の化合物からなる導電膜を用いてもよい。このような金属の酸化物としては、例えば金属Ru酸化物又はIr酸化物等が考えられる。また、第2ゲート電極材料膜111（第4の実施形態ではゲート電極材料膜111）の材料として、例えば、Ti、Zr、Hf、V、Nb、Ta、Cr、Mo、W等からなる金属群から選ばれた少なくとも1つの金属よりなる金属膜、又は前記金属群から選ばれた少なくと

40

50

も1つの金属の窒化物、珪化物、炭化物若しくは酸化物その他の化合物からなる導電膜を用いてもよい。このような金属の窒化物としては、例えば、正規組成のTiN、TaN、ZrN、HfN、NbN等が考えられる。

【0177】

また、第1の実施形態（第1～第3変形例を含む）、第2の実施形態及び第3の実施形態において、第3ゲート電極材料膜113として、P（燐）をドーピングしたポリシリコン膜を用いたが、これに限らず、アモルファスシリコン膜、ノンドープポリシリコン膜又はシリコンゲルマニウム膜等にP（燐）、As（砒素）、B（ホウ素）、In（インジウム）、N（窒素）、C（炭素）及びF（フッ素）のうちから選ばれた少なくとも1つの不純物等を例えればイオン注入でドーピングしたSi含有材料膜を用いてもよい。ここで、第3ゲート電極材料膜113がSi含有材料から構成されていた場合でも第3ゲート電極材料膜113はトランジスタの閾値制御用の材料膜としては機能しないため、後工程でのシリサイド化が容易な材料を選ぶことが可能となるので、シリサイド断線などに起因する歩留まり低下や特性劣化などの問題が発生しにくくなる。また、第3ゲート電極材料膜113となるSi含有材料膜とその下地となる閾値制御用の電極材料膜との界面に、低抵抗化金属としてAu、Ag、Pt、Al、Ni、Ti、Ta、Wなどを挿入することによって、界面抵抗を低減することが容易となり、それによって界面抵抗によるトランジスタゲートへの信号遅延に起因する回路動作の不具合などが発生しにくくなる。また、第3ゲート電極材料膜113は、必ずしもSi含有材料膜である必要はなく、ゲート電極の低抵抗化が可能なAu、Ag、Pt、Al、Ni、Ti、Ta、Wなどの金属材料からなる膜を用いてもよい。

10

20

50

30

40

【0178】

また、第1の実施形態（第1～第3変形例を含む）、第2の実施形態及び第3の実施形態において、nチャネル領域103の第1ゲート電極材料膜107をpチャネル領域104の第2ゲート電極材料膜111よりも先に形成したが、これらのゲート電極材料膜の形成順を逆にしてもよい。

【0179】

また、第1の実施形態（第1～第3変形例を含む）、第2の実施形態及び第3の実施形態において、第1ゲート電極材料膜107を金属含有材料膜とし、第2ゲート電極材料膜111をSi含有材料膜としてもよい。この場合、第1ゲート電極材料膜107は、nチャネル領域103のトランジスタの閾値電圧を低くするために、n⁺型のポリシリコンの仕事関数に近い仕事関数を持つ材料を選択すればよい。このような材料としては、例えは、Ti、Zr、Hf、V、Nb、Ta、Cr、Mo、W等からなる金属群から選ばれた少なくとも1つの金属よりなる金属膜、又は前記金属群から選ばれた少なくとも1つの金属の窒化物、珪化物、炭化物若しくは酸化物その他の化合物からなる導電膜を用いてもよい。但し、Ti、Ta、Zr、Hf、Nbの窒化物については、正規組成のものよりもNの量が少ないものが第1ゲート電極材料膜107の材料として好適である。一方、第2ゲート電極材料膜111としては、アモルファスシリコン膜、ノンドープポリシリコン膜又はシリコンゲルマニウム膜等にP（燐）、As（砒素）、B（ホウ素）、In（インジウム）、N（窒素）、C（炭素）及びF（フッ素）のうちから選ばれた少なくとも1つの不純物等を例えればイオン注入でドーピングしたSi含有材料膜を用いてもよい。

30

40

【0180】

但し、第1の実施形態（第1～第3変形例を含む）、第2の実施形態及び第3の実施形態においては、ゲート絶縁膜105の直上に堆積された金属含有材料膜（第2ゲート電極材料膜111）をエッティングにより除去する工程が必要ないため、ゲート絶縁膜105と金属含有材料とのミキシングにより生じた層をエッティングすることがない。このため、ゲート絶縁膜105に対する金属ダメージの発生を回避することが可能である。

【0181】

また、第1の実施形態（第1～第3変形例を含む）、第2の実施形態、第3の実施形態及び第4の実施形態において、ソース・ドレイン注入層やゲート電極の上部にシリサイド

50

層として Ni シリサイド層 124 を形成したが、これに限らず、 Ni 、 Co 、 Ti 、 W 及び Pt のうちの少なくとも 1 つを含むシリサイド層を形成してもよい。尚、各実施形態で説明したように、本発明によれば、シリサイド形成前において、 n チャネル領域 103 における n チャネルゲート電極高さ 115 と p チャネル領域 104 における p チャネルゲート電極高さ 116 との差が小さくなるため、 n チャネル領域 103 と p チャネル領域 104 の n p 境界部におけるゲート電極段差を小さくすることが可能となるので、当該 n p 境界部でのゲート電極シリサイド断線の危険性を低減することが可能となる。一方、第 1 の実施形態（第 1 及び第 2 変形例を含む）及び第 2 の実施形態においては、ゲート電極を加工するためのフォトリソグラフィを行う時点で、 n チャネル領域 103 における n チャネルゲート電極高さ 115 と p チャネル領域 104 における p チャネルゲート電極高さ 116 を揃えることが可能である。このため、フォトリソグラフィでのフォーカスマージンを拡大することが可能となるので、より微細化したゲート電極形成に対してもゲート寸法を安定化させることができ、その結果、よりトランジスタ特性が安定で高性能な半導体装置を形成することができる。

10

【 0182 】

また、第 1 の実施形態（第 1 ~ 第 3 変形例を含む）及び第 2 の実施形態において、オフセットスペーサ 117 として、 TEOS 膜又は SiN 膜などの絶縁膜を用いたが、ゲート電極や半導体基板 101 の酸化などを抑制するために、例えば、低温で成膜可能な SA - CVD 法により形成した NSG 膜、低温 LP - CVD 法により形成した TEOS 膜、低温 ALD 法により形成した SiN 膜、又は低温で形成した SiC 膜、 SiON 膜若しくは SiOC 膜などを用いてもよい。特に、オフセットスペーサ 117 として、酸素を含有しない膜を用いると、ゲート電極や半導体基板 101 の酸化抑制に効果的である。

20

【 0183 】

また、第 1 の実施形態の第 1 ~ 第 3 変形例において、第 1 エッチングカバー膜 201 として、 HDP - NSG 膜を用いたが、これに代えて、例えば、 SA - CVD 法により形成した NSG 膜、 LP - CVD 法等の CVD 法により形成した TEOS 膜等の酸化膜、又は ALD 法により形成した SiN 膜等の窒化膜を用いても良い。

20

【 0184 】

また、第 1 の実施形態の第 2 変形例において、第 2 エッチングカバー膜 301 として、 HDP - NSG 膜を用いたが、これに代えて、例えば、 SA - CVD 法により形成した NSG 膜、 LP - CVD 法等の CVD 法により形成した TEOS 膜等の酸化膜、又は ALD 法により形成した SiN 膜等の窒化膜を用いても良い。尚、第 1 の実施形態の第 2 変形例において、第 1 エッチングカバー膜 201 及び第 2 エッチングカバー膜 301 を同じ材料及び同じ膜厚で構成することによって、後工程で第 1 エッチングカバー膜 201 及び第 2 エッチングカバー膜 301 を共に除去する際にエッチング量が等しくなるというメリットが得られる。

30

【 0185 】

また、第 2 ~ 第 4 の実施形態において、エッチングストッパー膜 401 又は 402 を構成する導電性酸化物として、 Ir 酸化物又は Ru 酸化物を例示したが、その他の導電性酸化物であっても同じ効果を得ることができる。尚、第 2 の実施形態においては、第 1 エッチングストッパー膜 401 及び第 2 エッチングストッパー膜 402 を共にエッチングする必要があるため、各エッチングストッパー膜の膜厚を各エッチングストッパー膜のエッチング量が等しくなるように設定することが好ましい。例えば、第 1 エッチングストッパー膜 401 及び第 2 エッチングストッパー膜 402 を同じ材料から構成するのであれば、各エッチングストッパー膜の膜厚を同じに設定することが好ましい。

40

【 0186 】

また、第 3 の実施形態及び第 4 の実施形態において、第 1 オフセットカバー膜 501 として、 LP - CVD 法により形成した TEOS 膜を用いたが、ゲート電極や半導体基板 101 の酸化などを抑制するために、例えば、低温で成膜可能な SA - CVD 法により形成した NSG 膜、低温 LP - CVD 法により形成した TEOS 膜、低温 ALD 法により形成

50

した SiN 膜、又は低温で形成した SiC 膜、SiON 膜若しくは SiOC 膜などを用いてもよい。特に、第 1 オフセットカバー膜 501 として、酸素を含有しない膜を用いると、ゲート電極や半導体基板 101 の酸化抑制に効果的である。

【 0187 】

また、第 3 の実施形態及び第 4 の実施形態において、第 2 オフセットカバー膜 504 として、LP-CVD 法により形成した TEOS 膜を用いたが、ゲート電極や半導体基板 101 の酸化などを抑制するために、例えば、低温で成膜可能な SA-CVD 法により形成した NSG 膜、低温 LP-CVD 法により形成した TEOS 膜、低温 ALD 法により形成した SiN 膜、又は低温で形成した SiC 膜、SiON 膜若しくは SiOC 膜などを用いてもよい。特に、第 2 オフセットカバー膜 504 として、酸素を含有しない膜を用いると、ゲート電極や半導体基板 101 の酸化抑制に効果的である。

10

【 0188 】

また、第 1 の実施形態（第 1 ~ 第 3 变形例を含む）及び第 4 の実施形態において、ゲート電極上にハードマスクを形成した状態で活性領域（ソース・ドレイン注入層 122A 及び 122B）のシリサイド形成を行った後、ゲート電極のシリサイド形成を行うことにより、ゲート電極（第 1 の実施形態（第 1 ~ 第 3 变形例を含む）のゲート電極 151 又は第 4 の実施形態のゲート電極 181）をフルシリサイド化してもよい。すなわち、第 1 の実施形態（第 1 ~ 第 3 变形例を含む）のゲート電極 151 又は第 4 の実施形態のゲート電極 181 を FUSI 構造としてもよい。この場合、n チャネル領域 103 のトランジスタの閾値は、フルシリサイド化されたゲート電極材料によって決まるところになるため、ゲート形成（ゲートパターニング）工程以降に閾値を変化させること、つまり EOT を小さくすることが可能となる。

20

【 0189 】

また、第 1 の実施形態（第 1 ~ 第 3 变形例を含む）及び第 2 の実施形態において、（式 1）~（式 3）における異方性ドライエッチングのエッチングレート ER1 及び ER2 は膜厚 TH1 及び TH2 それに反比例するため、TH1 > TH2 の場合には ER2 > ER1 となるようにエッチングガスを選定することが望ましい。また、逆に、ER1 > ER2 の場合には TH2 > TH1 となるように膜厚を設定することが望ましい。

【 0190 】

以下、エッチングレート ER1 及び ER2 並びに膜厚 TH1 及び TH2 の設定内容について詳細を説明する。まず、エッチングレート ER1 及び ER2 並びに膜厚 TH1 及び TH2 の設定において、エッチング反応前及びエッチング反応後のそれぞれの被エッチング膜の結合解離エネルギーに着目する。図 21 及び図 22 はそれぞれ、塩素系のエッチングガス及び臭素系のエッチングガスのそれぞれを用いた場合における各種材料の結合解離エネルギー D (M1 - M2) を示している。ここで、M1 及び M2 は、例えば TiN の場合には M1 が Ti、M2 が N である。また、結合解離エネルギーの値は標準状態（但し温度は 298K）での値である。

30

【 0191 】

エッチング反応前の被エッチング膜の結合解離エネルギーについて、被エッチング膜がポリシリコン膜及び TiN 膜である場合、ポリシリコン内の Si - Si 結合解離エネルギー D (Si - Si) と、TiN 内の Ti - N 結合解離エネルギー D (Ti - N) とによってエッチングレート ER1 及び ER2 が影響される。図 21 及び図 22 に示すように、D (Ti - N) は D (Si - Si) よりも大きく、Ti - N 結合の方が強いことが分かるが、D (Ti - N) は D (Si - Si) と同様に比較的低い値である。

40

【 0192 】

一方、エッチング反応後の被エッチング膜の結合解離エネルギーに着目すると、被エッチング膜がポリシリコン膜及び TiN 膜である場合において塩素系のエッチングガスを用いる場合、図 21 に示すように、Si - Cl 結合解離エネルギー D (Si - Cl) と Ti - Cl 結合解離エネルギー D (Ti - Cl) とはほぼ同等の値である。すなわち、エッチング反応が進むためには、D (Ti - N) 及び D (Si - Si) よりも高いエネルギーが

50

必要となるが、十分なエネルギーを与えてやれば、D(Si-C1)及びD(Ti-C1)はほぼ同等であるため、TiN膜の方が若干エッティングレートが小さいものの、ポリシリコン膜及びTiN膜のそれぞれのエッティングレートはほぼ同程度である。従って、被エッティング膜がポリシリコン膜及びTiN膜である場合において塩素系のエッティングガスを用いる場合、ER1及びER2はほぼ等しくなるため、TH1=TH2に設定することが好ましい。

【0193】

また、被エッティング膜がポリシリコン膜及びTaN膜である場合、エッティング反応前の被エッティング膜の結合解離エネルギーについて、図21及び図22に示すように、ポリシリコン内のSi-Si結合解離エネルギーD(Si-Si)よりもTaN内のTa-N結合解離エネルギーD(Ta-N)の方が大きく、Ta-N結合の方が強いことが分かる。また、D(Ta-N)はD(Si-Si)と比べて2倍程度の大きさであるので、エッティングレートER1とエッティングレートER2との間には差が発生する。このとき、エッティング反応が進むためには、D(Ta-N)及びD(Si-Si)よりも高いエネルギーが必要となる結果、比較的高いエネルギーが必要となるため、下地との選択比を考慮して膜厚を決定する。この場合、ポリシリコン膜の膜厚を例えればTaN膜の膜厚の1.2倍程度から3倍程度までの膜厚に設定する場合もある。尚、被エッティング膜がポリシリコン膜及びTaN膜である場合、エッティング前の結合解離エネルギーが大きいため、エッティング反応後の被エッティング膜の結合解離エネルギーの影響は小さくなっている。

【0194】

すなわち、第1の実施形態（第1～第3変形例を含む）及び第2の実施形態において、第1ゲート電極材料膜107つまりシリコン含有層の厚さ及び第2ゲート電極材料膜111つまり金属含有層の厚さは、金属含有層における金属M1と当該金属M1と同一又は異なる元素M2との間の結合を切断するためのエネルギーである結合解離エネルギーD(M1-M2)と、シリコン含有層におけるシリコン結合を切断するためのエネルギーである結合解離エネルギーD(Si-Si)とに基づいて決定される。具体的には、結合解離エネルギーD(M1-M2)が結合解離エネルギーD(Si-Si)よりも大きい場合には、シリコン含有層の厚さが金属含有層の厚さよりも大きく設定され、結合解離エネルギーD(M1-M2)が結合解離エネルギーD(Si-Si)よりも小さい場合には、シリコン含有層の厚さが金属含有層の厚さよりも小さく設定される。また、金属含有層がTi又はTa等からなり、シリコン含有層がポリシリコンからなる場合には、シリコン含有層の厚さは金属含有層の厚さよりも小さく設定される。一方、金属含有層がTiN、TiC、TiO、TaN、TaC又はTaO等からなり、シリコン含有層がポリシリコンからなる場合には、シリコン含有層の厚さは金属含有層の厚さよりも大きく設定される。

【0195】

以下、第1の実施形態の第1及び第2変形例並びに第2～第4の実施形態におけるエッティングストッパー膜（第1の実施形態の第1及び第2変形例ではエッティングカバー膜）のエッティングレート及び膜厚の設定について説明する。上記各実施形態では、エッティングストッパー膜として、ゲート絶縁膜と同様のSiO₂膜若しくはHfO₂膜、TEOS膜、SA-CVD法により形成したNSG膜、若しくはHDP-NSG膜などの絶縁性酸化膜、又はIr若しくはRuの酸化物等からなる導電性酸化物膜を用いている。これらのエッティングストッパー膜についても、前述の被エッティング膜と同様に、図21及び図22に示しているようなエッティング反応前及びエッティング反応後の結合解離エネルギー、又はエッティングガスとエッティングストッパー膜との結合による副生成物の形成及び気化等の影響を受ける。ここで、ゲート絶縁膜と同様のSiO₂膜又はHfO₂膜については、SiO₂やHfO₂の結合解離エネルギーD(Si-O)及びD(Hf-O)は非常に高い値を示しており、また、エッティングガス中のC1やBrとの反応も進まないため、2nm程度の薄いエッティングストッパー膜の材料として最適である。

【0196】

また、TEOS膜、SA-CVD法により形成したNSG膜、又はHDP-NSG膜な

10

20

30

40

50

どについても、それらの結合解離エネルギー D (S i - O) が非常に高い値を示しており、また、エッティングガス中の C l 及び B r との反応も進まないため、薄膜のエッティングストッパー膜の材料として最適である。

【 0 1 9 7 】

また、 I r 又は R u の酸化物からなる導電性酸化物膜については、それらの結合解離エネルギー D (I r - O) 及び D (R u - O) は比較的低いものの、エッティングガス中の C l 及び B r との反応が進まないため、厚さ 5 ~ 2 0 n m 程度のエッティングストッパー膜として用いることが可能である。

【 0 1 9 8 】

尚、以上に説明したエッティングレートは結合解離エネルギーのみによって決まるものではなく、例えば、エッティングガスと被エッティング膜との結合による副生成物の形成及び気化等の影響を受けることは言うまでもない。

【 産業上の利用可能性 】

【 0 1 9 9 】

以上に説明したように、本発明は、 n チャネル型電界効果トランジスタ及び p チャネル型電界効果トランジスタが同一チップ内に存在した C M O S デバイスのロジック素子や S R A M などのメモリ素子を有する半導体装置及びその製造方法として有用である。

【 図面の簡単な説明 】

【 0 2 0 0 】

【 図 1 】 図 1 (a) ~ (c) は、本発明の第 1 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【 図 2 】 図 2 (a) ~ (c) は、本発明の第 1 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【 図 3 】 図 3 (a) ~ (c) は、本発明の第 1 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【 図 4 】 図 4 (a) ~ (c) は、本発明の第 1 の実施形態の第 1 変形例に係る半導体装置の製造方法の各工程を示す断面図である。

【 図 5 】 図 5 (a) ~ (c) は、本発明の第 1 の実施形態の第 1 変形例に係る半導体装置の製造方法の各工程を示す断面図である。

【 図 6 】 図 6 (a) 及び (b) は、本発明の第 1 の実施形態の第 2 変形例に係る半導体装置の製造方法の各工程を示す断面図である。

【 図 7 】 図 7 (a) 及び (b) は、本発明の第 1 の実施形態の第 2 変形例に係る半導体装置の製造方法の各工程を示す断面図である。

【 図 8 】 図 8 (a) ~ (c) は、本発明の第 2 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【 図 9 】 図 9 (a) ~ (c) は、本発明の第 2 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【 図 1 0 】 図 1 0 (a) ~ (c) は、本発明の第 2 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【 図 1 1 】 図 1 1 (a) ~ (c) は、本発明の第 2 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【 図 1 2 】 図 1 2 (a) ~ (c) は、本発明の第 3 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【 図 1 3 】 図 1 3 (a) ~ (c) は、本発明の第 3 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【 図 1 4 】 図 1 4 (a) ~ (c) は、本発明の第 3 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【 図 1 5 】 図 1 5 (a) ~ (c) は、本発明の第 3 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【 図 1 6 】 図 1 6 (a) 及び (b) は、本発明の第 3 の実施形態に係る半導体装置の製造

10

20

30

40

50

方法の各工程を示す断面図である。

【図17】図17(a)～(c)は、本発明の第4の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図18】図18(a)～(c)は、本発明の第4の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図19】図19(a)～(c)は、本発明の第4の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図20】図20(a)～(c)は、本発明の第4の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図21】図21は、塩素系のエッチングガスを用いた場合における各種材料の結合解離エネルギーを示す図である。 10

【図22】図22は、臭素系のエッチングガスを用いた場合における各種材料の結合解離エネルギーを示す図である。

【図23】図23(a)及び(b)は従来のハイブリッドメタルゲート電極構造を用いたCMOSFETの形成方法の各工程を示す断面図である。

【図24】図24(a)及び(b)は従来のハイブリッドメタルゲート電極構造を用いたCMOSFETの形成方法の各工程を示す断面図である。

【図25】図25は、従来のハイブリッドメタルゲート電極構造を用いたCMOSFETの形成方法における図23(a)に示す工程で、素子分離と活性領域との境界に段差が生じ、当該段差部においてメタル材料膜であるゲート電極材料膜が厚膜化した様子を示す図である。 20

【図26】図26(a)～(c)は、本発明の第1の実施形態の第3変形例に係る半導体装置の製造方法の各工程を示す断面図である。

【図27】図27(a)～(c)は、本発明の第1の実施形態の第3変形例に係る半導体装置の製造方法の各工程を示す断面図である。

【図28】図28(a)～(c)は、本発明の第1の実施形態の第3変形例に係る半導体装置の製造方法の各工程を示す断面図である。

【符号の説明】

【0201】

- 101 半導体基板
- 102 素子分離
- 103 nチャネル領域
- 104 pチャネル領域
- 105 ゲート絶縁膜
- 106 界面層
- 107 第1ゲート電極材料膜
- 109 レジストパターン
- 110 n p境界
- 111 第2ゲート電極材料膜
- 112 レジストパターン
- 113 第3ゲート電極材料膜
- 114 レジストパターン
- 115 nチャネルゲート電極高さ
- 116 pチャネルゲート電極高さ
- 117、117A、117B オフセットスペーサ
- 118A、118B エクステンション注入層
- 119 サイドウォール下層膜
- 120 サイドウォール上層膜
- 121 サイドウォールスペーサ
- 122A、122B ソース・ドレイン注入層

10

20

30

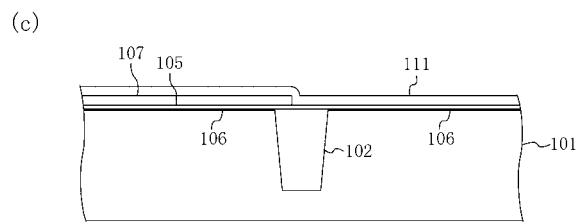
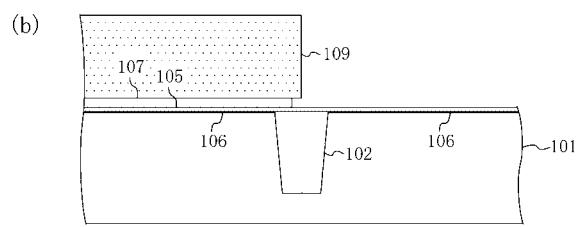
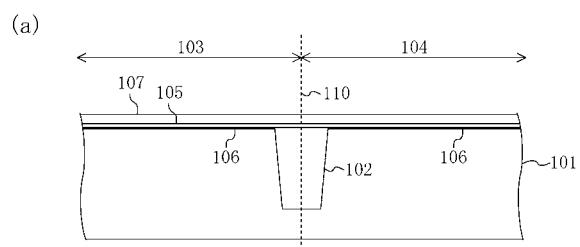
40

50

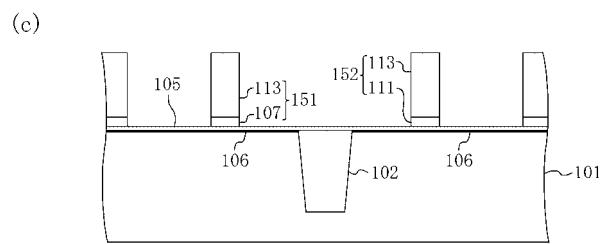
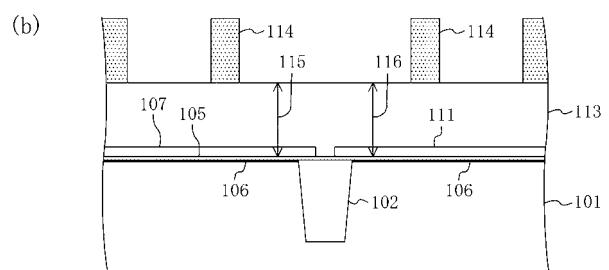
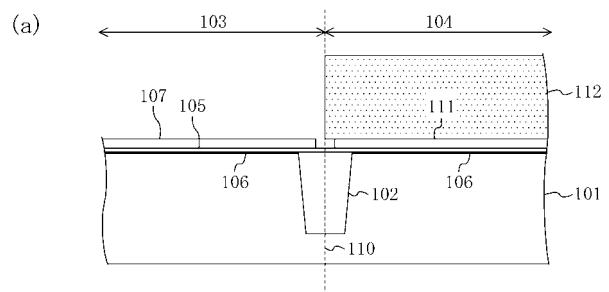
1 2 4	Niシリサイド層
1 5 1、1 5 2、1 6 1、1 6 2、1 7 1、1 7 2、1 8 1、1 8 2	ゲート電極
2 0 1	第1エッチングカバー膜
3 0 1	第2エッチングカバー膜
4 0 1	第1エッチングストッパー膜
4 0 2	第2エッチングストッパー膜
5 0 1	第1オフセットカバー膜
5 0 2	レジストパターン
5 0 4	第2オフセットカバー膜
5 0 5	nチャネル領域のオフセットスペーサ幅
5 0 6	pチャネル領域のオフセットスペーサ幅
5 0 7	nチャネル領域のゲート電極幅
5 0 8	pチャネル領域のゲート電極幅
6 0 1	レジストパターン

10

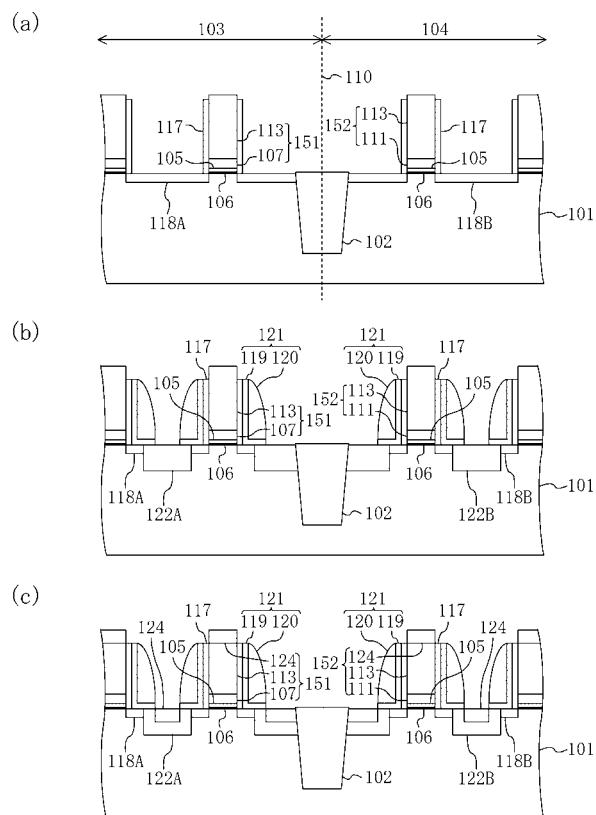
【図1】



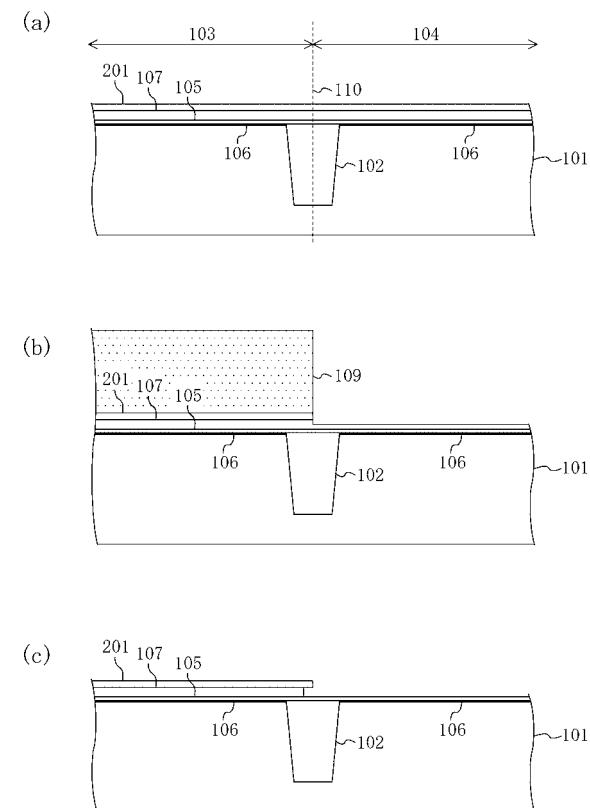
【図2】



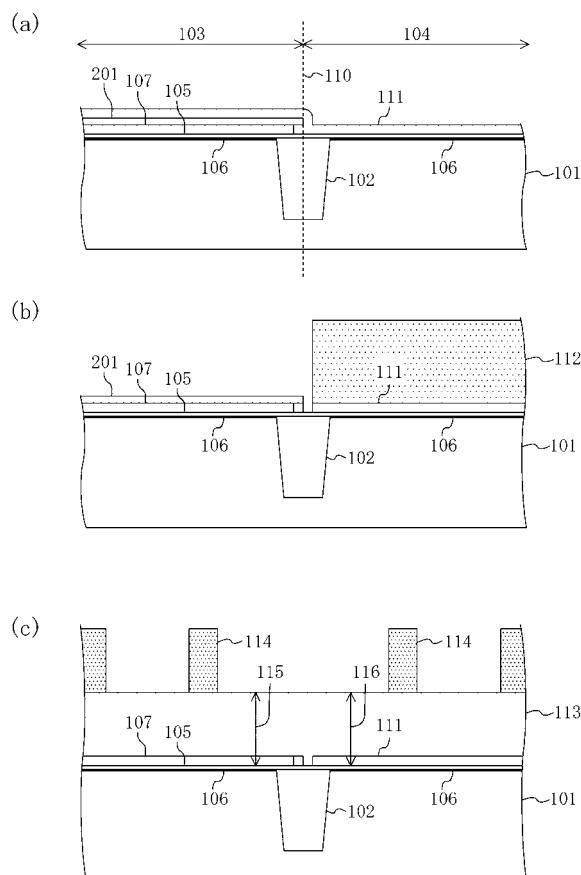
【図3】



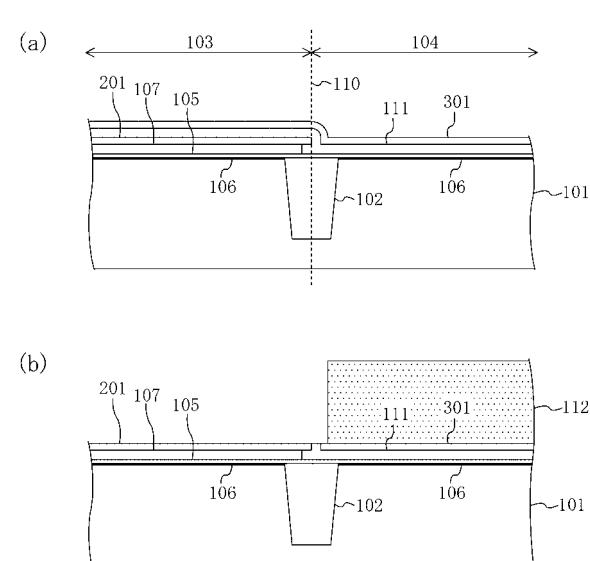
【図4】



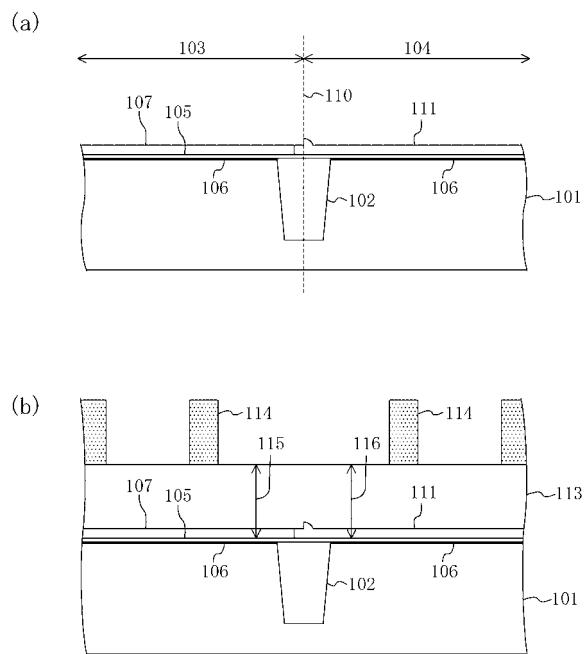
【図5】



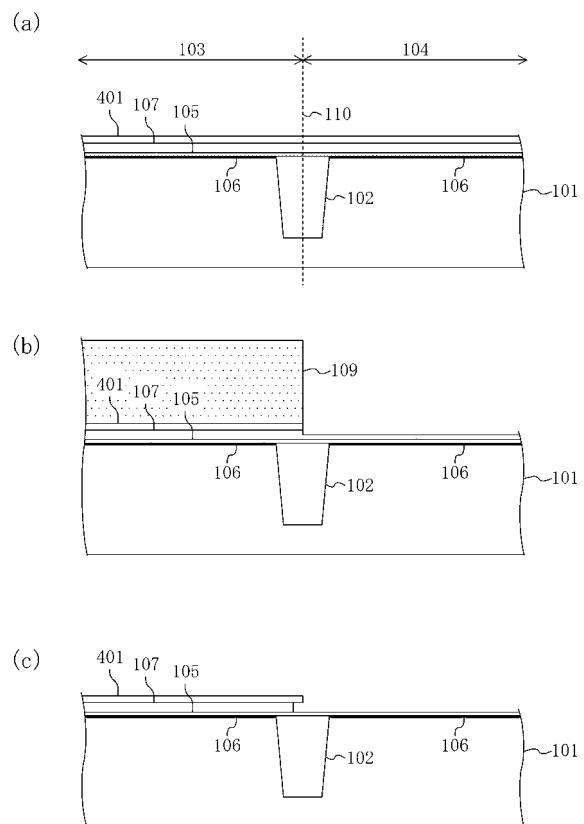
【図6】



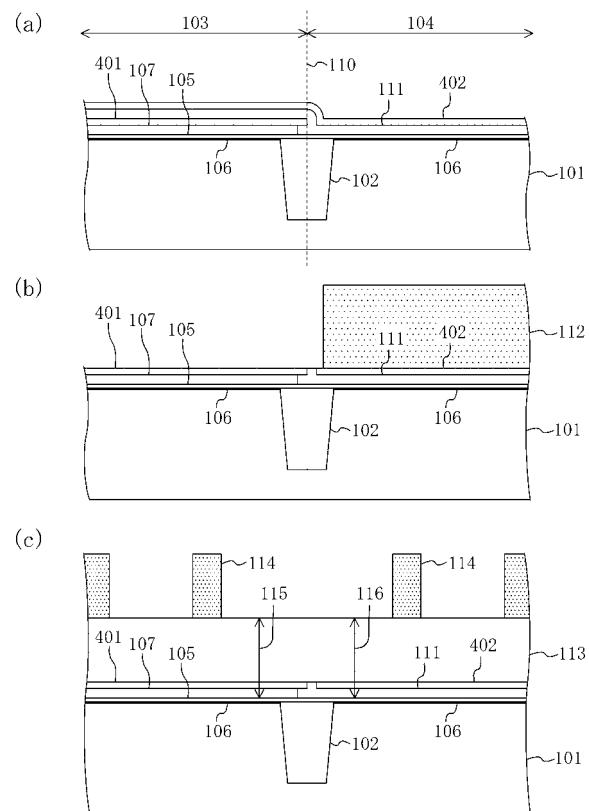
【図7】



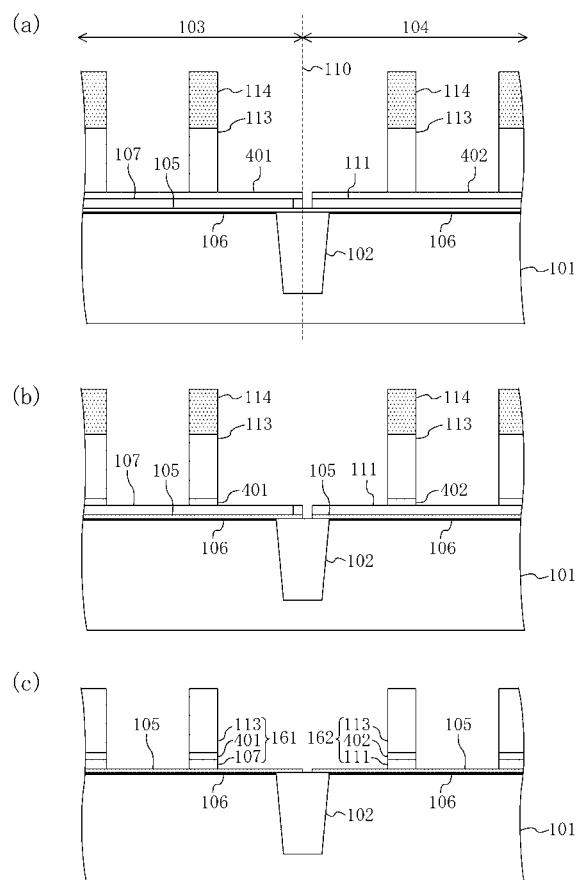
【図8】



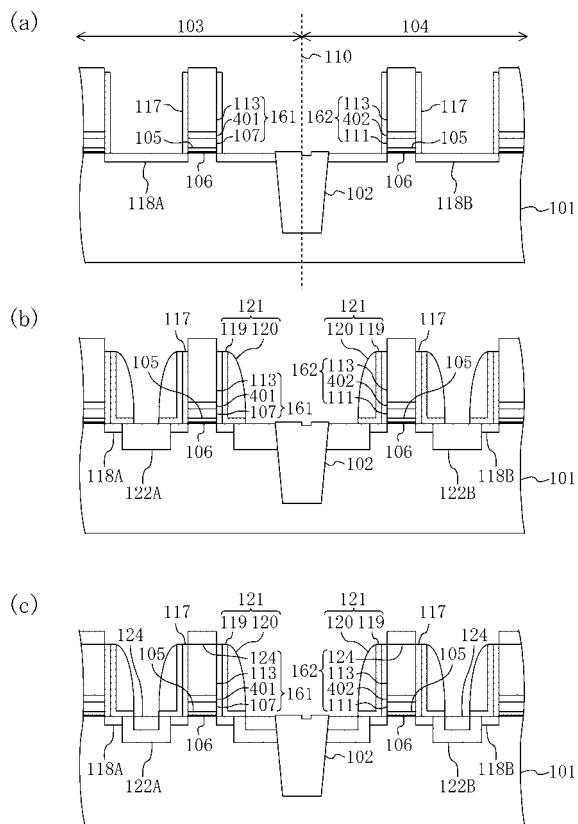
【図9】



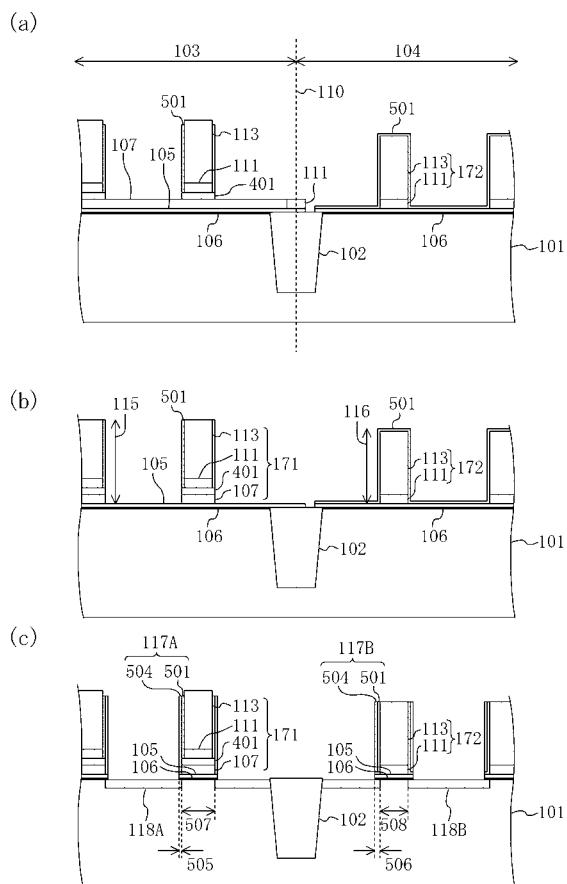
【図10】



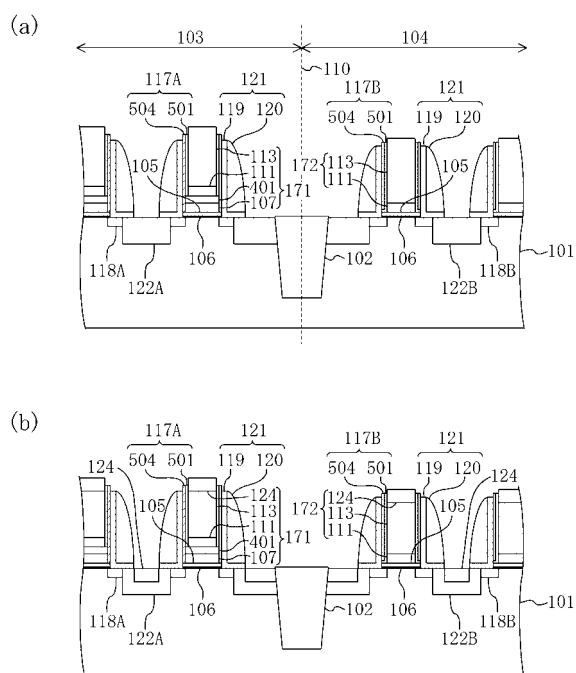
【図11】



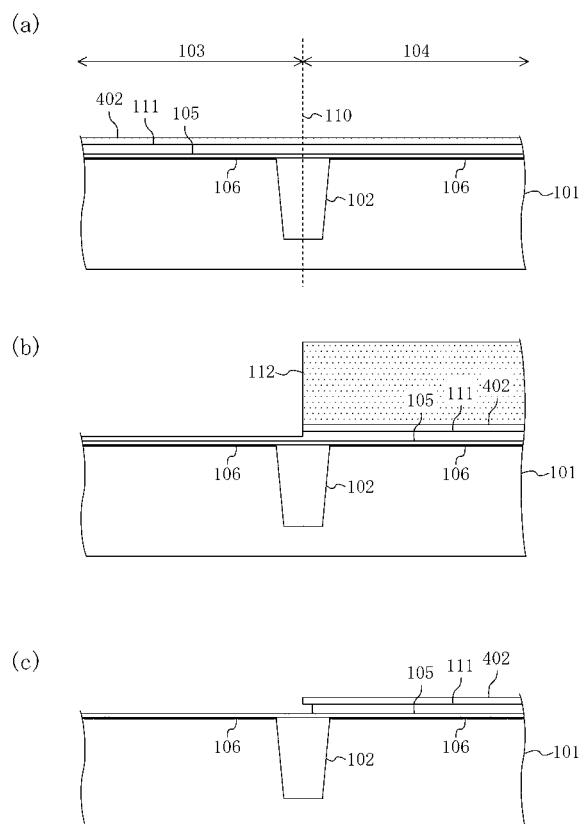
【図15】



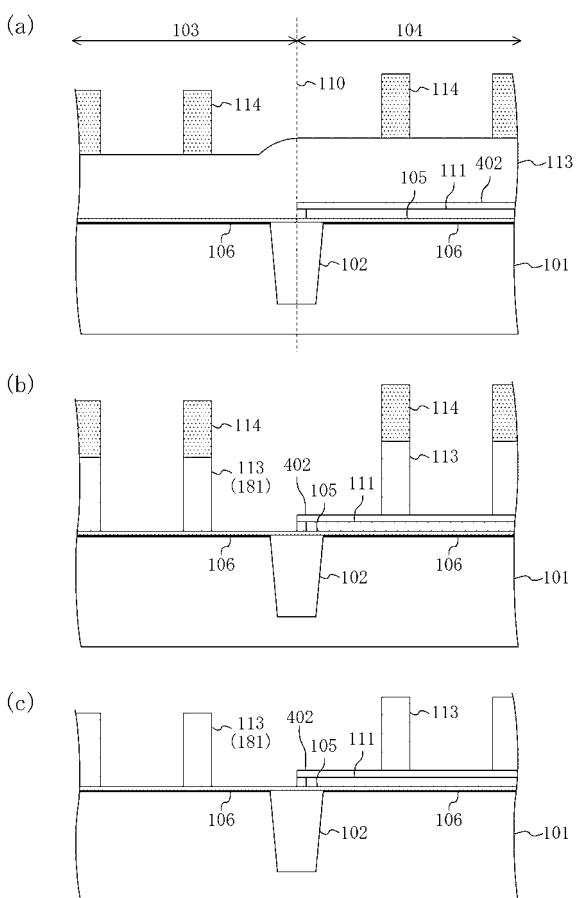
【図16】



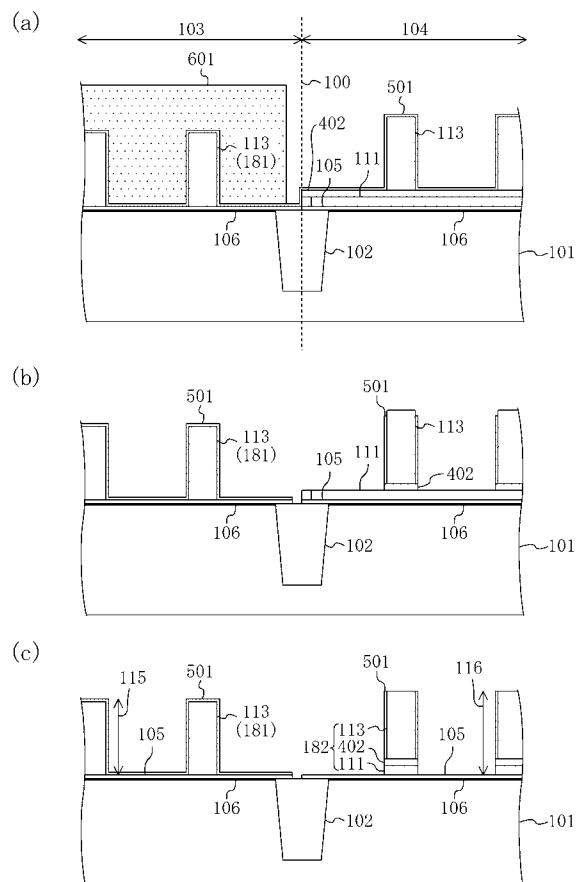
【図 17】



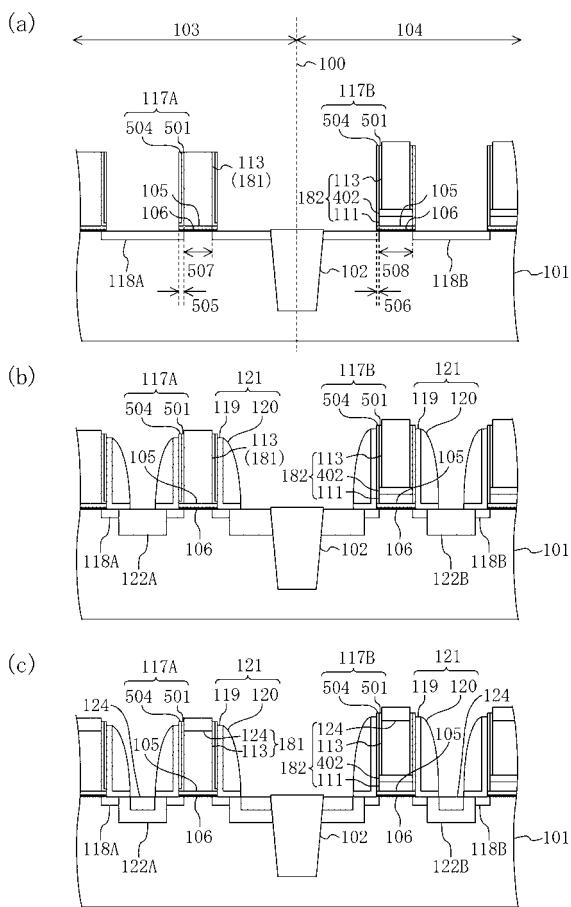
【 四 1 8 】



【図19】



【図20】



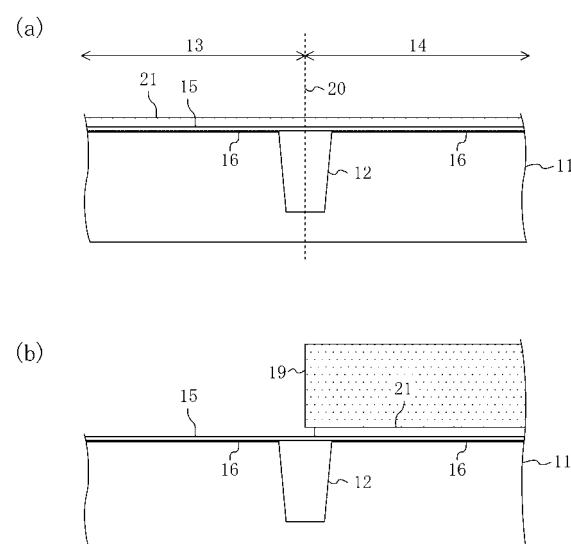
【図21】

反応前の結合		反応後の結合	
結合解離エネルギー (D_{298}^0 /kJmol ⁻¹)	Si-Si /M1-M2比 (a.u.)	結合解離エネルギー (D_{298}^0 /kJmol ⁻¹)	
Si-Si	325.0	1.000	Si-Cl
Ti-Ti	141.4	2.298	Ti-Cl
Ti-N	476.1	0.683	Ti-Cl
Ti-C	423.0	0.768	Ti-Cl
Ti-O	672.4	0.483	Ti-Cl
Ta-N	611.0	0.532	Ta-Cl
Ta-O	799.1	0.407	Ta-Cl
Si-O	799.6	0.406	Si-Cl
Si-N	470.0	0.691	Si-Cl
Si-C	451.5	0.720	Si-Cl
Hf-O	801.7	0.405	Hf-Cl
Hf-N	536.0	0.606	Hf-Cl
Hf-C	548.0	0.593	Hf-Cl
Ir-O	414.6	0.784	Ir-Cl
Ru-O	528.0	0.616	Ru-Cl

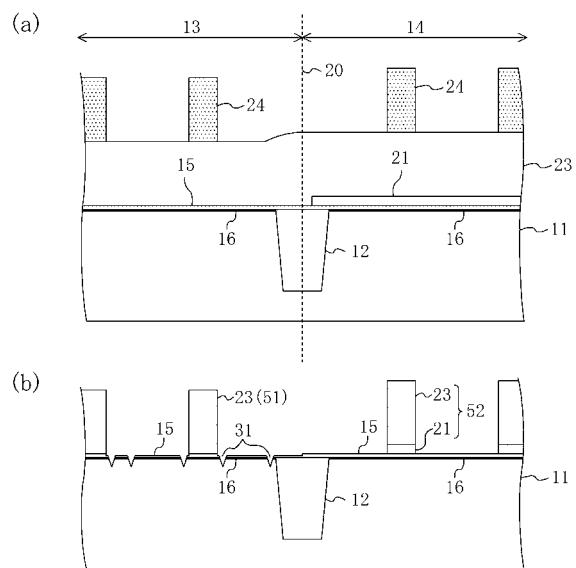
【図22】

反応前の結合		反応後の結合	
結合解離エネルギー (D_{298}^0 /kJmol ⁻¹)	Si-Si /M1-M2比 (a.u.)	結合解離エネルギー (D_{298}^0 /kJmol ⁻¹)	
Si-Si	325.0	1.000	Si-Br
Ti-Ti	141.4	2.298	Ti-Br
Ti-N	476.1	0.683	Ti-Br
Ti-C	423.0	0.768	Ti-Br
Ti-O	672.4	0.483	Ti-Br
Si-O	799.6	0.406	Si-Br
Si-N	470.0	0.691	Si-Br
Si-C	451.5	0.720	Si-Br
Hf-O	801.7	0.405	Hf-Br
Hf-N	536.0	0.606	Hf-Br
Hf-C	548.0	0.593	Hf-Br
Ir-O	414.6	0.784	Ir-Br
Ru-O	528.0	0.616	Ru-Br

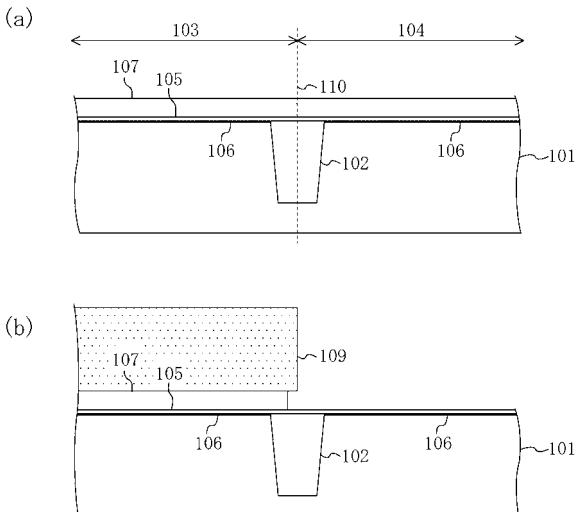
【図23】



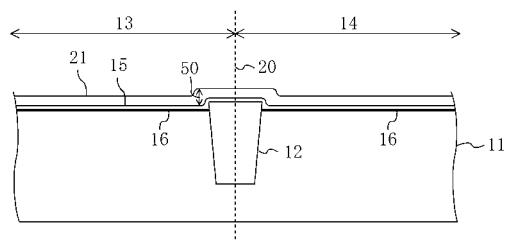
【図24】



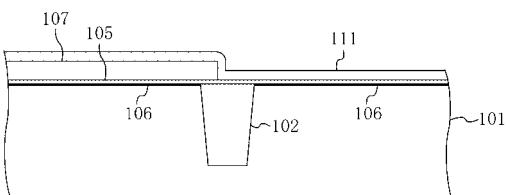
【図26】



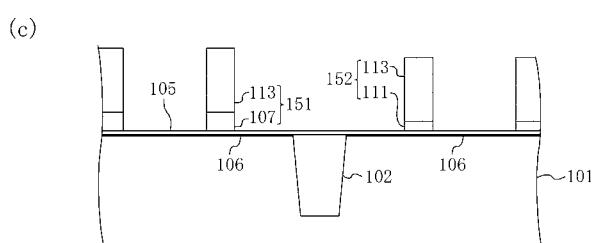
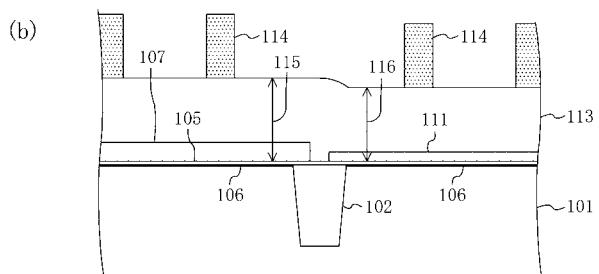
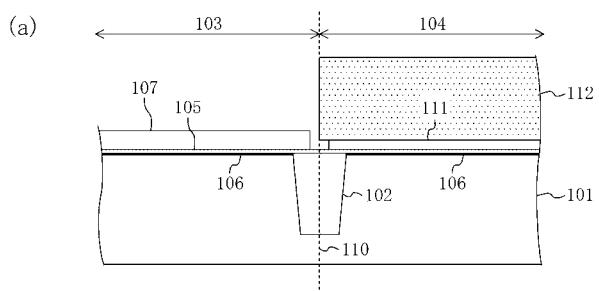
【図25】



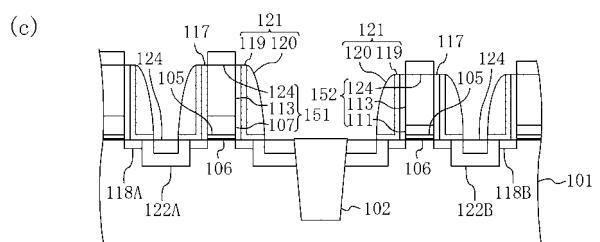
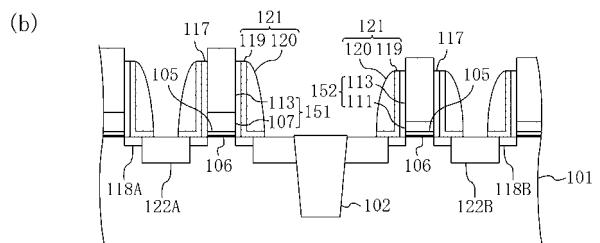
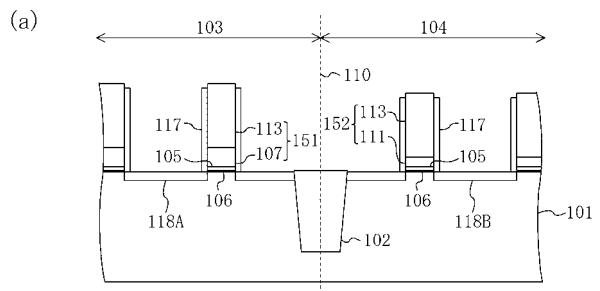
(c)



【図27】



【図28】



フロントページの続き

(51) Int.CI. F I テーマコード(参考)
H 0 1 L 21/28 (2006.01)

(74)代理人 100117581
弁理士 二宮 克也
(74)代理人 100117710
弁理士 原田 智雄
(74)代理人 100121728
弁理士 井関 勝守
(74)代理人 100124671
弁理士 関 啓
(74)代理人 100131060
弁理士 杉浦 靖也
(72)発明者 鐘ヶ江 健司
大阪府門真市大字門真1006番地 松下電器産業株式会社内
(72)発明者 山田 隆順
大阪府門真市大字門真1006番地 松下電器産業株式会社内

F ターム(参考) 4M104 BB01 BB03 BB04 BB05 BB06 BB07 BB08 BB09 BB13 BB14
BB16 BB17 BB18 BB19 BB20 BB21 BB22 BB23 BB24 BB25
BB27 BB28 BB29 BB30 BB31 BB32 BB33 BB34 BB36 BB40
CC05 DD64 DD65 DD72 DD95 FF08 GG09 GG10 GG14 GG16
HH04
5F048 AA07 AB01 AB03 AC03 BA01 BB06 BB07 BB08 BB09 BB10
BB11 BB12 BB13 BC06 BD04 BE03 BF06 BG13 DA25 DA27
DA30
5F140 AA00 AA26 AB03 AC32 AC33 BA01 BC06 BD01 BD05 BD13
BF04 BF10 BF11 BF14 BF20 BF21 BF22 BF24 BF28 BF30
BF42 BG10 BG12 BG14 BG27 BG30 BG34 BG38 BG45 BG52
BG53 BH14 BJ01 BJ08 BK02 BK13 BK21 BK29 BK34 BK39
CB04 CB08 CE20 CF04