

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 18 年 7 月 20 日 (2006.7.20)

【公表番号】特表 2005-536053(P2005-536053A)
 【公表日】平成 17 年 11 月 24 日 (2005.11.24)
 【年通号数】公開・登録公報 2005-046
 【出願番号】特願 2004-529077(P2004-529077)
 【国際特許分類】

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 21/283 (2006.01)

【F I】

H 0 1 L 27/08 1 0 2 C

H 0 1 L 21/283 B

【手続補正書】

【提出日】平成 18 年 5 月 31 日 (2006.5.31)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体デバイスを形成するための方法において、

半導体基板を設ける工程と、

前記半導体基板の上方に位置し、かつ、3 nm ~ 5 nm の範囲にある第 1 の厚さを有する第 1 のゲート誘電体層を形成する工程と、

前記第 1 のゲート誘電体層の、前記半導体基板の第 1 の領域の上方に位置する部分を除去する工程と、

前記半導体基板の前記第 1 の領域の上方に位置し、かつ、第 1 の厚さより小さい第 2 の厚さを有する第 2 のゲート誘電体層を形成する工程と、

前記第 1 のゲート誘電体層および前記第 2 のゲート誘電体層の上方に位置する金属酸化物層を形成する工程とを備える方法。

【請求項 2】

請求項 1 に記載の方法において、前記第 1 のゲート誘電体層は、シリコンオキサイドおよびシリコンオキシナイトライドからなる群から選択される材料を含有する方法。

【請求項 3】

請求項 1 に記載の方法において、前記第 2 のゲート誘電体層は、シリコンオキサイドおよびシリコンオキシナイトライドからなる群から選択される材料を含有する方法。

【請求項 4】

請求項 1 に記載の方法において、

前記第 2 のゲート誘電体層の、前記半導体基板の第 2 の領域の上方に位置する部分を除去する工程と、

前記半導体基板の前記第 2 の領域の上方に位置する第 3 のゲート誘電体層を形成する工程とをさらに備え、

前記金属酸化物層を形成する工程は、前記第 1 のゲート誘電体層、前記第 2 のゲート誘電体層、および前記第 3 のゲート誘電体層の上方に位置する前記金属酸化物層を形成する工程を含む方法。

【請求項 5】

半導体デバイスを形成するための方法において、

半導体基板を設ける工程と、

前記半導体基板の上方に位置する第 1 の誘電体材料を形成する工程であって、前記半導体基板の第 1 の領域の上方に位置する前記第 1 の誘電体材料の第 1 の部分は 3 nm ~ 5 nm の範囲にある第 1 の膜厚を有し、かつ前記半導体基板の第 2 の領域の上方に位置する前記第 1 の誘電体材料の第 2 の部分は前記第 1 の膜厚とは異なる第 2 の膜厚を有する、第 1 の誘電体材料を形成する工程と、

前記第 1 の誘電体材料の上方に位置する高 k 誘電体層を形成する工程と、

前記高 k 誘電体層の上方に位置するゲート層を形成する工程と、

前記半導体基板の前記第 1 の領域内の第 1 のデバイスのゲートおよび前記半導体基板の前記第 2 の領域内の第 2 のデバイスのゲートを形成するために、前記ゲート層および前記高 k 誘電体層をパターン形成する工程とを備える方法。