

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年7月20日(2006.7.20)

【公表番号】特表2005-536053(P2005-536053A)

【公表日】平成17年11月24日(2005.11.24)

【年通号数】公開・登録公報2005-046

【出願番号】特願2004-529077(P2004-529077)

【国際特許分類】

H 01 L 21/8234 (2006.01)

H 01 L 27/088 (2006.01)

H 01 L 21/283 (2006.01)

【F I】

H 01 L 27/08 102 C

H 01 L 21/283 B

【手続補正書】

【提出日】平成18年5月31日(2006.5.31)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体デバイスを形成するための方法において、

半導体基板を設ける工程と、

前記半導体基板の上方に位置し、かつ、3 nm～5 nmの範囲にある第1の厚さを有する第1のゲート誘電体層を形成する工程と、

前記第1のゲート誘電体層の、前記半導体基板の第1の領域の上方に位置する部分を除去する工程と、

前記半導体基板の前記第1の領域の上方に位置し、かつ、第1の厚さより小さい第2の厚さを有する第2のゲート誘電体層を形成する工程と、

前記第1のゲート誘電体層および前記第2のゲート誘電体層の上方に位置する金属酸化物層を形成する工程とを備える方法。

【請求項2】

請求項1に記載の方法において、前記第1のゲート誘電体層は、シリコンオキサイドおよびシリコンオキシナイトライドからなる群から選択される材料を含有する方法。

【請求項3】

請求項1に記載の方法において、前記第2のゲート誘電体層は、シリコンオキサイドおよびシリコンオキシナイトライドからなる群から選択される材料を含有する方法。

【請求項4】

請求項1に記載の方法において、

前記第2のゲート誘電体層の、前記半導体基板の第2の領域の上方に位置する部分を除去する工程と、

前記半導体基板の前記第2の領域の上方に位置する第3のゲート誘電体層を形成する工程とをさらに備え、

前記金属酸化物層を形成する工程は、前記第1のゲート誘電体層、前記第2のゲート誘電体層、および前記第3のゲート誘電体層の上方に位置する前記金属酸化物層を形成する工程を含む方法。

【請求項 5】

半導体デバイスを形成するための方法において、

半導体基板を設ける工程と、

前記半導体基板の上方に位置する第1の誘電体材料を形成する工程であって、前記半導体基板の第1の領域の上方に位置する前記第1の誘電体材料の第1の部分は3nm～5nmの範囲にある第1の膜厚を有し、かつ前記半導体基板の第2の領域の上方に位置する前記第1の誘電体材料の第2の部分は前記第1の膜厚とは異なる第2の膜厚を有する、第1の誘電体材料を形成する工程と、

前記第1の誘電体材料の上方に位置する高k誘電体層を形成する工程と、

前記高k誘電体層の上方に位置するゲート層を形成する工程と、

前記半導体基板の前記第1の領域内の第1のデバイスのゲートおよび前記半導体基板の前記第2の領域内の第2のデバイスのゲートを形成するために、前記ゲート層および前記高k誘電体層をパターン形成する工程とを備える方法。