



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년12월04일
(11) 등록번호 10-2609929
(24) 등록일자 2023년11월30일

- (51) 국제특허분류(Int. Cl.)
G06F 1/18 (2006.01) G06F 1/20 (2006.01)
H05K 1/02 (2006.01) H05K 1/18 (2006.01)
H05K 7/20 (2006.01)
- (52) CPC특허분류
G06F 1/182 (2022.01)
G06F 1/20 (2013.01)
- (21) 출원번호 10-2020-7025500
- (22) 출원일자(국제) 2018년12월01일
심사청구일자 2021년10월29일
- (85) 번역문제출일자 2020년09월03일
- (65) 공개번호 10-2020-0131233
- (43) 공개일자 2020년11월23일
- (86) 국제출원번호 PCT/US2018/063509
- (87) 국제공개번호 WO 2019/177673
국제공개일자 2019년09월19일
- (30) 우선권주장
15/921,311 2018년03월14일 미국(US)
- (56) 선행기술조사문헌
US20160128238 A1
US20170303392 A1

- (73) 특허권자
마이크로소프트 테크놀로지 라이선싱, 엘엘씨
미국 워싱턴주 (우편번호 : 98052) 레드몬드 원
마이크로소프트 웨이
- (72) 발명자
크리스티안슨 마틴 비
미국 워싱턴주 98052-6399 레드몬드 원 마이크로
소프트 웨이 마이크로소프트 테크놀로지
라이선싱, 엘엘씨
와카미야 스탠리 케이
미국 워싱턴주 98052-6399 레드몬드 원 마이크로
소프트 웨이 마이크로소프트 테크놀로지
라이선싱, 엘엘씨
(뒷면에 계속)
- (74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 20 항

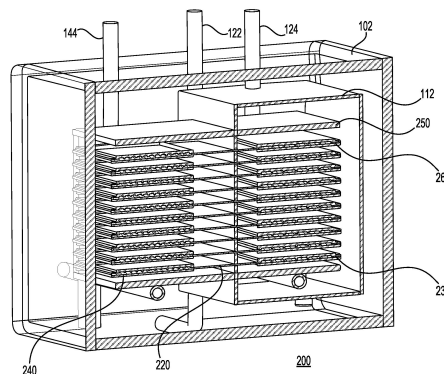
심사관 : 한현명

(54) 발명의 명칭 **공통 기관 상에 위치한 초전도 및 비-초전도 컴포넌트를 구비한 컴퓨팅 시스템**

(57) 요약

초전도 컴포넌트와 비-초전도 컴포넌트를 모두 갖는 공통 기관을 포함하는 컴퓨팅 시스템이 제공된다. 초전도 컴포넌트는 상기 공통 기관의 제1 단부 쪽에 부착될 수 있고, 비-초전도 컴포넌트는 공통 기관의 상기 제1 단부와 반대쪽에 있는 제2 단부 쪽에 부착될 수 있다. 상기 공통 기관은 초전도 컴포넌트를 비-초전도 컴포넌트와 서로 연결하기 위한 회로 트레이스를 포함할 수 있다. 히트-실드가 상기 공통 기관의 제2 단부로부터 제1 단부를 열적으로 분리하여, 상기 초전도 컴포넌트는 2 켈빈(Kelvin) 내지 77 켈빈 사이의 온도 범위에서 작동하도록 구성되고, 상기 비-초전도 컴포넌트는 200 켈빈 내지 400 켈빈 사이의 온도 범위에서 작동하도록 구성될 수 있다. 상기 초전도 컴포넌트의 각각은 일차적으로 프로세서 기능을 제공하도록 구성될 수 있으며, 상기 비-초전도 컴포넌트의 각각은 일차적으로 저장 기능을 제공하도록 구성될 수 있다.

대표도



(52) CPC특허분류

H05K 1/0201 (2013.01)
H05K 1/181 (2013.01)
H05K 7/20372 (2013.01)
H05K 7/20518 (2013.01)
G06F 2200/201 (2013.01)
H05K 2201/062 (2013.01)
H05K 2201/10159 (2013.01)

(72) 발명자

쵸로신스키 레오나드 지

미국 워싱턴주 98052-6399 레드몬드 원 마이크로소프트 웨이 마이크로소프트 테크놀로지 라이선싱, 엘엘씨

헤프너 할란 씨

미국 워싱턴주 98052-6399 레드몬드 원 마이크로소프트 웨이 마이크로소프트 테크놀로지 라이선싱, 엘엘씨

명세서

청구범위

청구항 1

컴퓨팅 시스템에 있어서,

하우징 내부가 상기 하우징 외부의 대기압보다 더 낮은 압력으로 유지되는, 상기 하우징;

제1 복수의 컴포넌트들;

제2 복수의 컴포넌트들;

상기 하우징 내부에, 제1 평면에 배열되고 상기 제1 평면에 평행한 제1 표면 및 제2 표면을 갖는 제1 기관 - 상기 제2 표면은 상기 제1 표면과 반대쪽에 있으며, 상기 제1 복수의 컴포넌트들 중 제1 세트는 상기 제1 기관의 제1 단부 쪽으로 상기 제2 표면에 부착되고, 상기 제2 복수의 컴포넌트들 중 제2 세트는 상기 제1 기관의 제2 단부 쪽으로 상기 제2 표면에 부착되며, 상기 제1 단부는 상기 제2 단부와 반대쪽에 있고, 상기 제1 복수의 컴포넌트들의 각각은 일차적으로(primary) 프로세서 기능을 제공하도록 구성되고, 상기 제2 복수의 컴포넌트들의 각각은 일차적으로 저장 기능을 제공하도록 구성됨 - ;

상기 하우징 내부에, 상기 제1 평면 위 또는 아래의 제2 평면에 배열되고, 상기 제2 평면에 평행한 제3 표면 및 제4 표면을 갖는 제2 기관 - 상기 제4 표면은 상기 제3 표면과 반대쪽에 있으며, 상기 제1 복수의 컴포넌트들 중 제3 세트는 상기 제2 기관의 제3 단부 쪽으로 상기 제4 표면에 부착되고, 상기 제2 복수의 컴포넌트들 중 제4 세트는 상기 제2 기관의 제4 단부 쪽으로 상기 제4 표면에 부착되며, 상기 제3 단부는 상기 제4 단부와 반대쪽에 있고, 상기 제1 기관 및 상기 제2 기관의 각각은, 상기 제1 복수의 컴포넌트들 중 적어도 서브세트를 상기 제2 복수의 컴포넌트들 중 적어도 서브세트와 서로 연결하기 위한 복수의 회로 트레이스(circuit traces)를 포함함 - ; 및

상기 제1 기관의 상기 제2 단부로부터 상기 제1 단부를 열적으로 분리하고 상기 제2 기관의 상기 제4 단부로부터 상기 제3 단부를 열적으로 분리하도록 구성되어, 상기 제1 복수의 컴포넌트들의 각각은 제1 온도에서 작동하도록 구성되고 상기 제2 복수의 컴포넌트들의 각각은 상기 제1 온도보다 큰 제2 온도에서 작동하도록 구성되게 하는, 히트 실드(heat-shield) - 상기 제1 온도는 2 켈빈(Kelvin) 내지 77 켈빈 사이의 범위 내에 있고, 상기 제2 온도는 200 켈빈 내지 400 켈빈 사이의 범위 내에 있음 -

를 포함하는, 컴퓨팅 시스템.

청구항 2

청구항 1에 있어서,

상기 더 낮은 압력은 10^{-3} Torr 내지 10^{-10} Torr 사이의 범위 내에 있는 것인, 컴퓨팅 시스템.

청구항 3

청구항 1에 있어서,

상기 일차적인 프로세서 기능은, 중앙-처리 기능, 그래픽-처리 기능, 인공-지능 기능, 게이트-어레이 기능, 메모리 기능 또는 버스-인터페이스-매니지먼트 기능 중 적어도 하나를 포함하는 것인, 컴퓨팅 시스템.

청구항 4

청구항 1에 있어서,

상기 일차적인 저장 기능은, 메모리 기능, 게이트-어레이 기능, 버스-매니지먼트 기능, 컨트롤러 기능 또는 버스-인터페이스-매니지먼트 기능 중 적어도 하나를 포함하는 것인, 컴퓨팅 시스템.

청구항 5

청구항 1에 있어서,

상기 제1 복수의 컴포넌트들의 각각은, 중앙 처리 유닛, 그래픽-처리 유닛, 인공-지능 프로세서, 필드-프로그래밍 가능 게이트 어레이(field-programmable gate array), 애플리케이션-특정 집적회로(application-specific integrated circuit), 애플리케이션-특정 표준 제품(application-specific standard product), 시스템-온-칩(system-on-a-chip), 복합 프로그래밍 가능 논리소자(complex programmable logic device), 랜덤-액세스 메모리(random-access memory) 및 조셉슨 마그네틱 랜덤-액세스 메모리(Josephson magnetic random-access memory)를 포함하는 군에서 선택되는 것인, 컴퓨팅 시스템.

청구항 6

청구항 1에 있어서,

상기 제2 복수의 컴포넌트들의 각각은, 동적 랜덤-액세스 메모리(dynamic random-access memory), 필드-프로그래밍 가능 게이트 어레이(field-programmable gate array), 애플리케이션-특정 집적 회로(application-specific integrated circuit), 애플리케이션-특정 표준 제품(application-specific standard product), 시스템-온-칩(system-on-a-chip) 및 복합 프로그래밍 가능 논리소자(complex programmable logic device)를 포함하는 군에서 선택되는 것인, 컴퓨팅 시스템.

청구항 7

청구항 1에 있어서,

상기 복수의 회로 트레이스의 각각은, 초전도 금속(superconducting metal)을 포함하지만 일반 금속(normal metal)을 제외하는 제1 영역 및 초전도 금속과 일반 금속을 모두 포함하는 제2 영역을 포함하는 것인, 컴퓨팅 시스템.

청구항 8

컴퓨팅 시스템에 있어서,

하우징 내부가 진공으로 유지되는, 상기 하우징;

제1 복수의 컴포넌트들;

제2 복수의 컴포넌트들;

상기 하우징 내부에, 제1 평면에 배열되고 상기 제1 평면에 평행한 제1 표면 및 제2 표면을 갖는 제1 기관 - 상기 제2 표면은 상기 제1 표면과 반대쪽에 있으며, 상기 제1 복수의 컴포넌트들 중 제1 세트는 상기 제1 기관의 제1 단부 쪽으로 상기 제2 표면에 부착되고, 상기 제2 복수의 컴포넌트들 중 제2 세트는 상기 제1 기관의 제2 단부 쪽으로 상기 제2 표면에 부착되며, 상기 제1 단부는 상기 제2 단부와 반대쪽에 있고, 상기 제1 복수의 컴포넌트들의 각각은 일차적으로 프로세서 기능을 제공하도록 구성되고, 상기 제2 복수의 컴포넌트들의 각각은 일차적으로 저장 기능을 제공하도록 구성됨 - ;

상기 하우징 내부에, 상기 제1 평면 위 또는 아래의 제2 평면에 배열되고, 상기 제2 평면에 평행한 제3 표면 및 제4 표면을 갖는 제2 기관 - 상기 제4 표면은 상기 제3 표면과 반대쪽에 있으며, 상기 제1 복수의 컴포넌트들 중 제3 세트는 상기 제2 기관의 제3 단부 쪽으로 상기 제4 표면에 부착되고, 상기 제2 복수의 컴포넌트들 중 제4 세트는 상기 제2 기관의 제4 단부 쪽으로 상기 제4 표면에 부착되며, 상기 제3 단부는 상기 제4 단부와 반대쪽에 있고, 상기 제1 기관 및 상기 제2 기관의 각각은, 상기 제1 복수의 컴포넌트들 중 적어도 서브세트를 상기 제2 복수의 컴포넌트들 중 적어도 서브세트와 서로 연결하기 위한 복수의 회로 트레이스를 포함함 - ; 및

상기 제1 기관의 상기 제2 단부로부터 상기 제1 단부를 열적으로 분리하고 상기 제2 기관의 상기 제4 단부로부터 상기 제3 단부를 열적으로 분리하도록 구성되어, 상기 제1 복수의 컴포넌트들의 각각은 제1 온도에서 작동하도록 구성되고 상기 제2 복수의 컴포넌트들의 각각은 상기 제1 온도보다 큰 제2 온도에서 작동하도록 구성되게 하는, 히트 실드 - 상기 제1 온도는 2 켈빈 내지 77 켈빈 사이의 범위 내에 있고, 상기 제2 온도는 200 켈빈 내지 400 켈빈 사이의 범위 내에 있음 -

를 포함하는, 컴퓨팅 시스템.

청구항 9

청구항 8에 있어서,

상기 진공은 10^{-3} Torr 내지 10^{-10} Torr 사이의 범위 내의 압력에 대응하는 것인, 컴퓨팅 시스템.

청구항 10

청구항 8에 있어서,

상기 일차적인 프로세서 기능은, 중앙-처리 기능, 그래픽-처리 기능, 인공-지능 기능, 게이트-어레이 기능, 메모리 기능 또는 버스-인터페이스-매니지먼트 기능 중 적어도 하나를 포함하는 것인, 컴퓨팅 시스템.

청구항 11

청구항 8에 있어서,

상기 일차적인 저장 기능은, 메모리 기능, 게이트-어레이 기능, 버스-매니지먼트 기능, 컨트롤러 기능 또는 버스-인터페이스-매니지먼트 기능 중 적어도 하나를 포함하는 것인, 컴퓨팅 시스템.

청구항 12

청구항 8에 있어서,

상기 제1 복수의 컴포넌트들의 각각은, 중앙 처리 유닛, 그래픽-처리 유닛, 인공-지능 프로세서, 필드-프로그래밍 가능 게이트 어레이(field-programmable gate array), 애플리케이션-특정 집적회로(application-specific integrated circuit), 애플리케이션-특정 표준 제품(application-specific standard product), 시스템-온-칩(system-on-a-chip), 복합 프로그래밍 가능 논리소자(complex programmable logic device), 랜덤-액세스 메모리(random-access memory) 및 조셉슨 마그네틱 랜덤-액세스 메모리(Josephson magnetic random-access memory)를 포함하는 군에서 선택되는 것인, 컴퓨팅 시스템.

청구항 13

청구항 8에 있어서,

상기 제2 복수의 컴포넌트들의 각각은, 동적 랜덤-액세스 메모리(dynamic random-access memory), 필드-프로그래밍 가능 게이트 어레이(field-programmable gate array), 애플리케이션-특정 집적 회로(application-specific integrated circuit), 애플리케이션-특정 표준 제품(application-specific standard product), 시스템-온-칩(system-on-a-chip) 및 복합 프로그래밍 가능 논리소자(complex programmable logic device)를 포함하는 군에서 선택되는 것인, 컴퓨팅 시스템.

청구항 14

청구항 8에 있어서,

상기 복수의 회로 트레이스의 각각은, 초전도 금속을 포함하지만 일반 금속을 제외하는 제1 영역 및 초전도 금속과 일반 금속을 모두 포함하는 제2 영역을 포함하는 것인, 컴퓨팅 시스템.

청구항 15

컴퓨팅 시스템에 있어서,

하우징 내부가 진공으로 유지되는, 상기 하우징;

제1 복수의 컴포넌트들;

제2 복수의 컴포넌트들;

상기 하우징 내부에, 제1 평면에 배열되고 상기 제1 평면에 평행한 제1 표면 및 제2 표면을 갖는 제1 기판 - 상기 제2 표면은 상기 제1 표면과 반대쪽에 있으며, 상기 제1 복수의 컴포넌트들 중 제1 세트는 상기 제1 기판의 제1 단부 쪽으로 상기 제2 표면에 부착되고, 상기 제2 복수의 컴포넌트들 중 제2 세트는 상기 제1 기판의 제2 단부 쪽으로 상기 제2 표면에 부착되며, 상기 제1 단부는 상기 제2 단부와 반대쪽에 있고, 상기 제1 복수의 컴

포넌트들의 각각은 일차적으로 프로세서 기능을 제공하도록 구성되고, 상기 제2 복수의 컴포넌트들의 각각은 일차적으로 저장 기능을 제공하도록 구성되며, 제1 히트 싱크가 상기 제1 기판을 열적으로 클램핑하기 위해 상기 제1 기판에 결합됨 - ;

상기 하우징 내부에, 상기 제1 평면 위 또는 아래의 제2 평면에 배열되고, 상기 제2 평면에 평행한 제3 표면 및 제4 표면을 갖는 제2 기판 - 상기 제4 표면은 상기 제3 표면과 반대쪽에 있으며, 상기 제1 복수의 컴포넌트들 중 제3 세트는 상기 제2 기판의 제3 단부 쪽으로 상기 제4 표면에 부착되고, 상기 제2 복수의 컴포넌트들 중 제4 세트는 상기 제2 기판의 제4 단부 쪽으로 상기 제4 표면에 부착되며, 상기 제3 단부는 상기 제4 단부와 반대쪽에 있고, 상기 제1 기판 및 상기 제2 기판의 각각은, 상기 제1 복수의 컴포넌트들 중 적어도 서브세트를 상기 제2 복수의 컴포넌트들 중 적어도 서브세트와 서로 연결하기 위한 복수의 회로 트레이스를 포함하며, 제2 히트 싱크가 상기 제2 기판을 열적으로 클램핑하기 위해 상기 제2 기판에 결합됨 - ; 및

상기 제1 기판의 상기 제2 단부로부터 상기 제1 단부를 열적으로 분리하고 상기 제2 기판의 상기 제4 단부로부터 상기 제3 단부를 열적으로 분리하도록 구성되어, 상기 제1 복수의 컴포넌트들의 각각은 제1 온도에서 작동하도록 구성되고 상기 제2 복수의 컴포넌트들의 각각은 상기 제1 온도보다 큰 제2 온도에서 작동하도록 구성되게 하는, 히트 실드 - 상기 제1 온도는 9 켈빈 미만이고, 상기 제2 온도는 80 켈빈 내지 400 켈빈 사이의 범위 내에 있음 -

를 포함하는, 컴퓨팅 시스템.

청구항 16

청구항 15에 있어서,

상기 진공은 10^{-3} Torr 내지 10^{-10} Torr 사이의 범위 내의 압력에 대응하는 것인, 컴퓨팅 시스템.

청구항 17

청구항 15에 있어서,

상기 일차적인 프로세서 기능은, 중앙-처리 기능, 그래픽-처리 기능, 인공-지능 기능, 게이트-어레이 기능, 메모리 기능 또는 버스-인터페이스-매니지먼트 기능 중 적어도 하나를 포함하는 것인, 컴퓨팅 시스템.

청구항 18

청구항 15에 있어서,

상기 일차적인 저장 기능은, 메모리 기능, 게이트-어레이 기능, 버스-매니지먼트 기능, 컨트롤러 기능 또는 버스-인터페이스-매니지먼트 기능 중 적어도 하나를 포함하는 것인, 컴퓨팅 시스템.

청구항 19

청구항 15에 있어서,

상기 제1 복수의 컴포넌트들의 각각은, 중앙 처리 유닛, 그래픽-처리 유닛, 인공-지능 프로세서, 필드-프로그래밍 가능 게이트 어레이(field-programmable gate array), 애플리케이션-특정 집적회로(application-specific integrated circuit), 애플리케이션-특정 표준 제품(application-specific standard product), 시스템-온-칩(system-on-a-chip), 복합 프로그래밍 가능 논리소자(complex programmable logic device), 랜덤-액세스 메모리(random-access memory) 및 조셉슨 마그네틱 랜덤-액세스 메모리(Josephson magnetic random-access memory)를 포함하는 군에서 선택되는 것인, 컴퓨팅 시스템.

청구항 20

청구항 15에 있어서,

상기 제2 복수의 컴포넌트들의 각각은, 동적 랜덤-액세스 메모리(dynamic random-access memory), 필드-프로그래밍 가능 게이트 어레이(field-programmable gate array), 애플리케이션-특정 집적 회로(application-specific integrated circuit), 애플리케이션-특정 표준 제품(application-specific standard product), 시스템-온-칩(system-on-a-chip) 및 복합 프로그래밍 가능 논리소자(complex programmable logic device)를 포함하

는 군에서 선택되는 것인, 컴퓨팅 시스템.

발명의 설명

기술 분야

배경 기술

[0001] 디지털 프로세서와 같은 전자 디바이스에 사용되는 반도체 기반 집적 회로는 CMOS(complementary metal-oxide semiconductor) 기술에 기반한 디지털 회로를 포함한다. 그러나 CMOS 기술은 디바이스 크기 측면에서 한계에 도달하고 있다. 또한, CMOS 기술을 기반으로 하는 디지털 회로에 의한 높은 클럭 속도에서의 전력 소비는 고성능 디지털 회로 및 시스템에서 점점 더 제한적인 요인이 되었다. 예를 들어, 데이터 센터의 서버는 점점 더 많은 전력을 소비하고 있다. 전력 소비는 부분적으로, CMOS 회로가 비활성 상태일 때도 에너지 소실로 인한 전력 손실의 결과이다. 이는 그러한 회로가 비활성 상태이고 어떠한 동적 전력을 소비하고 있지 않더라도, CMOS 트랜지스터의 상태를 유지해야 하기 때문에 여전히 전력을 소비하기 때문이다.

[0002] CMOS 기술을 기반으로 하는, 프로세서 및 관련 컴포넌트의 사용에 대한 추가적인 접근 방식은 초전도 논리 기반 컴포넌트(superconducting logic-based components) 및 디바이스를 사용하는 것이다. 초전도 논리 기반 컴포넌트 및 디바이스는 큐비트(qubits)와 같은 양자 정보를 처리하는데 사용될 수도 있다. 그러나 초전도 메모리와 같은 초전도 논리 기반 디바이스 조차 극저온(예: 4K)에서 작동해야 하기 때문에 상당한 양의 전력을 소비한다.

발명의 내용

해결하려는 과제

과제의 해결 수단

[0003] 본 발명의 일 측면에서, 하우징 내부가 하우징 외부의 대기압보다 낮은 압력으로 유지되는, 하우징을 포함하는 컴퓨팅 시스템이 제공된다. 상기 컴퓨팅 시스템은 상기 하우징 내부에, 제1 평면에 배열되고 상기 제1 평면에 평행한 제1 표면 및 제2 표면을 갖는 제1 기판을 더 포함할 수 있고, 상기 제2 표면은 상기 제1 표면과 반대쪽에 있으며, 제1 복수의 컴포넌트의 제1 세트는 상기 제1 기판의 제1 단부 쪽으로 상기 제2 표면에 부착되고, 제2 복수의 컴포넌트의 제2 세트는 상기 제1 기판의 제2 단부 쪽으로 상기 제2 표면에 부착되며, 상기 제1 단부는 상기 제2 단부와 반대쪽에 있으며, 상기 제1 복수의 컴포넌트의 각각은 일차적으로(primarily) 프로세서 기능을 제공하도록 구성되고, 상기 제2 복수의 컴포넌트의 각각은 일차적으로 저장 기능을 제공하도록 구성된다.

[0004] 컴퓨팅 시스템은 하우징 내부에, 상기 제1 평면 위 또는 아래의 제2 평면에 배열된 제2 기판을 더 포함할 수 있고, 상기 제2 기판은 상기 제2 평면과 평행한 제3 표면 및 제4 표면을 가지며, 상기 제4 표면은 상기 제3 표면과 반대쪽에 있으며, 상기 제1 복수의 컴포넌트의 제3 세트는 상기 제2 기판의 제3 단부 쪽으로 상기 제4 표면에 부착되고, 상기 제2 복수의 컴포넌트의 제4 세트는 상기 제2 기판의 제4 단부 쪽으로 상기 제4 표면에 부착되며, 상기 제3 단부는 제4 단부와 반대쪽에 있으며, 상기 제1 기판 및 제2 기판의 각각은 상기 제1 복수의 컴포넌트 중 적어도 서브세트를 상기 제2 복수의 컴포넌트 중 적어도 서브세트와 서로 연결하기 위한 복수의 회로 트레이스(circuit traces)를 포함한다.

[0005] 컴퓨팅 시스템은 상기 제1 기판의 제2 단부로부터 제1 단부를 열적으로(thermally) 분리하고, 상기 제2 기판의 제4 단부로부터 제3 단부를 열적으로 분리하도록 구성된 히트-실드(heat-shield)를 더 포함하여, 제1 복수의 컴포넌트 각각이 제1 온도에서 작동하도록 구성되고, 제2 복수의 컴포넌트 각각은 제1 온도보다 큰 제2 온도에서 작동하도록 구성될 수 있으며, 여기서 상기 제1 온도는 2 켈빈(Kelvin) 내지 77 켈빈 사이의 범위이고 상기 제2 온도는 200 켈빈 내지 400 켈빈 사이의 범위이다.

[0006] 본 발명의 다른 측면에서, 하우징 내부에 진공이 유지되는, 하우징을 포함하는 컴퓨팅 시스템이 제공된다. 상기 컴퓨팅 시스템은 하우징 내부에, 제1 평면에 배열되고 상기 제1 평면에 평행한 제1 표면 및 제2 표면을 갖는 제1 기판을 더 포함할 수 있고, 여기서 상기 제2 표면은 제1 표면과 반대쪽에 있으며, 제1 복수의 컴포넌트의 제1 세트는 상기 제1 기판의 제1 단부 쪽으로 제2 표면에 부착되고, 제2 복수의 컴포넌트의 제2 세트는 상기 제1 기

관의 제2 단부 쪽으로 제2 표면에 부착되며, 상기 제1 단부는 상기 제2 단부와 반대쪽에 있고, 상기 제1 복수의 컴포넌트 각각은 일차적으로 프로세서 기능을 제공하도록 구성되고, 상기 제2 복수의 컴포넌트 각각은 일차적으로 저장 기능을 제공하도록 구성된다.

[0007] 컴퓨팅 시스템은 하우징 내부에, 상기 제1 평면 위 또는 아래의 제2 평면에 배열된 제2 기관을 더 포함할 수 있고, 상기 제2 기관은 제2 평면에 평행한 제3 표면 및 제4 표면을 가지며, 여기서 상기 제4 표면은 제3 표면과 반대쪽에 있고, 제1 복수의 컴포넌트의 제3 세트는 상기 제2 기관의 제3 단부 쪽으로 제4 표면에 부착되고, 제2 복수의 컴포넌트의 제4 세트는 상기 제2 기관의 제4 단부 쪽으로 제4 표면에 부착되며, 여기서 상기 제3 단부는 상기 제4 단부와 반대쪽에 있고, 상기 제1 기관 및 제2 기관의 각각은 상기 제1 복수의 컴포넌트 중 적어도 서브세트를 상기 제2 복수의 컴포넌트 중 적어도 서브세트와 서로 연결하기 위한 복수의 회로 트레이스를 포함한다.

[0008] 컴퓨팅 시스템은 상기 제1 기관의 제2 단부로부터 제1 단부를 열적으로 분리하고 상기 제2 기관의 제4 단부로부터 제3 단부를 열적으로 분리하도록 구성된 히트-실드를 더 포함하여, 상기 제1 복수의 컴포넌트 각각은 제1 온도에서 작동하고 제2 복수의 컴포넌트 각각은 상기 제1 온도보다 큰 제2 온도에서 작동하도록 구성될 수 있으며, 여기서 상기 제1 온도는 2 켈빈 내지 77 켈빈 사이의 범위이고 상기 제2 온도는 200 켈빈 내지 400 켈빈 사이의 범위이다.

[0009] 또 다른 측면에서, 본 발명은 하우징을 포함하는 컴퓨팅 시스템에 관한 것으로, 상기 하우징 내부에는 진공이 유지된다. 상기 컴퓨팅 시스템은 하우징 내부에, 제1 평면에 배열되고 상기 제1 평면에 평행한 제1 표면 및 제2 표면을 갖는 제1 기관을 더 포함할 수 있고, 여기서 상기 제2 표면은 상기 제1 표면과 반대쪽에 있으며, 제1 복수의 컴포넌트의 제1 세트는 상기 제1 기관의 제1 단부 쪽으로 제2 표면에 부착되고, 제2 복수의 컴포넌트의 제2 세트는 상기 제1 기관의 제2 단부 쪽으로 제2 표면에 부착되며, 여기서 상기 제1 단부는 상기 제2 단부와 반대쪽에 있고, 여기서 상기 제1 복수의 컴포넌트 각각은 일차적으로 프로세서 기능을 제공하도록 구성되고, 상기 제2 복수의 컴포넌트 각각은 일차적으로 저장 기능을 제공하도록 구성되며, 제1 히트 싱크(heat sink)가 상기 제1 기관을 열적으로 클램핑(thermally clamp) 하도록 제1 기관에 결합된다.

[0010] 컴퓨팅 시스템은 하우징 내부에, 상기 제1 평면 위 또는 아래의 제2 평면에 배열된 제2 기관을 더 포함할 수 있고, 상기 제2 기관은 상기 제2 평면에 평행한 제3 표면 및 제4 표면을 가지며, 상기 제4 표면은 제3 표면과 반대쪽에 있으며, 상기 제1 복수의 컴포넌트의 제3 세트는 상기 제2 기관의 제3 단부 쪽으로 제4 표면에 부착되고, 상기 제2 복수의 컴포넌트의 제4 세트는 상기 제2 기관의 제4 단부 쪽으로 제4 표면에 부착되며, 상기 제3 단부는 제4 단부와 반대쪽에 있고, 상기 제1 기관 및 제2 기관의 각각은 상기 제1 복수의 컴포넌트의 적어도 서브세트를 상기 제2 복수의 컴포넌트의 적어도 서브세트와 서로 연결하기 위한 복수의 회로 트레이스를 포함하고, 여기서 제2 히트 싱크(heat sink)가 상기 제2 기관을 열적으로 클램핑(thermally clamp) 하도록 제2 기관에 결합된다.

[0011] 컴퓨팅 시스템은 상기 제1 기관의 제2 단부로부터 제1 단부를 열적으로 분리하고 상기 제2 기관의 제4 단부로부터 제3 단부를 열적으로 분리하도록 구성된 히트-실드를 더 포함하여, 상기 제1 복수의 컴포넌트 각각은 제1 온도에서 작동하도록 구성되고, 제2 복수의 컴포넌트 각각은 상기 제1 온도보다 큰 제2 온도에서 작동하도록 구성될 수 있으며, 여기서 상기 제1 온도는 9 켈빈 미만이고 상기 제2 온도는 80 켈빈 내지 400 켈빈 사이의 범위에 있다.

[0012] 이상의 개요는 아래의 상세한 설명에서 더 설명되는 선택된 개념들을 단순화된 형태로 소개하기 위해 제공된 것이다. 상기 개요는 청구된 발명의 주요 특징 또는 필수적인 특징을 식별하기 위한 것이 아니며 청구된 발명의 범위를 제한하는데 사용하고자 하는 것도 아니다.

도면의 간단한 설명

[0013] 본 발명이 실시예로서 도시되지만 첨부 도면에 의해 제한되는 것은 아니며, 도면에서 유사한 도면 부호는 유사한 구성요소를 나타낸다. 도면에서 구성요소들은 단순성 및 명료성을 위해 도시되어 있으며 반드시 정확한 축척 비율로 도시된 것은 아니다.

도 1은 일 실시예에 따라, 하우징 내부에 있는 적어도 하나의 공통 기관 상에 위치한 컴포넌트를 포함하는 컴퓨팅 시스템을 도시한다;

도 2는 일 실시예에 따라 컴퓨팅 시스템의 단면도를 도시한다;

도 3은 일 실시예에 따라 도 1의 컴퓨팅 시스템의 일 부분에 대한 상세도를 도시한다;

도 4는 일 실시예에 따라 도 1의 컴퓨팅 시스템의 일 부분에 대한 상세도를 도시한다;

도 5는 일 실시예에 따라 컴포넌트(초전도 또는 비-초전도)에 대한 도면을 나타낸다;

도 6은 일 실시예에 따라 땀납 범프(solder bumps)를 사용하여 기판에 본딩된 컴포넌트(예를 들면, 초전도 컴포넌트 또는 비-초전도 컴포넌트)를 도시한다;

도 7은 일 실시예에 따른 초전도 컴포넌트의 단면도를 도시한다;

도 8은 일 실시예에 따라 기판의 길이를 따른 온도 변화를 나타내는 그래프와 함께 기판을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0014] 본 명세서에 기술된 실시예는 초전도 컴포넌트 및 디바이스를 포함하는 컴퓨팅 시스템에 관한 것이다. 본 발명의 특정 실시예는 극저온의(cryogenic) 온도(예를 들면, 4 켈빈 이하)에서 작동하는 컴포넌트 및 비-극저온의(non-cryogenic) 온도(예를 들면, 300 켈빈 이상)에서 작동하는 컴포넌트를 포함하는 컴퓨팅 시스템에 관한 것이다. 일 실시예에서, 초전도 시스템은 진공 어셈블리에 수용된다. 이 실시예에서, 초전도 시스템은 기판 상에 형성된 하나 이상의 초전도 컴포넌트(superconducting component)를 포함할 수 있다. 초전도 컴포넌트는 기판 상에 실장된 집적회로 칩을 포함할 수 있다. 초전도 컴포넌트 및 디바이스는 회로와 관련된 기능을 구현하기 위하여 조셉슨 접합(Josephson junctions)을 사용할 수 있다. 예시적인 조셉슨 접합은 전류를 방해하는 영역을 통해 결합된 2개의 초전도체(superconductors)를 포함할 수 있다. 전류를 방해하는 영역은 초전도체 자체의 물리적 협착(narrowing), 금속 영역 또는 얇은 절연 배리어 일 수 있다. 예시로서, 초전도체-절연체-초전도체(Superconductor-Insulator-Superconductor)(SIS) 타입의 조셉슨 접합이 초전도 회로의 부분으로 구현될 수 있다. 예시로서, 초전도체(superconductor)는 전기장이 없는 상태에서 직류(direct electrical current)(DC)를 전달할 수 있는 재료이다. 초전도체는 그 아래의 온도에서는 저항이 0이 되는 임계온도(Tc)를 가진다. 이러한 초전도체 중 하나인 니오븀의 임계온도(Tc)는 9.3 켈빈 온도(Kelvin degrees)이다. Tc 미만의 온도에서, 니오븀은 초전도성이지만, Tc 보다 높은 온도에서는 전기 저항이 있는 일반 금속(normal metal)처럼 행동한다. 따라서, SIS 타입의 조셉슨 접합에서 초전도체는 니오븀 초전도체 일 수 있고 절연체는 Al₂O₃ 배리어 일 수 있다. SIS 타입의 접합에서, 초전도 전자(superconducting electrons)는 양자 역학적 파동 함수에 의해 기술된다. 2개의 초전도체 사이의 초전도 전자 파동 함수 위상의 시간에 변화하는 위상차는 2개의 초전도체 사이의 전위차에 대응한다.

[0015] 전송선을 포함하는 다양한 초전도 회로는 필요에 따라 인덕터 또는 다른 부품에 의해 다수의 조셉슨 접합을 결합함으로써 형성될 수 있다. 마이크로파 펄스는 적어도 하나의 클록의 제어 하에 이들 전송선을 통해 이동할 수 있다. 마이크로파 펄스는 양 또는 음 또는 이들의 조합 일 수 있다. 마이크로파 펄스는 10GHz까지 또는 그보다 높은 주파수를 가질 수 있다. 그러한 초전도 회로를 갖는 인터포저(interposer)와 같은 임의의 회로 보드 또는 다른 타입의 구조가 고주파 마이크로파 신호뿐만 아니라 직류(DC) 신호를 지원하기 위해 필요할 수 있다.

[0016] 낮은 저항 및 더 나은 대역폭 특성을 포함하여 초전도성(superconductivity)의 이점이 몇 가지 있지만 초전도 재료는 극저온의 온도(예: 4K)에서 작동되어야 한다. 일반적인 4K 환경에서는 냉각을 위해 와트로(per watt) 약 300 와트의 전력이 필요할 수 있다. 반면에 비-극저온 온도(예: 대략 300K의 주변 온도)에서는 와트로 1 와트의 전력만 필요할 수 있다. 집중적인 데이터 처리가 이루어지는 대규모 컴퓨팅 시스템의 경우, 4K 환경을 위해 수 백 메가 와트의 전력이 필요할 수 있다. 본 발명은 동일한 기판 상에 컴포넌트들을 함께 배치하고 상기 기판을 더욱이 진공 챔버 내에 수용하여 4K 측과 300K 측 사이의 열 전도(thermal conduction)를 제한함으로써 유리하게 더 적은 전력을 소비할 수 있는 컴퓨팅 시스템을 기술한다. 또한, 열 전도를 낮추는 추가적인 특징을 사용하여 그러한 시스템의 작동 효율을 더욱 향상시킬 수 있다. 예시로서, 열 실드(thermal shields)가 복사 열 전달(radiation heat transfer)을 제공하기 위해 적용될 수 있다.

[0017] 도 1은 일 실시예에 따라 적어도 하나의 공통 기판 상에 위치한 컴포넌트들을 포함하는 컴퓨팅 시스템(100)을 도시하며, 여기서 상기 적어도 하나의 공통 기판은 하우징 내부에 있다. 이 실시예에서, 하우징(102)은 하우징 내부에 진공을 유지하도록 구성될 수 있다. 따라서, 컴퓨팅 시스템(100)에 대응하는 여러 컴포넌트(예를 들어, 프로세서 및 메모리)는 진공을 유지하는 하우징 내부에 위치된다. 하우징(102)은 수개의 기판(예를 들어, 기판(104, 106, 108))을 포함할 수 있다. 이들 기판 각각은 유리 또는 다른 적합한 재료를 사용하여 형성될 수 있으며, 예를 들면, 다양한 타입의 폴리머가 사용될 수 있다. 일 실시예에서, 유리 재료는 붕규산(borosilicate) 유

리일 수 있다. 일 실시예에서, 이들 기관 각각은 원피스(one-piece) 유리 기관일 수 있다. 하우징(102)은 77K 열 실드(thermal shield)(112)를 더 포함할 수 있고, 이는 77K 열 실드(112) 내부에 위치한 각각의 기관의 부분들을 열적으로 격리시키도록 구성될 수 있다. 77K 열 실드(112)는 도 1에 도시된 각각의 파이프(120, 122)를 관통하여 흐르는 액체 헬륨을 통해 냉각될 수 있다. 액체 헬륨을 운반하는 파이프(120, 122)는 77K 열 실드(112)에 납땜될(brazed) 수 있다. 일 실시예에서, 77K 열 실드(112)는 니켈-철 합금(예를 들어, Mu-금속)을 사용하여 형성될 수 있다. 77K 열 실드(112)는 추가로 다층 절연체(insulation)(미도시)로 둘러싸여질 수 있다. 이러한 방식으로 77K 열 실드(112)는 4K 공간과 300K 공간 사이의 열 분리(thermal isolation)를 효과적으로 제공할 수 있다. 일 실시예에서, 초전도 컴포넌트(예를 들면, 중앙-처리 유닛(Central-Processing Units)(CPUs), 그래픽-처리 유닛(Graphics-Processing Units)(GPUs), 인공 지능 프로세서(Artificial Intelligence Processors), 필드-프로그래밍 가능 게이트 어레이(Field-Programmable Gate Arrays)(FPGAs), 애플리케이션-특정 집적회로(Application-Specific Integrated Circuits)(ASICs), 애플리케이션-특정 표준 제품(Application-Specific Standard Products)(ASSPs), 시스템-온-칩 시스템(System-on-a-Chip systems)(SOCs), 복합 프로그래밍 가능 논리 소자(Complex Programmable Logic Devices)(CPLDs))는 각각의 공통 기관(예를 들어, 104, 106, 108)의 제1 단부쪽에 위치될 수 있다. 초전도 컴포넌트는 일차적으로 프로세서 기능을 제공하도록 구성될 수 있다. 여기에 사용된 어구 "일차적으로 프로세서 기능(primarily a processor functionality)"은 처리 기능을 구현하는데 필요한 임의의 기능을 포함할 수 있다. 제한없는 예시로서, "일차적 프로세서 기능(primary processor functionality)"이라는 어구는 중앙처리 기능, 그래픽 처리 기능, 인공 지능 기능, 게이트 어레이 기능, 메모리 기능 또는 버스 인터페이스 매니지먼트 기능 중 적어도 하나(또는 이들의 임의의 적절한 조합)를 포함할 수 있다.

[0018] 계속해서 도 1을 참조하면, 제1 단부는 초전도 디바이스가 초전도 원리와 일치하여 작동하도록 허용하기에 적합한 온도로 유지될 수 있다. 따라서, 초전도 컴포넌트는 극저온 온도(예를 들어, 2K 내지 77K)로 유지될 수 있다. 이는 액체 헬륨 또는 그와 같은 다른 냉각제를 통한 냉각 및 열 분리(thermal isolation)의 조합을 통해 달성될 수 있다. 예시로서, 구리 측벽(130)은 초전도 컴포넌트들에 인접하여 장착될 수 있다. 또한, 도 1에 도시된 바와 같이, 구리 측벽(130)은 파이프(예를 들면, 파이프(120))를 통해 흐르는 액체 헬륨을 통해 냉각될 수 있다. 일 실시예에서, 극저온 환경에서 동작하는 시스템은 적절하게 작동하기 위해 진공이 필요할 수 있다. 일 실시예에서, 진공은 10^{-3} Torr 내지 10^{-10} Torr 범위의 압력과 연관될 수 있다. 진공 사용은 대류가 없음을 보장하므로 매우 다른 온도에서 작동하는 컴포넌트들이 동일한 기관에 부착되는 것을 허용할 수 있어 유리하다. 여기서 언급된 온도 범위는 컴포넌트들 자체의 온도가 아니라 이들 컴포넌트가 작동하는 환경의 온도와 연관된 것임을 인식해야 한다. 따라서, 컴포넌트가 "~에서 작동하는(operating at)" 또는 "~에서 유지되는(maintained at)"과 같은 언급은, 내부에서 이들 컴포넌트가 작동하거나 또는 유지되는 환경의 온도를 지칭한다.

[0019] 도 1을 계속 참조하면, 이 실시예에서, 비-초전도 컴포넌트(예를 들어, CMOS, BiCMOS 또는 극저온 온도의 필요 없이 작동에 적합한 다른 유형의 디바이스)는 각각의 공통 기관(예를 들면, 104, 106 및 108)의 제2 단부 쪽으로 위치될 수 있다. 이 실시예에서, 비-초전도 컴포넌트(non-superconducting components)는 임의의 비 휘발성 또는 휘발성 메모리 컴포넌트를 포함하는, 메모리 컴포넌트를 포함할 수 있다. 휘발성 메모리 컴포넌트는 동적 랜덤 액세스 메모리(DRAM) 컴포넌트를 포함하는 임의의 다양한 유형의 랜덤 액세스 메모리 컴포넌트를 포함할 수 있다. 비 휘발성 메모리 컴포넌트는 플래시 메모리 컴포넌트를 포함하여 전원이 공급되지 않을 때에도 정보를 저장할 수 있는 임의의 다양한 유형의 메모리 컴포넌트를 포함할 수 있다. 비-초전도 컴포넌트는 필드-프로그래밍 가능 게이트 어레이(FPGAs), 애플리케이션-특정 집적회로(ASICs), 애플리케이션-특정 표준 제품(ASSPs), 시스템-온-칩 시스템(SOCs), 복합 프로그래밍 가능 논리소자(CPLDs)를 더 포함할 수 있다. 따라서, 비-초전도 컴포넌트는 일차적으로 저장 기능을 제공할 수 있지만, 초전도 컴포넌트와 비-초전도 컴포넌트 사이의 통신을 조정할 수 있고 DRAM을 포함한 저장 디바이스의 제어 및 매니지먼트를 처리할 수 있는 ASICs, ASSPs, SOCs, CPLDs 또는 다른 유형의 컨트롤러와 같은, 컴포넌트를 포함할 수 있다. 여기서 사용된 "일차적으로 저장 기능(primarily a storage functionality)"이라는 어구는 저장 기능을 구현하는데 필요한 임의의 기능을 포함할 수 있다. 제한되지 않는 예시로서, "일차적으로 저장 기능"이라는 어구는 메모리 기능, 게이트-어레이 기능, 버스-매니지먼트 기능, 컨트롤러 기능 또는 버스-인터페이스-매니지먼트 기능 중 적어도 하나(또는 이들의 임의의 적절한 조합)를 포함할 수 있다.

[0020] 계속 도 1을 참조하면, 비-초전도 컴포넌트는 비 극저온 온도(예를 들어, 200K 내지 400K)로 유지될 수 있다. 이는 물 또는 다른 냉각제를 사용한 냉각 및 열 분리의 조합을 통해 달성될 수 있다. 예시로서, 구리 측벽(140)은 비-초전도 컴포넌트들에 인접하여 장착될 수 있다. 또한, 도 1에 도시된 바와 같이, 구리 측벽(140)은 파

이프(예를 들면, 파이프(142) 및 파이프(144))를 통해 흐르는 물(또는 다른 냉각제)을 통해 냉각될 수 있다.

[0021] 계속해서 도 1을 참조하면, 초전도 컴포넌트 및 비-초전도 컴포넌트는 각각의 공통 기관(예를 들면, 104, 106 및 108)의 상부 또는 하부 표면 상에 형성된 회로 트레이스를 사용하여 서로 통신할 수 있다. 회로 트레이스는 선택적 레이저 소결, 용융 퇴적 모델링, 직접 금속 레이저 소결, 스테레오 리소그래피, 클래딩, 전자빔 용융, 전자빔 직접 제조, 에어로졸 분사, 잉크 분사, 반고체 프리폼 제조, 디지털 광처리, 이광자 중합법(2 photon polymerization), 적층 물 제조(laminated object manufacturing), 3D 인쇄 또는 다른 유사한 제조 공정을 포함하는, 적절한 제조공정을 사용하여 형성될 수 있지만 이에 한정되는 것은 아니다. 일 실시예에서, 회로 트레이스는 초전도 컴포넌트를 포함하는 기관의 일 영역에 니오븀(또는 다른 적절한 초전도 물질)로 만들어 질 수 있다. 이 영역은 일반 금속(normal metal), 예컨대, 구리 금속을 제외할 수 있다. 비-초전도 컴포넌트를 포함하는, 다른 영역에서, 회로 트레이스는 니오븀 및 구리(또는 초전도 금속 및 일반 금속을 포함하는 다른 적합한 금속 또는 금속 합금)로 이루어질 수 있다. 초전도 컴포넌트 및 비-초전도 컴포넌트가 동일한 기관 상에 위치한 신호 트레이스를 통해 통신하게 함으로써 지연 시간(latency)을 유리하게 낮출 수 있다. 이는 이들 컴포넌트의 밀접한 근접성(close proximity)이 지연 시간을 감소시킬 수 있기 때문이다. 또한, 이것은 열 기생(thermal parasitics)을 낮출 수도 있다. 도 1은 컴포넌트, 기관 및 다른 컴포넌트의 특정 배열을 나타내고 있지만, 이들은 다른 방식으로 배열될 수도 있다. 또한, 더 적거나 추가적인 컴포넌트, 기관 및 기타 컴포넌트가 존재할 수도 있다.

[0022] 이제 도 2를 참조하면, 일 실시예에 따른 컴퓨팅 시스템(100)의 단면도(200)가 도시되어 있다. 도 2에 도시된 동일하거나 유사한 구성 요소는 동일한 도면부호로 표시된다. 이 실시예에서, 초전도 컴포넌트(230) 및 비-초전도 컴포넌트(240)는 기관(220)에 부착된 것으로 도시된다. 일 실시예에서, 초전도 컴포넌트는 플립-칩 본딩(flip-chip bonding)을 포함하는 임의의 다양한 기술을 사용하여 공통 기관의 각각에 부착될 수 있다. 유사하게, 비-초전도 컴포넌트는 플립-칩 본딩을 포함하는 임의의 다양한 기술을 사용하여 공통 기관 각각에 부착될 수 있다. 이들 컴포넌트들은(후술되는 바와 같이) 각각의 공통 기관에 형성된 신호선을 통해 서로 통신할 수 있다. 히트 실드(112)는 초전도 컴포넌트(230)를 비-초전도 컴포넌트(240)와 열적으로 분리하는데 사용된다. 이 실시예에서, 초전도 컴포넌트(230)는 기관(220)의 우측 단부 쪽으로 배치되고 비-초전도 컴포넌트(240)는 공통 기관(220)의 좌측 단부 쪽으로 배치된다. 이러한 방식으로, 두 타입의 컴포넌트가 히트 실드(112)에 의해 열적으로 분리된다. 히트 실드(112) 및 다른 열 분리(thermal isolation) 특징은 초전도 컴포넌트가 극저온 온도(예를 들면, 9K 미만)에서 작동하고 비-초전도 컴포넌트가 실질적으로 더 높은 온도(예를 들면, 10K 내지 400K 사이의 범위)에서 작동하는 것을 허용한다. 도 2는, 예를 들면 구리 측벽(250)을 포함하는, 추가적인 열 분리 컴포넌트를 도시한다. 또한, 도 2는 구리 히트싱크(heatsinks), 예를 들면, 구리 히트싱크(260)를 도시하며 이에 대해서는 뒤에 더 설명된다. 도 2는 특정 방식으로 배열된 특정 수의 컴포넌트를 도시하지만, 컴퓨팅 시스템(100)은 다르게 배열된 더 적은 수의 또는 추가적인 컴포넌트를 포함할 수 있다.

[0023] 일 실시예에 따라, 도 3은 상기 단면도(200)에 도시된 컴퓨팅 시스템(100)의 일부에 대한 상세도(300)를 도시한다. 상기 상세도(300)는 일차적으로 저장 기능을 제공하도록 구성된 컴포넌트를 포함할 수 있는 비-초전도 컴포넌트(310)를 보여준다. 또한, 전술한 바와 같이, 히트 싱크(320) 및 히트 싱크(330)는 비-초전도 컴포넌트로부터의 열 방사(heat radiation)를 감소시키도록 구성될 수 있다. 이들 히트 싱크 각각은 구리 또는 다른 적절한 열 전도성 금속 또는 합금을 사용하여 제조될 수 있다. 웨지 로크(Wedge lock)(316)는 기관 상에 장착된 컴포넌트를 포함하여 기관과 히트 싱크 사이의 밀접한 결합을 보장하기 위해 사용될 수 있다. 도 3은 구리 측벽(130)에 납땜될 수 있는 파이프(312)를 추가로 보여준다. 도 3에 도시된 일부 유사한 컴포넌트는 도 1 및 도 2에서와 동일한 도면부호를 사용하여 번호가 매겨졌다. 도 3은 특정 방식으로 배열된 특정 수의 컴포넌트를 도시하지만, 컴퓨팅 시스템(100)은 다르게 배열된 더 적은 수 또는 추가의 컴포넌트를 포함할 수 있다.

[0024] 일 실시예에 따라, 도 4는 도 1의 컴퓨팅 시스템(100)의 일 부분에 대한 상세도(400)를 나타낸다. 상세도(400)에 도시된 바와 같이, 컴퓨팅 시스템(100)은 전술한 하우징에 배열된 기관(402, 404)을 포함할 수 있다. 기관(402)은 일 평면으로 배열되고 상부 표면(460) 및 하부 표면(462)을 갖는다. 기관(404)은 다른 일 평면으로 배열되며, 또한 상부 표면(470) 및 하부 표면(472)을 갖는다. 이 실시예에서, 각각의 기관의 상부 표면은 각각의 기관의 하부 표면과 반대쪽에(opposite) 있다. 이 실시예에서, 초전도 컴포넌트(406, 408, 410)(또는 비-초전도 컴포넌트)는 각 기관(402, 404)의 상부 표면에 부착된다. 이 실시예에서, 초전도 컴포넌트는 인듐 납땜 재료를 사용하여 각각의 기관에 부착될 수 있다. 구리 히트 싱크(454, 456, 466, 476)는 초전도 컴포넌트로부터 열을 제거하기 위한 열 경로를 제공하도록 구성될 수 있다. 스프링 력(spring force) 메커니즘(442, 444, 446)과 같은 메커니즘이, 초전도 컴포넌트(예를 들어, 406, 408 및 410)를 밀어 구리 히트 싱크(466, 476)와 더 밀접하게

접촉시키기 위해 사용될 수 있다. 또한, 웨지 로크(wedge locks)(예를 들면, 452)는 기관 및 공통 기관에 부착된 컴포넌트를 냉각시키기 위한 또 다른 열 경로를 제공하기 위해 기관(예를 들면, 기관(402))을 구리 측벽에 클램핑 하는데 사용될 수 있다. 이 실시예에서, 기관(402, 404)에 부착된 컴포넌트들은 구리 히트 싱크와 주로 실리콘으로 제조된 컴포넌트들(예를 들면, 초전도 컴포넌트 및 비-초전도 컴포넌트 둘 다) 간의 열팽창 계수(CTE) 불일치에 대처하기 위해 열 전도성 재료(예를 들면, 인듐 납땀)로 코팅되거나 충전될 수 있다. 도 4는 특정 방식으로 배열된 특정 수의 컴포넌트를 도시하지만, 컴퓨팅 시스템(100)은 다르게 배열된 더 적은 수 또는 추가 구성 요소를 포함할 수 있다.

[0025] 도 5는 일 실시예에 따른 컴포넌트(500)(예를 들면, 이전에 설명된 임의의 컴포넌트)를 도시한다. 컴포넌트(500)는 상이한 위치에 위치된 여러 다이(dies)를 포함할 수 있다. 각각의 다이(504, 506, 508, 510, 512, 514, 516, 518, 520)는 신호 트레이스를 통해 컴포넌트(500)의 베이스(미도시)에서 커넥터에 연결될 수 있다. 이들 커넥터는 각 컴포넌트를 공통 기관에 부착하기 위해 납땀 볼(solder balls) 또는 다른 부착 메커니즘에 차례로 연결될 수 있다. 일 실시예에서, 범프(bump) 파라미터는 각 위치마다 상이할 수 있다. 신호 트레이스 또는 라인은 컴포넌트의 평가 및 테스트를 위해 칩 범프(chip bumps)를 주변 연결부에 연결할 수 있다. 도 5는 특정 방식으로 배열된 특정 수의 다이(dies)를 도시하고 있지만, 컴포넌트(500)는 다르게 배열된 더 적은 수의 또는 추가적인 다이를 포함할 수 있다.

[0026] 도 6은 납땀 범프를 사용하여 기관에 본딩된 컴포넌트(예를 들면, 초전도 컴포넌트 또는 비-초전도 컴포넌트)의 단면도를 도시한다. 이 실시예에서, 컴포넌트(604)는 인듐 범프(612)를 사용하여 기관(602)에 본딩될 수 있다. 유사하게, 컴포넌트(606)는 인듐 범프(614)를 사용하여 기관(602)에 본딩될 수 있다. 마지막으로, 컴포넌트(608)는 인듐 범프(616)를 사용하여 기관(602)에 본딩될 수 있다. 도 6은 인듐 범프를 사용하여 기관에 본딩된 특정 개수의 컴포넌트를 도시하였지만, 다른 부착 기술이 사용될 수도 있다.

[0027] 도 7은 일 실시예에 따른 초전도 컴포넌트(700)의 단면도를 도시한다. 초전도 컴포넌트(700)는 기관 상에 형성된 초전도 층 및 유전체 층의 스택(stack)을 포함할 수 있다. 일 실시예에서, 상기 초전도 컴포넌트는 DC에서 10GHz보다 큰 주파수를 갖는 신호에 이르는 신호를 지원하도록 형성될 수 있다. 이 실시예에서, 초전도 컴포넌트는 200 mm 웨이퍼, 300 mm 웨이퍼 또는 이보다 더 큰 웨이퍼와 같이, 커다란 실리콘 기관 위에 제조될 수 있으며, 이는 다수의 다이(dies)로 분리될 수 있다. 일 실시예에서, 기관은 실리콘 또는 임의의 다른 열적으로 절연 또는 전도성 재료로 제조될 수 있다. 또한, 이 실시예에서, 신호 트레이스 및 접지면은 니오븀 또는 유사한 초전도 재료를 스퍼터링 함으로써 형성될 수 있다. 예시로서, 니오븀 나이트라이드(NbN) 또는 니오븀 티타늄 나이트라이드(NbTiN)와 같은 니오븀 화합물이 사용될 수도 있다. 분자빔 에피택시(molecular beam epitaxy)(MBE)와 같은 다른 물리 기상 증착(PVD) 방법도 사용될 수 있다. 트레이스에 사용되는 재료의 타입에 따라, 스퍼터링 공정, 화학 기상 증착(CVD) 공정, 플라즈마 강화 화학 기상 증착(PECVD) 공정, 증발 공정 또는 원자층 증착(ALD) 공정이 사용될 수도 있다. 따라서, 예를 들면, NbN 및 NbTiN와 같은 니오븀 화합물은 CVD 공정을 사용하여 형성될 수 있다.

[0028] 계속해서 도 7을 참조하면, 예시적인 초전도 컴포넌트(700)에서, 유전체 층은 스핀-온 폴리이미드(spin-on polyimide), 벤조사이클로부텐(BCB), 액정 폴리머(LCP) 또는 어떤 다른 폴리머 재료일 수 있다. 초전도 컴포넌트(700)는 트레이스 또는 접지면과 동일한 퇴적 단계에서 니오븀의 컨포멀 퇴적(conformal deposition)에 의해 형성될 수 있는 비아(vias)를 더 포함할 수 있다. 비아 웰(via wells)은 광-화상성 폴리이미드(photo-imageable polyimide)로 직접 패터닝 형성되거나 별도의 단계에서 에칭될 수 있다. 금속 트레이스 및 비아는 동일한 서브트랙티브(subtractive) 에칭 단계에서 정의될 수 있다. 패드 연결부는 인듐 납땀 범프, 주석-실버(Snag) 납땀 범프, 금 스타드(stud) 범프, 구리 필러(pillar) 범프, 또는 기타 전기적 상호접속 범프 타입과 같은, 다양한 와이어 본드 또는 플립 칩 범프 및 와이어 본드 기술을 위해 Ti/Au 또는 Ti/Al 패드를 지원하도록 구성될 수 있다.

[0029] 계속 도 7을 참조하면, 초전도 컴포넌트는 기관(702) 위에 형성된 유전체 층(704)을 포함할 수 있다. 기관(702)은 실리콘 기관, 사파이어 기관, 유리 기관 또는 임의의 다른 적절한 기관일 수 있다. 유전체 층(704)은 기관(702) 위에 유전체(예를 들면, 액정 폴리머(LCP))를 퇴적함으로써 형성될 수 있다. 초전도 층(706)은 유전체 층(704) 위에 형성될 수 있다. 초전도 층(706)은 CVD 또는 PECVD와 같은 임의의 퇴적 기술을 사용하여 형성되고, 이어서 포토 리소그래피를 사용하여 퇴적된 재료를 패터닝 할 수 있다. 이 실시예에서, 초전도 층(706)은 유전체 층(704) 위에 니오븀을 퇴적함으로써 형성될 수 있다. 포토 리소그래피 공정은 초전도 와이어(superconducting wires) 또는 다른 초전도 구조(superconducting structures)를 생성하기 위해 초전도 층(706)을 패터닝 하는데 사용될 수 있다. 다음으로, 화학-기계적 연마와 같은 공정을 사용하여, 초전도 층(706)

의 잉여 부분이 제거될 수 있다. 일 실시예에서, 초전도 와이어는 니오븀 또는 다른 적합한 금속을 사용하여 형성될 수 있다. 초전도 구조의 레이아웃은 초전도 와이어 또는 다른 구성요소에 대한 레이아웃을 생성하는데 사용되는 장소 및 경로 설계 툴을 사용하여 생성될 수 있다. 예시로서, 포토-레지스트(photo-resist)는 금속 층과 같은, 특정 층의 레이아웃에 의해 정의된 초전도 와이어 또는 기타 구조로서 형성될 초전도 층(706)의 영역들만 보호하도록 패터닝될 수 있다. 다른 초전도 금속 또는 금속 합금이 이 단계의 부분으로 사용될 수도 있다. 일 실시예에서, 비아 및 트레이스(traces)는 트레이스를 형성하는데 사용된 것과 동일한 퇴적 단계에서 니오븀의 컨포멀 퇴적(conformal deposition)에 의해 형성될 수 있다. 니오븀은 스퍼터링 또는 다른 유사한 공정에 의해 퇴적될 수 있다. 분자빔 에피택시(MBE)와 같은 다른 물리 기상 증착(PVD) 방법이 사용될 수도 있다. 초전도 컴포넌트(700)는 초전도 층(706) 위에 형성된 유전체 층(708)을 더 포함할 수 있다. 유전체 층(708)은 초전도 층(706) 상에 유전체(예를 들면, 액체 폴리머)를 퇴적함으로써 형성될 수 있다. 일 실시예에서, 유전체 층(708)은 초전도 층(706) 위에 폴리이미드를 스피닝함으로써(by spinning on polyimide) 형성될 수 있다. 또 다른 초전도 층은 유전체 층(708) 위에 형성될 수 있다. 비아(710, 712)는 유전체 층(708)에 비아 또는 콘택트 홀을 생성하고 이들을 니오븀 또는 유사한 초전도 물질로 충전함으로써 형성될 수 있다. 714, 716 및 718을 포함하는 추가적인 초전도 트레이스가 초전도 컴포넌트에 포함되는 다음 초전도 층의 부분으로서 형성될 수 있다. 다음으로, 유전체 층(720)이 초전도 트레이스 또는 평면(예를 들면, 초전도 트레이스(714, 716, 718)를 포함하는 초전도 층) 위에 형성된 것으로 도시되어 있다. 유전체 층(720)은 초전도 층 상에 유전체(예를 들면, 액체 폴리머)를 퇴적함으로써 형성될 수 있다. 일 실시예에서, 유전체 층(720)은 초전도 층 상에 폴리이미드를 스피닝함으로써 형성될 수 있다. 다음으로, 또 다른 초전도 층이 유전체 층(720) 위에 형성될 수 있다. 비아는 유전체 층(720)에 비아 또는 콘택트 홀을 생성하고 이들을 니오븀 또는 유사한 초전도 재료로 충전함으로써 형성될 수 있다. 724, 726 및 728을 포함하는 추가적인 초전도 트레이스가 초전도 컴포넌트에 포함되는 다음 초전도 층의 부분으로서 형성될 수 있다. 일 실시예에서, 초전도 와이어는 니오븀 또는 다른 적합한 금속을 사용하여 형성될 수 있다. 또 다른 유전체 층(722)이 초전도 트레이스 또는 평면(예를 들면, 초전도 트레이스(724, 726, 728)를 포함하는 초전도 층) 위에 형성된 것으로 도시되어 있다. 유전체 층(722)은 초전도 층 상에 유전체(예를 들면, 액체 폴리머)를 퇴적함으로써 형성될 수 있다. 일 실시예에서, 유전체 층(722)은 초전도 층 상에 폴리이미드를 스피닝함으로써 형성될 수 있다. 다음으로, 비아(730, 732) 및 초전도 트레이스(734, 736, 738)가 형성된 것으로 도시되어 있다. 일 실시예에서, 초전도 와이어는 니오븀 또는 다른 적합한 금속을 사용하여 형성될 수 있다. 다음으로, 또 다른 유전체 층(740)이 형성될 수 있다. 이 층은 진술한 바와 유사한 프로세스를 사용하여 형성될 수 있다. 다음으로, 비아(742, 744) 및 초전도 트레이스(750, 752, 754, 756, 758)가 형성된 것으로 도시되어 있다. 일 실시예에서, 초전도 와이어는 니오븀 또는 다른 적합한 금속을 사용하여 형성될 수 있다. 마지막으로, 비아(764, 766)는 패드 연결부(pad connections)를 제공하도록 형성된 것으로 도시되어 있다. 패드 연결부는 인듐 범프, C4 범프 또는 구리 필러와 같은 다양한 범프 및 와이어 본드 기술을 위해 티타늄/금(Ti/Au) 또는 티타늄/알루미늄(Ti/Al) 패드를 지원하도록(support) 구성될 수 있다. 도 7은 특정 방식으로 배열된 초전도 컴포넌트(700)의 특정 수의 층을 도시하고 있지만, 다르게 배열된 더 많거나 적은 수의 층이 존재할 수 있다. 또한, 특정 단계들이 특정 순서로 수행되는 것으로 설명되었지만, 초전도 컴포넌트(700)를 제조하기 위해 다른 순서로 추가적인 또는 더 적은 수의 단계들이 수행될 수 있다.

[0030] 도 7을 계속 참조하면, 일 실시예에서, 초전도 층(106)은 초전도 컴포넌트를 통해 클럭 신호를 분배하도록 구성될 수 있다. 다음 세트의 초전도 트레이스(예를 들면, 초전도 트레이스(714, 716, 718))는 초전도 컴포넌트를 통해 클럭 신호를 분배하도록 구성될 수 있다. 그 다음 세트의 초전도 트레이스(예를 들어, 초전도 트레이스(724, 726, 728))는 초전도 컴포넌트의 접지면으로 동작하도록 구성될 수 있다. 그 다음 세트의 초전도 트레이스(예를 들면, 초전도 트레이스(734, 736, 738))는 초전도 컴포넌트를 통해 클럭 신호 이외의 신호를 분배하도록 구성될 수 있다. 그 다음 세트의 초전도 트레이스(예를 들면, 초전도 트레이스(750, 752, 754, 756, 758))는 초전도 컴포넌트를 통해 클럭 신호 이외의 신호를 분배하도록 구성될 수 있다. 실제로, 다양한 초전도 층의 기능은 초전도 컴포넌트와 관련된 요건에 기초하여 변경될 수 있다.

[0031] 도 8은 일 실시예에 따라 기판(800)을 기판(800)의 길이에 따른 온도 변화를 나타내는 그래프(820)와 함께 도시한다. 기판(800)은 기판 층(802), 비-초전도 컴포넌트 층(804), 초전도 컴포넌트 층(806) 및 히트 싱크(808)를 포함한다. 이 실시예에서, 두꺼운(따라서 열 전도성이 높은) 구리 히트 싱크(808)가 기판(800)의 상당한 길이를 따라 낮은 온도의 유지를 달성하기 위해 사용된다. 컴포넌트 층들은 다양한 메커니즘을 통해 기판 층(802)에 부착된 칩들을 포함할 수 있다. 구리 히트 싱크(808)는 초전도 컴포넌트들이 초전도 컴포넌트 층(806)의 부분으로서 형성될 수 있도록 구성되고, 히트 싱크(808)는 초전도 컴포넌트들을 덮지 않도록 구성된다. 그래프(820)는 기판(800)이 배치되는 환경의 온도 변화를 도시한다. 따라서 프로세서 엔드(processor end)의 온도는 약 4K이고

메모리 엔드(memory end)의 온도는 약 300K이다. 기관(800)의 길이를 따른 이러한 온도 변화에도 불구하고, 앞서 설명된 다양한 기술 및 방법론들은 초전도 컴포넌트 및 비-초전도 컴포넌트 모두의 적절한 작동을 보장한다.

- [0032] 결론적으로, 본 발명의 일 측면에서는, 하우징을 포함하는 컴퓨팅 시스템이 제공되며, 이때 하우징의 내부는 하우징 외부의 대기압보다 더 낮은 압력으로 유지된다. 일 실시예에서, 상기 더 낮은 압력은 10^{-3} Torr 내지 10^{-10} Torr 사이의 범위에 있을 수 있다.
- [0033] 컴퓨팅 시스템은 하우징 내부에, 제1 평면에 배열되고 상기 제1 평면에 평행한 제1 표면 및 제2 표면을 갖는 제1 기관을 더 포함할 수 있고, 여기서 상기 제2 표면은 제1 표면과 반대쪽에 있으며, 제1 복수의 컴포넌트의 제1 세트는 상기 제1 기관의 제1 단부 쪽으로 제2 표면에 부착되고, 제2 복수의 컴포넌트의 제2 세트는 상기 제1 기관의 제2 단부 쪽으로 제2 표면에 부착되며, 상기 제1 단부는 상기 제2 단부와 반대쪽에 있으며, 상기 제1 복수의 컴포넌트 각각은 일차적으로 프로세서 기능을 제공하도록 구성되고, 상기 제2 복수의 컴포넌트 각각은 일차적으로 저장 기능을 제공하도록 구성된다.
- [0034] 상기 컴퓨팅 시스템은 하우징 내부에, 상기 제1 평면 위 또는 아래의 제2 평면에 배열된 제2 기관을 더 포함할 수 있고, 상기 제2 기관은 상기 제2 평면에 평행한 제3 표면 및 제4 표면을 가지며, 여기서 제4 표면은 제3 표면과 반대쪽에 있으며, 제1 복수의 컴포넌트의 제3 세트는 상기 제2 기관의 제3 단부 단부 쪽으로 상기 제4 표면에 부착되고, 제2 복수의 컴포넌트의 제4 세트는 상기 제2 기관의 제4 단부 쪽으로 상기 제4 표면에 부착되며, 상기 제3 단부는 상기 제4 단부와 반대쪽에 있으며, 상기 제1 기관 및 상기 제2 기관의 각각은 상기 제1 복수의 컴포넌트 중 적어도 서브세트를 상기 제2 복수의 컴포넌트 중 적어도 서브세트와 서로 연결하기 위한 복수의 회로 트레이스를 포함한다. 상기 복수의 회로 트레이스 각각은 초전도 금속(superconducting metal)을 포함하지만 일반 금속(normal metal)을 제외하는 제1 영역 및 초전도 금속과 일반 금속을 모두 포함하는 제2 영역을 포함할 수 있다.
- [0035] 컴퓨팅 시스템은 상기 제1 기관의 제2 단부로부터 제1 단부를 열적으로 분리하고 상기 제2 기관의 제4 단부로부터 제3 단부를 열적으로 분리하도록 구성된 히트-실드를 더 포함하여, 각각의 제1 복수의 컴포넌트는 제1 온도에서 작동하고 각각의 제2 복수의 컴포넌트는 상기 제1 온도보다 큰 제2 온도에서 작동하도록 구성될 수 있으며, 여기서 상기 제1 온도는 2 켈빈 내지 77 켈빈 사이의 범위에 있고 상기 제2 온도는 200 켈빈 내지 400 켈빈 사이의 범위에 있다.
- [0036] 일차적인(primary) 프로세서 기능은 중앙 처리 기능, 그래픽 처리 기능, 인공 지능 기능, 게이트-어레이 기능, 메모리 기능 또는 버스-인터페이스-매니지먼트 기능 중 적어도 하나를 포함할 수 있다. 일차적인 저장 기능은 메모리 기능, 게이트-어레이 기능, 버스-매니지먼트 기능, 컨트롤러 기능 또는 버스-인터페이스 매니지먼트 기능 중 적어도 하나를 포함할 수 있다.
- [0037] 제1 복수의 컴포넌트 각각은, 중앙 처리 유닛, 그래픽-처리 유닛, 인공-지능 프로세서, 필드-프로그래밍 가능 게이트 어레이, 애플리케이션-특정 집적회로, 애플리케이션-특정 표준 제품, 시스템-온-칩, 복합 프로그래밍 가능 논리소, 랜덤-액세스 메모리 및 조셉슨 마그네틱 랜덤-액세스 메모리(Josephson magnetic random-access memory)를 포함하는 군에서 선택될 수 있다. 상기 제2 복수의 컴포넌트 각각은, 동적 랜덤-액세스 메모리(dynamic random-access memory), 필드-프로그래밍 가능 게이트 어레이, 애플리케이션-특정 집적회로, 애플리케이션-특정 표준 제품, 시스템-온-칩 및 복합 프로그래밍 가능 논리소자를 포함하는 군에서 선택될 수 있다.
- [0038] 본 발명의 또 다른 측면에서, 하우징을 포함하고, 하우징 내부에 진공이 유지되는 컴퓨팅 시스템이 제공된다. 일 실시예에서, 상기 진공은 10^{-3} Torr 내지 10^{-10} Torr 사이의 범위에 있는 압력에 대응할 수 있다.
- [0039] 상기 컴퓨팅 시스템은 하우징 내부에, 제1 평면에 배열되고 상기 제1 평면에 평행한 제1 표면 및 제2 표면을 갖는 제1 기관을 더 포함할 수 있고, 여기서 상기 제2 표면은 제1 표면과 반대쪽에 있으며, 제1 복수의 컴포넌트의 제1 세트는 상기 제1 기관의 제1 단부 쪽으로 상기 제2 표면에 부착되고, 제2 복수의 컴포넌트의 제2 세트는 상기 제1 기관의 제2 단부 쪽으로 상기 제2 표면에 부착되며, 여기서 상기 제1 단부는 제2 단부와 반대쪽에 있으며, 상기 제1 복수의 컴포넌트 각각은 일차적으로 프로세서 기능을 제공하도록 구성되고, 상기 제2 복수의 컴포넌트 각각은 일차적으로 저장 기능을 제공하도록 구성된다.
- [0040] 상기 컴퓨팅 시스템은 하우징 내부에, 상기 제1 평면 위 또는 아래의 제2 평면에 배열된 제2 기관을 더 포함할 수 있고, 상기 제2 기관은 제2 평면에 평행한 제3 표면 및 제4 표면을 가지며, 여기서 상기 제4 표면은 제3 표면과 반대쪽에 있으며, 제1 복수의 컴포넌트의 제3 세트는 상기 제2 기관의 제3 단부 쪽으로 제4 표면에 부착되

고, 제2 복수의 컴포넌트의 제4 세트는 상기 제2 기관의 제4 단부 쪽으로 제4 표면에 부착되고, 상기 제3 단부는 제4 단부와 반대쪽에 있으며, 상기 제1 기관 및 상기 제2 기관의 각각은 상기 제1 복수의 컴포넌트 중 적어도 서브세트를 상기 제2 복수의 컴포넌트 중 적어도 서브세트와 서로 연결하기 위한 복수의 회로 트레이스를 포함한다. 각각의 상기 복수의 회로 트레이스는 초전도 금속을 포함하지만 일반 금속(normal metal)을 제외하는 제1 영역, 및 초전도 금속과 일반 금속 모두를 포함하는 제2 영역을 포함할 수 있다.

[0041] 상기 컴퓨팅 시스템은 상기 제1 기관의 제2 단부로부터 제1 단부를 열적으로 분리하고, 상기 제2 기관의 제4 단부로부터 제3 단부를 열적으로 분리하도록 구성된 히트-실드를 더 포함하여, 제1 복수의 컴포넌트의 각각은 제1 온도에서 작동하고 제2 복수의 컴포넌트의 각각은 상기 제1 온도보다 큰 제2 온도에서 작동하도록 구성될 수 있으며, 여기서 상기 제1 온도는 2 켈빈 내지 77 켈빈 사이의 범위에 있고, 제2 온도는 200 켈빈 내지 400 켈빈 사이의 범위에 있다.

[0042] 일차적인 프로세서 기능은 중앙-처리 기능, 그래픽-처리 기능, 인공-지능 기능, 게이트-어레이 기능, 메모리 기능 또는 버스-인터페이스-매니지먼트 기능 중 적어도 하나를 포함할 수 있다. 일차적인 저장 기능은 메모리 기능, 게이트-어레이 기능, 버스-매니지먼트 기능, 콘트롤러 기능 또는 버스-인터페이스-매니지먼트 기능 중 적어도 하나를 포함할 수 있다.

[0043] 상기 제1 복수의 컴포넌트의 각각은 중앙 처리 유닛, 그래픽-처리 유닛, 인공-지능 프로세서, 필드-프로그래밍 가능 게이트 어레이, 애플리케이션-특정 집적회로, 애플리케이션-특정 표준 제품, 시스템-온-칩, 복합 프로그래밍 가능 논리소자, 랜덤-액세스 메모리, 조셉슨 마그네틱 랜덤-액세스 메모리를 포함하는 군으로부터 선택될 수 있다. 상기 제2 복수의 컴포넌트 각각은 동적 랜덤-액세스 메모리, 필드-프로그래밍 가능 게이트 어레이, 애플리케이션-특정 집적회로, 애플리케이션-특정 표준 제품, 시스템-온-칩, 복합 프로그래밍 가능 논리소자를 포함하는 군으로부터 선택될 수 있다.

[0044] 또 다른 측면에서, 본 발명은 하우징을 포함하는 컴퓨팅 시스템에 관한 것으로, 상기 하우징 내부에는 진공이 유지된다. 일 실시예에서, 진공은 10^{-3} Torr 내지 10^{-10} Torr 범위의 압력에 대응할 수 있다.

[0045] 상기 컴퓨팅 시스템은 하우징 내부에, 제1 평면에 배열되고 상기 제1 평면에 평행한 제1 표면 및 제2 표면을 갖는 제1 기관을 더 포함할 수 있고, 여기서 상기 제2 표면은 제1 표면과 반대쪽에 있으며, 제1 복수의 컴포넌트의 제1 세트는 상기 제1 기관의 제1 단부 쪽으로 제2 표면에 부착되고, 제2 복수의 컴포넌트의 제2 세트는 상기 제1 기관의 제2 단부 쪽으로 제2 표면에 부착되며, 여기서 제1 단부는 제2 단부와 반대쪽에 있으며, 상기 제1 복수의 컴포넌트 각각은 일차적으로 프로세서 기능을 제공하도록 구성되고 상기 제2 복수의 컴포넌트 각각은 일차적으로 저장 기능을 제공하도록 구성되며, 제1 히트 싱크가 제1 기관을 열적으로 클램핑(thermally clamp)하기 위해 상기 제1 기관에 결합된다.

[0046] 상기 컴퓨팅 시스템은 하우징 내부에, 상기 제1 평면 위 또는 아래의 제2 평면에 배열된 제2 기관을 더 포함할 수 있고, 상기 제2 기관은 제2 평면에 평행한 제3 표면 및 제4 표면을 가지며, 여기서 제4 표면은 제3 표면과 반대쪽에 있으며, 제1 복수의 컴포넌트의 제3 세트는 상기 제2 기관의 제3 단부 쪽으로 상기 제4 표면에 부착되고, 제2 복수의 컴포넌트의 제4 세트는 상기 제2 기관의 제4 단부 쪽으로 상기 제4 표면에 부착되며, 상기 제3 단부는 상기 제4 단부와 반대쪽에 있으며, 상기 제1 기관 및 제2 기관의 각각은 상기 제1 복수의 컴포넌트 중 적어도 서브세트를 상기 제2 복수의 컴포넌트 중 적어도 서브세트와 서로 연결하기 위한 복수의 회로 트레이스를 포함하며, 제2 히트 싱크가 상기 제2 기관을 열적으로 클램핑하기 위해 제2 기관에 결합된다.

[0047] 상기 컴퓨팅 시스템은 상기 제1 기관의 제2 단부로부터 제1 단부를 열적으로 분리하고 상기 제2 기관의 제4 단부로부터 제3 단부를 열적으로 분리하도록 구성된 히트-실드를 더 포함하여, 상기 제1 복수의 컴포넌트의 각각은 제1 온도에서 작동하도록 구성되고, 상기 제2 복수의 컴포넌트의 각각은 상기 제1 온도보다 큰 제2 온도에서 작동하도록 구성될 수 있으며, 여기서 상기 제1 온도는 9 켈빈 미만이고 상기 제2 온도는 80 켈빈 내지 400 켈빈 사이의 범위에 있다.

[0048] 일차적인 프로세서 기능은 중앙-처리 기능, 그래픽-처리 기능, 인공-지능 기능, 게이트-어레이 기능, 메모리 기능 또는 버스-인터페이스-매니지먼트 기능 중 적어도 하나를 포함할 수 있다. 일차적인 저장 기능은 메모리 기능, 게이트-어레이 기능, 버스-매니지먼트 기능, 콘트롤러 기능 또는 버스-인터페이스-매니지먼트 기능 중 적어도 하나를 포함할 수 있다.

[0049] 제1 복수의 컴포넌트 각각은, 중앙 처리 유닛, 그래픽-처리 유닛, 인공-지능 프로세서, 필드-프로그래밍 가능 게이트 어레이, 애플리케이션-특정 집적회로, 애플리케이션-특정 표준 제품, 시스템-온-칩, 복합 프로그래밍 가

능 논리소자, 랜덤-액세스 메모리 및 조셉슨 마그네틱 랜덤-액세스 메모리(Josephson magnetic random-access memory)를 포함하는 군에서 선택될 수 있다. 제2 복수의 컴포넌트 각각은, 동적 랜덤-액세스 메모리, 필드-프로그래밍 가능 게이트 어레이, 애플리케이션-특정 집적회로, 애플리케이션-특정 표준 제품, 시스템-온-칩, 및 복합 프로그래밍 가능 논리소자를 포함하는 군에서 선택될 수 있다.

[0050] 여기에 도시된 방법, 모듈 및 컴포넌트는 단지 예시적인 것임이 이해되어야 한다. 제한없는 예시로서, 초전도 디바이스의 예시적인 유형은 필드-프로그래밍 가능 게이트 어레이(FPGAs), 애플리케이션-특정 집적회로(ASICs), 애플리케이션-특정 표준 제품(ASSPs), 시스템-온-칩 시스템(SOCs), 복합 프로그래밍 가능 논리소자(CPLDs) 등을 포함할 수 있다.

[0051] 또한, 이론적이지만 더욱 명확한 의미로, 동일한 기능을 달성하기 위한 컴포넌트들의 임의의 배열은 원하는 기능이 달성되도록 효과적으로 "관련되어(associated)" 있다. 따라서, 본 명세서에서 특정 기능을 달성하기 위해 결합된 임의의 두 컴포넌트는 아키텍처 또는 중간에 있는 컴포넌트와 관계없이 원하는 기능이 달성되도록 서로 "관련되어" 있는 것으로 볼 수 있다. 마찬가지로, 그러한 관련된 두 컴포넌트는 원하는 기능을 달성하기 위해서로 "작동 가능하게 연결(operably connected)" 또는 "결합된(coupled)" 된 것으로 볼 수 있다.

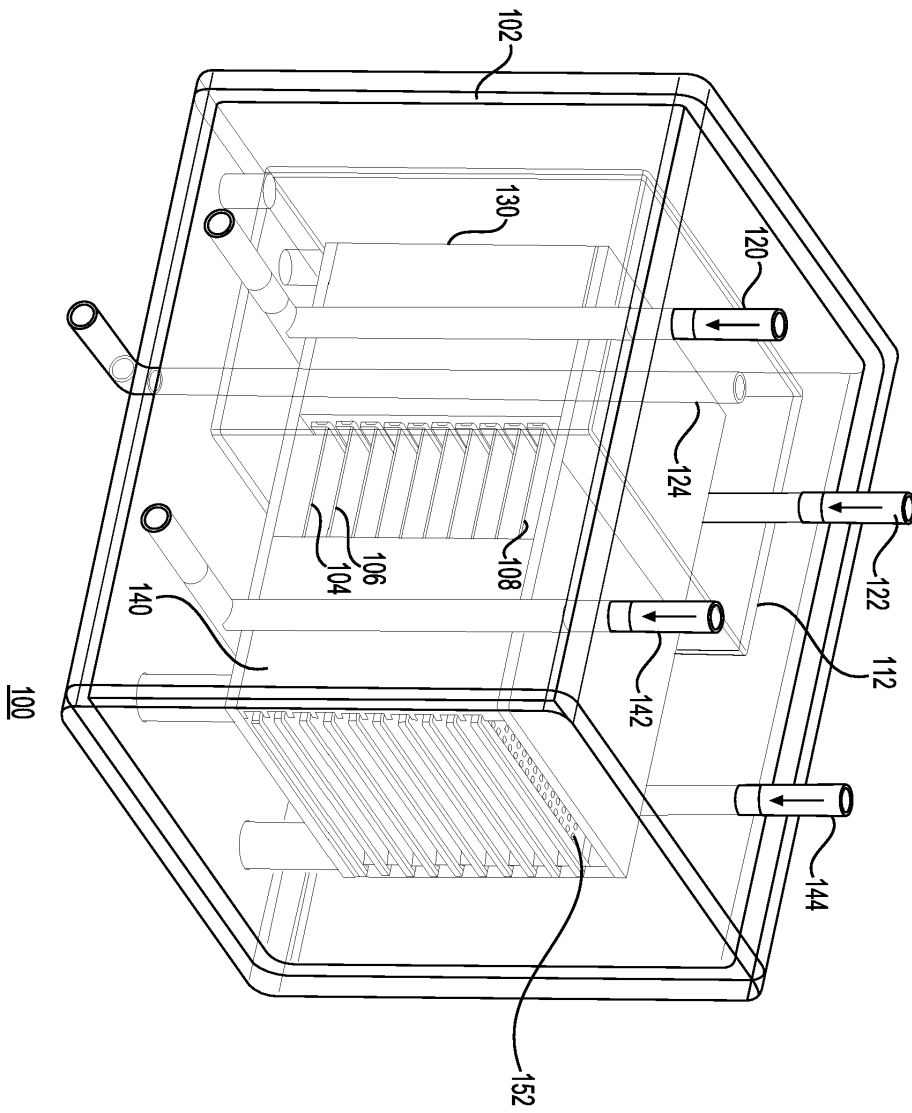
[0052] 또한, 당업자는 위에서 기술된 작업들(operations)의 기능(functionality) 간의 경계가 단지 예시적인 것임을 인식할 것이다. 다수 작업의 기능은 단일 작업으로 결합될 수 있고, 및/또는 단일 작업의 기능은 추가 작업들로 분산될 수 있다. 또한, 대안적인 실시형태는 특정 작업에 대한 다수의 인스턴스(instances)를 포함할 수 있고, 작업의 순서는 다양한 다른 실시형태에서 변경될 수 있다.

[0053] 본 개시내용은 특정 실시예를 제공하지만, 이하의 청구범위에 기재된 바와 같은 개시내용의 범위를 벗어나지 않고 다양한 수정 및 변경이 이루어질 수 있다. 따라서, 명세서 및 도면은 제한적인 의미가 아니라 예시적인 것으로 간주되어야 하고, 그러한 모든 수정은 본 발명의 범위 내에 포함되어야 할 것이다. 특정 실시예와 관련하여 본 명세서에 기술된 문제점에 대한 임의의 유익성, 이점 또는 해결책은 임의의 또는 모든 청구항의 중요하거나 요구되거나 필수적인 특징 또는 구성요소로 해석되도록 하고자 하는 것이 아니다.

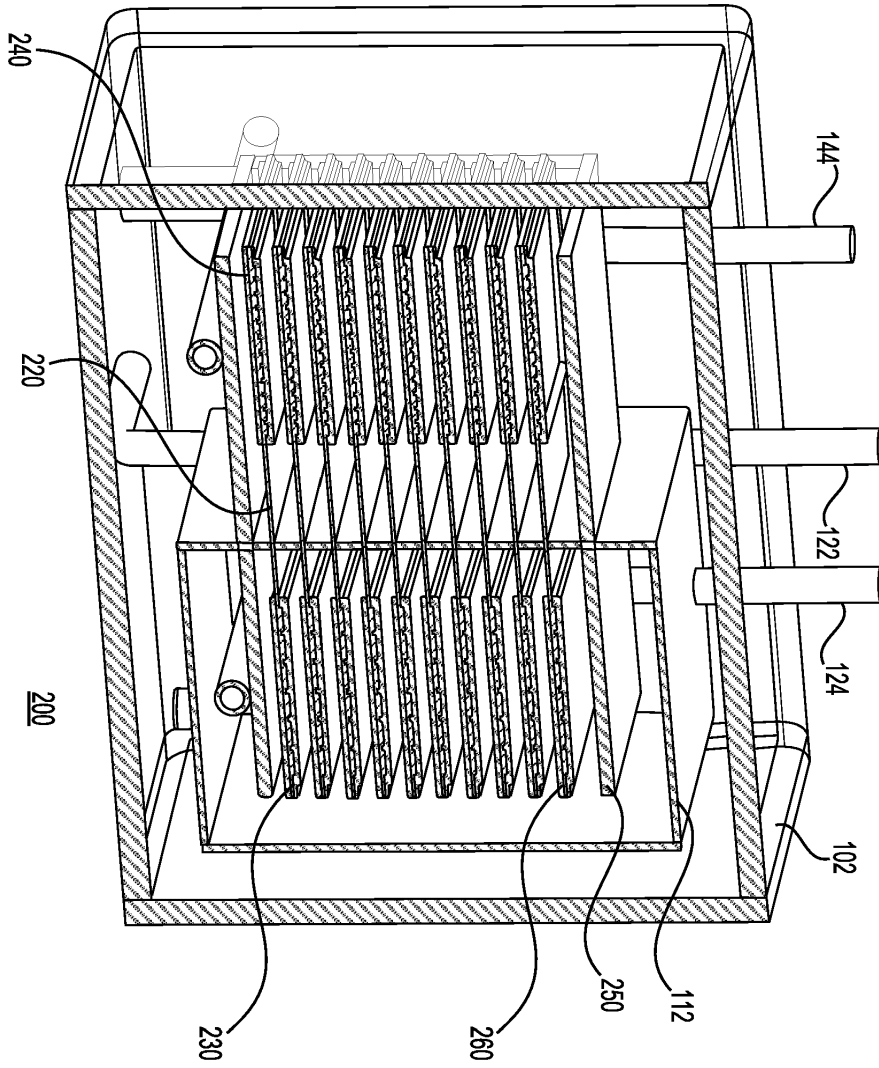
[0054] 또한, 본 명세서에서 사용된 용어 "하나("a" 또는 "an)"는 하나 이상으로 정의된다. 또한, 청구 범위에서 "적어도 하나" 및 "하나 이상"과 같은 도입 구의 사용은, 동일한 청구항이 "하나 이상" 또는 "적어도 하나"의 도입 구 및 "하나("a" 또는 "an)"와 같은 부정 관사를 포함하는 경우에도, 부정 관사 "하나("a" 또는 "an)"에 의한 다른 청구항 구성요소의 도입이 그와 같이 도입된 청구항 구성요소를 포함하는 임의의 특정 청구항을 오직 하나의 그와 같은 구성요소를 포함하는 발명으로 제한하는 것을 의미하는 것으로 해석되어서는 안된다. 정관사의 사용에 대해서도 마찬가지이다.

[0055] 달리 언급되지 않는 한, "제1" 및 "제2"와 같은 용어는 이러한 용어가 설명하는 구성요소를 임의로 구별하기 위해 사용된다. 따라서, 이들 용어는 반드시 그러한 구성요소의 시간적 또는 다른 우선순위를 나타내도록 의도된 것은 아니다.

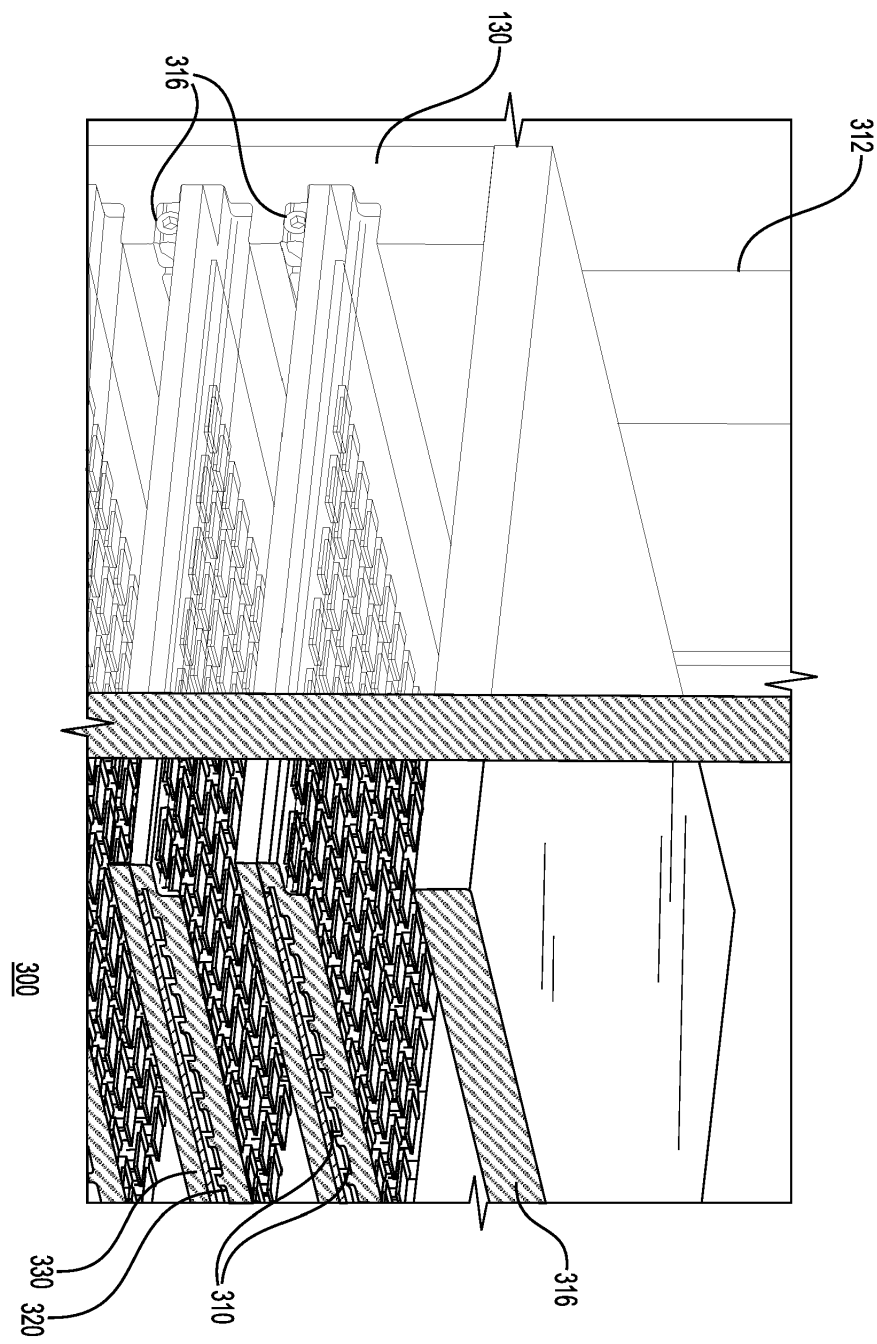
도면
도면1



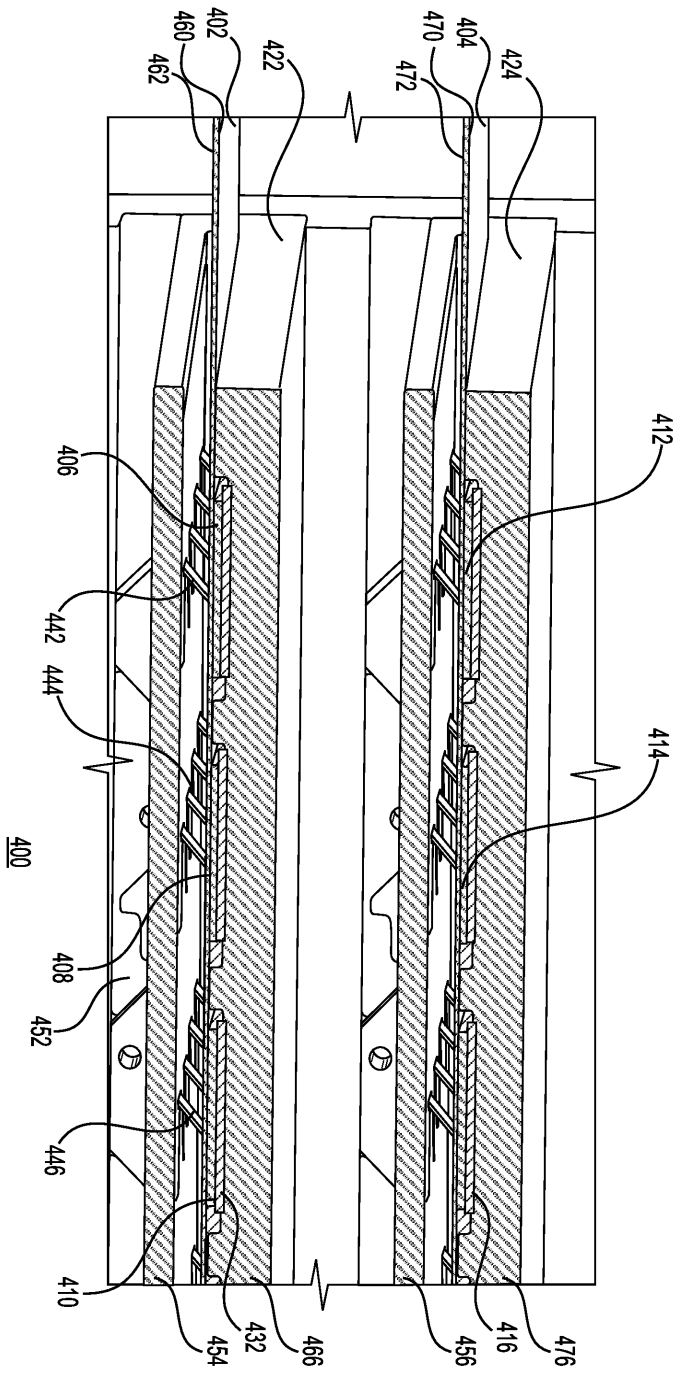
도면2



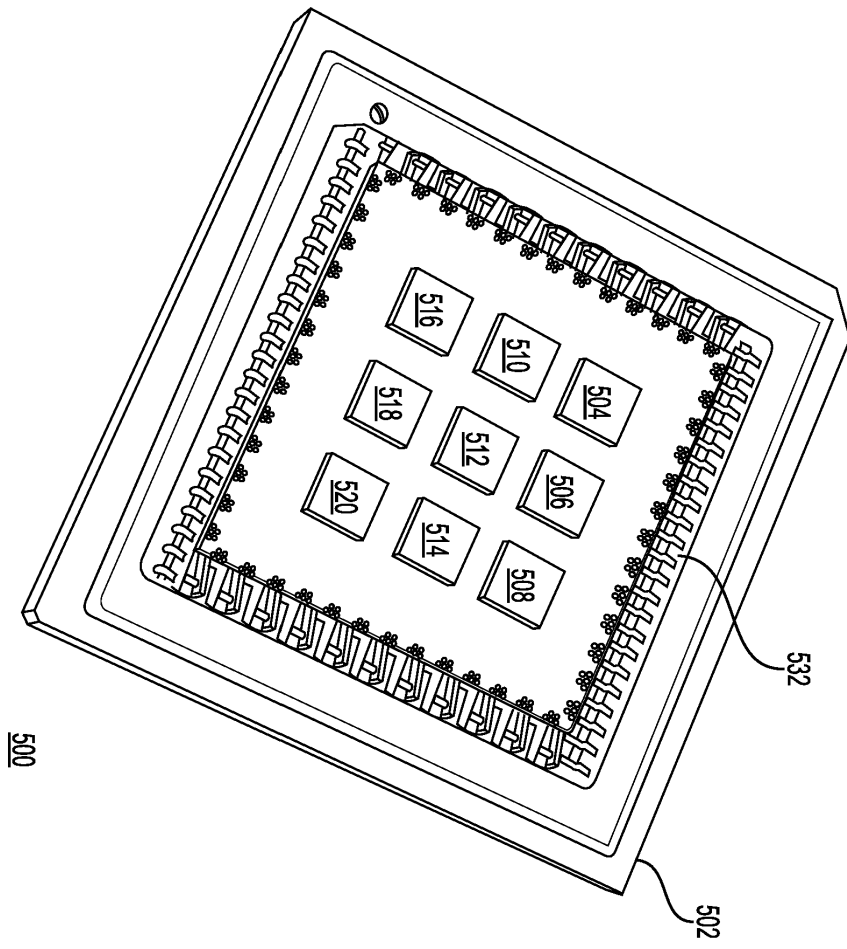
도면3



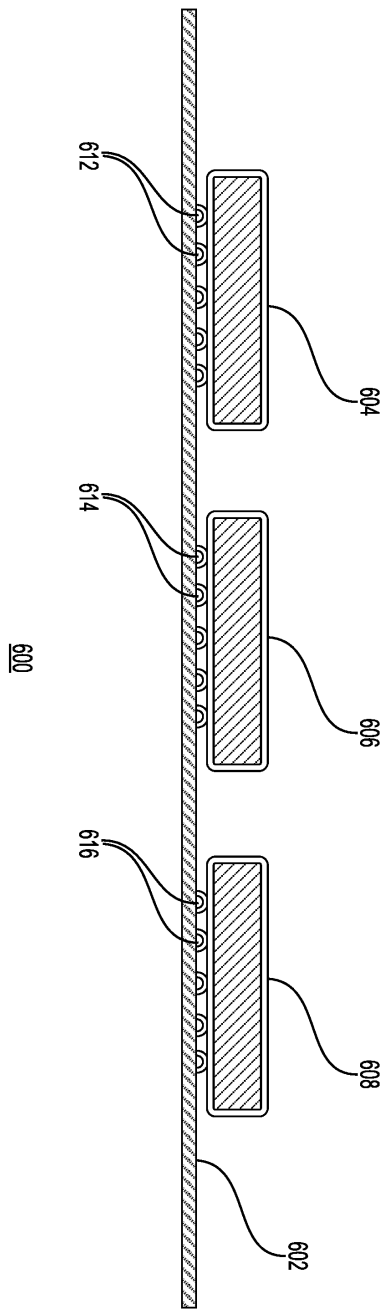
도면4



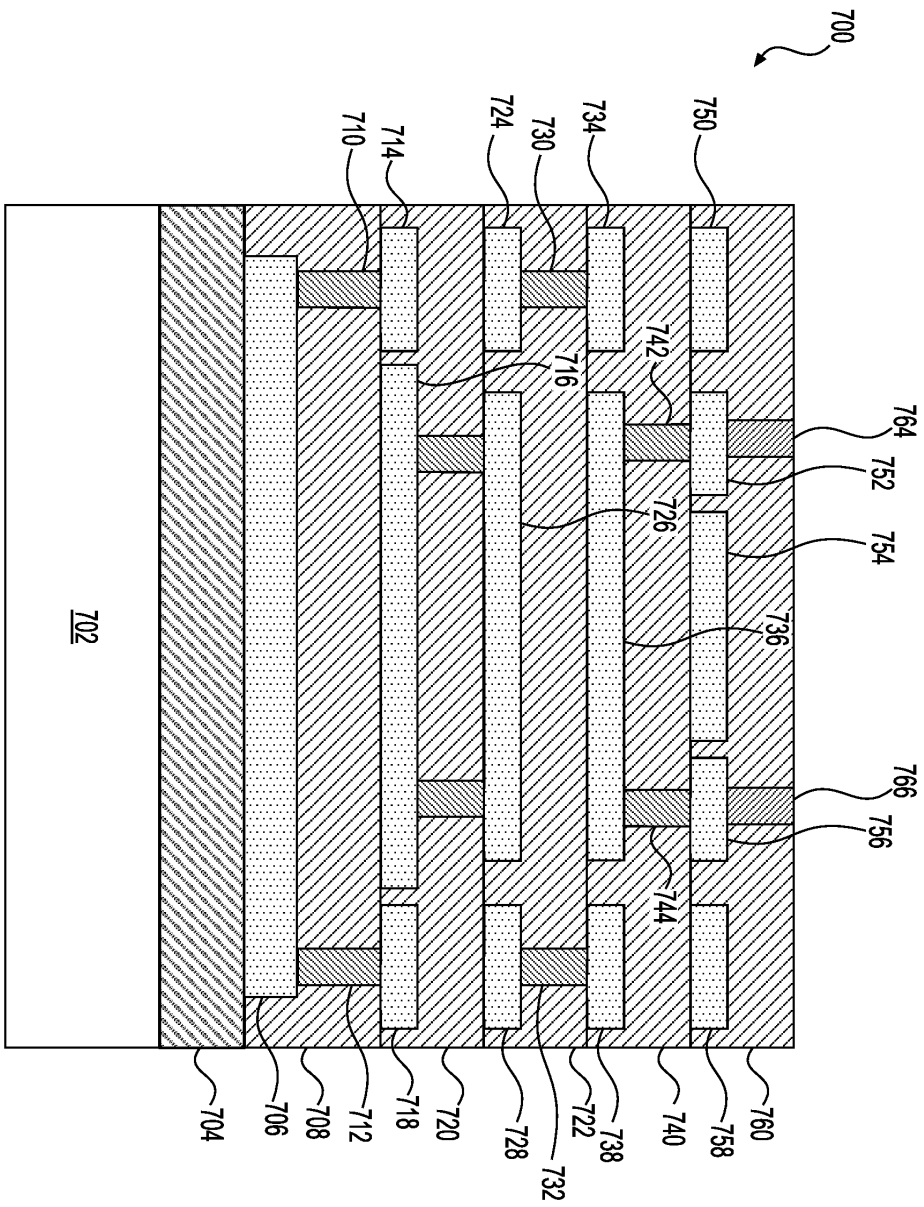
도면5



도면6



도면7



도면8

