

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-16169

(P2008-16169A)

(43) 公開日 平成20年1月24日(2008.1.24)

(51) Int. Cl.

G11C 11/4091 (2006.01)

F I

G11C 11/34 353E

テーマコード(参考)

5M024

審査請求 未請求 請求項の数 13 O L (全 13 頁)

(21) 出願番号 特願2007-50765 (P2007-50765)  
 (22) 出願日 平成19年2月28日(2007.2.28)  
 (31) 優先権主張番号 10-2006-0060892  
 (32) 優先日 平成18年6月30日(2006.6.30)  
 (33) 優先権主張国 韓国(KR)

(71) 出願人 591024111  
 株式会社ハイニックスセミコンダクター  
 HYNIX SEMICONDUCTOR  
 INC.  
 大韓民国京畿道利川市夫鉢邑牙美里山136-1  
 San 136-1, Ami-Ri, Bubaal-Eup, Ichon-Shi, Kyoungki-Do, Korea

(74) 代理人 100109553  
 弁理士 工藤 一郎

(72) 発明者 趙 眞熙  
 大韓民国京畿道利川市夫鉢邑牙美里山136-1

Fターム(参考) 5M024 AA50 BB14 BB36 CC90 PP01  
 PP02 PP03 PP07

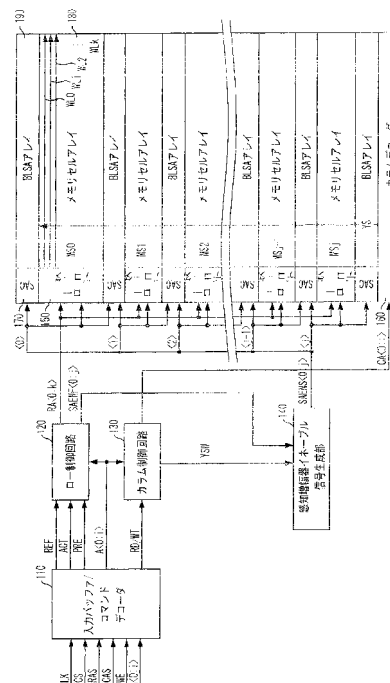
(54) 【発明の名称】 半導体メモリ素子及びその駆動方法

(57) 【要約】

【課題】書き込みドライバを拡張させることなく、書き込み動作速度を改善することのできる半導体メモリ素子及びその駆動方法を提供する。

【解決手段】本発明に係る半導体メモリ素子は、ビットライン対に載せられたデータを感知及び増幅するビットライン感知増幅手段と、該ビットライン感知増幅手段の電源ラインを駆動する電源ライン駆動手段と、感知増幅器イネーブル信号に応答して、前記電源ライン駆動手段を制御する駆動制御手段と、アクティブコマンド信号及びプリチャージコマンド信号により定義される期間においてアクティブになり、書き込み動作期間における所定期間に一時的に非アクティブになる前記感知増幅器イネーブル信号を生成する感知増幅器イネーブル信号生成手段とを備える。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

ビットライン対に載せられたデータを感知及び増幅するビットライン感知増幅手段と、  
該ビットライン感知増幅手段の電源ラインを駆動する電源ライン駆動手段と、  
感知増幅器イネーブル信号に応答して、前記電源ライン駆動手段を制御する駆動制御手段と、

アクティブコマンド信号及びプリチャージコマンド信号により定義される期間においてアクティブになり、書き込み動作期間における所定期間に一時的に非アクティブになる前記感知増幅器イネーブル信号を生成する感知増幅器イネーブル信号生成手段とを備えることを特徴とする半導体メモリ素子。

10

## 【請求項 2】

ビットライン対に載せられたデータを感知及び増幅するビットライン感知増幅手段と、  
該ビットライン感知増幅手段を制御する制御手段とを備え、

前記ビットライン感知増幅手段が、書き込み動作期間における所定期間に非アクティブになることを特徴とする半導体メモリ素子。

## 【請求項 3】

アクティブコマンド信号及びプリチャージコマンド信号に応答して、第 1 感知増幅器イネーブル信号を生成するロー制御手段と、

読み出しコマンド信号及び書き込みコマンド信号に応答して、書き込みカラム選択信号を生成するカラム制御手段と、

前記第 1 感知増幅器イネーブル信号及び前記書き込みカラム選択信号に  
応答して、書き込み動作期間における所定期間に一時的に非アクティブになる第 2 感知増幅器イネーブル信号を生成する感知増幅器イネーブル制御手段とをさらに備えることを特徴とする請求項 2 に記載の半導体メモリ素子。

20

## 【請求項 4】

前記制御手段が、

前記ビットライン感知増幅手段の電源ラインを駆動する電源ライン駆動手段と、

前記第 2 感知増幅器イネーブル信号に  
応答して、前記電源ライン駆動手段を制御する駆動制御手段と

を備えることを特徴とする請求項 3 に記載の半導体メモリ素子。

30

## 【請求項 5】

前記書き込みカラム選択信号が、前記書き込みコマンド信号に対応するカラム選択信号がアクティブになる以前にアクティブになることを特徴とする請求項 3 に記載の半導体メモリ素子。

## 【請求項 6】

前記感知増幅器イネーブル制御手段が、

前記書き込みカラム選択信号の立ち上がりエッジにおいて所定のパルス幅でアクティブになるパルスを生成するパルス生成部と、

該パルス生成部から出力されるパルスと前記第 1 感知増幅器イネーブル信号との結合を行い、前記第 2 感知増幅器イネーブル信号を生成する信号結合部とを備えることを特徴とする請求項 5 に記載の半導体メモリ素子。

40

## 【請求項 7】

前記パルス生成部が、

前記書き込みカラム選択信号を遅延させる遅延部と、

該遅延部の出力信号を入力とする第 1 インバータと、

前記書き込みカラム選択信号及び前記第 1 インバータの出力信号を入力とする第 1 N A N D ゲートと、

該第 1 N A N D ゲートの出力信号を入力とする第 2 インバータと、

該第 2 インバータの出力信号を入力とする第 3 インバータと

50

を備えることを特徴とする請求項 6 に記載の半導体メモリ素子。

【請求項 8】

前記信号結合部が、

前記第 3 インバータの出力信号及び前記第 1 感知増幅器イネーブル信号を入力とする第 2 NAND ゲートと、

該第 2 NAND ゲートの出力信号を入力とし、前記第 2 感知増幅器イネーブル信号を出力する第 4 インバータと

を備えることを特徴とする請求項 7 に記載の半導体メモリ素子。

【請求項 9】

前記遅延部が、書き込み動作期間において、前記第 2 感知増幅器イネーブル信号が一時的に非アクティブになる所定期間に該当するだけの遅延時間を有することを特徴とする請求項 7 に記載の半導体メモリ素子。

10

【請求項 10】

アクティブコマンド信号及びプリチャージコマンド信号に 응답して、第 1 感知増幅器イネーブル信号を生成するステップと、

読み出しコマンド信号及び書き込みコマンド信号に 응답して、書き込みカラム選択信号を生成するステップと、

前記第 1 感知増幅器イネーブル信号及び前記書き込みカラム選択信号に 응답して、書き込み動作期間における所定期間に一時的に非アクティブになる第 2 感知増幅器イネーブル信号を生成するステップと、

20

該第 2 感知増幅器イネーブル信号に 응답して、ビットライン対に載せられたデータを感知及び増幅するステップと

を含むことを特徴とする半導体メモリ素子の駆動方法。

【請求項 11】

前記書き込みカラム選択信号が、前記書き込みコマンド信号に対応するカラム選択信号がアクティブになる以前にアクティブになることを特徴とする請求項 10 に記載の半導体メモリ素子の駆動方法。

【請求項 12】

アクティブコマンド信号に 응답して、ビットライン感知増幅器をイネーブルさせるステップと、

30

書き込みコマンド信号に 응답して、書き込み動作期間における所定期間に一時的に前記ビットライン感知増幅器をディセーブルさせるステップと、

前記所定期間の後、再び前記ビットライン感知増幅器をイネーブルさせるステップと、

プリチャージコマンド信号に 응답して、前記ビットライン感知増幅器をディセーブルさせるステップと

を含むことを特徴とする半導体メモリ素子の駆動方法。

【請求項 13】

書き込み動作期間において、前記ビットライン感知増幅器が、書き込みコマンド信号に対応するカラム選択信号がアクティブになる以前にディセーブルされることを特徴とする請求項 12 に記載の半導体メモリ素子の駆動方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体設計技術に関し、特に、半導体メモリ素子のビットライン感知増幅器の制御に関する。

【背景技術】

【0002】

DRAM (Dynamic Random Access Memory) をはじめとする半導体メモリ素子の高集積化に伴い、動作速度の高速化が進んでいる。半導体メモリ素子の動作速度が速くなると、動作マージンの確保が困難となる。

50

## 【0003】

DRAMのような半導体メモリ素子は、ビットラインとビットラインバーとの差動ビットライン対を備え、ビットライン感知増幅器を用いてセルデータを読み出す。ローアドレスによって選択されたワードラインがアクティブになると、そのワードラインに接続された複数のメモリセルのデータがビットラインに伝達され、ビットライン感知増幅器は、ビットライン対の電圧差を感知及び増幅する。

## 【0004】

図1は、従来技術に係るSDRAMのブロック図である。

## 【0005】

同図を参照すると、外部から入力されるクロックCLK、コマンド/CS、/RAS、/CAS、/WE、アドレス信号A<0 : i>をバッファリングし、コマンド/CS、/RAS、/CAS、/WEをデコードして、リフレッシュコマンド信号REF、アクティブコマンド信号ACT、プリチャージコマンド信号PREなどのローコマンド信号と、読み出しコマンド信号RD、書き込みコマンド信号WTのようなカラムコマンド信号を生成する入力バッファ/コマンドデコーダ11と、ローコマンド信号及びアドレス信号A<0 : i>に应答して、ロープリデコード信号RA<0 : k>及び感知増幅器イネーブル信号SAEN<0 : j>を生成するロー制御回路12と、カラムコマンド信号及びアドレス信号A<0 : i>に应答して、カラムプリデコード信号CA<0 : l>を生成するカラム制御回路13とを備える。

10

## 【0006】

また、バンク内には、複数のメモリセルアレイMS0、MS1、...、MSj18と複数のビットライン感知増幅器(BLSA)アレイ19とが交互に配置され、カラムプリデコード信号CA<0 : l>を受信して、特定のカラムに対応するカラム選択信号YSをアクティブにするカラムデコーダ16と、ロープリデコード信号RA<0 : k>及び感知増幅器イネーブル信号SAEN<0 : j>を受信して、ワードラインWL0、WL1、...、WLkを選択するローデコーダ15と、感知増幅器イネーブル信号SAEN<0 : j>に应答して、ビットライン感知増幅器アレイ19を制御する感知増幅器制御部(SAC)17とを備える。

20

## 【0007】

ここで、ビットライン感知増幅器アレイのそれぞれは、その上部及び下部に配置されたメモリセルアレイに共有されるため、それに対応する感知増幅器イネーブル信号SAEN<0 : j>だけでなく、隣接するビットライン感知増幅器アレイに対応する感知増幅器イネーブル信号SAEN<0 : j>によっても制御される。

30

## 【0008】

一方、図2は、図1のビットライン感知増幅器アレイ及び感知増幅器制御部の回路構成を示す図である。

## 【0009】

ビットライン感知増幅器アレイ19-1は、複数のビットライン感知増幅器からなる。それぞれのビットライン感知増幅器は、上位ビットライン分離部23と、感知増幅器24と、ビットラインイコライズ/プリチャージ部25と、下位ビットライン分離部26とを備える。感知増幅器制御部17-1は、感知増幅器電源ライン駆動部22と駆動信号生成部21とを備える。

40

## 【0010】

ここで、感知増幅器24は、プルアップ電源ライン、すなわち、RTOラインに接続された2個のプルアップPMOSトランジスタと、プルダウン電源ライン、すなわち、SBラインに接続された2個のプルダウンNMOSトランジスタとが交差接続されたラッチ構造を有する。感知増幅器イネーブル信号SAEN<n>がアクティブになり、SBライン及びRTOラインを所定の電圧レベルに駆動すると、感知増幅器24は、電荷共有状態で微細な電圧差を有するビットライン対BLn、/BLnの電圧差を感知して、1つは接地電圧VSSレベルに、もう1つはコア電圧VCOREレベルに増幅する。

50

## 【0011】

また、上位ビットライン分離部23は、上位ビットライン分離信号SHLに应答して、上位メモリセルアレイ18-1のビットライン対BLn、/BLnと感知増幅器24とを分離/接続する2個のNMOSTランジスタで構成される。下位ビットライン分離部26は、下位ビットライン分離信号SHRに应答して、下位メモリセルアレイ18-2のビットライン対BLn、/BLnと感知増幅器24とを分離/接続する2個のNMOSTランジスタで構成される。

## 【0012】

そして、ビットラインイコライズ/プリチャージ部25は、ビットラインイコライズ信号BLEQに应答して、ビットライン対BLn、/BLnをビットラインプリチャージ電圧VBLPにイコライズ及びプリチャージする3個のNMOSTランジスタで構成される。

10

## 【0013】

一方、感知増幅器電源ライン駆動部22は、RTOライン駆動信号SAPに应答して、RTOラインをコア電圧VCOREに駆動するNMOSTランジスタと、SBライン駆動信号SANに应答して、SBラインを接地電圧VSSに駆動するNMOSTランジスタとで構成される。

## 【0014】

また、駆動信号生成部21は、感知増幅器イネーブル信号SAEN<n>を遅延させ、RTOライン駆動信号SAPとSBライン駆動信号SANとを生成する複数のインバータを備える。

20

## 【0015】

図3は、従来技術に係るSDRAMの動作タイミング図である。

## 【0016】

同図を参照すると、アクティブコマンド信号ACTが印加され、ロープリデコード信号RAに対応するメモリセルアレイのワードラインWLがイネーブルされると、セルキャパシタとビットラインBLn、/BLnとの間で電荷共有が行われ、ビットライン対BLn、/BLnの間に微細な電圧差が生じる。

## 【0017】

一方、アクティブコマンド信号ACTの印加時点から一定の遅延時間の後、感知増幅器イネーブル信号SAEN<n>がアクティブになると、RTOライン駆動信号SAPとSBライン駆動信号SANとがアクティブになり、感知増幅器電源ライン駆動部22の2個のNMOSTランジスタがRTOライン及びSBラインをコア電圧VCORE及び接地電圧VSSに駆動する。例えば、メモリセルにデータ「1」が記憶された場合、ビットラインBLnはデータ「1」に対応するコア電圧VCOREレベルに、ビットラインバー/BLnはデータ「0」に対応する接地電圧VSSレベルに増幅する。

30

## 【0018】

この後、読み出しコマンド信号RDが印加されると、カラムプリデコード信号CAに対応するカラム選択信号YSがアクティブになり、ビットラインBLn、/BLnに載せられたデータをデータバスを介してコア領域の外部に出力する。

40

また、書き込みコマンド信号WTが印加されると、同じくカラムプリデコード信号CAに対応するカラム選択信号YSがアクティブになり、データバスに載せられたデータをビットラインBLn、/BLnに書き込む。

## 【0019】

次いで、ビットラインBLn、/BLnに載せられたデータをメモリセルに書き換える過程を経て、プリチャージコマンド信号PREが印加されると、ワードラインWLを非アクティブにし、感知増幅器イネーブル信号SAEN<n>も非アクティブにすることにより、感知増幅器24をディセーブルさせた後、ビットラインBLn、/BLnをビットラインプリチャージ電圧VBLPレベルにイコライズ及びプリチャージさせる。

## 【0020】

50

しかし、書き込み動作を行う際、メモリセルに記憶されたデータとは反対のレベルのデータを書き込む場合は、感知増幅器24にラッチされたデータを反転させて駆動しなければならないため、メモリセルに記憶されたデータと同じレベルのデータを書き込む場合に比べて多くの時間を所要し、書き込み回復時間 $t_{WR}$ の特性が劣悪になる。

【0021】

一方、書き込みドライバを拡張して設計すると、書き込み動作速度を改善することができる。しかし、書き込み動作速度の改善のために書き込みドライバを拡張する場合、電流消費が等比級数的に増加してしまう。

【特許文献1】特開平07-093978

【発明の開示】

【発明が解決しようとする課題】

【0022】

そこで、本発明は、上記のような従来技術の問題を解決するためになされたものであり、その目的は、書き込みドライバを拡張させることなく、書き込み動作速度を改善することのできる半導体メモリ素子及びその駆動方法を提供することにある。

【課題を解決するための手段】

【0023】

上記課題を達成するための本発明の第1の観点によると、ビットライン対に載せられたデータを検知及び増幅するビットライン感知増幅手段と、該ビットライン感知増幅手段の電源ラインを駆動する電源ライン駆動手段と、感知増幅器イネーブル信号にตอบสนองして、前記電源ライン駆動手段を制御する駆動制御手段と、アクティブコマンド信号及びプリチャージコマンド信号により定義される期間においてアクティブになり、書き込み動作期間における所定期間に一時的に非アクティブになる前記感知増幅器イネーブル信号を生成する感知増幅器イネーブル信号生成手段とを備える半導体メモリ素子を提供する。

【0024】

また、本発明の第2の観点によると、ビットライン対に載せられたデータを検知及び増幅するビットライン感知増幅手段と、該ビットライン感知増幅手段を制御する制御手段とを備え、前記ビットライン感知増幅手段が、書き込み動作期間における所定期間に非アクティブになる半導体メモリ素子を提供する。

【0025】

さらに、本発明の第3の観点によると、アクティブコマンド信号及びプリチャージコマンド信号にตอบสนองして、第1感知増幅器イネーブル信号を生成するステップと、読み出しコマンド信号及び書き込みコマンド信号にตอบสนองして、書き込みカラム選択信号を生成するステップと、前記第1感知増幅器イネーブル信号及び前記書き込みカラム選択信号にตอบสนองして、書き込み動作期間における所定期間に一時的に非アクティブになる第2感知増幅器イネーブル信号を生成するステップと、該第2感知増幅器イネーブル信号にตอบสนองして、ビットライン対に載せられたデータを検知及び増幅するステップとを含む半導体メモリ素子の駆動方法を提供する。

【0026】

また、本発明の第4の観点によると、アクティブコマンド信号にตอบสนองして、ビットライン感知増幅器をイネーブルさせるステップと、書き込みコマンド信号にตอบสนองして、書き込み動作期間における所定期間に一時的に前記ビットライン感知増幅器をディセーブルさせるステップと、前記所定期間の後、再び前記ビットライン感知増幅器をイネーブルさせるステップと、プリチャージコマンド信号にตอบสนองして、前記ビットライン感知増幅器をディセーブルさせるステップとを含む半導体メモリ素子の駆動方法を提供する。

【0027】

メモリセルに記憶されたデータとは反対のレベルのデータを書き込む場合、ビットライン感知増幅器のラッチ値を反転させることが、最大のロードとして作用する。本発明では、書き込み動作時、ビットライン感知増幅器を一時的にディセーブルさせて書き込み動作がより速やかに行われるようにした。一方、書き込み動作時、ビットライン感知増幅器の

10

20

30

40

50

ディセーブル期間を定義するために、カラム選択信号を用いることができ、好ましくは、カラム選択信号がアクティブになる直前に、ビットライン感知増幅器がディセーブルされると、電流消費の低減及び書き込み動作時間の短縮の側面において最大の効率を得ることができる。

【0028】

すなわち、第一の発明としては、ビットライン対に載せられたデータを感知及び増幅するビットライン感知増幅手段と、該ビットライン感知増幅手段の電源ラインを駆動する電源ライン駆動手段と、感知増幅器イネーブル信号に応答して、前記電源ライン駆動手段を制御する駆動制御手段と、アクティブコマンド信号及びプリチャージコマンド信号により定義される期間においてアクティブになり、書き込み動作期間における所定期間に一時的に非アクティブになる前記感知増幅器イネーブル信号を生成する感知増幅器イネーブル信号生成手段とを備えることを特徴とする半導体メモリ素子を提供する。

10

【0029】

第二の発明としては、ビットライン対に載せられたデータを感知及び増幅するビットライン感知増幅手段と、該ビットライン感知増幅手段を制御する制御手段とを備え、前記ビットライン感知増幅手段が、書き込み動作期間における所定期間に非アクティブになることを特徴とする半導体メモリ素子を提供する。

【0030】

第三の発明としては、第二の発明にかかり、アクティブコマンド信号及びプリチャージコマンド信号に応答して、第1感知増幅器イネーブル信号を生成するロー制御手段と、読み出しコマンド信号及び書き込みコマンド信号に応答して、書き込みカラム選択信号を生成するカラム制御手段と、前記第1感知増幅器イネーブル信号及び前記書き込みカラム選択信号に応答して、書き込み動作期間における所定期間に一時的に非アクティブになる第2感知増幅器イネーブル信号を生成する感知増幅器イネーブル制御手段とをさらに備えることを特徴とする半導体メモリ素子を提供する。

20

【0031】

第四の発明としては、第三の発明にかかり、前記制御手段が、前記ビットライン感知増幅手段の電源ラインを駆動する電源ライン駆動手段と、前記第2感知増幅器イネーブル信号に応答して、前記電源ライン駆動手段を制御する駆動制御手段とを備えることを特徴とする半導体メモリ素子を提供する。

30

【0032】

第五の発明としては、第三の発明にかかり、前記書き込みカラム選択信号が、前記書き込みコマンド信号に対応するカラム選択信号がアクティブになる以前にアクティブになることを特徴とする半導体メモリ素子を提供する。

【0033】

第六の発明としては、第五の発明にかかり、前記感知増幅器イネーブル制御手段が、前記書き込みカラム選択信号の立ち上がりエッジにおいて所定のパルス幅でアクティブになるパルスを生成するパルス生成部と、該パルス生成部から出力されるパルスと前記第1感知増幅器イネーブル信号との結合を行い、前記第2感知増幅器イネーブル信号を生成する信号結合部とを備えることを特徴とする半導体メモリ素子を提供する。

40

【0034】

第七の発明としては、第六の発明にかかり、前記パルス生成部が、前記書き込みカラム選択信号を遅延させる遅延部と、該遅延部の出力信号を入力とする第1インバータと、前記書き込みカラム選択信号及び前記第1インバータの出力信号を入力とする第1NANDゲートと、該第1NANDゲートの出力信号を入力とする第2インバータと、該第2インバータの出力信号を入力とする第3インバータとを備えることを特徴とする半導体メモリ素子を提供する。

【0035】

第八の発明としては、第七の発明にかかり、前記信号結合部が、前記第3インバータの出力信号及び前記第1感知増幅器イネーブル信号を入力とする第2NANDゲートと、該

50

第2 NANDゲートの出力信号を入力とし、前記第2感知増幅器イネーブル信号を出力する第4インバータとを備えることを特徴とする半導体メモリ素子を提供する。

【0036】

第九の発明としては、第七の発明にかかり、前記遅延部が、書き込み動作期間において、前記第2感知増幅器イネーブル信号が一時的に非アクティブになる所定期間に該当するだけの遅延時間を有することを特徴とする半導体メモリ素子を提供する。

【0037】

第十の発明としては、アクティブコマンド信号及びプリチャージコマンド信号にตอบสนองして、第1感知増幅器イネーブル信号を生成するステップと、読み出しコマンド信号及び書き込みコマンド信号にตอบสนองして、書き込みカラム選択信号を生成するステップと、前記第1感知増幅器イネーブル信号及び前記書き込みカラム選択信号にตอบสนองして、書き込み動作期間における所定期間に一時的に非アクティブになる第2感知増幅器イネーブル信号を生成するステップと、該第2感知増幅器イネーブル信号にตอบสนองして、ビットライン対に載せられたデータを感知及び増幅するステップとを含むことを特徴とする半導体メモリ素子の駆動方法。

10

【0038】

第十一の発明としては、第十の発明にかかり、前記書き込みカラム選択信号が、前記書き込みコマンド信号に対応するカラム選択信号がアクティブになる以前にアクティブになることを特徴とする半導体メモリ素子の駆動方法を提供する。

【0039】

第十二の発明としては、アクティブコマンド信号にตอบสนองして、ビットライン感知増幅器をイネーブルさせるステップと、書き込みコマンド信号にตอบสนองして、書き込み動作期間における所定期間に一時的に前記ビットライン感知増幅器をディセーブルさせるステップと、前記所定期間の後、再び前記ビットライン感知増幅器をイネーブルさせるステップと、プリチャージコマンド信号にตอบสนองして、前記ビットライン感知増幅器をディセーブルさせるステップとを含むことを特徴とする半導体メモリ素子の駆動方法を提供する。

20

【0040】

第十三の発明としては、第十二の発明にかかり、書き込み動作期間において、前記ビットライン感知増幅器が、書き込みコマンド信号に対応するカラム選択信号がアクティブになる以前にディセーブルされることを特徴とする半導体メモリ素子の駆動方法を提供する

30

【発明を実施するための最良の形態】

【0041】

以下、添付された図面を参照して本発明の好ましい実施形態をさらに詳細に説明する。

【0042】

図4は、本発明の一実施形態に係るSDRAMのブロック図である。

【0043】

同図を参照すると、本実施形態に係るSDRAMは、外部から入力されるクロックCLK、コマンド/CS、/RAS、/CAS、/WE、アドレス信号A<0:i>をバッファリングし、コマンド/CS、/RAS、/CAS、/WEをデコードして、リフレッシュコマンド信号REF、アクティブコマンド信号ACT、プリチャージコマンド信号PREなどのローコマンド信号と、読み出しコマンド信号RD、書き込みコマンド信号WTのようなカラムコマンド信号を生成する入力バッファ/コマンドデコーダ110と、ローコマンド信号及びアドレス信号A<0:i>にตอบสนองして、ロープリデコード信号RA<0:k>と第1感知増幅器イネーブル信号SAENF<0:j>とを生成するロー制御回路120と、カラムコマンド信号及びアドレス信号A<0:i>にตอบสนองして、カラムプリデコード信号CA<0:l>と書き込みカラム選択信号YSWとを生成するカラム制御回路130と、第1感知増幅器イネーブル信号SAENF<0:j>及び書き込みカラム選択信号YSWにตอบสนองして、第2感知増幅器イネーブル信号SAENS<0:j>を生成する感知増幅器イネーブル信号生成部140とを備える。

40

50

## 【 0 0 4 4 】

また、バンク内には、複数のメモリセルアレイ  $MS_0$ 、 $MS_1$ 、...、 $MS_{j-1}$ 、 $MS_j$ 、...、 $MS_{180}$  と複数のビットライン感知増幅器 (BLSA) アレイ 190 とが交互に配置され、カラムプリデコード信号  $CA<0:l>$  を受信して、特定のカラムに対応するカラム選択信号  $YS$  をアクティブにするカラムデコーダ 160 と、ロープリデコード信号  $RA<0:k>$  を受信して、ワードライン  $WL_0$ 、 $WL_1$ 、...、 $WL_k$  を選択するローデコーダ 150 と、第 2 感知増幅器イネーブル信号  $SAENS<0:j>$  に応答して、ビットライン感知増幅器アレイ 190 を制御する感知増幅器制御部 (SAC) 170 とを備える。

## 【 0 0 4 5 】

ビットライン感知増幅器アレイのそれぞれは、その上部及び下部に配置されたメモリセルアレイに共有されるため、それに対応する第 2 感知増幅器イネーブル信号  $SAENS<0:j>$  だけでなく、隣接するビットライン感知増幅器アレイ 190 に対応する第 2 感知増幅器イネーブル信号  $SAENS<0:j>$  によっても制御される。

## 【 0 0 4 6 】

ここで、書き込みカラム選択信号  $YSW$  は、書き込みコマンド信号  $WT$  により生成されるカラム選択信号  $YS$  よりも位相の早い信号であって、書き込み動作時、感知増幅器 24 がディセーブルされる時点を定義する。通常、カラム選択信号  $YS$  は、読み出しコマンド信号  $RD$  又は書き込みコマンド信号  $WT$  のアクティブ時点から一定の遅延時間の後に所定のパルス幅でアクティブになるが、カラム制御回路 130 でこのカラム選択信号  $YS$  の位相を少し早めることにより、書き込みカラム選択信号  $YSW$  として出力するのに困難はない。

## 【 0 0 4 7 】

図 5 は、図 4 の感知増幅器イネーブル信号生成部 140 の回路構成を示す図である。感知増幅器イネーブル信号生成部 140 は、第 1 感知増幅器イネーブル信号  $SAENF<0:j>$  を受信する複数の感知増幅器イネーブル信号生成器を備える。

## 【 0 0 4 8 】

感知増幅器イネーブル信号は、それぞれ同じ構造を有するため、そのうち 1 つを参照すると、感知増幅器イネーブル信号生成器 140 - 1 は、書き込みカラム選択信号  $YSW$  の立ち上がりエッジにおいて所定のパルス幅でアクティブになるパルスを生成するパルス生成部 50 と、パルス生成部 50 から出力されるパルスと第 1 感知増幅器イネーブル信号  $SAENF<n>$  との結合を行い、第 2 感知増幅器イネーブル信号  $SAENS<n>$  を生成する信号結合部 55 とを備える。

## 【 0 0 4 9 】

ここで、パルス生成部 50 は、書き込みカラム選択信号  $YSW$  を遅延させる遅延部 52 と、遅延部 52 の出力信号を入力とするインバータ  $INV11$  と、書き込みカラム選択信号  $YSW$  及びインバータ  $INV11$  の出力信号を入力とする  $NAND$  ゲート  $NAND11$  と、 $NAND$  ゲート  $NAND11$  の出力信号を入力とするインバータ  $INV12$  と、インバータ  $INV12$  の出力信号を入力とするインバータ  $INV13$  とを備える。

## 【 0 0 5 0 】

また、信号結合部 55 は、パルス生成部 50 の出力信号及び第 1 感知増幅器イネーブル信号  $SAENF<n>$  を入力とする  $NAND$  ゲート  $NAND12$  と、 $NAND$  ゲート  $NAND12$  の出力信号を入力とし、第 2 感知増幅器イネーブル信号  $SAENS<n>$  を出力するインバータ  $INV14$  とを備える。

## 【 0 0 5 1 】

図 6 は、図 5 の遅延部 52 の回路構成を示す図である。

## 【 0 0 5 2 】

同図を参照すると、遅延部 52 は、偶数個のインバータで実現されたインバータチェーンと、各インバータの出力端に接続された抵抗と、電源電圧  $VDD$  に接続された  $PMOS$  トランジスタ及び接地電圧  $VSS$  に接続された  $NMOS$  トランジスタで実現されたキャパシタとを備える。遅延部 52 の遅延時間は、読み出し動作時、所望の第 2 感知増幅器イネ

ーブル信号  $S A E N S < n >$  のディセーブル期間によって設定することができる。

【 0 0 5 3 】

図 7 は、本発明の一実施形態に係る S D R A M の動作タイミング図である。

【 0 0 5 4 】

同図を参照すると、アクティブコマンド信号  $A C T$  が印加され、ロープリデコード信号  $R A$  に対応するメモリセルアレイのワードライン  $W L$  がイネーブルされると、セルキャパシタとビットライン  $B L n$ 、 $/ B L n$  との間で電荷共有が行われ、ビットライン対  $B L n$ 、 $/ B L n$  の間に微細な電圧差が生じる。

【 0 0 5 5 】

一方、アクティブコマンド信号  $A C T$  の印加時点から一定の遅延時間の後、第 2 感知増幅器イネーブル信号  $S A E N S < n >$  がアクティブになると、 $R T O$  ライン駆動信号  $S A P$  と  $S B$  ライン駆動信号  $S A N$  とがアクティブになり、感知増幅器電源ライン駆動部 2 2 の 2 個の N M O S トランジスタが  $R T O$  ライン及び  $S B$  ラインをコア電圧  $V C O R E$  及び接地電圧  $V S S$  によって駆動させる。

【 0 0 5 6 】

この後、読み出しコマンド信号  $R D$  が印加されると、カラムプリデコード信号  $C A$  に対応するカラム選択信号  $Y S$  がアクティブになり、ビットライン  $B L n$ 、 $/ B L n$  に載せられたデータをデータバスを介してコア領域の外部に出力する。このとき、書き込みカラム選択信号  $Y S W$  は、書き込みコマンド信号  $W T$  の印加時にのみアクティブになる信号であるため、読み出し動作時には非アクティブになり、このときの動作は従来技術と同様である。

【 0 0 5 7 】

また、書き込みコマンド信号  $W T$  が印加されると、同じくカラムプリデコード信号  $C A$  に対応するカラム選択信号  $Y S$  がアクティブになり、データバスに載せられたデータをビットライン  $B L n$ 、 $/ B L n$  に書き込む。このとき、書き込みカラム選択信号  $Y S W$  がカラム選択信号  $Y S$  よりも時間の量  $D 3$  だけ先にアクティブになり、書き込みカラム選択信号  $Y S W$  のアクティブ時点から感知増幅器イネーブル制御部 1 4 0 の遅延部 5 2 の時間の量  $D 1$  に対応する期間に第 2 感知増幅器イネーブル信号  $S A E N S < n >$  が非アクティブになる。

【 0 0 5 8 】

この後、第 2 感知増幅器イネーブル信号  $S A E N S < n >$  が再びアクティブになり、ビットライン  $B L n$ 、 $/ B L n$  に載せられたデータをメモリセルに書き換える過程を経て、プリチャージコマンド信号  $P R E$  が印加されると、ワードライン  $W L$  は非アクティブになり、第 2 感知増幅器イネーブル信号  $S A E N S < n >$  も同じく非アクティブになることにより、感知増幅器 2 4 をディセーブルさせた後、ビットライン  $B L n$ 、 $/ B L n$  をビットラインプリチャージ電圧  $V B L P$  レベルにイコライズ及びプリチャージさせる。以上、本実施形態によると、書き込み動作時、感知増幅器 2 4 が一時的にディセーブルされた状態で書き込みドライバがデータをビットライン  $B L n$ 、 $/ B L n$  に駆動するため、メモリセルに記憶されたデータとは反対のレベルのデータを書き込む場合、従来に比べて時間の量  $D 2$  だけ先に感知増幅器 2 4 にラッチされたデータを反転させることができる。したがって、それだけ書き込み動作速度が速くなる。これは、書き込み回復時間  $t W R$  の特性が改善されることを意味する。

【 0 0 5 9 】

前述の実施形態では、書き込みカラム選択信号として書き込みコマンド信号  $W T$  により生成されるカラム選択信号  $Y S$  よりも位相の早い書き込みカラム選択信号  $Y S W$  を用いて、書き込み動作時、一時的に感知増幅器をディセーブルさせる場合を一例として説明したが、場合によっては、書き込みコマンド信号  $W T$  により生成されるカラム選択信号  $Y S$  を書き込みカラム選択信号として直接用いたり、それよりも位相の遅い信号を用いることができる。この場合、本実施形態に比べて、動作時間の側面において効率はやや落ちるが、従来技術に比べて有利であることは間違いない。

10

20

30

40

50

## 【 0 0 6 0 】

また、前述の実施形態では、ノーマルドライブ構造を適用する場合を一例として説明したが、本発明は、オーバードライブ構造を適用する場合にも適用される。

## 【 0 0 6 1 】

なお、前述の実施形態において、感知増幅器イネーブル信号生成部の回路構成を示す例は、可能な数多くの実現例の一部に過ぎず、用いられる信号の種類及びそのアクティブ極性によってその他の構成への変更が欠かせない。

## 【 0 0 6 2 】

さらに、前述の実施形態では、SDRAMを一例として説明したが、本発明は、ノーマルDRAM、DDR、DDR2、DDR3のような、ビットライン感知増幅器を備える全ての半導体メモリ素子に適用することができる。

## 【 0 0 6 3 】

本発明は、書き込み動作時間を短縮し、書き込み回復時間  $t_{WR}$  の特性を改善するという効果がある。一方、本発明を適用すると、書き込みドライバを拡張して設計する必要がないため、電流消費の増加を抑制することができる。

## 【 0 0 6 4 】

以上、本発明は、上記した実施形態に限定されるものではなく、本発明に係る技術的思想の範囲から逸脱しない範囲内で様々な変更が可能であり、それらも本発明の技術的範囲に属する。

## 【 図面の簡単な説明 】

## 【 0 0 6 5 】

【 図 1 】 従来技術に係るSDRAMのブロック図

【 図 2 】 図 1 のビットライン感知増幅器アレイ及び感知増幅器制御部の回路構成を示す図

【 図 3 】 従来技術に係るSDRAMの動作タイミング図

【 図 4 】 本発明の一実施形態に係るSDRAMのブロック図

【 図 5 】 図 4 の感知増幅器イネーブル信号生成部の回路構成を示す図

【 図 6 】 図 5 の遅延部の回路構成を示す図

【 図 7 】 本発明の一実施形態に係るSDRAMの動作タイミング図

## 【 符号の説明 】

## 【 0 0 6 6 】

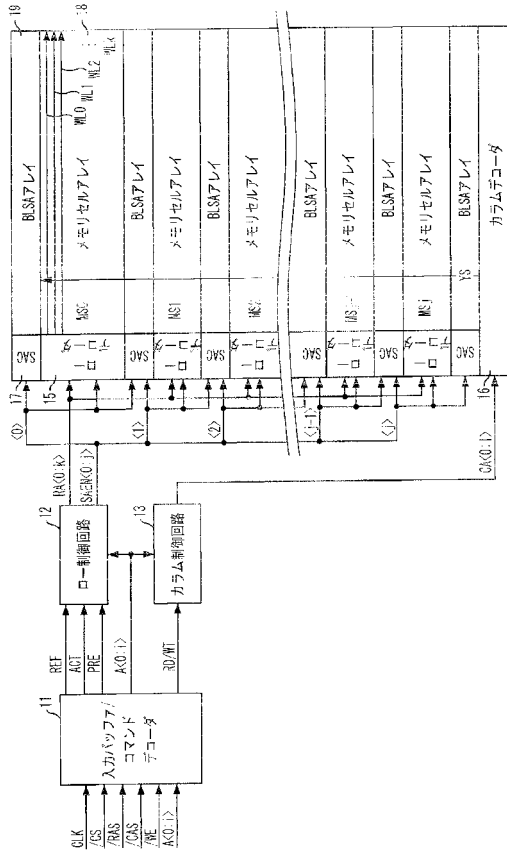
1 1 0	入力バッファ / コマンドデコーダ
1 2 0	ロー制御部
1 3 0	カラム制御部
1 4 0	感知増幅器イネーブル信号生成部
1 5 0	ローデコーダ
1 6 0	カラムデコーダ
1 7 0	感知増幅器制御部 ( S A C )
1 8 0	メモリセルアレイ
1 9 0	ビットライン感知増幅器 ( B L S A ) アレイ

10

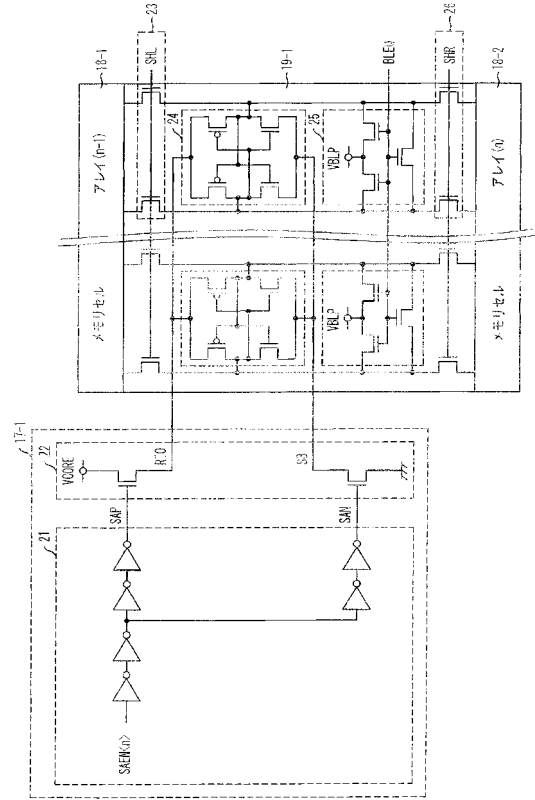
20

30

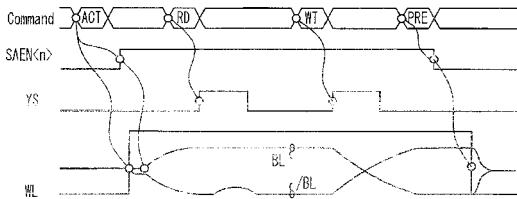
【図 1】



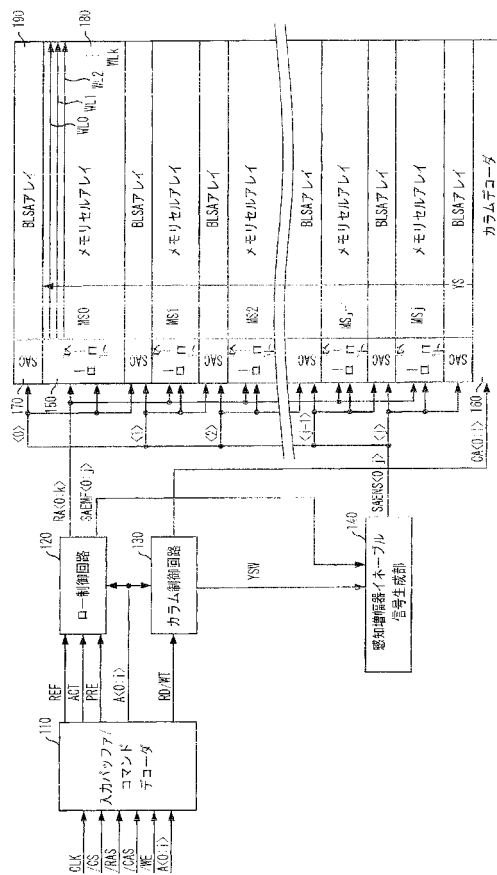
【図 2】



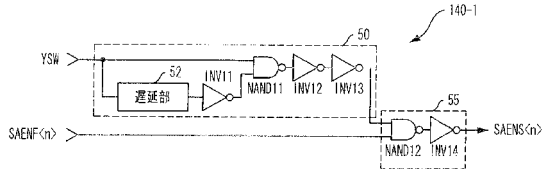
【図 3】



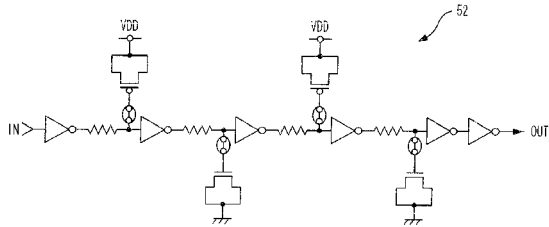
【図 4】



【 図 5 】



【 図 6 】



【 図 7 】

