(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 697 34 551 T2** 2006.07.27

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 825 534 B1**
(21) Deutsches Aktenzeichen: **697 34 551.3**
(96) Europäisches Aktenzeichen: **97 101 152.3**
(96) Europäischer Anmeldetag: **24.01.1997**
(97) Erstveröffentlichung durch das EPA: **25.02.1998**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **09.11.2005**
(47) Veröffentlichungstag im Patentblatt: **27.07.2006**

(51) Int Cl.[8]: ***G06F 11/10*** (2006.01)
G11B 20/18 (2006.01)
G06F 11/20 (2006.01)

(30) Unionspriorität:
696220 **13.08.1996** **US**

(84) Benannte Vertragsstaaten:
DE, FR, GB

(73) Patentinhaber:
Hewlett-Packard Development Co., L.P., Houston, Tex., US

(72) Erfinder:
Oldfield, Barry J., Boise, US; Petersen, Mark D., Boise, US

(74) Vertreter:
Schoppe, Zimmermann, Stöckeler & Zinkler, 82049 Pullach

(54) Bezeichnung: **Verfahren und Gerät zur Erzeugung von Paritätsblöcken**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

Gebiet der Erfindung

[0001] Die vorliegende Erfindung bezieht sich auf Systeme von redundanten Arrays von unabhängigen Platten (RAID-Systeme). Insbesondere bezieht sich die vorliegende Erfindung auf die Erzeugung des Paritätsblocks bei dem RAID-System.

Hintergrund der Erfindung

[0002] Ein RAID-System ist eine Organisation von Daten in einem Array von Datenspeicherungsvorrichtungen, wie z. B. Festplattenlaufwerken, um variierende Niveaus von Datenverfügbarkeit und Systemleistung zu erreichen. Datenverfügbarkeit bezieht sich auf die Fähigkeit des RAID-Systems, Daten zu liefern, die in dem Array von Datenspeicherungsvorrichtungen gespeichert sind, selbst in dem Fall des Versagens von ein oder mehr der einzelnen Datenspeicherungsvorrichtungen in dem Array. Ein Maß der Systemleistung ist die Rate, mit der Daten an das RAID-System gesendet oder von demselben empfangen werden können.

[0003] Von den fünf Grundarchitekturen, die für RAID-Systeme entwickelt worden sind, werden RAID-1- und RAID-5-Architekturen am meisten verwendet. Eine RAID-1-Architektur umfasst ein Array, das einen ersten Satz von Datenspeicherungsvorrichtungen mit einem zweiten Satz von Datenspeicherungsvorrichtungen aufweist, der die Daten auf dem ersten Satz dupliziert. In dem Fall des Versagens einer Datenspeicherungsvorrichtung sind die Informationen von der Duplikatvorrichtung verfügbar. Der offensichtliche Nachteil dieser RAID-System-Implementierung ist die Notwendigkeit, den Speicherplatz zu verdoppeln.

[0004] Eine RRID-5-Architektur liefert eine Redundanz von Daten durch ein Erzeugen von Paritätsdaten. Jede der Datenspeicherungsvorrichtungen ist in eine Mehrzahl von Einheiten von Daten, die als Blöcke bekannt sind, die gleiche Anzahlen von Datenwörtern enthalten, segmentiert. Blöcke von jeder Datenspeicherungsvorrichtung in dem Array, die den gleichen Datenspeicherungsvorrichtungsadressbereich abdecken, bilden, was als „Streifen" bezeichnet wird. Jedem Streifen ist ein Paritätsblock zugeordnet. Der Paritätsblock wird durch ein Durchführen von aufeinander folgenden Exklusiv-ODER-Operationen zwischen entsprechenden Datenwörtern in jedem der Datenblöcke erzeugt. Veränderungen an Datenblöcken in einem Streifen machen eine Neuberechnung des Paritätsblocks notwendig, der dem Streifen zugeordnet ist. Bei einem RAID-4-System werden alle Paritätsblöcke auf einer einzigen Einheit in dem Array gespeichert. Folglich wird auf die Datenspeicherungsvorrichtung, die die Paritätsblöcke enthält, relativ zu den anderen Datenspeicherungsvorrichtungen in dem Array unverhältnismäßig viel zugegriffen. Um die sich ergebende Verengung des Datenflusses bei einem RAID-4-System zu beseitigen, verteilt eine RAID-5-Architektur die Paritätsblöcke über alle Datenspeicherungsvorrichtungen in dem Array. Normalerweise bildet bei einem RAID-5-System ein Satz von N+1 Datenspeicherungsvorrichtungen das Array. Jeder Streifen weist N Blöcke von Daten und einen Block von Paritätsdaten auf. Der Paritätsdatenblock wird in einer der N + 1 Datenspeicherungsvorrichtungen gespeichert. Die Paritätsblöcke, die den verbleibenden Streifen des RAID-Systems entsprechen, werden über die Datenspeicherungsvorrichtungen in dem Array gespeichert. Zum Beispiel kann bei einem RAID-5-System, das fünf Datenspeicherungsvorrichtungen verwendet, der Paritätsblock für den ersten Streifen von Blöcken in die fünfte Vorrichtung geschrieben werden; der Paritätsblock für den zweiten Streifen von Blöcken kann in das vierte Laufwerk geschrieben werden; der Paritätsblock für den dritten Streifen von Blöcken kann in das dritte Laufwerk geschrieben werden usw. Normalerweise verschiebt sich der Ort des Paritätsblocks in dem Array für nachfolgende Blöcke zu der nachfolgenden Logikvorrichtung in dem Array, obwohl andere Muster verwendet werden können. Weitere Informationen, die die Architektur und Leistung von RAID-Systemen detailliert beschreiben, sind in folgendem RAID-Buch zu finden: A Source Book for RAID Technology, von RAID Advisory Board, 1993.

[0005] Wenn Daten, die in den N + 1 Speicherungsvorrichtungen des RAID-5-Arrays gespeichert sind, modifiziert werden, muss auch der Paritätsblock für den Streifen, in dem die Daten angeordnet sind, modifiziert werden. Dieser Modifizierungsprozess kann durch eine sogenannte „Lesen-Modifizieren-Schreiben"-Sequenz oder eine „An-der-Stelle-Schreiben"-Sequenz erfolgen. Bei eine Lesen-Modifizieren-Schreiben-Sequenz wird der Paritätsblock durch einen Prozess eines Durchführens der Exklusiv-ODER-Operation zwischen entsprechenden Wörtern der Datenblöcke, die den Streifen bilden, neu berechnet.

[0006] Eine An-der-Stelle-Schreiben-Sequenz berechnet den Paritätsblock neu durch ein Entfernen des Effekts der Daten, die gerade in den Speicherungsorten enthalten sind, die modifiziert werden, von dem Paritätsblock und dann ein Hinzufügen des Effekts der neuen Daten zu dem Paritätsblock. Um eine An-der-Stelle-Schreiben-Sequenz durchzuführen, werden die Daten gelesen, die gerade in den Datenblöcken gespeichert sind, die die Speicherungsorte aufweisen, die modifiziert werden. Der entsprechende Abschnitt des Paritätsblocks des Streifens, der die Speicherungsorte enthält, die modifiziert werden, wird gelesen. Die Exklusiv-ODER-Operation wird zwischen den Daten, die gerade in den Daten-

blöcken gespeichert sind, und dem entsprechenden Abschnitt des Paritätsblocks durchgeführt, um den Effekt der aktuell gespeicherten Daten auf den Paritätsblock zu entfernen. Die Exklusiv-ODER-Operation wird dann zwischen den neuen Daten und dem Ergebnis der vorhergehenden Exklusiv-ODER-Operation durchgeführt. Dieses Ergebnis wird dann auf den Datenspeicherungsvorrichtungen in den entsprechenden Orten, von denen der Abschnitt des Paritätsblocks geladen wurde, gespeichert, und die neuen Daten werden in dem Streifen gespeichert.

[0007] Effizienzüberlegungen bestimmen, welches dieser Verfahren zur Paritätsblockberechnung verwendet wird. Die Faktoren, die verwendet werden, um zu bestimmen, welches dieser Verfahren zur Paritätsblockerzeugung am effizientesten ist, variieren mit der Konfiguration des RAID-Systems und der Datenblöcke, die modifiziert werden. Falls z. B. eine große Anzahl von Datenspeicherungsvorrichtungen vorliegt, die Abschnitte des Streifens speichern, und Veränderungen an Datenblöcken vorgenommen wurden, die nur einige wenige der Datenspeicherungsvorrichtungen betreffen, kann das effizienteste Paritätsblockneuberechnungsverfahren An-der-Stelle-Schreiben sein. Falls jedoch ein relativ großer Bruchteil von Datenspeicherungsvorrichtungen an den Veränderungen an den Datenblöcken beteiligt ist, kann das effizienteste Paritätsblockneuberechnungsverfahren Lesen-Modifizieren-Schreiben sein. Die Firmware, die den Betrieb des RAID-Systems steuert, bestimmt das effizienteste Paritätsblockneuberechnungsverfahren für jede Datenübertragung an das Array.

[0008] Kostengünstige RAID-Systeme können unter Verwendung einer Software implementiert sein, die in dem Hostcomputersystem installiert ist, um die RAID-Systemverwaltungsfunktionen durchzuführen. Bei diesem Typ von RAID-System verwaltet das Hostcomputersystem die Verteilung von Datenblöcken und Paritätsblöcken über ein Array von Datenspeicherungsvorrichtungen und führt die Paritätsblockberechnung durch. Wie erwartet führt diese kostengünstige RAID-System-Implementierung zu einer erheblichen Verringerung der Fähigkeit des Hostcomputersystems, seine anderen Datenverarbeitungsoperationen durchzuführen. Hochleistungs-RAID-Systeme verwenden eine eigens vorgesehene Steuerung, um die Datenblock- und Paritätsblockspeicherung in dem Array von Datenspeicherungsvorrichtungen zu verwalten. Bei diesen Hochleistungs-RAID-Systemen ist der Hostcomputer in der Lage, mit dem RAID-System als einer einzigen Datenspeicherungseinheit in Wechselwirkung zu treten.

[0009] In der Kategorie von Hochleistungs-RAID-Systemen, die Steuerungen verwenden, gibt es kostengünstige Steuerungen und Hochleistungssteuerungen. Kostengünstige Steuerungen verwenden den Mikroprozessor an der Steuerung, um die Paritätsblockerzeugung durchzuführen. Diese Implementierung der Paritätsblockerzeugung geht bei der Leistung der RAID-System-Steuerung einen Kompromiss ein, um die Kosten der Steuerung zu reduzieren. Hochleistungssteuerungen verwenden eine eigens vorgesehene Hardware, wie z. B. eine Zustandsmaschine oder einen eigens vorgesehenen Mikroprozessor, um eine Paritätsblockerzeugung rascher durchzuführen.

[0010] Die eigens vorgesehene Hardware gemäß dem Stand der Technik, die bei Hochleistungssteuerungen verwendet wird, umfasst einen einzigen eigens vorgesehenen Speicher, um Zwischenergebnisse zu speichern, die bei der Erzeugung des Paritätsblocks verwendet werden. Der Prozess des Speicherns eines Streifens neuer Daten in das RAID-System unter Verwendung einer Lesen-Modifizieren-Schreiben-Sequenz und unter Verwendung der Paritätserzeugungslogik der eigens vorgesehenen Hardware läuft wie folgt ab:

1. Wenn ein Datenblock des Streifens über den Datenbus des RAID-Systems an die Datenspeicherungsvorrichtungen übertragen wird, schreibt die eigens vorgesehene Hardware in der RAID-Steuerung den Datenblock in den einzigen eigens vorgesehenen Speicher.
2. Wenn Datenwörter des nächsten Datenblocks des Streifens über den Datenbus des RAID-Systems an die Datenspeicherungsvorrichtungen übertragen werden, werden dieselben in die eigens vorgesehene Hardware in der RAID-Steuerung geladen.
3. Wenn die Datenwörter des vorhergehenden Schrittes in die eigens vorgesehene Hardware geladen werden, werden auch die entsprechenden Datenwörter oder Ergebnisse von vorhergehenden Exklusiv-ODER-Operationen, die in dem einzigen eigens vorgesehenen Speicher gespeichert sind, in die eigens vorgesehene Hardware geladen.
4. Eine Exklusiv-ODER-Operation wird durchgeführt, wobei die entsprechenden Datenwörter als Operanden verwendet werden.
5. Das Ergebnis der Exklusiv-ODER-Operation wird in den einzigen eigens vorgesehenen Speicher zurückgeschrieben.
6. Diese Schritte werden beginnend mit Schritt 2 wiederholt, bis alle entsprechenden Wörter der Datenblöcke des Streifens der Exklusiv-ODER-Operation unterzogen worden sind.
7. Der sich ergebende neu erzeugte Paritätsblock für den Streifen wird in den Datenspeicherungsvorrichtungen in dem Array, die dazu bestimmt sind, den Paritätsblock für diesen Streifen zu halten, gespeichert.

[0011] Dieses Lesen-Modifizieren-Schreiben-Ver-

fahren einer Paritätsblockerzeugung erfordert ein Laden der Zwischenergebnisse, die in dem einzigen eigens vorgesehenen Speicher gespeichert sind, in die eigens vorgesehene Hardware und dann ein Speichern der Ergebnisse der Exklusiv-ODER-Operation in dem einzigen eigens vorgesehenen Speicher für jede durchgeführte Exklusiv-ODER-Operation. Die Berechnung des Paritätsblocks wird durchgeführt, während der Datenstreifen über den Bus übertragen wird. Die Berechnung des Paritätsblocks unter Verwendung der Paritätserzeugungslogik gemäß dem Stand der Technik erfordert zwei Zugriffe auf den einzigen eigens vorgesehenen Speicher für jedes Datenwort, das über den Bus übertragen wird.

[0012] Bei RAID-Systemen, die Daten mit bis zu 40 MB/s über den Datenbus übertragen, kann dieses Verfahren zur Paritätsdatenblockerzeugung mit einer Rate durchgeführt werden, die ausreichend ist, um den Datenübertragungsraten des Busses gerecht zu werden. Bei der nächsten Generation von RAID-Systemen, die Datenübertragungsraten von mehr als 100 MB/s über den Bus aufweisen, kann dieses Verfahren zur Paritätsblockerzeugung nicht ausreichend schnell durchgeführt werden, um zu ermöglichen, dass eine Paritätsblockerzeugung erfolgt, während Datenstreifen über den Bus übertragen werden. Eine Verwendung dieses Verfahrens zur Paritätsblockerzeugung bei der nächsten Generation von RAID-Systemen würde eine Verringerung der Datenübertragungsraten des Busses erfordern. Ein System zum Erzeugen von Paritätsblöcken, das die Datenübertragungsratenleistung des Busses nicht reduziert, wird benötigt, um eine optimale Leistung bei der nächsten Generation von RAID-Systemen zu erreichen.

[0013] Die US 5537567 A bezieht sich auf eine Computerdatenspeicherungsvorrichtung, die ein redundantes Array von Plattenspeicherungseinheiten aufweist, die unabhängig auf Datenblöcke auf unterschiedlichen Einheiten zugreift und die Paritätsblöcke zum Datenschutz verwendet. Die Paritätsblöcke sind auf spezifische Adressbereiche jeder jeweiligen Platteneinheit beschränkt. Jeder Paritätsblock stellt die Exklusiv-ODER eines Streifens von Datenblöcken dar, die an einer Diagonale des Arrays angeordnet sind. In anderen Worten wird bei einem Array von N Speicherungseinheiten bei jedem Bit in einem Block von Daten an einem bestimmten Ort auf einer Speicherungseinheit eine Exklusiv-ODER-Operation mit jedem anderen Bit an diesem Ort in einer Gruppe von (N – 1) Speicherungseinheiten durchgeführt, um einen Block von Paritätsbits zu erzeugen. Der Paritätsblock wird dann an dem gleichen Ort auf der verbleibenden N-ten Speicherungseinheit gespeichert. Falls eine beliebige Speicherungseinheit in dem Array versagt, können die Daten, die an einem beliebigen Ort auf der versagenden Einheit enthalten sind, durch ein Vornehmen der Exklusiv-ODER der Datenblöcke an dem gleichen Ort auf den verbleibenden Vorrichtungen und ihres entsprechenden Paritätsblocks regeneriert werden.

[0014] Die EP 0569313 A bezieht sich ebenfalls auf eine Computerdatenspeicherungsvorrichtung des Typs, der im Vorhergehenden unter Bezugnahme auf die US 5537567 A ausgewertet wurde.

Zusammenfassung der Erfindung

[0015] Die vorliegende Erfindung, wie dieselbe im Detail in den angehängten unabhängigen Ansprüchen 1 und 4 definiert ist, ermöglicht die Erzeugung eines Paritätsblocks, während Datenwörter über einen Bus übertragen werden. Diese Erfindung ist besonders gut für die Erzeugung von Paritätsblöcken bei einem Redundantes-Array-Speicherungssystem geeignet, das hohe Datenübertragungsraten über den Bus aufweist. Eine Erzeugung von Paritätsblöcken unter Verwendung dieser Erfindung ermöglicht, dass das Redundantes-Array-Speicherungssystem mit den maximalen Datenübertragungsraten über den Bus wirksam ist.

[0016] Die vorliegende Erfindung realisiert eine Verbesserung der Rate, mit der Paritätsdaten erzeugt werden können, durch ein Verwenden von zwei Speichern, um Paritätserzeugungsdatenwörter zu halten. Die Erzeugung eines Paritätsdatenworts eines Paritätsdatenblocks wird durch ein Durchführen von aufeinander folgenden Exklusiv-ODER-Operationen zwischen Datenwörtern in den Datenblöcken des Streifens und den entsprechenden Paritätserzeugungsdatenwörtern, während die Datenwörter über den Bus übertragen werden, erreicht. Die Paritätserzeugungsdatenwörter, die für jede der aufeinander folgenden Exklusiv-ODER-Operationen verwendet werden und aus denselben resultieren, werden abwechselnd von entsprechenden Orten in den zwei Speichern geladen und abwechselnd in denselben gespeichert, während aufeinander folgende Datenblöcke oder Datenblockfragmente über den Bus übertragen werden. Durch ein abwechselndes Vorsehen eines Speichers zum Lesen von Paritätserzeugungsdatenwörtern und eines Speichers zum Schreiben von Paritätserzeugungsdatenwörtern ist die Zeit, die benötigt wird, um nacheinander einen Lesezugriff auf einen der zwei Speicher und einen Schreibzugriff auf den anderen der zwei Speicher für jedes übertragene Datenwort abzuschließen, geringer als die Zeit, die benötigt wird, um nacheinander einen Lese- und einen Schreibzugriff auf einen einzigen Speicher für jedes übertragene Datenwort abzuschließen. Dies steigert die Rate, mit der eine Erzeugung des Paritätsdatenblocks durchgeführt werden kann.

[0017] Die Vorrichtung zum Erzeugen von Paritätsdaten umfasst einen ersten und einen zweiten Paritätsspeicher, die mit einer Paritätserzeugungs- und Steuereinheit gekoppelt sind. Die Paritätserzeu-

gungs- und Steuereinheit empfängt Datenwörter von dem Bus. Während der Erzeugung der Paritätsdaten werden Paritätserzeugungsdaten selektiv in den ersten und den zweiten Paritätsspeicher gespeichert und von denselben geladen.

Beschreibung der Zeichnungen

[0018] Ein gründlicheres Verständnis der Erfindung kann aus der Betrachtung der folgenden detaillierten Beschreibung zusammen mit den beiliegenden Zeichnungen erhalten werden. Es zeigen:

[0019] Fig. 1 ein Blockdiagramm, das die Grundelemente eines RAID-Systems zeigt, das fünf Datenspeicherungsvorrichtungen aufweist.

[0020] Fig. 2 eine Darstellung der Verteilung von Datenblöcken und Paritätsblöcken über Datenspeicherungsvorrichtungen bei einem vereinfachten RAID-5-System.

[0021] Fig. 3 ein Blockdiagramm, das die Grundelemente eines ersten Ausführungsbeispiels der Paritätsblockerzeugungsvorrichtung zeigt.

[0022] **Fig.** 4 ein Flussdiagramm eines ersten Verfahrens zur Paritätsblockerzeugung unter Verwendung des ersten Ausführungsbeispiels einer Paritätsblockerzeugungsvorrichtung.

[0023] Fig. 5 ein Blockdiagramm, das die Grundelemente eines zweiten Ausführungsbeispiels der Paritätsblockerzeugungsvorrichtung in einer PCI-Umgebung zeigt.

[0024] **Fig.** 6 ein Flussdiagramm eines zweiten Verfahrens zur Paritätsblockerzeugung unter Verwendung des zweiten Ausführungsbeispiels der Paritätsblockerzeugungsvorrichtung.

[0025] **Fig.** 7 ein Flussdiagramm eines dritten Verfahrens zur Paritätsblockerzeugung unter Verwendung eines dritten Ausführungsbeispiels der Paritätsblockerzeugungsvorrichtung.

[0026] Fig. 8 ein Blockdiagramm, das die Grundelemente der Paritätserzeugungs- und Steuereinheit des ersten Ausführungsbeispiels der Paritätsblockerzeugungsvorrichtung zeigt.

[0027] Fig. 9 ein Blockdiagramm, das die Grundelemente der Paritätserzeugungs- und Steuereinheit des zweiten Ausführungsbeispiels der Paritätsblockerzeugungsvorrichtung zeigt.

[0028] Fig. 10 ein Blockdiagramm, das die Grundelemente der Paritätserzeugungs- und Steuereinheit des dritten Ausführungsbeispiels der Paritätsblockerzeugungsvorrichtung zeigt.

Detaillierte Beschreibung der bevorzugten Ausführungsbeispiele

[0029] Die vorliegende Erfindung ist nicht auf das spezifische exemplarische Ausführungsbeispiel, das hier veranschaulicht ist, beschränkt. Um die verschiedenen Aspekte der Ausführungsbeispiele der Paritätsblockerzeugungsvorrichtung wirksam zu lehren, werden drei Ausführungsbeispiele präsentiert. Jedes der Ausführungsbeispiele ermöglicht der Reihe nach eine größere Paritätsblockerzeugungsfähigkeit, während dieselben der Reihe nach komplexer werden. Das erste Ausführungsbeispiel der Paritätsblockerzeugungsvorrichtung kann nur eine Paritätsblockerzeugung für reihenfolgegemäße Übertragungen der Datenwörter in den Datenblöcken ohne eine Fragmentierung der Datenblöcke unterstützen. Das zweite Ausführungsbeispiel der Paritätsblockerzeugungsvorrichtung unterstützt reihenfolgegemäße Übertragungen und fragmentierte Übertragungen von Datenblöcken. Das dritte Ausführungsbeispiel der Paritätsblockerzeugungsvorrichtung unterstützt eine Paritätsblockerzeugung für Datenblockübertragungen in willkürlicher Reihenfolge und mit Fragmentierung der Datenblöcke auf die Datenwortebene.

[0030] Die Beschreibung des ersten Ausführungsbeispiels der Paritätsblockerzeugungsvorrichtung wird im Zusammenhang mit einem vereinfachten RAID-5-System erörtert, das ein Array von fünf Festplattenlaufwerken aufweist und einen PCI-Bus verwendet. Die Beschreibung eines zweiten und eines dritten Ausführungsbeispiels der Paritätsblockerzeugungseinheit wird ebenfalls im Zusammenhang mit einem Redundantes-Array-Speicherungssystem erörtert, das einen PCI-Bus verwendet. Ein Fachmann wird jedoch erkennen, dass die offenbarten Ausführungsbeispiele der Paritätsblockerzeugungsvorrichtung bei jedem beliebigen System anwendbar sind, das eine von mehreren möglichen Busarchitekturen verwendet, das von einer verbesserten Rate einer Paritätsblockerzeugung profitieren würde. Obwohl die Datenspeicherungsvorrichtungen, die bei den exemplarischen RAID-Systemen verwendet werden, Festplattenlaufwerke sind, können außerdem andere Direktzugriffs-Lese-/Schreib-Datenspeicherungsvorrichtungen, wie z. B. RAM-basierte Speicherarrays oder magnetooptische Speicherungsvorrichtungen, im Allgemeinen verwendet werden.

[0031] Unter Bezugnahme auf Fig. 1 ist ein vereinfachtes Blockdiagramm eines RAID-5-Systems zum Zweck eines Veranschaulichens gezeigt, wie Paritätsblöcke zwischen den Datenblöcken in einem RAID-5-System verteilt sind. Ein Computersystem **1** sendet und empfängt Daten und Befehls- und Steuersignale zu und von einer Steuerung **2** über einen Bus **3**. Die Steuerung **2** sendet und empfängt Daten und Steuersignale zu und von Festplattenlaufwerken D1–D5 über Busse **4a**–**4e**. Es gibt keine Bedingung,

dass der Bus **3** und die Busse **4a**–**4e** den gleichen Bustyp aufweisen. Normalerweise enthält die Steuerung **2** einen Hochleistungsprozessor (in Fig. 1 nicht gezeigt), der den Datenfluss zwischen den Festplattenlaufwerken D1–D5 und dem Computersystem **1** verwaltet und die Funktionen durchführt, die notwendig sind, um die Speicherung von Daten in den Festplattenlaufwerken D1–D5 zu optimieren. Die Steuerung **2** umfasst die Fähigkeit, DMA-Übertragungen (DMA = direct memory access – Direktspeicherzugriff) zwischen den Festplattenlaufwerken D1–D5 und dem Computersystem **1** durchzuführen.

[0032] Fig. 2 ist eine Darstellung der Verteilung der Datenblöcke und Paritätsblöcke über die Festplattenlaufwerke bei dem RAID-5-System von Fig. 1. Die Spaltenüberschriften D1–D5 stellen die einzelnen Festplattenlaufwerke in dem Array dar. Es ist zu erkennen, dass ein RAID-5-System eine größere Anzahl oder eine geringere Anzahl als fünf Datenspeicherungsvorrichtungen umfassen kann. Jeder Eintrag in den Spalten unter den Spaltenüberschriften stellt die Datenblöcke dar, die auf dem Festplattenlaufwerk enthalten sind, das dieser Spalte zugeordnet ist. Der Einfachheit halber ist jedes Festplattenlaufwerk so dargestellt, dass dasselbe eine Speicherkapazität von nur acht Blöcken aufweist. Es ist zu erkennen, dass jede Datenspeicherungsvorrichtung in einem RAID-System eine größere Anzahl oder eine geringere Anzahl als acht Blöcke umfassen kann. Die Blöcke sind mit „X-X" bezeichnet, wobei das erste „X" die Nummer des Festplattenlaufwerks darstellt (1–5 entsprechend den Festplattenlaufwerken D1–D5) und das zweite „X" die Nummer des Datenblocks in dem Festplattenlaufwerk darstellt (1–8). Ein Streifen ist aus einem Satz von Datenblöcken gebildet, bei dem ein Datenblock auf jedem der Festplattenlaufwerke gespeichert ist. Die Blöcke, die mit „X-X-P" bezeichnet sind, stellen den Paritätsblock dar, der dem Streifen zugeordnet ist. Die Paritätsblöcke werden durch ein Durchführen einer Exklusiv-ODER-Operation unter Verwendung der entsprechenden Datenwörter in allen Datenblöcken des Streifens erzeugt. Bei diesem RAID-5-System sind die Paritätsblöcke in einem sich wiederholenden Muster über die Festplattenlaufwerke verteilt, obwohl dies im Allgemeinen nicht nötig ist.

[0033] Fig. 3 zeigt ein vereinfachtes Blockdiagramm der Steuerung **2** und der Elemente eines ersten Ausführungsbeispiels der Paritätsblockerzeugungsvorrichtung. Ein Prozessor **6** ist ein Hochleistungsprozessor, der die DMA-Chips **15a**–**15e** für die Speicherung und Wiedergewinnung von Daten zu und von den Datenspeicherungsvorrichtungen D1–D5 konfiguriert. Der Prozessor **6** weist einen eigens vorgesehenen Bus **16** auf, über den derselbe Daten zu und von einem DRAM-Speicher **17** überträgt. Bei Fällen, in denen Daten sehr schnell von dem Computersystem **1** an das RAID-System zu übertragen sind, wird ein DRAM-Speicher **7** als ein vorübergehender Speicherungsort für die Daten verwendet. Nachdem diese Übertragung abgeschlossen ist, leitet der Prozessor **6** die DMA-Übertragung von Daten von dem DRAM-Speicher **7** zu den Datenspeicherungsvorrichtungen D1–D5 ein. Daten, die von dem RAID-System an das Computersystem **1** übertragen werden, können direkt von den Datenspeicherungsvorrichtungen D1–D5 oder von den Datenspeicherungsvorrichtungen D1–D5 in den DRAM-Speicher **7** und dann an das Computersystem **1** übertragen werden. Ein erster Paritätsspeicher SRAM0 **10** und ein zweiter Paritätsspeicher SRAM1 **11** sind Hochgeschwindigkeitsspeicherspeicherungsvorrichtungen, wie z. B. statische Direktzugriffsspeicher (SRAM), die Datenblöcke zur Verwendung beim Berechnen von Paritätsblöcken speichern und die Zwischenergebnisse einer Paritätsblockberechnung speichern.

[0034] Eine Paritätserzeugungs- und Steuereinheit, von der ein erstes Ausführungsbeispiel eine PRAM-Steuerung **12** ist, umfasst die Fähigkeit, Befehle von dem Prozessor **6** über einen PCI-Bus **4** zu empfangen, Datenwörter von dem PCI-Bus **4** zu laden, während ein Datenstreifen zu oder von den Datenspeicherungsvorrichtungen D1–D5 übertragen wird, Paritätsblöcke an die DMA-Chips **15a**–**15e** zu übertragen, Datenwörter zu und von SRAM0 **10** und SRAM1 **11** zu übertragen und aufeinander folgende Exklusiv-ODER-Operationen durchzuführen. Außerdem umfasst die PRAM-Steuerung **12** die Fähigkeit, z. B. unter Verwendung eines Flip/Flops zu bestimmen, welcher der Speicher SRAM0 **10** und SRAM1 **11** die Paritätserzeugungsdaten enthält, die als Operanden für die nächste Exklusiv-ODER-Operation zu verwenden sind, die bei der Berechnung des Paritätsblocks durchgeführt wird. Es sei darauf hingewiesen, dass Datenwörter von den Datenspeicherungsvorrichtungen D1–D5 an die PRAM-Steuerung **12** zur Erzeugung von Paritätsdaten übertragen werden, wenn weniger als ein vollständiger Streifen von Daten in die Datenspeicherungsvorrichtungen D1–D5 übertragen wurde. Falls außerdem ein An-der-Stelle-Schreiben-Verfahren verwendet wird, um den Paritätsdatenblock zu erzeugen, werden Paritätsdatenwörter sowie Datenwörter von den Datenspeicherungsvorrichtungen D1–D5 an die PRAM-Steuerung **12** übertragen.

[0035] Die PCI-Busspezifikation ermöglicht, dass jede beliebige Vorrichtung, die mit dem Bus verbunden ist, als der Busmaster fungiert. Jede Vorrichtung, die mit dem Bus verbunden ist, kann Direktspeicherzugriffs- (DMA-) Übertragungen vornehmen. Es gibt an dem Bus keine Steuerung, die eigens zur Überwachung und Steuerung eines Busverkehrs für jede Übertragung an das Array vorgesehen ist. Folglich gibt es keine Bussteuerung, die für ein Anweisen der PRAM-Steuerung zuständig ist, die Paritätsblocker-

zeugung zu beginnen, wenn die Übertragung eines Streifens eingeleitet wird. Deshalb muss bei einer PCI-Bus-Umgebung die Paritätserzeugungs- und Steuereinheit, die in Fig. 3 als die PRAM-Steuerung **12** angezeigt ist, die Fähigkeit umfassen, zu bestimmen, wann Daten, für die eine Paritätsblockerzeugung benötigt wird, übertragen werden, den Bus zu überwachen und die notwendigen Daten zur Paritätsblockerzeugung zu laden, wenn dieselben übertragen werden, und als ein Slave an dem PCI-Bus anzusprechen, wenn eine Übertragung des berechneten Paritätsblocks erforderlich ist. Es sei darauf hingewiesen, dass die Fähigkeiten, die im Vorhergehenden angezeigt sind, bei jeder beliebigen Mehrmasterbusarchitektur vorhanden sind.

[0036] Der Prozessor **6** konfiguriert die DMA-Chips **15a**–**15e**, um DMA-Übertragungen zwischen dem DRAM-Speicher **7** und den Datenspeicherungsvorrichtungen D1–D5 durchzuführen, und konfiguriert eine Schnittstelle **14** für DMA-Übertragungen zwischen der Schnittstelle **14** und dem DRAM-Speicher **7**. Außerdem konfiguriert der Prozessor **6** die PRAM-Steuerung **12**, um die Datenwörter von dem PCI-Bus **4** zur Paritätsblockberechnung zu laden, wenn der Streifen zu oder von den Datenspeicherungsvorrichtungen D1–D5 übertragen wird. Wenn der Streifen übertragen wird, berechnet die PRAM-Steuerung **12** den Paritätsblock. Nach der Übertragung des Streifens leitet der Prozessor **6** die Übertragung des Paritätsblocks von der PRAM-Steuerung **12** an eine der Datenspeicherungsvorrichtungen D1–D5 ein.

[0037] Während des gesamten Prozesses der Paritätsblockerzeugung enthalten die Speicherbereiche von SRAM0 **10** und SRAM1 **11** Daten, die bei der Berechnung des Paritätsblocks zu verwenden sind. Diese Daten umfassen einen Datenblock, der über den PCI-Bus **4** übertragen wird, zur Speicherung in die Datenspeicherungsvorrichtungen D1–D5, das aktuellste Ergebnis einer Exklusiv-ODER-Operation oder einen Paritätsblock, der von den Datenspeicherungsvorrichtungen D1–D5 übertragen wird, zum Durchführen einer An-der-Stelle-Schreiben-Erzeugung eines neuen Paritätsblocks. Der Flip/Flop bei der PRAM-Steuerung **12** zeigt an, welche der Speicher SRAM0 **10** und SRAM1 **11** den Datenblock, die Zwischenergebnisse der Paritätsblockberechnung oder den sich ergebenen Paritätsblock enthalten. Die Daten, die in den Speichern SRAM0 **10** und SRAM1 **11** gespeichert sind, werden in dieser gesamten Beschreibung als Paritätserzeugungsdaten bezeichnet. Paritätserzeugungsdatenwörter umfassen die Ergebnisse von Exklusiv-ODER-Operationen zwischen Paritätserzeugungsdatenwörtern, die in den Speichern SRAM0 **10** oder SRAM1 **11** gespeichert sind, und Datenwörtern, die von dem PCI-Bus **4** geladen werden. Paritätserzeugungsdatenwörter umfassen auch Datenwörter, die von dem PCI-Bus **4** geladen werden und ohne eine Modifizierung in SRAM0 **10** oder SRAM1 **11** gespeichert werden. Von dem Speicher, der die interessierenden Paritätserzeugungsdaten enthält, wird gesagt, dass derselbe „gültige Inhalte" aufweist und der gültige Speicher ist. Umgekehrt wird von dem Speicher, der die interessierenden Paritätserzeugungsdaten nicht enthält, gesagt, dass derselbe „ungültige Inhalte" aufweist und der ungültige Speicher ist.

[0038] In Fig. 8 ist ein Blockdiagramm der internen Funktionsblöcke der PRAM-Steuerung **12** und der Speicher SRAM0 **10** und SRAM1 **11** mit Dateneingängen/-ausgängen und Adresseingängen, die mit „D" bzw. „A" etikettiert sind, gezeigt. Ein Konfigurationsregistersatz **20** stellt einen Satz von Registern dar, die PRAM-Steuerungskonfigurationsdaten speichern, die von dem Prozessor **6** über den PCI-Bus **4** empfangen werden. Die Konfigurationsdaten umfassen die Basisadressen für die Paritätsspeicher **10**, **11**, die Basisadressen für die Übertragungstabelleneinträge, die in einem Übertragungsspeicher **21** gespeichert sind, und alle Basisadressen für adressierbare Register in der PRAM-Steuerung **12**. Ein Spezifizieren der Basisadressen unter Verwendung des Konfigurationsregistersatzes **20** ermöglicht, dass die PRAM-Steuerung **12** zur Verwendung bei Systemen konfiguriert wird, die unterschiedliche Speicherabbildungen aufweisen, indem eine Zuweisung der Basisadressen der adressierbaren Register ermöglicht wird, um dem verfügbaren Adressraum in der Speicherabbildung zu entsprechen.

[0039] Der Übertragungsspeicher **21** hält n Sätze von Werten, die zum Bestimmen verwendet werden, ob Adressen, die auf dem PCI-Bus **4** vorhanden sind, Datenblöcken entsprechen, die zur Paritätsblockerzeugung verwendet werden, und zum Erzeugen von Adressen, die verwendet werden, um auf die Paritätsspeicher **10**, **11** zuzugreifen. Die n Sätze von Werten umfassen jeder eine Busadresse, eine Paritätsspeicherbasisadresse und einen Satz von Vergleichsmaskenbits. Die n Sätze von Werten ermöglichen die Erzeugung von n Paritätsblöcken, die n Streifen entsprechen, die in dem Redundantes-Array-Speicherungssystem gespeichert sind. Die Vergleichsmaskenbits werden an die Busadresse angelegt, um Bits der Busadresse zu maskieren und einen Übertragungstabelleneintragsbereich zu definieren. Dieser Übertragungstabelleneintragsbereich umfasst alle Adressen der Datenwörter der Datenblöcke, die den entsprechenden Streifen bilden. Zu Beginn der Übertragung eines Datenblocks in einem Streifen wird die Startadresse des Datenblocks auf dem PCI-Bus **4** platziert. Der Übertragungstabelleneintragsbereich wird verwendet, um zu bestimmen, ob der Datenblock, der nachfolgend über den PCI-Bus **4** übertragen wird, ein Teil des Streifens ist, dem der Übertragungstabelleneintragsbereich entspricht. Die Paritätsspeicherbasisadresse ist die Startadresse

des Segments der Paritätsspeicher **10**, **11**, das zur Speicherung der Paritätserzeugungsdatenwörter während einer Berechnung des Paritätsdatenblocks für den entsprechenden Streifen verwendet wird.

[0040] Ein Adresslatch **23** lädt Adressen von dem PCI-Bus **4** zur Decodierung durch einen Adressdecodierer **24** und zur Verwendung bei dem Vergleichsfunktionsblock **22**. Der Adressdecodierer **24** decodiert die Adressen in dem Adresslatch **23** zur Verwendung beim Auswählen der Paritätsspeicher **10**, **11**, des Übertragungsspeichers **21** oder der adressierbaren Register in der PRAM-Steuerung **12** zur Wiedergewinnung oder Speicherung von Paritätserzeugungsdaten, Übertragungstabellendaten bzw. Konfigurationsdaten.

[0041] Der Vergleichsfunktionsblock **22** stellt die Vergleichsfähigkeit dar, die tatsächlich in jeder der n Zellen in dem Übertragungsspeicher **21** existiert. Jede der n Zellen in dem Übertragungsspeicher **21** weist die Fähigkeit auf, zu identifizieren, wann eine Übereinstimmung zwischen dem Übertragungstabelleneintragsbereich und der Datenblockstartadresse, die in dem Adresslatch **23** gespeichert ist, existiert. Dies ermöglicht die gleichzeitige Bestimmung einer Übereinstimmung zwischen dem Übertragungstabelleneintragsbereich und der Datenblockstartadresse in jeder der n Zellen. Ein gleichzeitiges anstatt sequentielles Durchführen der Prüfung auf eine Übereinstimmung hin ermöglicht, dass die PRAM-Steuerung **12** die Berechnung des Paritätsblocks in der Zeit beginnt, in der ein Eingangs-FIFO-Register **29** nur einige wenige Wörter geladen hat, wodurch die notwendige Speichergröße des Eingangs-FIFO-Registers **29** reduziert wird. Falls eine Übereinstimmung erfasst wird, wird eines der n Ausgangssignale **21a** des Vergleichsfunktionsblocks **22** aktiviert, um anzuzeigen, welcher der Übertragungstabelleneinträge den übereinstimmenden Übertragungstabelleneintragsbereich aufweist. Ein Adressverarbeitungsblock **25** empfängt die n Ausgangssignale von dem Vergleichsfunktionsblock **22** und lädt die Inhalte des Adresslatch **23** und die Paritätsspeicherbasisadresse, die dem aktivierten Ausgangssignal entspricht, von dem Übertragungsspeicher **21**. Die Bits niedrigerer Ordnung der Adresse in dem Adresslatch **23** werden mit der Paritätsspeicherbasisadresse kombiniert, um eine Adresse zu erzeugen, die den geeigneten Ort in dem Segment der Paritätsspeicher **10**, **11** adressiert, das dem Streifen entspricht, für den der Paritätsdatenblock erzeugt wird. Diese Adresse wird in den Paritätsspeicheradresszähler **27** geladen. Wenn die Datenwörter des Blocks übertragen werden, wird der Paritätsspeicheradresszähler **27** inkrementiert, um zu der Adresse des Paritätsspeichers **10**, **11** zur Speicherung des Paritätserzeugungsdatenworts zu zeigen, das dem nächsten Datenwort entspricht, das über den PCI-Bus **4** zu übertragen ist.

[0042] Die Datenwörter des ersten übertragenen Datenblocks in dem Streifen werden in dem Paritätsspeicher **10**, **11** gespeichert, bei dem angezeigt ist, dass derselbe ungültige Inhalte aufweist. Datenwörter der nachfolgenden übertragenen Datenblöcke werden einer Exklusiv-ODER-Operation mit den vorhergehend gespeicherten entsprechenden Paritätserzeugungsdatenwörtern unterzogen, vor einer Speicherung in dem Paritätsspeicher **10**, **11**, bei dem angezeigt ist, dass derselbe ungültige Inhalte aufweist. Ein Verfahren wird benötigt zum Verfolgen, welche Orte in dem Segment der Paritätsspeicher **10**, **11**, das dem Streifen entspricht, der übertragen wird, vorhergehend mit Datenwörtern von dem ersten übertragenen Datenblock geladen wurden. Ein Top-Zähler **26** dient diesem Zweck. Bevor eine Übertragung des Streifens beginnt, wird der Top-Zähler **26** mit einem Wert geladen, der der Paritätsspeicherbasisadresse entspricht, die dem Streifen zugeordnet ist. Dieser Wert wird mit jedem der n Sätze von Werten gespeichert, die in dem Übertragungsspeicher **21** gespeichert sind. Wenn die Datenwörter des ersten Datenblocks in dem Streifen übertragen und in dem geeigneten Paritätsspeicher gespeichert werden, wird der Top-Zähler **26** inkrementiert. Der Top-Zähler **26** zeigt Orte in den Paritätsspeichern **10**, **11** an, in denen Datenwörter vorhergehend gespeichert wurden. Orte in den Paritätsspeichern **10**, **11** mit Adressen, die geringer sind als der entsprechende Wert in dem Top-Zähler **26**, wurden vorhergehend mit Datenwörtern geladen. Ein Vergleichsfunktionsblock **28** bestimmt, ob der Paritätsspeicheradresszähler **27** einen Wert aufweist, der gleich dem Wert des Top-Zählers **26** ist, durch ein Vergleichen der Werte in den Zählern. Falls eine Übertragung des Streifens ausgesetzt wird, während ein anderer Streifen übertragen wird, wird der Wert in dem Top-Zähler **26** in dem Übertragungsspeicher **21** gespeichert und neu geladen, wenn die Übertragung des Streifens wieder aufgenommen wird.

[0043] Der Eingangs-FIFO **29** hält Datenwörter, die von dem PCI-Bus **4** geladen werden, bis es nötig ist, dieselben zu einem XOR-Block **30** zu senden, um eine bitweise Exklusiv-ODER-Operation zwischen den Datenwörtern und Paritätserzeugungsdatenwörtern oder einem digitalen Wert von 0 durchzuführen. Ein Ausgangs-FIFO **31** hält Paritätsblockwörter, bis dieselben über den PCI-Bus **4** an die DMA-Chips **15a**–**15e** gesendet werden. Falls während der Erzeugung des Paritätsblocks der Paritätsspeicheradresszähler **27** einen Wert aufweist, der gleich demjenigen des Top-Zählers **26** ist, weist ein Steuerausgangssignal von dem Vergleichsfunktionsblock **28** einen Multiplexer **32** an, einen digitalen Wert von 0 auszuwählen zum Durchführen einer Exklusiv-ODER-Operation mit einem Datenwort von dem Eingangs-FIFO **29**. Ein Durchführen einer Exklusiv-ODER-Operation mit einem digitalen Wert von 0 als einem Operanden lässt das Datenwort unverändert. Jedes Datenwort

des ersten übertragenen Datenblocks in dem Streifen wird unverändert in einem der Paritätsspeicher **10**, **11** gespeichert. Diese Funktion könnte auf eine alternative Weise durch ein Verwenden eines Multiplexers erreicht werden, um den XOR-Block **30** zu umgehen, falls der Paritätsspeicheradresszähler **27** einen Wert aufweist, der gleich demjenigen des Top-Zählers **26** ist. Falls der Paritätsspeicheradresszähler **27** einen Wert aufweist, der geringer als der Wert des Top-Zählers **26** ist, weist das Steuerausgangssignal des Vergleichsfunktionsblocks **28** den Multiplexer **32** an, das Paritätserzeugungsdatenwort, auf das von einem der Paritätsspeicher **10**, **11** zugegriffen wird, zur Eingabe in den XOR-Block **30** auszuwählen.

[0044] Ein Flip/Flop **33** stellt den Satz von n Flip/Flops dar, die jeder einem der n Sätze von Übertragungstabelleneinträgen zugeordnet sind. Jeder der n Flip/Flops **33** wird verwendet, um den Paritätsspeicher zu verfolgen, der die gültigen Paritätserzeugungsdaten für den entsprechenden Streifen enthält. Das Ausgangssignal des Flip/Flops **33** wird verwendet, um die Verbindung von einem der Eingänge eines Multiplexers **34** mit seinem Ausgang zu steuern. Während der Erzeugung des Paritätsblocks wird ein Paritätserzeugungsdatenwort, auf das von dem gültigen Paritätsspeicher zugegriffen wird, zu dem Eingang des XOR-Blocks **30** geleitet zur Verwendung als ein Operand beim Durchführen einer Exklusiv-ODER-Operation mit einem Datenwort, das von dem PCI-Bus **4** geladen wird. Das Ergebnis der Exklusiv-ODER-Operation, ob nun ein Paritätserzeugungsdatenwort oder ein digitaler Wert von Null als einer der Operanden verwendet wurde, wird in dem Paritätsspeicher gespeichert, bei dem durch den Flip/Flop **33** angezeigt ist, dass derselbe ungültige Inhalte aufweist. Der Paritätsspeicheradresszähler **27** liefert die Adresse in dem Paritätsspeicher, in die das Ergebnis der Exklusiv-ODER-Operation gespeichert wird. Das Ausgangssignal des Flip/Flops **33** wird verwendet, um eine Auswahl von einem der Puffer **35**, **36** zu steuern, um das Ergebnis zur Speicherung zu dem ungültigen Paritätsspeicher zu leiten. Nachdem die Übertragung eines Datenblocks abgeschlossen ist, wird der Flip/Flop **33** umgeschaltet, um den Paritätsspeicher **10**, **11** anzuzeigen, der die gültigen Inhalte enthält.

[0045] Jedes der nicht beendeten Pfeilsegmente, die in die gezeigten Elemente des Systems hineingehen, stellt ein Steuersignal dar. Die Techniken, die verwendet werden, um die Hardware zu entwerfen, um die Funktionen der PRAM-Steuerung **12** zu implementieren, wie es in Fig. 8 schematisch dargestellt ist, sind einem Fachmann auf dem Digitalentwurfgebiet bekannt.

[0046] Ein erstes Verfahren zur Paritätsblockerzeugung unter Verwendung der Hardware von Fig. 3 und Fig. 8 ist in dem Flussdiagramm von **Fig.** 4 gezeigt. Dieses erste Verfahren gilt für den Fall, bei dem ein Streifen von Daten von dem DRAM-Speicher **7** zu den Datenspeicherungsvorrichtungen D1–D5 übertragen wird. Außerdem muss die Übertragung der Datenwörter der Datenblöcke so erfolgen, dass Datenwörter, die aufeinander folgende Adressen aufweisen, aufeinander folgend (eine reihenfolgegemäße Übertragung) ohne Fragmentierung (Fragmentierung bezieht sich auf den Fall, bei dem die Übertragung aus weniger als einem vollständigen Datenblock besteht) übertragen werden und die Datenblöcke sequentiell übertragen werden. Verschachtelte Übertragungen der Datenblöcke sind nicht zulässig.

[0047] Anfangs bestimmt **100** der Prozessor **6**, ob der Übertragungsspeicher **21** oder der Konfigurationsregistersatz **20** in der PRAM-Steuerung **12** adressiert werden. Falls, je nach Gegebenheit, einer oder beide des Übertragungsspeichers **21** und des Konfigurationsregistersatzes **20** adressiert werden, wird der Übertragungsspeicher **21** durch ein Laden der n Sätze von Daten konfiguriert **116**, die jeder einen Busadresswert, einen Satz von Maskenbits, eine Paritätsspeicherbasisadresse, die auch als ein Anfangstopzählerwert dient, enthalten, und der Konfigurationsregistersatz **20** wird durch ein Laden mit Konfigurationsdaten konfiguriert **116**. Dann wird die Steuerung an Schritt **100** zurückgegeben, um die nächste Adresse zu prüfen, die auf dem PCI-Bus **4** platziert ist. Falls bei Schritt **100** bestimmt wird, dass weder der Übertragungsspeicher **21** noch der Konfigurationsregistersatz **20** adressiert wurden, dann bestimmt **101** die PRAM-Steuerung **12**, ob die Adresse, die auf dem PCI-Bus **4** erscheint, einer Adresse eines Orts in den Paritätsspeichern **10**, **11** entspricht. Falls keine Übereinstimmung erfasst wird, dann bestimmt **102** die PRAM-Steuerung **12**, ob die Adressen, die auf dem PCI-Bus **4** erscheinen, sich in einem Übertragungstabelleneintragsbereich befinden. Falls keine Übereinstimmung erfasst wird, kehrt die Steuerung zu Schritt **100** zurück und diese Schleife wird wiederholt. Falls eine Übereinstimmung erfasst wird, lädt **103** die PRAM-Steuerung **12** den Top-Zähler **26** und den Paritätsspeicheradresszähler **27** mit den geeigneten Werten. Dann lädt **104** die PRAM-Steuerung **12** das Datenwort von dem Eingangs-FIFO-Register **29** in den XOR-Block **30**. Das Eingangs-FIFO-Register **29** lädt Datenwörter, während dieselben über den PCI-Bus **4** zu einem der DMA-Chips **15a**–**15e** übertragen werden. Datenwörter werden in das Eingangs-FIFO-Register **29** zu Beginn einer Übertragung vorgeladen, bevor eine Übereinstimmung erfasst wird, so dass Datenwörter verfügbar sind, um eine Berechnung der Paritätsdaten zu beginnen, wenn eine Übereinstimmung erfasst wird. Falls keine Übereinstimmung zwischen dem Übertragungstabelleneintragsbereich und der Adresse, die auf dem PCI-Bus **4** erscheint, vor dem Beginn der Datenwortübertragungen erfasst wird, werden die Datenwörter

verworfen.

[0048] Dann bestimmt **105** die PRAM-Steuerung **12**, ob in einem des Paars von entsprechenden Orten in den Paritätsspeichern, die dem Datenwort in dem XOR-Block **30** entsprechen, vorhergehend Datenwörter gespeichert wurden. Dies erfolgt durch ein Vergleichen des Werts in dem Paritätsspeicheradresszähler **27** mit dem Wert in dem Top-Zähler **26** unter Verwendung des Vergleichsfunktionsblocks **28**. Falls der Paritätsspeicheradresszählerwert geringer als der Topzählerwert ist, zeigt dies an, dass vorhergehend Datenwörter in diesem Ort gespeichert wurden. Falls der Wert in dem Paritätsspeicheradresszähler **27** gleich dem Topzählerwert ist, wird das Datenwort einer Exklusiv-ODER-Operation mit einem digitalen Wert von 0 unterzogen und wird in dem ungültigen Speicherort gespeichert **109**. Dann wird der Top-Zähler **26** inkrementiert **110**.

[0049] Falls der Paritätsspeicheradresszählerwert geringer ist als der Topzählerwert, wird das entsprechende Paritätserzeugungsdatenwort von dem gültigen Speicher geladen **106**. Dann wird eine Exklusiv-ODER-Operation unter Verwendung des Paritätserzeugungsdatenworts und des Datenworts als Operanden durchgeführt **107**. Das Ergebnis der Exklusiv-ODER-Operation wird in dem Ort in dem ungültigen Speicherort gespeichert **108**, der dem Ort des Paritätserzeugungsdatenworts entspricht, das von dem gültigen Speicher geladen wird.

[0050] Nach entweder dem Inkrementieren **105** des Top-Zählers **26** oder dem Speichern **108** des Ergebnisses der Exklusiv-ODER-Operation wird der Paritätsspeicheradresszähler **27** inkrementiert **111**, um auf das nächste Paar von Orten in den Paritätsspeichern **10**, **11** zu zeigen, die verwendet werden, um Paritätserzeugungsdatenwörter zu speichern und zu laden. Dann bestimmt **112** die PRAM-Steuerung **12** durch ein Prüfen des Eingangs-FIFO-Registers **29**, ob die Übertragung des Datenblocks abgeschlossen ist. Falls dieselbe nicht abgeschlossen ist, wird die Steuerung an Schritt **104** zurückgegeben. Falls dieselbe abgeschlossen ist, wird der Flip/Flop **33** umgeschaltet **113**, um anzuzeigen, welcher der zwei Paritätsspeicher **10**, **11** nun der gültige Speicher ist, und dann wird der Topzählerwert in dem Übertragungsspeicher **21** gespeichert **114**.

[0051] Dann wird die Steuerung an Schritt **100** zurückgegeben, um zu bestimmen, ob der Übertragungsspeicher **21** oder der Konfigurationsregistersatz **20** zur Konfiguration adressiert werden, die Paritätsspeicher **10**, **11** adressiert werden, oder ob die nächste Datenblockstartadresse auf dem PCI-Bus **4** platziert ist. Falls die Paritätsspeicher **10**, **11** für eine Leseoperation adressiert werden, werden Paritätsblockdatenwörter sequentiell durch das Ausgangs-FIFO-Register **31** übertragen.

[0052] Dieses erste Verfahren zur Paritätsblockerzeugung kann schneller als Verfahren gemäß dem Stand der Technik durchgeführt werden, die einen einzigen Speicher verwenden, um die Paritätserzeugungsdaten zu halten. Dieses Verfahren verwendet abwechselnd einen von SRAM0 **10** oder SRAM1 **11** als den Speicher, von dem Paritätserzeugungsdaten geladen werden, und den anderen als den Speicher, in den die Ergebnisse der Exklusiv-ODER-Operation gespeichert werden. Ein Verwenden dieses Verfahrens erfordert einen einzigen Zugriff auf jeden von SRAM0 **10** und SRAM1 **11** für jede durchgeführte Exklusiv-ODER-Operation. Das Verfahren gemäß dem Stand der Technik, das einen einzigen Speicher verwendet, erfordert einen Lesezugriff und einen Schreibzugriff auf den einzigen Speicher für jede durchgeführte Exklusiv-ODER-Operation. Wenn der Bus zu dem einzigen Speicher von einem Lesezustand zu einem Schreibzustand oder von einem Schreibzustand zu einem Lesezustand umschaltet, muss der Bus in einen Tristate- (Dreizustands-) Zustand gebracht werden, um eine Konkurrenz zwischen Vorrichtungen, die mit dem Bus verbunden sind, zu vermeiden. Die Verzögerung, die benötigt wird, damit der Bus diesen Tristate-Zustand erreicht, wird bei jedem Zugriff auf den einzigen Speicher verursacht. Die Zeit, die benötigt wird, um den Tristate-Zustand zu erreichen, kann länger sein als die Zugriffszeit der Speichervorrichtung. Diese Verzögerung verringert die Rate, mit der die Paritätsblockerzeugung bei den Implementierungen gemäß dem Stand der Technik durchgeführt werden kann, erheblich. Durch ein Verwenden von zwei Speichern, die abwechselnd für ein Laden und Speichern von Paritätserzeugungsdatenwörtern bei aufeinander folgenden Übertragungen von Datenblöcken vorgesehen sind, wird die Verzögerung für den Tristate-Zustand nur zwischen Übertragungen der Datenblöcke verursacht. Somit besteht durch ein Verwenden von zwei Speichern eine große Steigerung der Rate, mit der der Paritätsdatenblock erzeugt werden kann.

[0053] Es gibt bezüglich der Rate, mit der der Paritätsdatenblock erzeugt werden kann, die durch ein Verwenden von zwei Speichern erhalten wird, einen weiteren Vorteil. Bei einem einzigen Speicher ist die Gesamtzeit, die benötigt wird, um einen Lesezugriff danach gefolgt von einem Schreibzugriff durchzuführen, gleich der Summe der Lesezugriffszeit, der Schreibzugriffszeit und der Verzögerung für den Tristate-Zustand. Da zwei getrennte Speicher bei den Ausführungsbeispielen der Vorrichtung zur Paritätsblockerzeugung verwendet werden, kann die Durchführung des Lesezugriffs und des Schreibzugriffs pipelineartig so geleitet werden, dass die Gesamtzeit, die benötigt wird, um sowohl den Lesezugriff als auch den Schreibzugriff durchzuführen, geringer ist als die Summe der Lesezugriffszeit und der Schreibzugriffszeit. Tatsächlich kann durch ein Verwenden des Lesezugriffs, um das Paritätserzeugungsdaten-

wort, das für die nächste durchzuführende Exklusiv-ODER-Operation benötigt wird, während der Zeit, in der der Schreibzugriff für das aktuelle Exklusiv-ODER-Operationsergebnis durchgeführt wird, vorab abzurufen, die Summe der Lesezugriffszeit und der Schreibzugriffszeit auf die Hälfte der Summe der Lesezugriffszeit und der Schreibzugriffszeit für die Implementierung, die einen einzigen Paritätsspeicher verwendet, verringert werden.

[0054] Die letzte Generation von RAID-Systemen verwendet auch einen Peripheriekomponentenschnittstellen- (PCI-) Bus. Die Erzeugung von Paritätsblöcken in einer PCI-Umgebung, die fragmentierte Übertragungen von Datenblöcken und/oder nicht reihenfolgegemäße Übertragungen unterstützt, liefert einen speziellen Satz von Problemen, die gelöst werden müssen. Eine PRAM-Steuerung **62** von Fig. 5 muss im Allgemeinen die Fähigkeit aufweisen, die Datenblöcke in einer willkürlichen Übertragungsreihenfolge und Übertragungsgröße zu handhaben und eine Paritätsblockerzeugung in einer Umgebung zu unterstützen, in der die Übertragung von Blöcken auf einzelne Wörter herunterfragmentiert sein kann. Dies ist eine erhebliche Erweiterung der Fähigkeiten der Paritätserzeugungs- und Steuereinheit gegenüber denjenigen, die zum Betrieb des Systems von Fig. 3 erforderlich sind.

[0055] In Fig. 5 ist ein Redundantes-Array-Speicherungssystem gezeigt, das einen internen PCI-Bus **51** verwendet. Der Datenweg des PCI-Busses **51** ist normalerweise 32 Bits oder 63 Bits breit. Bei einem Prozessor **53** handelt es sich um einen Hochleistungsprozessor, wie z. B. einen RISC-basierten Prozessor (RISC = reduced instruction set computer – Computer mit reduziertem Anweisungssatz), der eine Steuerung der verschiedenen Funktionen des Speichersystems liefert, die nötig sind, um eine Optimierung der Systemleistungsparameter zu erreichen. Der Prozessor **53** ist schnittstellenmäßig durch die Brücke **59** mit dem PCI-Bus **51** verbunden. Der Prozessor **53** überträgt Daten zwischen einem eigens vorgesehenen Speicher **65** über einen Prozessorbus **64**. Eine Hostcomputerschnittstelle **54** handhabt die Kommunikation zwischen einem Hostcomputer **52** und dem PCI-Bus **51**. Der Bus **55**, der den Hostcomputer **52** und die Hostcomputerschnittstelle **54** verbindet, kann von einem beliebigen der Bustypen sein, die üblicherweise von Computersystemen verwendet werden, um mit Peripherievorrichtungen zu kommunizieren.

[0056] Das exemplarische Speicherungssystem von Fig. 5 umfasst vier Speicherungsvorrichtungsarraysteuerungen **56a**–**56d**, die mit dem PCI-Bus **51** verbunden sind. Jede dieser Speicherungsvorrichtungsarraysteuerungen **56a**–**56d** verwaltet die Speicherung und Wiedergewinnung von Daten zu und von der zugeordneten Gruppe von Datenspeicherungsvorrichtungen **56a1**–**56d6**. Ein Array von DRAM **57** und eine zugeordnete Speichersteuerung **58** sind in dem Speicherungssystem enthalten. Die schnelle Zugriffszeit des DRAM-Arrays **57** relativ zu dem Array von Datenspeicherungsvorrichtungen **56a1**–**56d6** ermöglicht verbesserte Datenübertragungsraten zwischen dem Hostcomputer **52** und dem Speicherungssystem. Alle Daten, die von dem Hostcomputer **52** zu dem Speicherungssystem übertragen werden, werden in das DRAM-Array **57** gespeichert, um die Zeit zu minimieren, die benötigt wird, damit der Host die Übertragung durchführt. Abhängig von der Häufigkeit des Zugriffs auf die Daten bewegt das Speicherungssystem die Daten in die Datenspeicherungsvorrichtungen **56a1**–**56d6**. Datenblöcke, auf die häufig durch den Hostcomputer **52** zugegriffen wird, werden in das DRAM-Array **57** cachegespeichert. Wenn Daten von den Datenspeicherungsvorrichtungen **56a1**–**56d6** an den Hostcomputer **52** übertragen werden, wird zuerst ein Teil der Daten in das DRAM-Array **57** geladen.

[0057] Während die Daten von dem DRAM-Array **57** an den Hostcomputer **52** übertragen werden, werden zusätzliche Daten von den Datenspeicherungsvorrichtungen **56a1**–**56d6** an das DRAM-Array **57** übertragen. Obwohl das Speicherungssystem von Fig. 5 so gezeigt ist, dass dasselbe vier Speicherungsvorrichtungsarraysteuerungen **56a**–**56d** und sechs Datenspeicherungsvorrichtungen für jede der Speicherungsvorrichtungsarraysteuerungen verwendet, wird ein Fachmann erkennen, dass ein Speicherungssystem mit einer größeren oder geringeren Anzahl von Vorrichtungsarraysteuerungen Datenspeicherungsvorrichtungen implementiert werden kann.

[0058] Jede der Speicherungsvorrichtungsarraysteuerungen **56a**–**56d** und die Speichersteuerung **58** weisen die Fähigkeit auf, DMA-Übertragungen zwischen den zugeordneten Datenspeicherungsvorrichtungen **56a1**–**56d6** und dem DRAM-Array **57** unter Verwendung des PCI-Busses **51** einzuleiten. Diese DMA-Übertragungen werden ohne das direkte Eingreifen des Prozessors **53** erreicht. Die DMA-Übertragung von Daten an die Datenspeicherungsvorrichtungen **56a1**–**56d6** verkompliziert die Paritätsblockerzeugung durch die PRAM-Steuerung **62**. In Fig. 5 enthalten ist ein zweites Ausführungsbeispiel der Paritätsblockerzeugungsvorrichtung, die eine PRAM-Steuereinheit **62** aufweist. Wie es bei dem System von Fig. 3 der Fall war, leitet, da der Prozessor **53** nicht alle Übertragungen an die Datenspeicherungsvorrichtungen **56a1**–**56d6** steuert, derselbe nicht ein, dass die PRAM-Steuerung **62** eine Paritätsblockerzeugung beginnt, während eine Übertragung eines Streifens von dem DRAM-Array **57** an die Datenspeicherungsvorrichtungen **56a1**–**56d6** erfolgt. Die PRAM-Steuerung **62** muss die Fähigkeit besitzen, Übertragungen an dem PCI-Bus **51** zu überwachen, zu bestimmen, welche Übertragungen

PRAM-Berechnungen erfordern, und dementsprechend die notwendigen Paritätsblockerzeugungsoperationen durchzuführen. Außerdem muss die PRAM-Steuerung **62** aufgrund der Betriebsfähigkeiten des Speicherungssystems im Allgemeinen in der Lage sein, die Paritätsblockerzeugungsoperation bei fragmentierten Blöcken von willkürlicher Größe zu erreichen, die in einer beliebigen Reihenfolge übertragen werden.

[0059] Die Erläuterung der Erzeugung der Paritätsblöcke durch die PRAM-Steuerung **62** bei dem Speicherungssystem von Fig. 5 wird für zwei Fälle vorgenommen. Erst wird die Erzeugung von Paritätsblöcken für ein zweites Ausführungsbeispiel der PRAM-Steuerung **62** erläutert, bei dem die Vorrichtungsarraysteuerungen **56a**–**56d**, die als Busmaster agieren, die die DMA-Übertragung steuern, die Übertragungen so durchführen, dass aufeinander folgende Wörter, die über den PCI-Bus **51** von dem DRAM-Array **57** zu dem Array von Datenspeicherungsvorrichtungen **56a1**–**56d6** übertragen werden, entsprechende aufeinander folgende Adressen aufweisen. Wie bereits erwähnt, wird dies als eine reihenfolgegemäße Übertragung bezeichnet. Fragmentierte Übertragungen von Datenblöcken sind möglich. Zweitens wird die Erzeugung von Paritätsblöcken für ein drittes Ausführungsbeispiel der PRAM-Steuerung **62** erläutert, bei dem die Daten in einem Block in einer willkürlichen Reihenfolge übertragen werden können und fragmentierte Übertragungen der Datenblöcke möglich sind.

[0060] Der Prozessor **53** erzeugt und sendet Übertragungstabellendaten an die PRAM-Steuerung **62**, um die PRAM-Steuerung **62** für eine Paritätsblockerzeugung während DMA-Übertragungen von dem DRAM-Array **57** zu den Datenspeicherungsvorrichtungen **56a1**–**56d6** zu konfigurieren. Die Übertragungstabellendaten umfassen die Adressen der Datenblöcke in dem DRAM-Array **57**, die während der DMA-Übertragung bewegt werden. Die Vorrichtungsarraysteuerungen **56a**–**56d** sind während dieser Übertragungen Busmaster. Die PRAM-Steuerung **62** überwacht die Aktivität an dem PCI-Bus **51**. Wenn die Startadressen der Datenblöcke oder Datenblockfragmente, die an einer DMA-Übertragung eines Streifens beteiligt sind, der in dem DRAM-Array **57** gespeichert ist, mit dem Übertragungstabelleneintragsbereich (der von der Busadresse und den Maskenbits der entsprechenden Übertragungstabelleneinträge berechnet wird), der dem Streifen entspricht, übereinstimmen, berechnet die PRAM-Steuerung **62** den Paritätsblock unter Verwendung der Datenwörter, die von dem PCI-Bus **51** geladen werden, während dieselben an die Vorrichtungsarraysteuerungen **56a**–**56d** übertragen werden. Die Hardware zum Laden von Datenwörtern von dem PCI-Bus **51** ist in der PRAM-Steuerung **62** enthalten.

[0061] Ein erster und ein zweiter Paritätsspeicher SRAM0 **60** und SRAM1 **61** sind mit der PRAM-Steuerung **62** gekoppelt. Diese gleich großen Speicher werden verwendet, um Paritätserzeugungsdatenwörter während des Paritätsblockerzeugungsprozesses zu speichern. Bevorzugt werden statische Direktzugriffsspeicher hoher Geschwindigkeit für den SRAM0 **60** und den SRAM1 **61** verwendet.

[0062] Ein Gültige-Inhalte-Speicher **63** verfolgt, welcher von SRAM0 **60** oder SRAM1 **61** die gültigen Inhalte enthält, die bei der Paritätsblockberechnung verwendet werden. Der Gültige-Inhalte-Speicher **63** speichert ein einziges Bit, das als ein Gültige-Inhalte-Bit bezeichnet wird, für jedes Datenwort, das in dem Adressraum eines der statischen Direktzugriffsspeicher SRAM0 **60** oder SRAM1 **61** gespeichert sein kann. Der Zustand des Gültige-Inhalte-Bits zeigt an, welcher von SRAM0 **60** und SRAM1 **61** die interessierenden Paritätserzeugungsdaten für das entsprechende Wort in dem Adressraum enthält. Die Breite eines Worts in dem Gültige-Inhalte-Speicher **63** wird basierend auf der gewünschten Anzahl von Datenwörtern ausgewählt, die für jedes gelesene Gültige-Inhalte-Speicherwort verarbeitet werden sollen. Zum Beispiel würde eine Gültige-Inhalte-Speicherbreite von 16 Bits ermöglichen, dass 16 Wörter eines Blockfragments durch die PRAM-Steuerung **62** für jedes gelesene Gültige-Inhalte-Speicherwort verarbeitet werden.

[0063] Das zweite Ausführungsbeispiel der PRAM-Steuerung **62** unterstützt reihenfolgegemäße fragmentierte Übertragungen von Datenblöcken. Innerhalb der PRAM-Steuerung **62** werden die Speicherungsorte in den Paritätsspeichern **60**, **61**, die zur Speicherung von Datenwörtern verwendet wurden, während einer Berechnung des Paritätsblocks unter Verwendung eines Top-Zählers **26** verfolgt. Wenn einer der Paritätsspeicher **60**, **61** mit Datenwörtern geladen wird, wenn der erste Datenblock übertragen wird, zeigt der Top-Zähler an, welche Abschnitte von SRAM0 **60** und SRAM1 **61** noch nicht mit Datenwörtern von diesem ersten Block geladen worden sind. Adressen in SRAM0 **60** oder SRAM1 **61** unter dem Wert des Top-Zählers wurden mit den Datenwörtern von dem ersten übertragenen Block geladen. Die Adressen an der Adresse des Top-Zählers wurden noch nicht während der Übertragung des ersten Datenblocks mit Datenwörtern geladen. Wenn ein nachfolgendes Fragment eines Datenblocks in dem Streifen über den PCI-Bus **51** übertragen wird, zeigt der Adressbereich des Fragments und der Wert des Top-Zählers an, ob das Fragment direkt in den geeigneten Paritätsspeicher **60**, **61** geschrieben wird, oder ob eine Exklusiv-ODER-Operation mit Paritätserzeugungsdaten erforderlich ist, die in einem der Paritätsspeicher gespeichert sind.

[0064] In Fig. 9 gezeigt ist ein vereinfachtes Block-

diagramm der PRAM-Steuerung **62** für die Implementierung, die eine reihenfolgegemäße Übertragung mit einer Fragmentierung der Datenblöcke durchführt. Bei dieser Implementierung ist die PRAM-Steuerung **62** mit dem PCI-Bus **51** verbunden. Die Funktionen der Blöcke, die denjenigen in Fig. 8 entsprechen, sind die gleichen. Die Erläuterung der Funktionen dieser Blöcke wird nicht wiederholt. Ein Gültige-Inhalte-Speicher **63** speichert ein Bit, das jedem der Paritätserzeugungsdatenwörter in dem Speicherraum der Paritätsspeicher **60**, **61** entspricht. Die Daten- und Adresseingänge, die mit „D" bzw. „A" etikettiert sind, sind angezeigt. Ein Gültige-Inhalte-Speicheradresszähler **37** zeigt auf den Ort in dem Gültige-Inhalte-Speicher **63**, der das Gültige-Inhalte-Speicherwort enthält, das der nächsten zu verarbeitenden Gruppe von Datenwörtern entspricht. Die Bits niedrigerer Ordnung der Adresseingabe in den Gültige-Inhalte-Speicheradresszähler **37** sind so maskiert, dass der Gültige-Inhalte-Speicheradresszähler **37** erst inkrementiert wird, nachdem eine Gruppe von Datenwörtern, die einem Gültige-Inhalte-Speicherwort entspricht, während einer Paritätsblockerzeugung verarbeitet wurde.

[0065] Der Vorababruflatch **38** enthält das Gültige-Inhalte-Speicherwort, das der nächsten Gruppe von Datenwörtern entspricht, die während einer Paritätsblockerzeugung zu verarbeiten sind. Ein Rückschreiblatch **39** enthält das aktualisierte Gültige-Inhalte-Speicherwort, das der am aktuellsten verarbeiteten Gruppe von Datenwörtern entspricht. Die Bits des Gültige-Inhalte-Speicherworts wurden modifiziert, um widerzuspiegeln, welcher Paritätsspeicher **60**, **61** die gültigen Inhalte enthält. Ein Puffer **40** verbindet den Ausgang des Rückschreiblatch **39** mit dem Dateneingang des Gültige-Inhalte-Speichers **63**, wenn das aktualisierte Gültige-Inhalte-Speicherwort in den Gültige-Inhalte-Speicher **63** geschrieben wird. Der Gültige-Inhalte-Verarbeitungsfunktionsblock **41** verändert die Bits in dem Gültige-Inhalte-Speicherwort, wenn die Datenwörter verarbeitet wurden, um den Paritätsspeicher **60**, **61** widerzuspiegeln, der die gültigen Inhalte enthält.

[0066] Ein Flussdiagramm für ein zweites Verfahren zur Paritätsblockerzeugung unter Verwendung des zweiten Ausführungsbeispiels der Paritätserzeugungsvorrichtung ist in **Fig.** 6 gezeigt. Zum Zweck eines Erörterns des zweiten Verfahrens zur Paritätsblockerzeugung wird angenommen, dass die Übertragung der Datenblöcke in dem Streifen fragmentiert ist und die Übertragung in Reihenfolge erfolgt. Daten, die von dem Hostcomputer übertragen werden, werden anfangs in dem DRAM-Array **57** gespeichert. Nachdem sich genug Daten in dem DRAM-Array **57** angesammelt haben, werden Streifen zwischen dem DRAM-Array **57** und den Datenspeicherungsvorrichtungen **56a1**–**56d6** übertragen. Übertragungen über den PCI-Bus **51** folgen dem folgenden Muster: Entscheidung für eine Steuerung des Busses durch den Busmaster, Platzierung der Startadresse des zu übertragenden Datenblocks oder Datenblockfragments auf dem Bus durch den Busmaster, und aufeinander folgende Platzierung der Datenwörter des Blocks oder Fragments auf dem Bus durch die Zielvorrichtung. Für diese Übertragungen ist der Busmaster eine der Vorrichtungsarraysteuerungen **56a**–**56d**, und die Slavevorrichtung ist das DRAM-Array **57**.

[0067] Anfangs bestimmt **200** der Prozessor **53**, ob der Übertragungsspeicher **21** oder der Konfigurationsregistersatz **20** in der PRAM-Steuerung **62** adressiert werden. Falls, je nach Gegebenheit, einer oder beide des Übertragungsspeichers **21** und des Konfigurationsregistersatzes **20** adressiert werden, wird der Übertragungsspeicher **21** durch ein Laden der n Sätze von Daten konfiguriert **223**, die jeder einen Busadresswert, einen Satz von Maskenbits, eine Paritätsspeicherbasisadresse, die auch als ein Anfangstopzählerwert dient, enthalten, und der Konfigurationsregistersatz **20** wird durch ein Laden mit Konfigurationsdaten konfiguriert **223**. Dann wird die Steuerung an Schritt **200** zurückgegeben, um die nächste Adresse zu prüfen, die auf dem PCI-Bus **51** platziert ist. Falls bei Schritt **200** bestimmt wird, dass weder der Übertragungsspeicher **21** noch der Konfigurationsregistersatz **20** adressiert wurden, dann bestimmt **201** die PRAM-Steuerung **62**, ob die Adressen, die auf dem PCI-Bus **51** erscheinen, Adressen von Orten in den Paritätsspeichern **60**, **61** entsprechen. Falls keine Übereinstimmung erfasst wird, dann bestimmt **202** die PRAM-Steuerung **62**, ob die Adresse, die auf dem PCI-Bus **51** erscheint, sich in einem Übertragungstabelleneintragsbereich befindet. Falls keine Übereinstimmung erfasst wird, kehrt die Steuerung zu Schritt **200** zurück und diese Schleife wird wiederholt. Falls eine Übereinstimmung mit einem Übertragungstabelleneintragsbereich erfasst wird, lädt **203** die PRAM-Steuerung **62** den Top-Zähler **26** und den Paritätsspeicher- und den Gültige-Inhalte-Speicheradresszähher **27**, **37** mit den geeigneten Werten. Dann lädt **204** die PRAM-Steuerung **62** das Gültige-Inhalte-Speicherwort, das der Adresse entspricht, die auf dem PCI-Bus **51** vorhanden war, durch einen Vorababruflatch **38** in eine Gültige-Inhalte-Verarbeitung **41** und lädt ein vorab abgerufenes Gültige-Inhalte-Speicherwort mit der nachfolgenden Adresse in den Vorababruflatch **38**. Dann lädt **205** die PRAM-Steuerung **62** das Datenwort von dem Eingangs-FIFO-Register **29** in den XOR-Block **30**. Das Eingangs-FIFO-Register **29** lädt Datenwörter, während dieselben über den PCI-Bus **51** zu den Vorrichtungsarraysteuerungen **56a**–**56d** übertragen werden. Datenwörter werden in das Eingangs-FIFO-Register **29** zu Beginn einer Übertragung vorgeladen, bevor eine Übereinstimmung erfasst wird, so dass Datenwörter verfügbar sind, um eine Berechnung der Paritätsdaten zu beginnen, wenn eine Übereinstimmung

erfasst wird. Falls keine Übereinstimmung zwischen dem Übertragungstabelleneintragsbereich und der Adresse, die auf dem PCI-Bus **51** erscheint, vor dem Beginn der Datenwortübertragungen erfasst wird, werden die Datenwörter verworfen.

[0068] Dann bestimmt **206** die PRAM-Steuerung **62**, ob in dem Ort in dem ungültigen Speicher, der dem Datenwort in dem XOR-Block **30** entspricht, vorhergehend Datenwörter gespeichert wurden. Dies erfolgt durch ein Vergleichen des Werts in dem Paritätsspeicheradresszähler **27** mit dem Wert in dem Top-Zähler **26** unter Verwendung des Vergleichfunktionsblocks **28**. Falls der Paritätsspeicheradresszählerwert geringer ist als der Topzählerwert, zeigt dies an, dass Datenwörter vorhergehend in diesem Ort gespeichert wurden. Falls der Wert in dem Paritätsspeicheradresszähler **27** gleich dem Topzählerwert ist, wird das Datenwort einer Exklusiv-ODER-Operation mit einem digitalen Wert von 0 unterzogen und wird in dem ungültigen Speicherort gespeichert **210**. Dann wird der Top-Zähler **26** inkrementiert **211**.

[0069] Falls der Paritätsspeicheradresszählerwert geringer ist als der Topzählerwert, wird das entsprechende Paritätserzeugungsdatenwort von dem gültigen Speicher geladen **207**, wie dasselbe durch die Gültige-Inhalte-Bits bestimmt wird. Dann wird eine Exklusiv-ODER-Operation unter Verwendung des Paritätserzeugungsdatenworts und des Datenworts als Operanden durchgeführt **208**. Das Ergebnis der Exklusiv-ODER-Operation wird in dem Ort in dem ungültigen Speicherort gespeichert **209**, der dem Ort des Paritätserzeugungsdatenworts entspricht, das von dem gültigen Speicher geladen wird.

[0070] Nach entweder dem Inkrementieren **211** des Top-Zählers **26** oder dem Speichern **209** des Ergebnisses der Exklusiv-ODER-Operation wird der Paritätsspeicheradresszähler **27** inkrementiert **212**, um auf das nächste Paar von Orten in den Paritätsspeichern **60**, **61** zu zeigen, die verwendet werden, um Paritätserzeugungsdatenwörter zu speichern und zu laden. Dann wird der Zustand des entsprechenden Gültige-Inhalte-Speicherwortbits verändert **213**, um anzuzeigen, welcher der Paritätsspeicher **60**, **61** nun das gültige Paritätserzeugungsdatenwort enthält. Dann bestimmt **214** die PRAM-Steuerung **62** durch ein Prüfen des Eingangs-FIFO-Registers **29**, ob die Übertragung des Datenblocks oder des Datenblockfragments abgeschlossen ist. Falls dieselbe abgeschlossen ist, wird das Gültige-Inhalte-Speicherwort in der Gültige-Inhalte-Verarbeitung **41** zu dem Rückschreiblatch **39** bewegt und in dem Gültige-Inhalte-Speicher **63** gespeichert **215**. Zusätzlich wird der Wert des Top-Zählers in dem Übertragungsspeicher **21** gespeichert **215**. Dann wird die Steuerung an Schritt **200** zurückgegeben.

[0071] Falls die Übertragung des Datenblocks oder des Datenblockfragments nicht abgeschlossen ist, bestimmt **216** die PRAM-Steuerung **62**, ob das am aktuellsten verarbeitete Paritätserzeugungsdatenwort das letzte Wort des Bereichs von Paritätserzeugungsdatenwörtern ist, die in dem Gültige-Inhalte-Speicherwort enthalten sind. Falls dies der Fall ist, wird das Gültige-Inhalte-Speicherwort, das in der Gültige-Inhalte-Verarbeitung **41** enthalten ist, in den Rückschreiblatch **39** übertragen und dann in den Gültige-Inhalte-Speicher **63** gespeichert **217**. Dann wird das vorhergehend abgerufene Gültige-Inhalte-Speicherwort, das in dem Vorababruflatch **38** enthalten ist, in die Gültige-Inhalte-Verarbeitung **41** geladen **218**. Dann wird der Gültige-Inhalte-Speicheradresszähler **37** inkrementiert **219**, um auf das Gültige-Inhalte-Speicherwort zu zeigen, das die nachfolgende Adresse des Gültige-Inhalte-Speicherworts aufweist, das am aktuellsten in die Gültige-Inhalte-Verarbeitung **41** übertragen wurde. Dann wird dieses Gültige-Inhalte-Speicherwort von dem Gültige-Inhalte-Speicher **63** in den Vorababruflatch **38** übertragen. Falls das am aktuellsten verarbeitete Paritätserzeugungsdatenwort nicht das letzte Wort des Bereichs von Paritätserzeugungsdatenwörtern ist, die in dem Gültige-Inhalte-Speicherwort enthalten sind, wird die Steuerung an Schritt **205** zurückgegeben.

[0072] Wenn die Erzeugung des Paritätsblocks abgeschlossen ist, überwacht die PRAM-Steuerung **62** Adressen, die auf dem PCI-Bus **51** platziert sind, während die Schritte **200**, **201** und **202** ausgeführt werden. Der Paritätsblock wird von dem einen der Paritätsspeicher **60**, **61**, in dem derselbe liegt, unter der Steuerung des DMA-Masters an eine der Datenspeicherungsvorrichtungen **56a1**–**56d6** übertragen. Wenn der DMA-Master durch ein Platzieren einer Adresse auf dem PCI-Bus **51**, die sich in dem Paritätsspeicherbasisadressbereich befindet, einen Lesezugriff auf die Paritätsspeicher **60**, **61** durchführt, überträgt **221** die PRAM-Steuerung **62** sequentiell Paritätsblockdatenwörter von dem gültigen Paritätsspeicher durch den Ausgangs-FIFO **31** an den PCI-Bus **51**. Die PRAM-Steuerung **62** umfasst ein auswählbares Gültige-Inhalte-Bitinitialisierungsmerkmal. Falls die Paritätsspeicher als Cache-Speicher verwendet werden, werden die Gültige-Inhalte-Speicherbits während Leseoperationen des Gültige-Inhalte-Speichers nicht initialisiert. Falls die PRAM-Steuerung **62** für eine Gültige-Inhalte-Speicherbitinitialisierung eingestellt ist, prüft die PRAM-Steuerung **62** den Zustand des entsprechenden Gültige-Inhalte-Speicherbits und initialisiert **222** denselben dann, in Vorbereitung auf die Übertragung des nächsten Streifens von Daten, wenn Paritätsblockdatenwörter an den PCI-Bus **51** übertragen werden.

[0073] Die Paritätserzeugungsdatenwörter bewegen sich zwischen SRAM0 **60** und SRAM1 **61**, wenn Datenwörter der Datenblöcke des Streifens über den

PCI-Bus **51** übertragen werden. Wie es bei dem ersten Ausführungsbeispiel der Paritätserzeugungsvorrichtung der Fall war, ermöglicht ein abwechselndes Vorsehen von SRAM0 **60** und SRAM1 **61** für ein Schreiben und Lesen, wenn die Paritätsblockerzeugung fortschreitet, dass Datenübertragungen zwischen der PRAM-Steuerung **62** und den statischen RAMs ausreichend schnell durchgeführt werden, um den Paritätsblock zu erzeugen, während die Streifendaten über den PCI-Bus **51** übertragen werden. Bei einer Umgebung einer Hochgeschwindigkeitsdatenübertragung über den PCI-Bus **51** liefert dies eine Verbesserung der Datenübertragungsleistung gegenüber den Verfahren gemäß dem Stand der Technik, die einen einzigen statischen RAM für den PRAM-Speicher verwenden.

[0074] Wenn alle Datenwörter des Streifens fertig übertragen sind, liegt der sich ergebende Paritätsblock vollständig in einem der statischen RAMs, und die Gültige-Inhalte-Bits sind alle in dem gleichen Zustand, da die Anfangsdatenblockfragmente in den gleichen statischen RAM geladen werden und eine Berechnung jedes Wortes des Paritätsblocks die gleiche Anzahl von Exklusiv-ODER-Operationen erfordert. Deshalb ist es nur nach einem Einschalten, nachdem eine Übertragung abgebrochen wird, oder falls die Blockgröße verändert wird, unbedingt notwendig, eine Initialisierung der Gültige-Inhalte-Speicherbits durchzuführen. Die Gültige-Inhalte-Bits nicht nach jeder Streifenübertragung zu initialisieren, würde jedoch ein Verfahren erfordern, um die Zuordnung zwischen dem Zustand der Gültige-Inhalte-Bits und den Paritätsspeichern zu verfolgen.

[0075] Ein drittes Ausführungsbeispiel der Paritätserzeugungsvorrichtung, die das dritte Ausführungsbeispiel der PRAM-Steuerung **62** verwendet, verwendet ein zusätzliches Bit in dem Gültige-Inhalte-Speicher **63** zum Verfolgen, in welche Orte der statischen RAMs während der Berechnung des Paritätsblocks noch nicht anfänglich geschrieben wurde. Dieses zusätzliche Bit, das als ein Erstzugriffsbit bezeichnet wird, wird mit dem Gültige-Inhalte-Bit gepaart, das verwendet wird, um zu verfolgen, welcher von SRAM0 **60** und SRAM1 **61** während der Paritätsblockberechnung der gültige Speicher ist. Eine Verwendung dieses Erstzugriffsbits ermöglicht, dass eine Übertragung der Fragmente der Blöcke in dem Streifen in einer willkürlichen Reihenfolge erfolgt, anders als bei dem zweiten Ausführungsbeispiel, das den Top-Zähler verwendete und reihenfolgegemäße Übertragungen erforderte.

[0076] In Fig. 10 ist ein Blockdiagramm der internen Funktionsblöcke des dritten Ausführungsbeispiels der PRAM-Steuerung **62** gezeigt. Die Funktionen der Blöcke, die denjenigen in den Fig. 8 und Fig. 9 entsprechen, sind die gleichen. Die Erklärung der Funktionen dieser Blöcke wird nicht wiederholt. Durch ein Paaren eines Erstzugriffsbits mit jedem der Gültige-Inhalte-Bits wird die Notwendigkeit eines Top-Zählers **26** beseitigt. Dies wiederum beseitigt die Notwendigkeit des Vergleichsfunktionsblocks **28**. Bei dem dritten Ausführungsbeispiel der PRAM-Steuerung **62** umfasst der Gültige-Inhalte-Verarbeitungsfunktionsblock **41** die Fähigkeit, die Erstzugriffsbits sowie die Gültige-Inhalte-Bits zu verändern, während Datenwörter verarbeitet werden. Die Erstzugriffsbits zeigen an, in welche Adressen in dem Adressbereich der Paritätsspeicher **60**, **61** vorhergehend während der Erzeugung des Paritätsblocks Datenwörter geschrieben wurden. Jedes der Ausführungsbeispiele der PRAM-Steuerung ist bevorzugt an einer einzigen anwendungsspezifischen integrierten Schaltung implementiert.

[0077] Ein Flussdiagramm für ein drittes Verfahren zur Paritätsblockerzeugung unter Verwendung des dritten Ausführungsbeispiels der Paritätsblockerzeugungsvorrichtung ist in **Fig.** 7 gezeigt. Wie es bei dem zweiten Verfahren zur Paritätsblockerzeugung der Fall war, erfolgt eine Berechnung des Paritätsblocks, während der Datenstreifen über den PCI-Bus **51** übertragen wird. Zu dem Zweck des Erörterns des dritten Verfahrens zur Paritätsblockerzeugung wird angenommen, dass die Übertragung der Datenblöcke in dem Streifen fragmentiert ist und die Übertragung nicht in Reihenfolge erfolgt. Daten, die von dem Hostcomputer übertragen werden, werden anfangs in dem DRAM-Array **57** gespeichert. Nachdem sich genügend Daten in dem DRAM-Array **57** angesammelt haben, werden Streifen zwischen dem DRAM-Array **57** und den Datenspeicherungsvorrichtungen **56a1**–**56d6** übertragen. Das Protokoll, dem für eine Datenübertragung über den PCI-Bus **51** gefolgt wird, ist das gleiche wie es für das zweite Verfahren zur Paritätsblockerzeugung genau beschrieben wurde.

[0078] Anfangs bestimmt **300** der Prozessor **53**, ob der Übertragungsspeicher **21** oder der Konfigurationsregistersatz **20** in der PRAM-Steuerung **62** adressiert werden. Falls, je nach Gegebenheit, einer oder beide des Übertragungsspeichers **21** und des Konfigurationsregistersatzes **20** adressiert werden, wird der Übertragungsspeicher **21** durch ein Laden der n Sätze von Daten konfiguriert **323**, die jeder einen Busadresswert, einen Satz von Maskenbits, eine Paritätsspeicherbasisadresse, die auch als ein Anfangstopzählerwert dient, enthalten, und der Konfigurationsregistersatz **20** wird durch ein Laden mit Konfigurationsdaten konfiguriert **323**. Dann wird die Steuerung an Schritt **300** zurückgegeben, um die nächste Adresse zu prüfen, die auf dem PCI-Bus **51** platziert ist. Falls bei Schritt **300** bestimmt wird, dass weder der Übertragungsspeicher **21** noch der Konfigurationsregistersatz **20** adressiert wurden, dann bestimmt **301** die PRAM-Steuerung **62**, ob die Adressen, die auf dem PCI-Bus **51** erscheinen, Adressen von Orten

in den Paritätsspeichern **60**, **61** entsprechen. Falls keine Übereinstimmung erfasst wird, dann bestimmt **302** die PRAM-Steuerung **62**, ob die Adresse, die auf dem PCI-Bus **51** erscheint, sich in einem Übertragungstabelleneintragsbereich befindet. Falls keine Übereinstimmung erfasst wird, kehrt die Steuerung zu Schritt **301** zurück und diese Schleife wird wiederholt. Falls eine Übereinstimmung erfasst wird, lädt **303** die PRAM-Steuerung **62** den Paritätsspeicher- und den Gültige-Inhalte-Speicheradresszähler **27**, **37** mit den geeigneten Werten. Dann lädt **304** die PRAM-Steuerung **62** das Gültige-Inhalte-Speicherwort, das der Adresse entspricht, die auf dem PCI-Bus **51** vorhanden war, durch den Vorababruflatch **38** in die Gültige-Inhalte-Verarbeitung **41** und lädt ein vorab abgerufenes Gültige-Inhalte-Speicherwort mit der nachfolgenden Adresse in den Vorababruflatch **38**. Dann lädt **305** die PRAM-Steuerung **62** das Datenwort von dem Eingangs-FIFO-Register **29** in den XOR-Block **30**. Datenwörter werden in das Eingangs-FIFO-Register **29** zu Beginn einer Übertragung vorgeladen, bevor eine Übereinstimmung erfasst wird, so dass Datenwörter verfügbar sind, um eine Berechnung der Paritätsdaten zu beginnen, wenn eine Übereinstimmung erfasst wird. Falls keine Übereinstimmung zwischen dem Übertragungstabelleneintragsbereich und der Adresse, die auf dem PCI-Bus **51** erscheint, vor dem Beginn der Datenwortübertragungen erfasst wird, werden die Datenwörter verworfen.

[0079] Dann bestimmt **306** die PRAM-Steuerung **62**, ob in dem Ort in dem ungültigen Speicher, der dem Datenwort in dem XOR-Block **30** entspricht, vorhergehend Datenwörter gespeichert wurden. Dies erfolgt durch ein Prüfen des Zustands des Erstzugriffsbits, das dem Ort in dem ungültigen Speicher zugeordnet ist. Falls dieses Bit bzgl. seines Anfangszustands verändert wurde, zeigt es an, dass ein Datenwort in einem des Paars von entsprechenden Orten in den Paritätsspeichern **60**, **61** gespeichert wurde. Falls sich das Erstzugriffsbit bzgl. seines Anfangszustands nicht verändert hat, zeigt es an, dass kein Datenwort in einem des Paars von entsprechenden Orten in den Paritätsspeichern **60**, **61** gespeichert wurde. Falls sich das Erstzugriffsbit nicht verändert hat, wird das Datenwort einer Exklusiv-ODER-Operation mit einem digitalen Wert von 0 unterzogen und wird in dem ungültigen Speicherort gespeichert **310**. Dann wird der Zustand des zugeordneten Erstzugriffsbits des Gültige-Inhalte-Speicherworts verändert **311**.

[0080] Falls sich das Erstzugriffsbit verändert hat, wird das entsprechende Paritätserzeugungsdatenwort von dem gültigen Speicher geladen **307**, wie es durch die Gültige-Inhalte-Bits bestimmt wird. Dann wird eine Exklusiv-ODER-Operation unter Verwendung des Paritätserzeugungsdatenworts und des Datenworts als Operanden durchgeführt **308**. Das Ergebnis der Exklusiv-ODER-Operation wird in dem Ort in dem ungültigen Speicherort gespeichert **309**, der dem Ort des Paritätserzeugungsdatenworts entspricht, das von dem gültigen Speicher geladen wird.

[0081] Nach entweder dem Verändern des Zustands des Erstzugriffsbits **311** oder dem Speichern **309** des Ergebnisses der Exklusiv-ODER-Operation wird der Paritätsspeicheradresszähler **27** inkrementiert **312**, um auf das nächste Paar von Orten in den Paritätsspeichern **60**, **61** zu zeigen, die verwendet werden, um Paritätserzeugungsdatenwörter zu speichern und zu laden. Dann wird der Zustand des entsprechenden Gültige-Inhalte-Speicherwortbits verändert **313**, um anzuzeigen, welcher der Paritätsspeicher **60**, **61** nun das gültige Paritätserzeugungsdatenwort enthält. Dann bestimmt **314** die PRAM-Steuerung **62** durch ein Prüfen des Eingangs-FIFO-Registers **29**, ob die Übertragung des Datenblocks oder des Datenblockfragments abgeschlossen ist. Falls dieselbe abgeschlossen ist, wird das Gültige-Inhalte-Speicherwort (das die Erstzugriffsbits und die Gültige-Inhalte-Bits umfasst) in der Gültige-Inhalte-Verarbeitung **41** zu dem Rückschreiblatch **39** bewegt und in dem Gültige-Inhalte-Speicher **63** gespeichert. Dann wird die Steuerung an Schritt **301** zurückgegeben.

[0082] Falls die Übertragung des Datenblocks oder des Datenblockfragments nicht abgeschlossen ist, bestimmt **316** die PRAM-Steuerung **62**, ob das am aktuellsten verarbeitete Paritätserzeugungsdatenwort das letzte Wort des Bereichs von Paritätserzeugungsdatenwörtern ist, die in dem Gültige-Inhalte-Speicherwort enthalten sind. Falls dies der Fall ist, wird das Gültige-Inhalte-Speicherwort, das in der Gültige-Inhalte-Verarbeitung **41** enthalten ist, in den Rückschreiblatch **39** übertragen und dann in den Gültige-Inhalte-Speicher **63** gespeichert **317**. Dann wird das vorhergehend abgerufene Gültige-Inhalte-Speicherwort, das in dem Vorababruflatch **38** enthalten ist, in die Gültige-Inhalte-Verarbeitung **41** geladen **318**. Dann wird der Gültige-Inhalte-Speicheradresszähler **37** inkrementiert **319**, um auf das Gültige-Inhalte-Speicherwort zu zeigen, das die nachfolgende Adresse des Gültige-Inhalte-Speicherworts aufweist, das am aktuellsten in die Gültige-Inhalte-Verarbeitung **41** übertragen wurde. Dann wird dieses Gültige-Inhalte-Speicherwort von dem Gültige-Inhalte-Speicher **63** in den Vorababruflatch **38** übertragen **320**. Falls das am aktuellsten verarbeitete Paritätserzeugungsdatenwort nicht das letzte Wort des Bereichs von Paritätserzeugungsdatenwörtern ist, die in dem Gültige-Inhalte-Speicherwort enthalten sind, wird die Steuerung an Schritt **305** zurückgegeben.

[0083] Wenn die Erzeugung des Paritätsblocks abgeschlossen ist, überwacht die PRAM-Steuerung **62** Adressen, die auf dem PCI-Bus **51** platziert sind, während die Schritte **300**, **301** und **302** ausgeführt werden. Der Paritätsblock wird von dem einen der

Paritätsspeicher **60**, **61**, in dem derselbe liegt, unter der Steuerung des DMA-Masters an eine der Datenspeicherungsvorrichtungen **56a1**–**56d6** übertragen. Wenn der DMA-Master eine Adresse auf dem PCI-Bus **51** platziert, die sich in dem Paritätsspeicherbasisadressbereich befindet, überträgt **321** die PRAM-Steuerung **62** sequentiell Paritätsblockdatenwörter von dem gültigen Paritätsspeicher durch den Ausgangs-FIFO **31** zu dem PCI-Bus **51**. Die PRAM-Steuerung **62** umfasst ein auswählbares Gültige-Inhalte-Bitinitialisierungsmerkmal. Falls die Paritätsspeicher als Cache-Speicher verwendet werden, werden die Gültige-Inhalte-Speicherbits während Leseoperationen des Gültige-Inhalte-Speichers nicht initialisiert. Falls die PRAM-Steuerung **62** für eine Gültige-Inhalte-Speicherbitinitialisierung eingestellt ist, prüft die PRAM-Steuerung **62** den Zustand des entsprechenden Gültige-Inhalte-Speicherbits und initialisiert **322** denselben dann, in Vorbereitung auf die Übertragung des nächsten Streifens von Daten, während Paritätsblockdatenwörter an den PCI-Bus **51** übertragen werden.

[0084] Während diese Schleife ausgeführt wird, werden Fragmente der Datenblöcke in dem Streifen über den PCI-Bus übertragen und die Berechnung des Paritätsblocks für den Streifen wird fortgeführt. Die Datenblockfragmente können in willkürlicher Reihenfolge bezüglich ihres Ortes in dem Datenblockadressbereich übertragen werden. Die Fragmente der Zwischenergebnisse der Paritätsblockberechnung, möglicherweise nur einzelne Datenwörter, wechseln zwischen dem SRAM0 **60** und dem SRAM1 **61** hin und her, während Fragmente der Datenblöcke des Streifens über den PCI-Bus **51** übertragen werden. Wenn alle Datenwörter des Streifens fertig übertragen sind, liegt der sich ergebende Paritätsblock vollständig in einem der Paritätsspeicher, und die Gültige-Inhalte-Bits sind alle in dem gleichen Zustand, weil die Rnfangsdatenblockfragmente in den gleichen statischen RAM geladen werden und eine Berechnung jedes Worts des Paritätsblocks die gleiche Anzahl von Exklusiv-ODER-Operationen erfordert. Aus demselben Grund befinden sich alle Erstzugriffsbits in einem Zustand, der dem Zustand zu Beginn der Streifenübertragung entgegengesetzt ist. Falls ein Flip/Flop in der PRAM-Steuerung **62** verwendet wird, um die Definition zu verfolgen, die für den Zustand des Erstzugriffsbits verwendet wird, ist es nur nötig, eine Initialisierung der Erstzugriffsbits nach dem Einschalten, nachdem eine Übertragung abgebrochen wurde oder falls die Blockgröße verändert wird, durchzuführen.

[0085] Jedes der offenbarten Ausführungsbeispiele der PRAM-Steuerung unterstützt die gleichzeitige Erzeugung von Paritätsblöcken für mehrere Streifen. Die Paritätsspeicher sind in n Blöcke partitioniert, die jedem der n Sätze von Datenwerten entsprechen, die in der Übertragungstabelle gespeichert sind. Bei dem ersten und dem zweiten Ausführungsbeispiel der PRAM-Steuerung wird der Top-Zähler mit der Paritätsspeicherbasisadresse geladen, die in der Übertragungstabelle gespeichert ist, bevor eine Erzeugung des Paritätsblocks für den entsprechenden Streifen beginnt. Wenn die Übertragung eines Abschnitts eines Streifens abgeschlossen ist, wird der aktuelle Wert des Top-Zählers in der Übertragungstabelle gespeichert. In Vorbereitung auf die Übertragung eines Abschnitts eines weiteren Streifens wird der Topzählerwert von der Übertragungstabelle in den Top-Zähler geladen. Dies ermöglicht eine Paritätsblockerzeugung für mehrere Streifen, während nur ein einziger Top-Zähler benötigt wird. Bei dem zweiten und dem dritten Ausführungsbeispiel der PRAM-Steuerung ist der Gültige-Inhalte-Speicher in n Blöcke partitioniert, die den n Blöcken des Paritätsspeichers entsprechen. Während der Erzeugung eines Paritätsblocks wird der entsprechende Block in dem Gültige-Inhalte-Speicher verwendet.

[0086] Die US-Patentschrift Nr. 5,289,418, erteilt für Youngerth, offenbart eine eigens vorgesehene Paritätserzeugungsschaltung, die ermöglicht, dass eine Paritätserzeugung unabhängig von einer CPU (Zentralverarbeitungseinheit) durchgeführt wird. Die Schaltung verwendet eine kombinatorische Logik, um aufeinander folgende Exklusiv-ODER-Operationen zwischen den Inhalten eines Speicherarrays und einem Datenwort zu erreichen, und gibt das Ergebnis dann an das Speicherarray zurück. Im Gegensatz dazu verwenden die offenbarten Ausführungsbeispiele der Paritätsblockerzeugungsvorrichtung ein Paar von Speichern und speichern für entsprechende Speicherungsorte in den Speichern abwechselnd die Zwischenergebnisse in den Speichern, während die Paritätsblockerzeugung fortschreitet. Das Youngerth-Patent offenbart nicht die Verwendung eines Paars von Speichern zum abwechselnden Speichern von Zwischenergebnissen während einer Paritätsblockerzeugung.

[0087] Die US-Patentschrift Nr. 5,206,943, erteilt an Callison et al., beschreibt eine Paritätserzeugungsmaschine, die eine Erzeugung eines Paritätsworts unter Verwendung eines Arrays von eigens vorgesehenen Exklusiv-ODER-Gattern erreicht, die bei jedem Bit des Datenbusses wirksam sind. Das Patent von Callison et al. beschreibt nicht die Verwendung eines Paars von abwechselnden Speichern, um Zwischenergebnisse der Paritätserzeugung abwechselnd zu speichern.

[0088] Die US-Patentschrift Nr. 5,345,565, erteilt für Jibbe et al., offenbart ein Array von Speicherungssystemen, das ein Array von Exklusiv-ODER-Schaltungen verwendet, um Paritätsdaten parallel zu erzeugen, und das das Array von Exklusiv-ODER-Schaltungen verwendet, um zu prüfen, dass Daten, die in einem RAID-1-Format gespeichert sind, korrekt sind.

Jibbe et al. offenbart nicht die Verwendung eines Paars von abwechselnden Speichern, um Zwischenergebnisse der Paritätserzeugung abwechselnd zu speichern.

Patentansprüche

1. Ein Verfahren zum Erzeugen von Paritätsdaten aus einer Mehrzahl von Datenwörtern während einer Übertragung der Datenwörter über einen Bus (**4**, **51**) in einem Redundantes-Array-Speicherungssystem, das den Bus (**4**, **51**), eine Mehrzahl von Datenspeicherungsvorrichtungen (D1–D5, **56a1**–**56d6**), eine Paritätserzeugungs- und Steuereinheit (**12**, **62**), einen ersten (**10**, **60**) und einen zweiten Paritätsspeicher (**11**, **61**) zum Speichern einer Mehrzahl von Paritätserzeugungsdatenwörtern und eine Einrichtung zum Bestimmen (**33**, **41**, **63**), welcher des ersten (**10**, **60**) und des zweiten Paritätsspeichers (**11**, **61**) gültige Inhalte enthält, und welcher des ersten (**10**, **60**) und des zweiten (**11**, **61**) Paritätsspeichers ungültige Inhalte enthält, umfasst, wobei das Verfahren folgende Schritte aufweist:
Laden eines ersten der Mehrzahl von Paritätserzeugungsdatenwörtern von dem einen des ersten (**10**, **60**) und des zweiten Paritätsspeichers (**11**, **61**), der die gültigen Inhalte enthält, in die Paritätserzeugungs- und Steuereinheit (**12**, **62**);
Laden eines ersten der Mehrzahl von Datenwörtern von dem Bus (**4**, **51**) in die Paritätserzeugungs- und Steuereinheit (**12**, **62**);
Durchführen einer Exklusiv-ODER-Operation unter Verwendung des ersten der Mehrzahl von Paritätserzeugungsdatenwörtern und des ersten der Mehrzahl von Datenwörtern als Operanden, was ein Ergebnis ergibt; und
Speichern des Ergebnisses in dem einen des ersten (**10**, **60**) und des zweiten Paritätsspeichers (**11**, **61**), der ungültige Inhalte enthält.

2. Das Verfahren gemäß Anspruch 1, das ferner folgende Schritte aufweist:
Speichern des ersten der Mehrzahl von Paritätserzeugungsdatenwörtern in dem einen des ersten (**10**, **60**) und des zweiten Paritätsspeichers (**11**, **61**), der ungültige Inhalte aufweist, wobei der Schritt des Speicherns des ersten der Mehrzahl von Paritätserzeugungsdatenwörtern vor dem Schritt des Ladens des ersten der Mehrzahl von Paritätserzeugungsdatenwörtern von einem des ersten (**10**, **60**) und des zweiten Paritätsspeichers (**11**, **61**) erfolgt; und
Laden des ersten der Mehrzahl von Paritätserzeugungsdatenwörtern von dem Bus (**4**, **51**) in die Paritätserzeugungs- und Steuereinheit (**12**, **62**), wobei der Schritt des Ladens des ersten der Mehrzahl von Paritätserzeugungsdatenwörtern vor dem Schritt des Speicherns des ersten der Mehrzahl von Paritätserzeugungsdatenwörtern in dem einen des ersten (**10**, **60**) und des zweiten Paritätsspeichers (**11**, **61**), der ungültige Inhalte aufweist, erfolgt.

3. Das Verfahren gemäß Anspruch 2, bei dem die Einrichtung zum Bestimmen (**63**), welcher des ersten (**60**) und des zweiten Paritätsspeichers (**61**) gültige Inhalte enthält, und welcher des ersten (**60**) und des zweiten Paritätsspeichers (**61**) ungültige Inhalte enthält, einen Gültige-Inhalte-Speicher (**63**) umfasst, der einen ersten Satz von Speicherungsorten für Gültige-Inhalte-Bits aufweist, wobei:
der Schritt des Ladens des ersten der Mehrzahl von Paritätserzeugungsdatenwörtern von einem des ersten (**60**) und des zweiten Paritätsspeichers (**61**) den Schritt eines Auswählens unter Verwendung der Gültige-Inhalte-Bits umfasst, welcher des ersten (**60**) und des zweiten Paritätsspeichers (**61**) die gültigen Inhalte enthält; und
der Schritt des Speicherns des Ergebnisses den Schritt eines Bestimmens unter Verwendung der Gültige-Inhalte-Bits umfasst, welcher des ersten (**60**) und des zweiten Paritätsspeichers (**61**) die ungültigen Inhalte enthält.

4. Eine Vorrichtung (**10**, **11**, **12**, **60**, **61**, **62**, **63**) zum Erzeugen eines Paritätsblocks aus einer Mehrzahl von Datenblöcken, die jeder eine Mehrzahl von Datenwörtern umfassen, in einem Redundantes-Array-Speichersystem, wobei die Vorrichtung (**10**, **11**, **12**, **60**, **61**, **62**, **63**) folgende Merkmale aufweist:
eine Einrichtung zum selektiven Durchführen von Exklusiv-ODER-Operationen (**30**), die Paritätserzeugungsdatenwörter ergeben;
eine Einrichtung zum Laden (**29**), die angeordnet ist, um die Mehrzahl von Datenwörtern von dem Redundantes-Array-Speichersystem zu empfangen, und mit der Einrichtung zum Durchführen von Exklusiv-ODER-Operationen (**30**) gekoppelt ist;
einen ersten Paritätsspeicher (**10**, **60**);
einen zweiten Paritätsspeicher (**11**, **61**);
eine Einrichtung zum Bestimmen (**33**, **41**, **63**), welcher des ersten (**10**, **60**) und des zweiten (**11**, **61**) Paritätsspeichers gültige Inhalte enthält, und welcher des ersten (**10**, **60**) und des zweiten (**11**, **61**) Paritätsspeichers ungültige Inhalte enthält; und
eine Einrichtung zum selektiven Speichern und selektiven Laden (**34**, **35**, **36**), die zum Empfangen der Paritätserzeugungsdatenwörter von der Einrichtung zum Durchführen von Exklusiv-ODER-Operationen (**30**) angeordnet ist, wobei die Einrichtung zum selektiven Speichern und selektiven Laden (**34**, **35**, **36**) angeordnet ist zum Speichern des Paritätserzeugungsdatenwortes in dem einen des ersten (**10**, **60**) und des zweiten (**11**, **61**) Paritätsspeichers, der ungültige Inhalte enthält, und zum Laden der Paritätserzeugungsdatenwörter von dem einen des ersten (**10**, **60**) und des zweiten Paritätsspeichers (**11**, **61**), der gültige Inhalte enthält, und angeordnet ist zum Senden der Paritätserzeugungsdatenwörter zu der Einrichtung zum selektiven Durchführen von Exklusiv-ODER-Operationen (**30**).

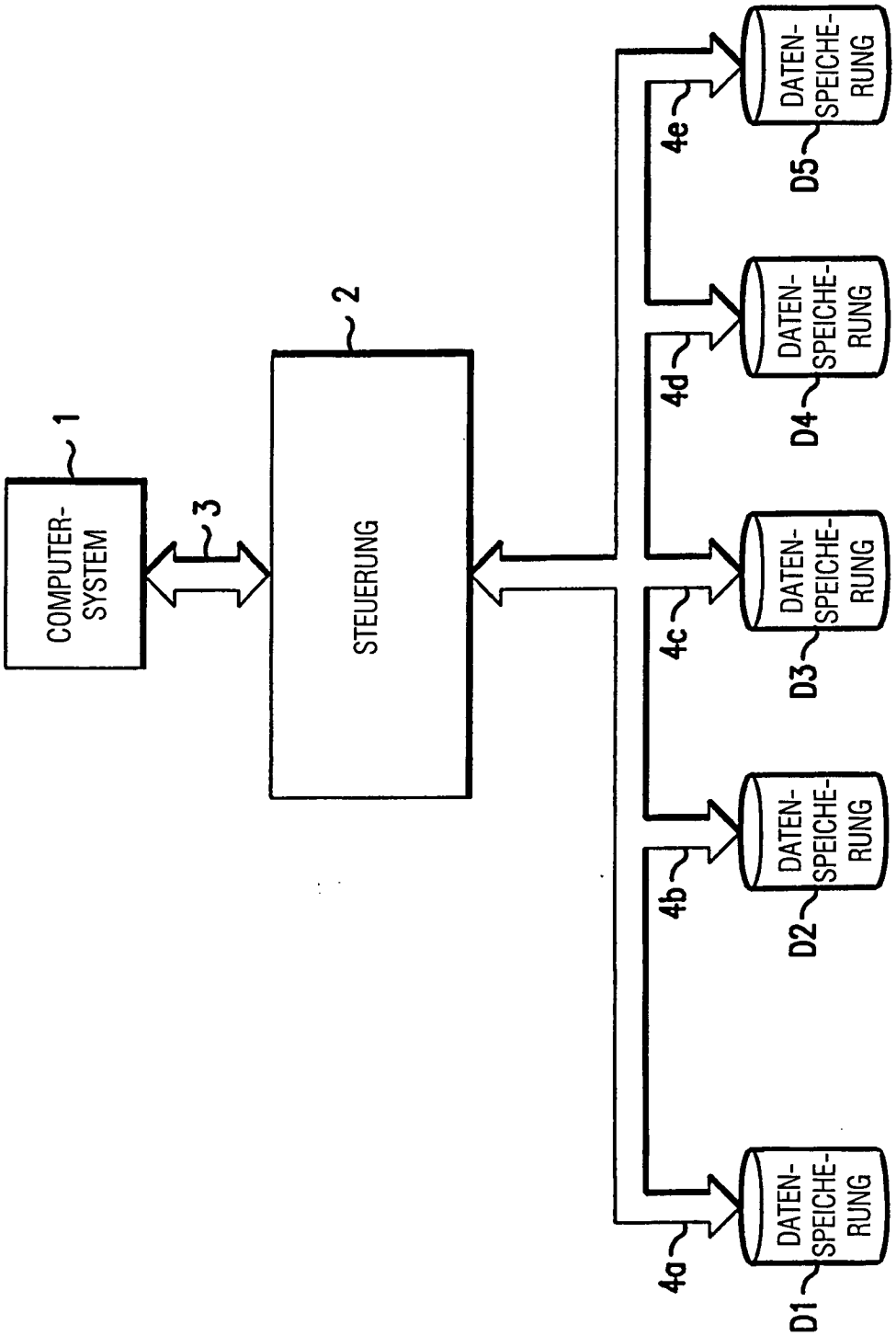
5. Die Vorrichtung (**10**, **11**, **12**, **60**, **61**, **62**, **63**) ge-

mäß Anspruch 4, die ferner folgende Merkmale aufweist:
eine Einrichtung zum Speichern (**21**) von n Sätzen von Werten, wobei jeder der n Sätze von Werten einen Busadresswert, eine Paritätsspeicherbasisadresse und einen Satz von Vergleichsmaskenbits umfasst, wobei jeder der Sätze von Vergleichsmaskenbits, die an die entsprechenden Busadresswerte angelegt werden, einen Übertragungstabelleneintragsbereich bildet zum Bestimmen von denjenigen der Mehrzahl von Datenwörtern, die durch die Einrichtung zum Laden (**29**) geladen sind, die zur Erzeugung des Paritätsblocks verwendet wird, wobei jede der Paritätsspeicherbasisadressen eine Startadresse eines entsprechenden Paares von Bereichen von Speicherungsorten in dem ersten (**10**, **60**) und dem zweiten Paritätsspeicher (**11**, **61**) definiert;
eine Einrichtung zum Anzeigen (**33**, **41**, **63**) von Speicherungsorten in dem ersten und dem zweiten Paritätsspeicher, der gültige der Paritätserzeugungsdatenwörter enthält, wobei die Einrichtung zum Anzeigen (**33**, **41**, **63**) mit der Einrichtung zum selektiven Speichern und selektiven Laden (**34**, **35**, **36**) gekoppelt ist; und
wobei die Einrichtung zum selektiven Speichern und Laden (**34**, **35**, **36**) Paritätserzeugungsdatenwörter zu und von Speicherungsorten in dem ersten (**10**, **60**) und dem zweiten Paritätsspeicher (**11**, **61**), die in dem Paar von Bereichen enthalten sind, speichert und lädt.

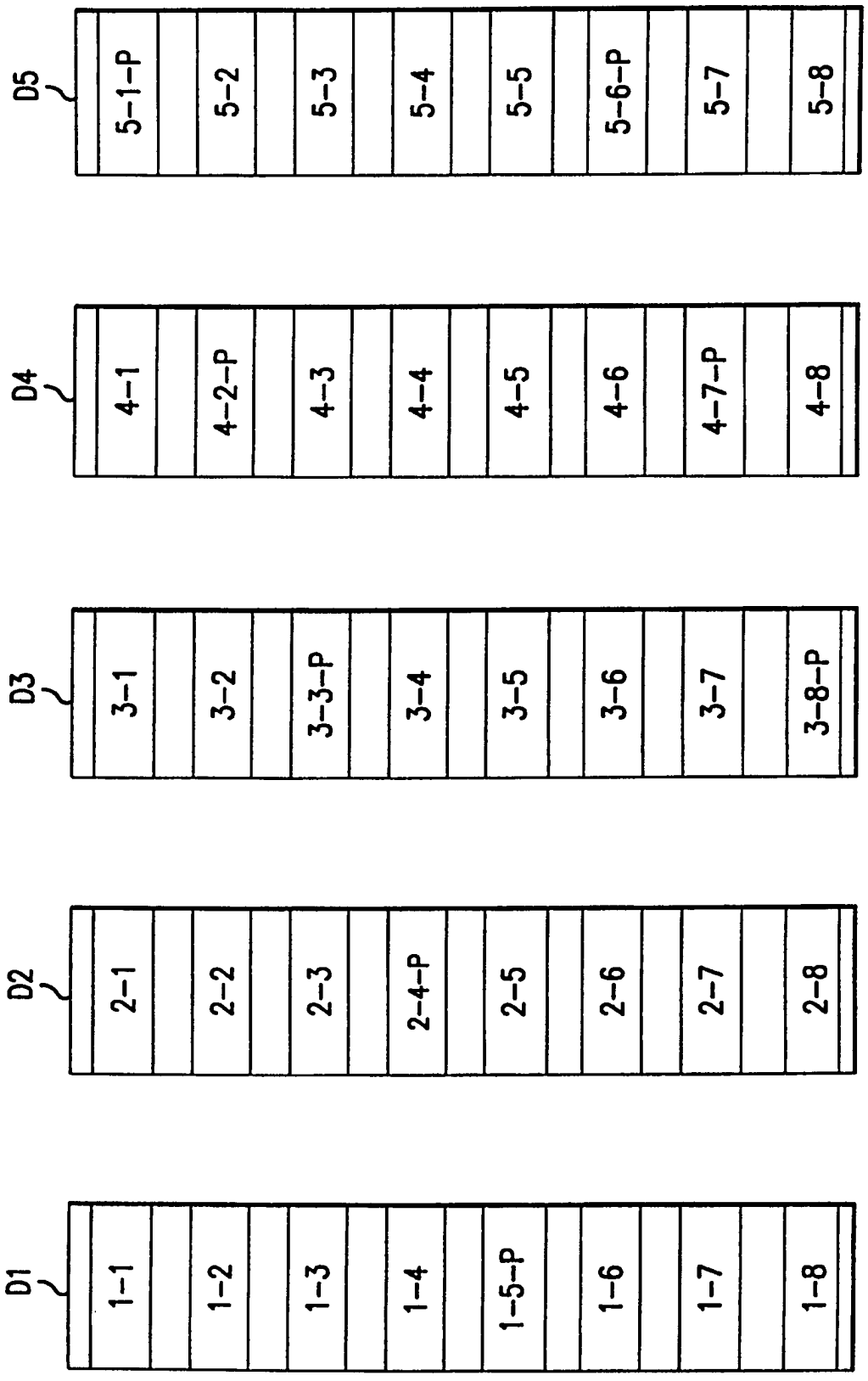
6. Die Vorrichtung (**60**, **61**, **62**, **63**) gemäß Anspruch 5, die ferner folgende Merkmale aufweist:
eine Einrichtung zum Bestimmen (**41**, **63**) von Speicherungsorten in dem ersten (**60**) und dem zweiten Paritätsspeicher (**61**), die vorhergehend zur Speicherung der Mehrzahl von Datenwörtern verwendet wurden; und
wobei die Einrichtung zum Bestimmen (**41**, **63**) und die Einrichtung zum Anzeigen (**63**) einen Gültige-Inhalte-Speicher (**63**) zum Speichern von Gültige-Inhalte-Bits und Erstzugriffsbits umfassen.

Es folgen 13 Blatt Zeichnungen

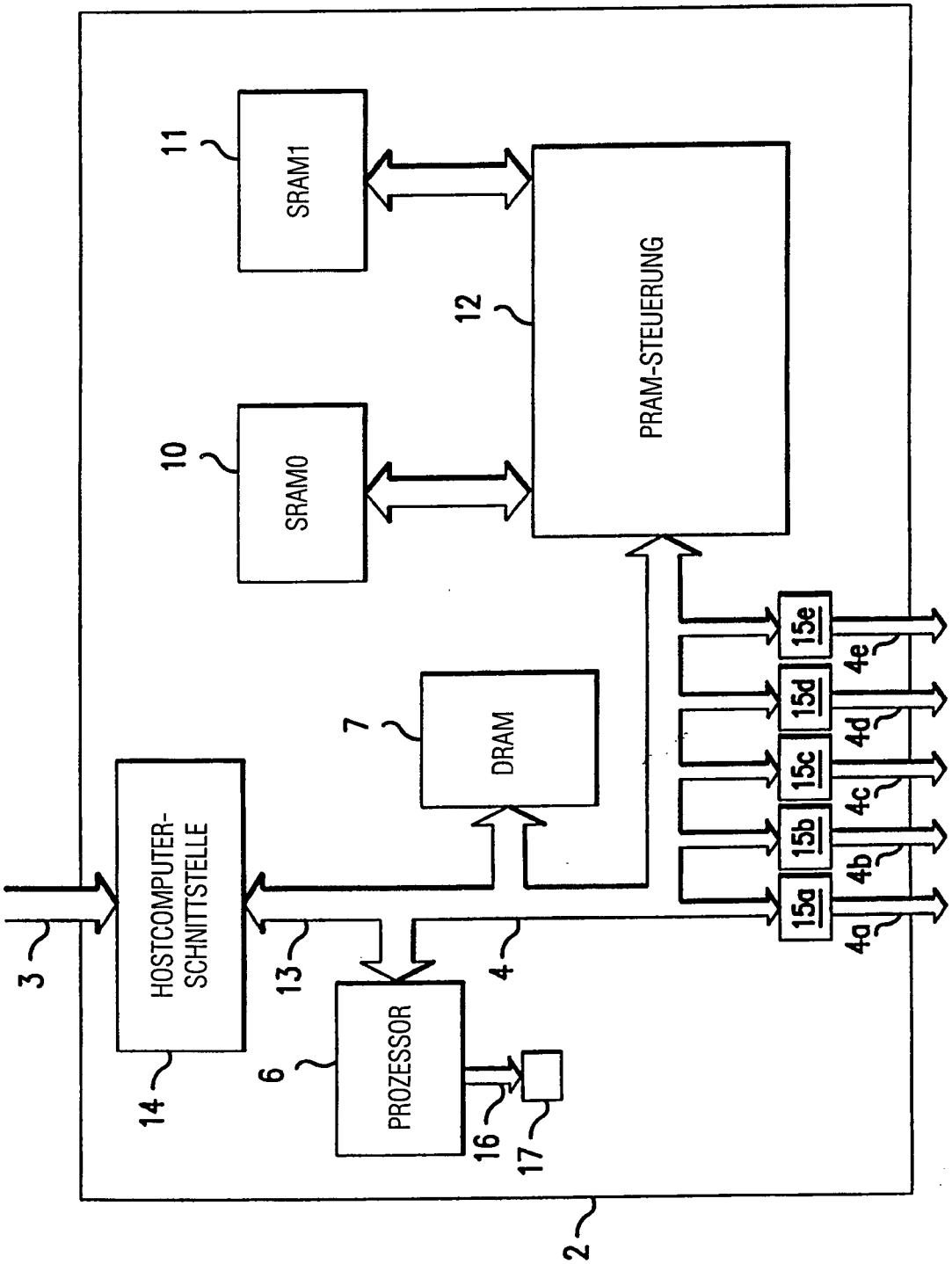
Anhängende Zeichnungen



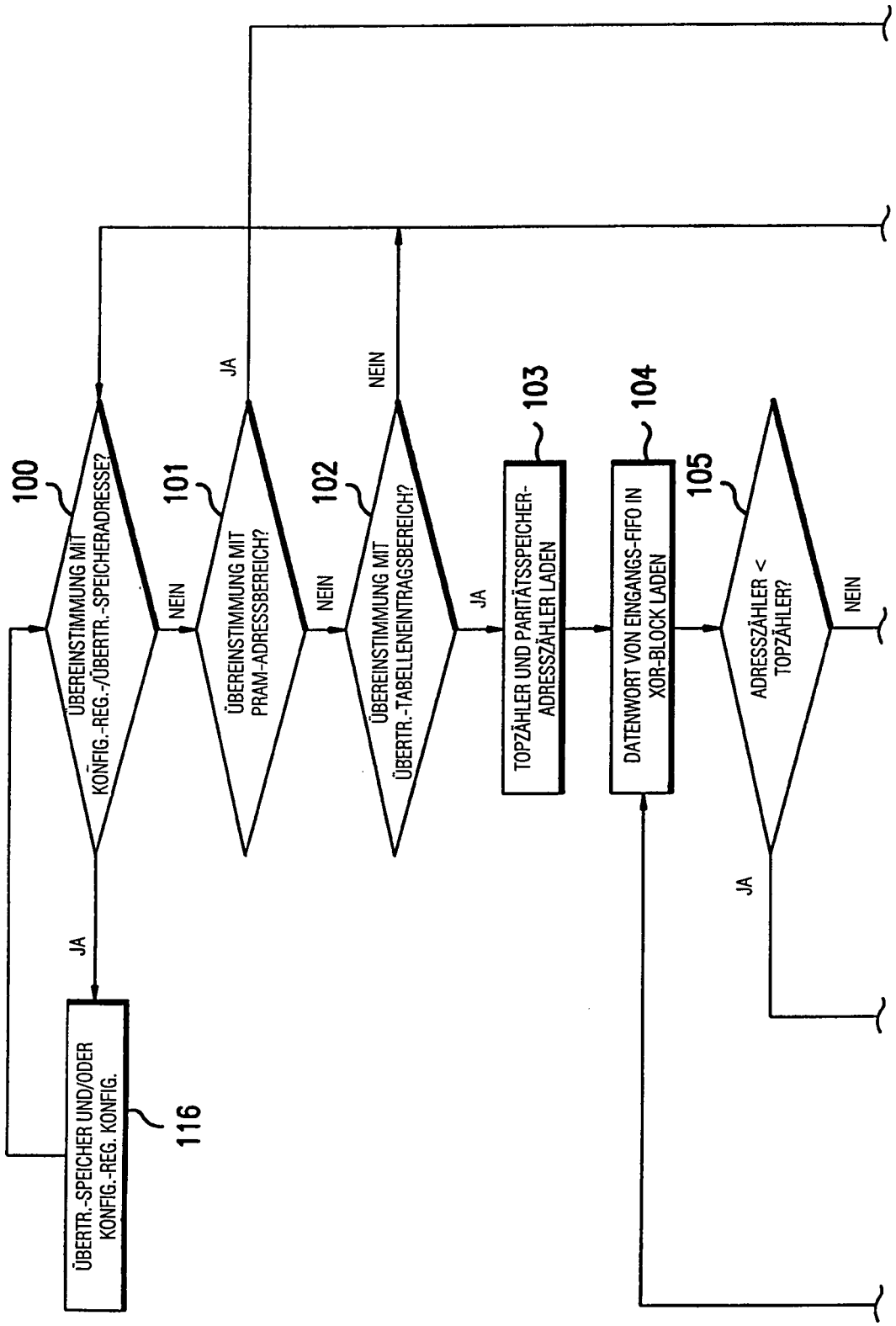
FIGUR 1


D5
5-1-P
5-2
5-3
5-4
5-5
5-6-P
5-7
5-8
D4
4-1
4-2-P
4-3
4-4
4-5
4-6
4-7-P
4-8
D3
3-1
3-2
3-3-P
3-4
3-5
3-6
3-7
3-8-P
D2
2-1
2-2
2-3
2-4-P
2-5
2-6
2-7
2-8
D1
1-1
1-2
1-3
1-4
1-5-P
1-6
1-7
1-8

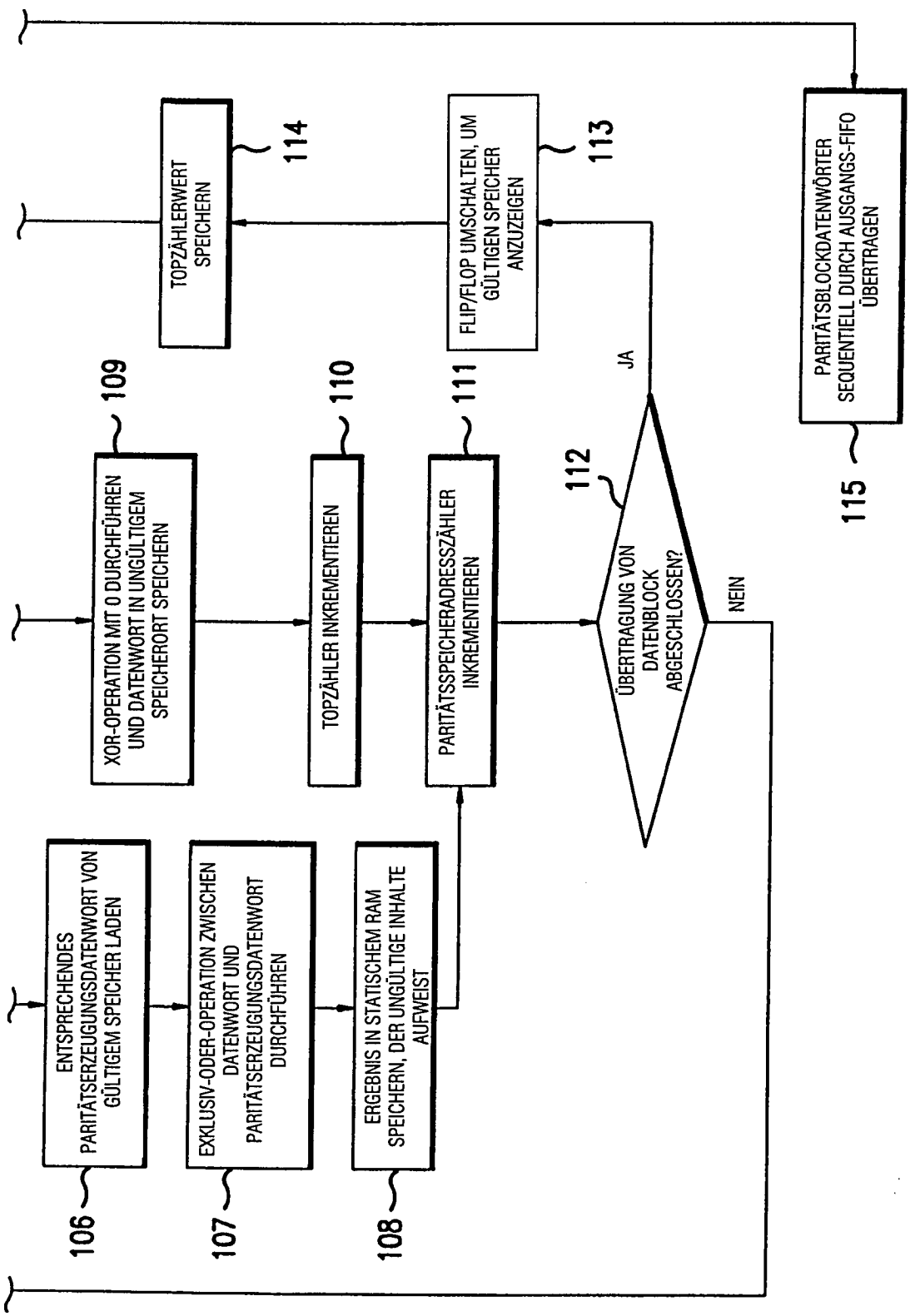
FIGUR 2


SRAM1
11
SRAM0
10
PRAM-STEUERUNG
12
DRAM
7
HOSTCOMPUTER-SCHNITTSTELLE
14
PROZESSOR
6
3
13
4
16
17
2
15a
15b
15c
15d
15e
4a
4b
4c
4d
4e

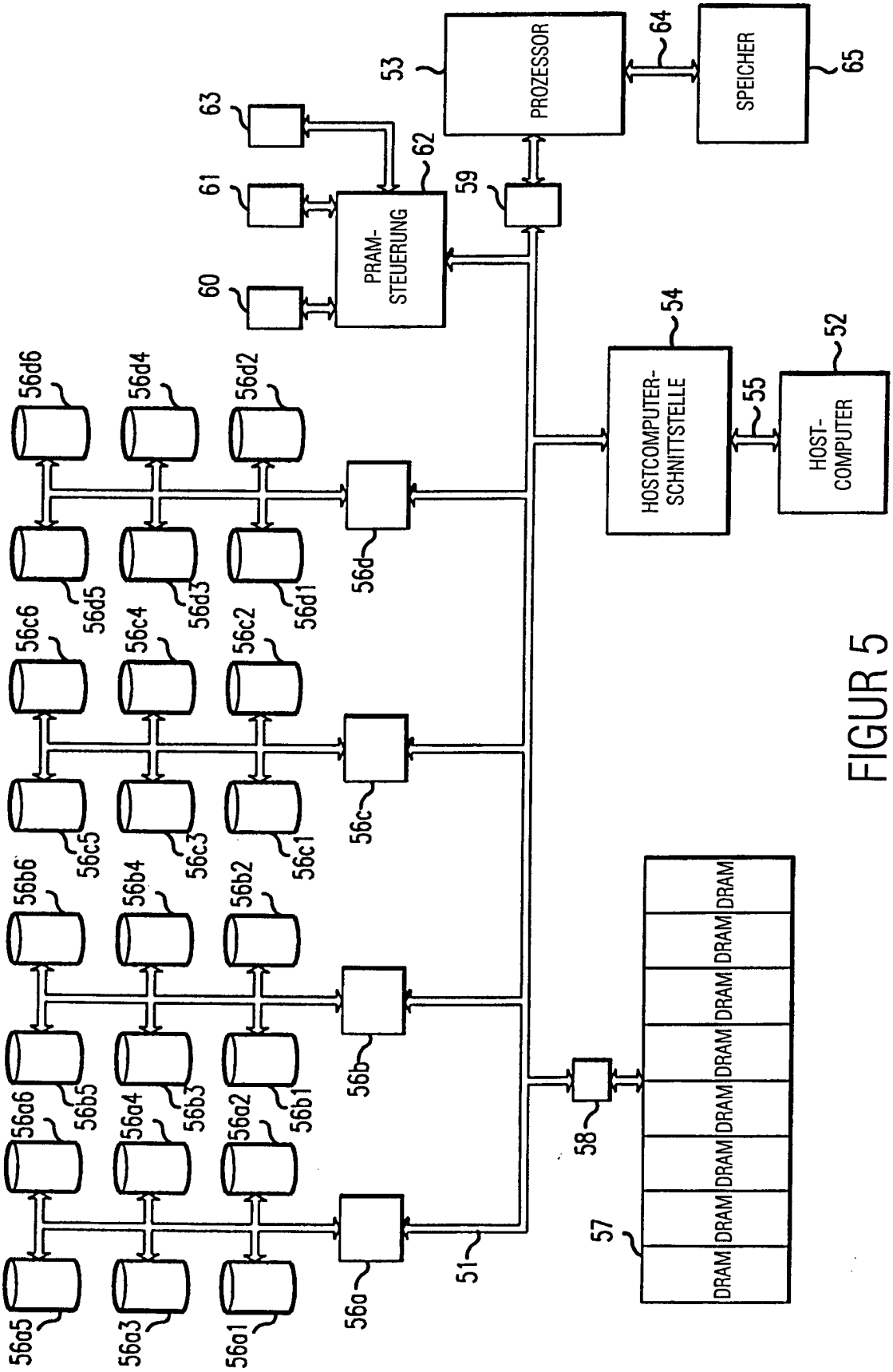
FIGUR 3


100
ÜBEREINSTIMMUNG MIT KONFIG.-REG.-/ÜBERTR.-SPEICHERADRESSE?
JA
NEIN
101
ÜBEREINSTIMMUNG MIT PRAM-ADRESSBEREICH?
JA
NEIN
102
ÜBEREINSTIMMUNG MIT ÜBERTR.-TABELLENEINTRAGSBEREICH?
JA
NEIN
103
TOPZÄHLER UND PARITÄTSSPEICHER-ADRESSZÄHLER LADEN
104
DATENWORT VON EINGANGS-FIFO IN XOR-BLOCK LADEN
105
ADRESSZÄHLER < TOPZÄHLER?
JA
NEIN
116
ÜBERTR.-SPEICHER UND/ODER KONFIG.-REG. KONFIG.

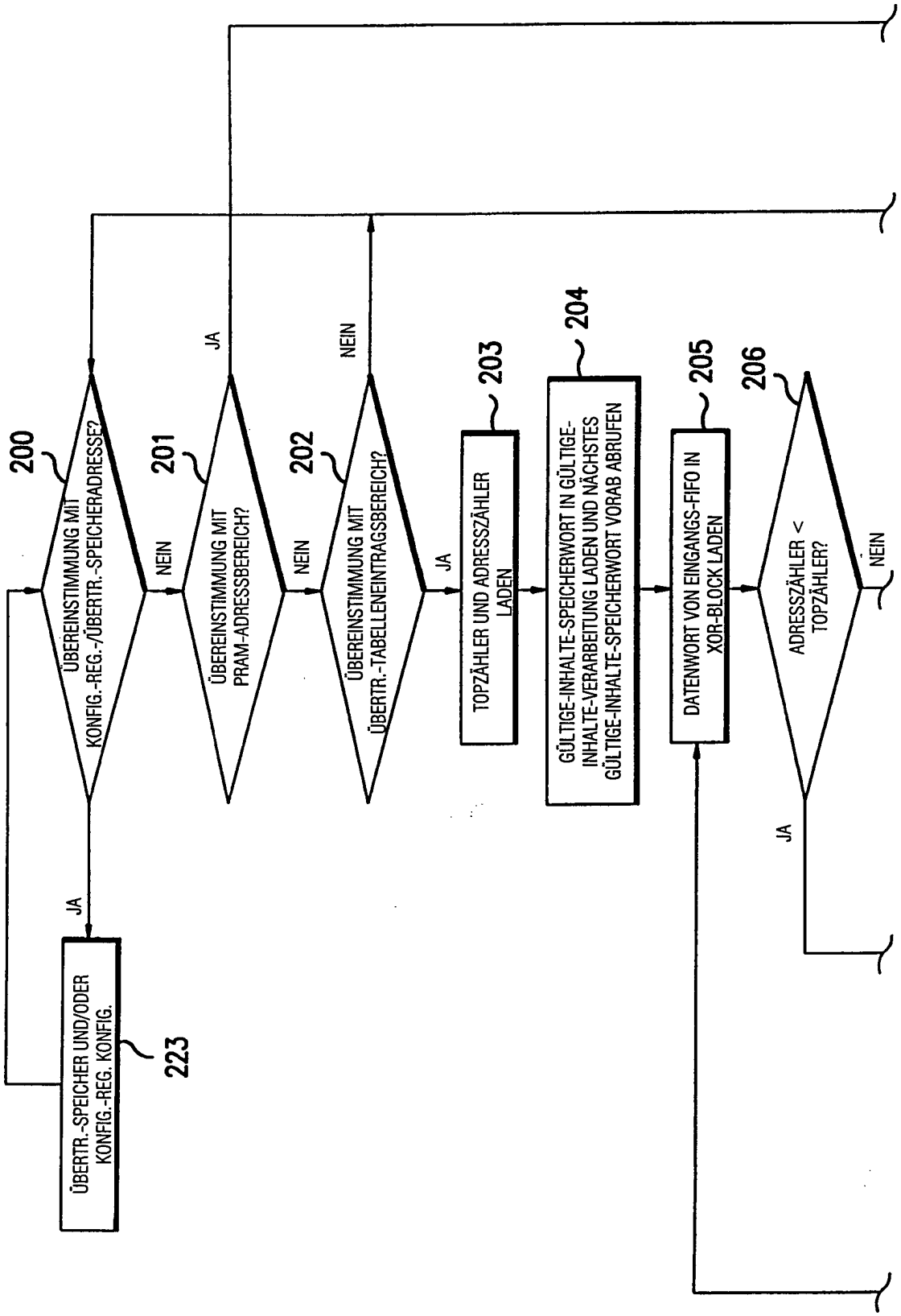
FIGUR 4A


ENTSPRECHENDES PARITÄTSERZEUGUNGSDATENWORT VON GÜLTIGEM SPEICHER LADEN
106
EXKLUSIV-ODER-OPERATION ZWISCHEN DATENWORT UND PARITÄTSERZEUGUNGSDATENWORT DURCHFÜHREN
107
ERGEBNIS IN STATISCHEM RAM SPEICHERN, DER UNGÜLTIGE INHALTE AUFWEIST
108
XOR-OPERATION MIT 0 DURCHFÜHREN UND DATENWORT IN UNGÜLTIGEM SPEICHERORT SPEICHERN
109
TOPZÄHLER INKREMENTIEREN
110
PARITÄTSSPEICHERADRESSZÄHLER INKREMENTIEREN
111
ÜBERTRAGUNG VON DATENBLOCK ABGESCHLOSSEN?
112
JA
NEIN
FLIP/FLOP UMSCHALTEN, UM GÜLTIGEN SPEICHER ANZUZEIGEN
113
TOPZÄHLERWERT SPEICHERN
114
PARITÄTSBLOCKDATENWÖRTER SEQUENTIELL DURCH AUSGANGS-FIFO ÜBERTRAGEN
115

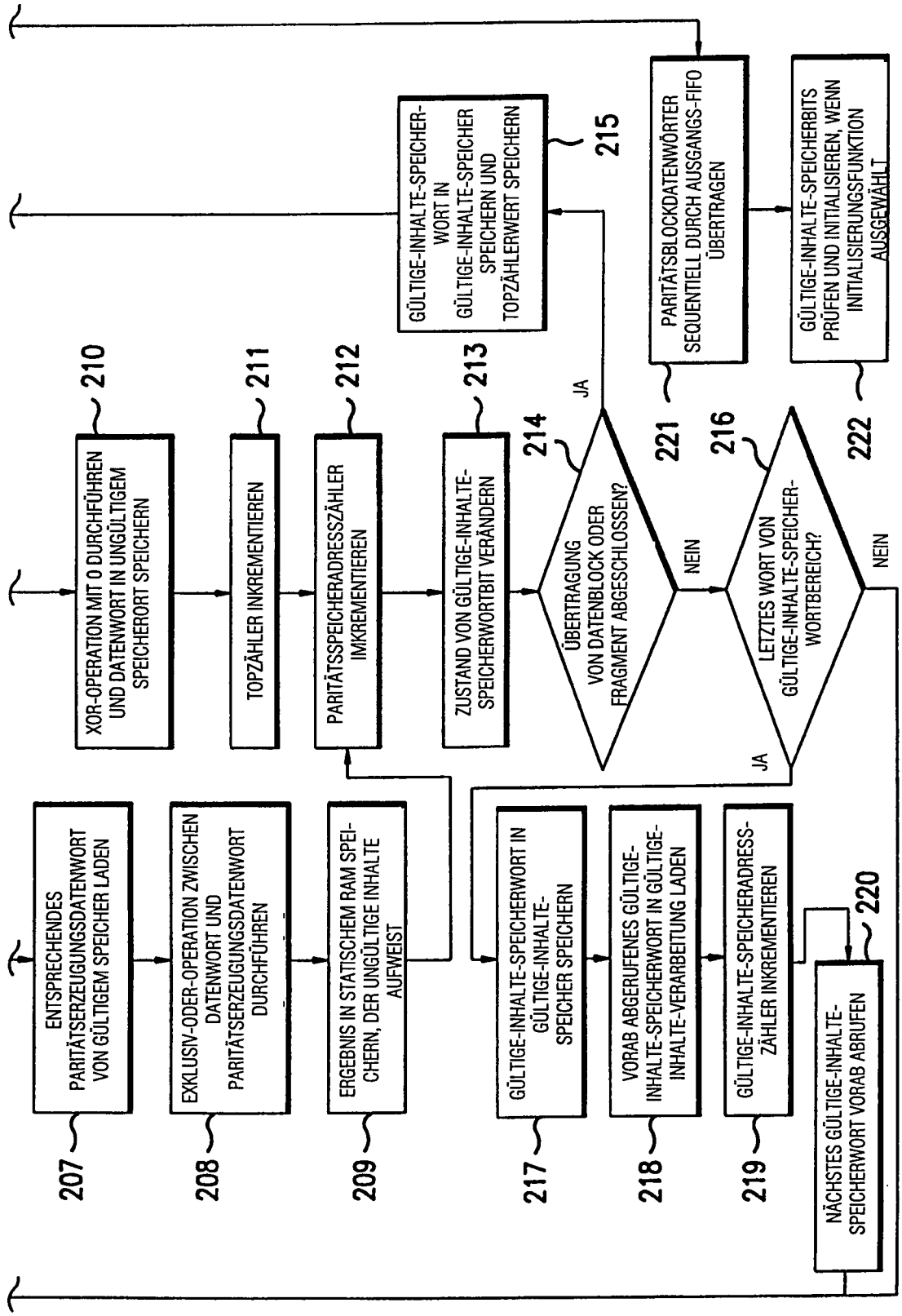
FIGUR 4B


PROZESSOR
SPEICHER
PRAM-STEUERUNG
HOSTCOMPUTER-SCHNITTSTELLE
HOST-COMPUTER
DRAM
53
64
65
63
61
60
62
59
54
52
55
56d6
56d4
56d2
56d5
56d3
56d1
56d
56c6
56c4
56c2
56c5
56c3
56c1
56c
56b6
56b4
56b2
56b5
56b3
56b1
56b
56a6
56a4
56a2
56a5
56a3
56a1
56a
58
57
51

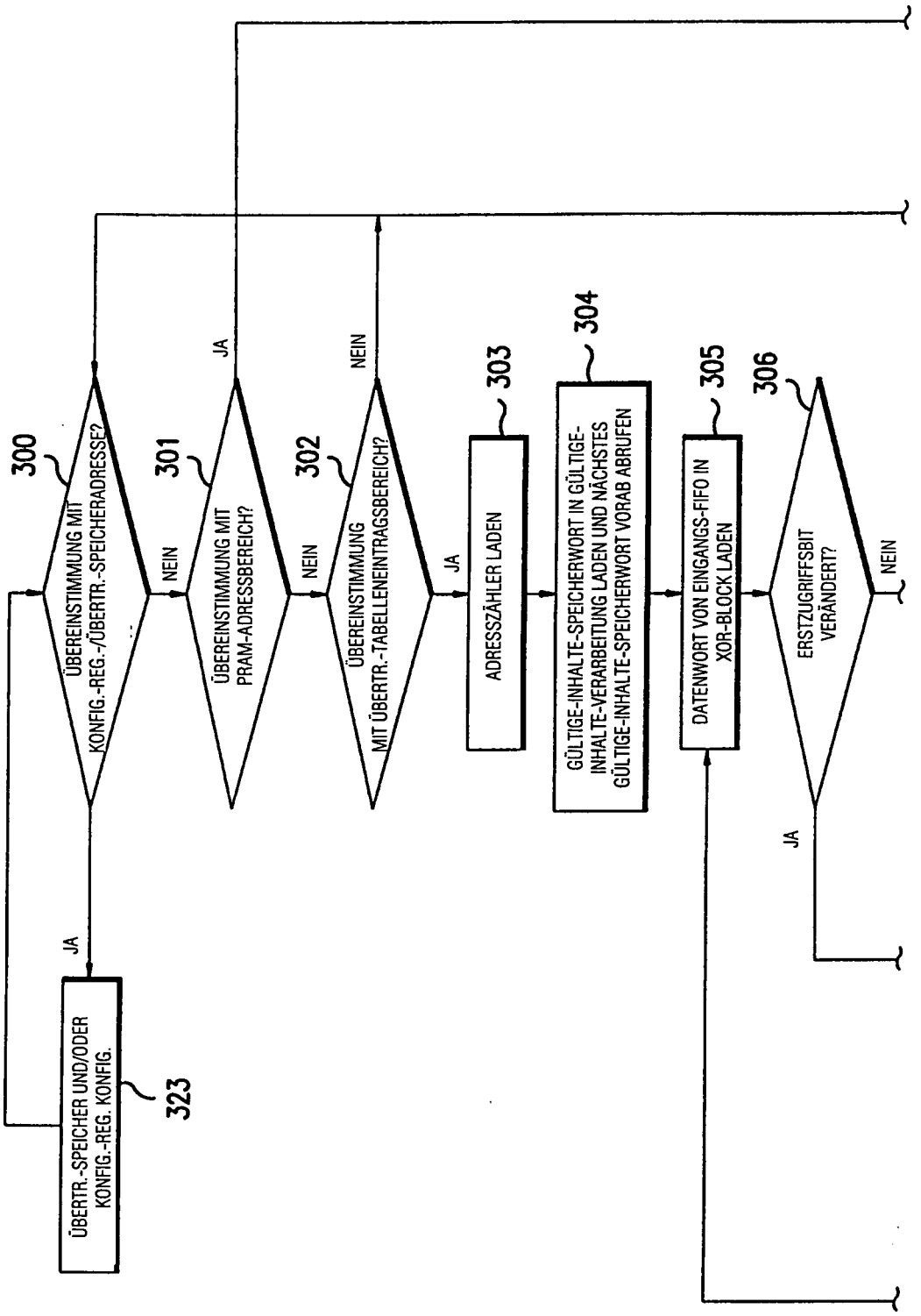
FIGUR 5


200
ÜBEREINSTIMMUNG MIT KONFIG.-REG.-/ÜBERTR.-SPEICHERADRESSE?
JA
ÜBERTR.-SPEICHER UND/ODER KONFIG.-REG. KONFIG.
223
NEIN
201
ÜBEREINSTIMMUNG MIT PRAM-ADRESSBEREICH?
JA
NEIN
202
ÜBEREINSTIMMUNG MIT ÜBERTR.-TABELLENEINTRAGSBEREICH?
JA
NEIN
203
TOPZÄHLER UND ADRESSZÄHLER LADEN
204
GÜLTIGE-INHALTE-SPEICHERWORT IN GÜLTIGE-INHALTE-VERARBEITUNG LADEN UND NÄCHSTES GÜLTIGE-INHALTE-SPEICHERWORT VORAB ABRUFEN
205
DATENWORT VON EINGANGS-FIFO IN XOR-BLOCK LADEN
206
ADRESSZÄHLER < TOPZÄHLER?
JA
NEIN

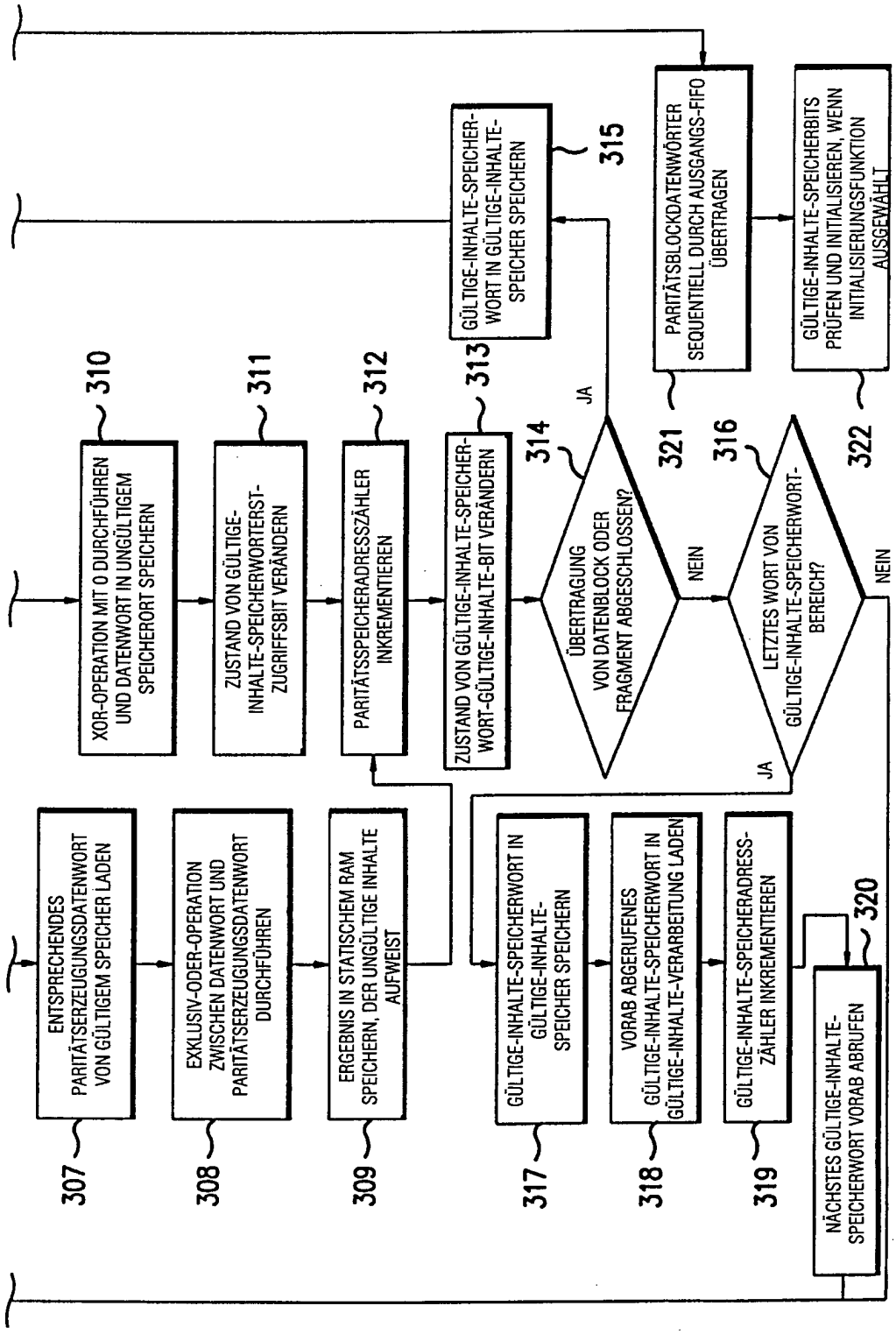
FIGUR 6A


XOR-OPERATION MIT 0 DURCHFÜHREN UND DATENWORT IN UNGÜLTIGEM SPEICHERORT SPEICHERN
210
TOPZÄHLER INKREMENTIEREN
211
PARITÄTSSPEICHERADRESSZÄHLER IMKREMENTIEREN
212
ZUSTAND VON GÜLTIGE-INHALTE-SPEICHERWORTBIT VERÄNDERN
213
ÜBERTRAGUNG VON DATENBLOCK ODER FRAGMENT ABGESCHLOSSEN?
214
JA
NEIN
GÜLTIGE-INHALTE-SPEICHERWORT IN GÜLTIGE-INHALTE-SPEICHER UND TOPZÄHLERWERT SPEICHERN
215
PARITÄTSBLOCKDATENWÖRTER SEQUENTIELL DURCH AUSGANGS-FIFO ÜBERTRAGEN
221
LETZTES WORT VON GÜLTIGE-INHALTE-SPEICHER-WORTBEREICH?
216
JA
NEIN
GÜLTIGE-INHALTE-SPEICHERBITS PRÜFEN UND INITIALISIEREN, WENN INITIALISIERUNGSFUNKTION AUSGEWÄHLT
222
ENTSPRECHENDES PARITÄTSERZEUGUNGSDATENWORT VON GÜLTIGEM SPEICHER LADEN
207
EXKLUSIV-ODER-OPERATION ZWISCHEN DATENWORT UND PARITÄTSERZEUGUNGSDATENWORT DURCHFÜHREN
208
ERGEBNIS IN STATISCHEM RAM SPEICHERN, DER UNGÜLTIGE INHALTE AUFWEIST
209
GÜLTIGE-INHALTE-SPEICHERWORT IN GÜLTIGE-INHALTE-SPEICHER SPEICHERN
217
VORAB ABGERUFENES GÜLTIGE-INHALTE-SPEICHERWORT IN GÜLTIGE-INHALTE-VERARBEITUNG LADEN
218
GÜLTIGE-INHALTE-SPEICHERADRESS-ZÄHLER INKREMENTIEREN
219
NÄCHSTES GÜLTIGE-INHALTE-SPEICHERWORT VORAB ABRUFEN
220

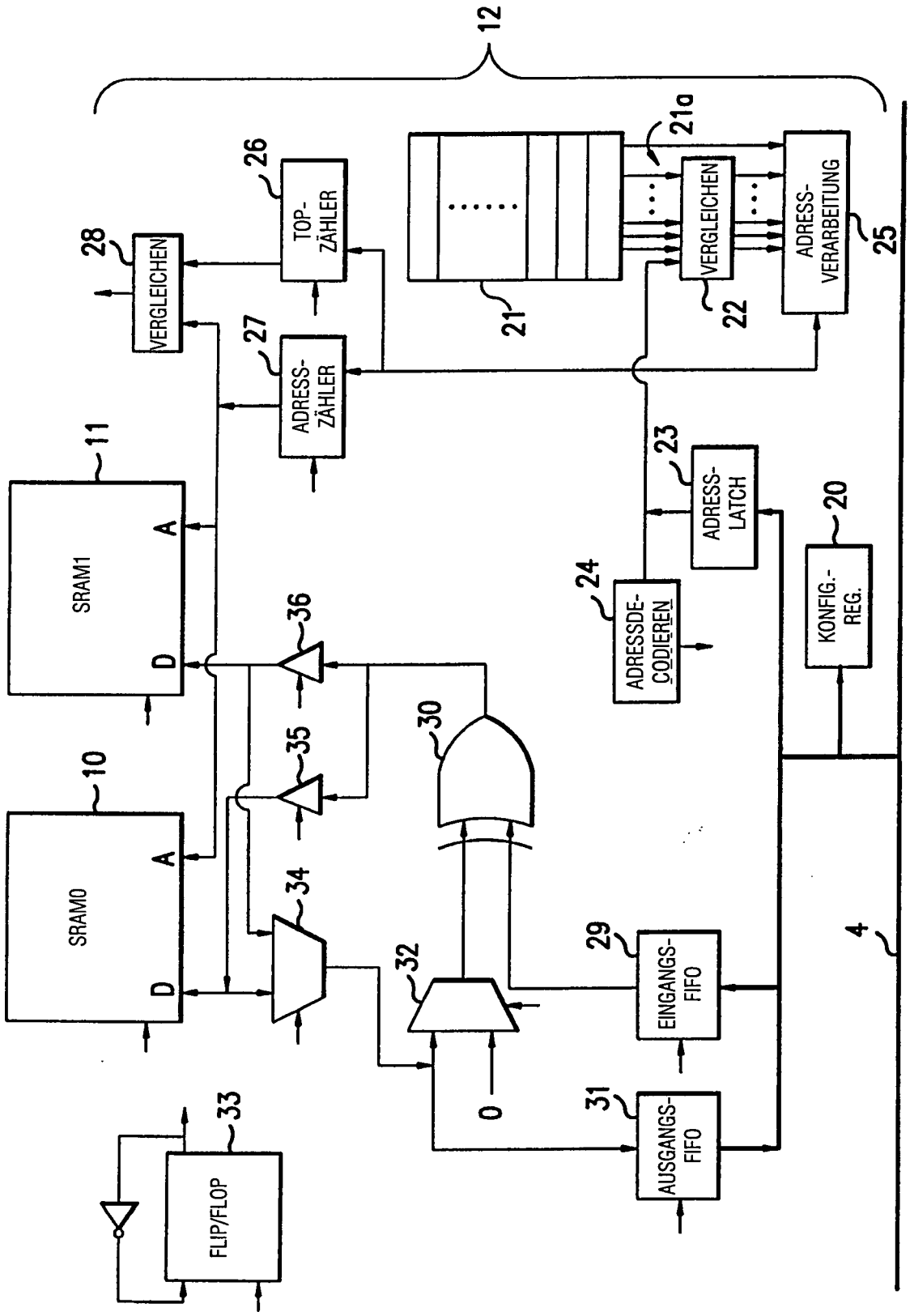
FIGUR 6B


300
ÜBEREINSTIMMUNG MIT KONFIG.-REG.-/ÜBERTR.-SPEICHERADRESSE?
JA
ÜBERTR.-SPEICHER UND/ODER KONFIG.-REG. KONFIG.
323
NEIN
301
ÜBEREINSTIMMUNG MIT PRAM-ADRESSBEREICH?
JA
NEIN
302
ÜBEREINSTIMMUNG MIT ÜBERTR.-TABELLENEINTRAGSBEREICH?
NEIN
JA
303
ADRESSZÄHLER LADEN
304
GÜLTIGE-INHALTE-SPEICHERWORT IN GÜLTIGE-INHALTE-VERARBEITUNG LADEN UND NÄCHSTES GÜLTIGE-INHALTE-SPEICHERWORT VORAB ABRUFEN
305
DATENWORT VON EINGANGS-FIFO IN XOR-BLOCK LADEN
306
ERSTZUGRIFFSBIT VERÄNDERT?
NEIN
JA

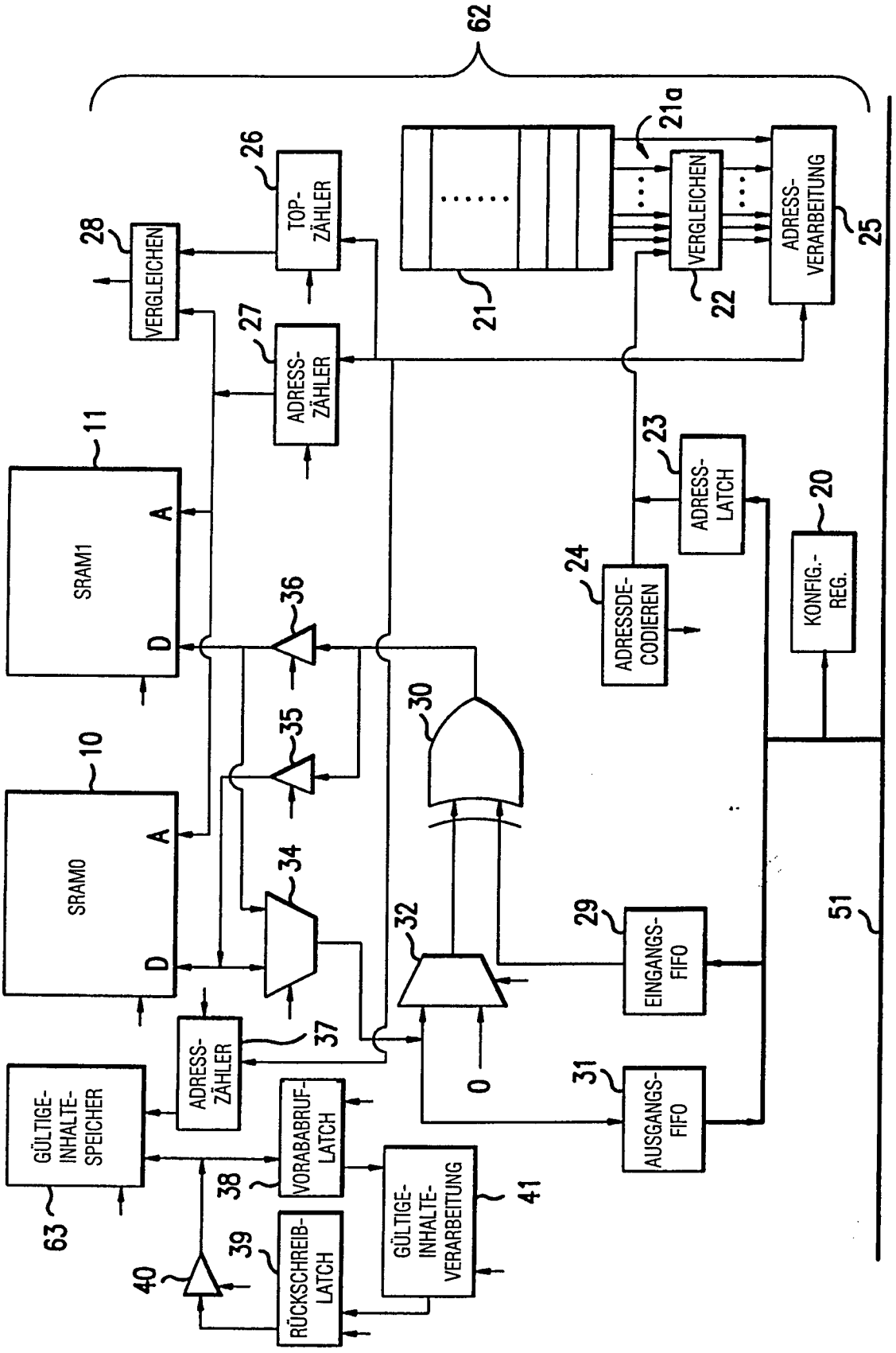
FIGUR 7A


ENTSPRECHENDES PARITÄTSERZEUGUNGSDATENWORT VON GÜLTIGEM SPEICHER LADEN
307
EXKLUSIV-ODER-OPERATION ZWISCHEN DATENWORT UND PARITÄTSERZEUGUNGSDATENWORT DURCHFÜHREN
308
ERGEBNIS IN STATISCHEM RAM SPEICHERN, DER UNGÜLTIGE INHALTE AUFWEIST
309
XOR-OPERATION MIT 0 DURCHFÜHREN UND DATENWORT IN UNGÜLTIGEM SPEICHERORT SPEICHERN
310
ZUSTAND VON GÜLTIGE-INHALTE-SPEICHERWORTERST-ZUGRIFFSBIT VERÄNDERN
311
PARITÄTSSPEICHERADRESSZÄHLER INKREMENTIEREN
312
ZUSTAND VON GÜLTIGE-INHALTE-SPEICHER-WORT-GÜLTIGE-INHALTE-BIT VERÄNDERN
313
GÜLTIGE-INHALTE-SPEICHER-WORT IN GÜLTIGE-INHALTE-SPEICHER SPEICHERN
315
ÜBERTRAGUNG VON DATENBLOCK ODER FRAGMENT ABGESCHLOSSEN?
314
JA
NEIN
PARITÄTSBLOCKDATENWÖRTER SEQUENTIELL DURCH AUSGANGS-FIFO ÜBERTRAGEN
321
LETZTES WORT VON GÜLTIGE-INHALTE-SPEICHERWORT-BEREICH?
316
JA
NEIN
GÜLTIGE-INHALTE-SPEICHERBITS PRÜFEN UND INITIALISIEREN, WENN INITIALISIERUNGSFUNKTION AUSGEWÄHLT
322
GÜLTIGE-INHALTE-SPEICHER-WORT IN GÜLTIGE-INHALTE-SPEICHER SPEICHERN
317
VORAB ABGERUFENES GÜLTIGE-INHALTE-SPEICHERWORT IN GÜLTIGE-INHALTE-VERARBEITUNG LADEN
318
GÜLTIGE-INHALTE-SPEICHERADRESS-ZÄHLER INKREMENTIEREN
319
NÄCHSTES GÜLTIGE-INHALTE-SPEICHERWORT VORAB ABRUFEN
320

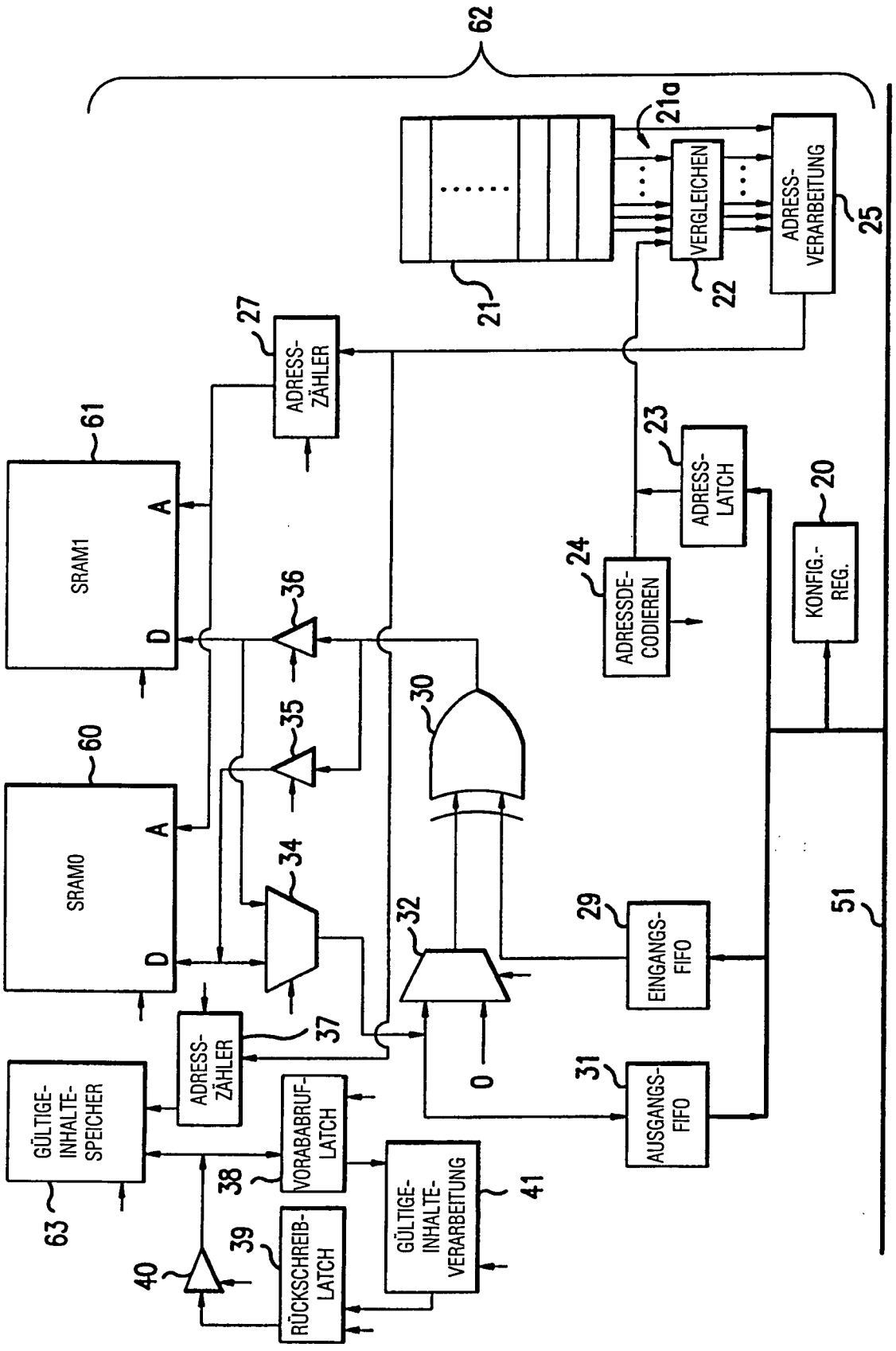
FIGUR 7B


12
21a
26
TOP-ZÄHLER
28
VERGLEICHEN
27
ADRESS-ZÄHLER
21
22
VERGLEICHEN
ADRESS-VERARBEITUNG
25
11
SRAM1
A
D
36
35
30
10
SRAM0
A
D
34
32
29
EINGANGS-FIFO
31
AUSGANGS-FIFO
0
33
FLIP/FLOP
23
ADRESS-LATCH
24
ADRESSDE-CODIEREN
20
KONFIG.-REG.
4

FIGUR 8


62
21a
26
TOP-ZÄHLER
28
VERGLEICHEN
21
22
VERGLEICHEN
ADRESS-VERARBEITUNG
25
27
ADRESS-ZÄHLER
11
SRAM1
A
D
23
ADRESS-LATCH
20
KONFIG.-REG.
24
ADRESSDE-CODIEREN
36
35
30
10
SRAM0
A
D
34
32
29
EINGANGS-FIFO
51
37
ADRESS-ZÄHLER
0
31
AUSGANGS-FIFO
GÜLTIGE-INHALTE-SPEICHER
63
38
VORABABRUF-LATCH
GÜLTIGE-INHALTE-VERARBEITUNG
41
40
39
RÜCKSCHREIB-LATCH

FIGUR 9


62
21a
VERGLEICHEN
22
ADRESS-VERARBEITUNG
25
21
27
ADRESS-ZÄHLER
61
SRAM1
A
D
36
23
ADRESS-LATCH
24
ADRESSDE-CODIEREN
20
KONFIG.-REG.
35
30
60
SRAM0
A
D
34
32
29
EINGANGS-FIFO
51
37
ADRESS-ZÄHLER
0
31
AUSGANGS-FIFO
GÜLTIGE-INHALTE-SPEICHER
63
38
VORABABRUF-LATCH
GÜLTIGE-INHALTE-VERARBEITUNG
41
40
39
RÜCKSCHREIB-LATCH

FIGUR 10