

公告本

F/1010536TW00

申請日期	9/10 10 25
案 號	90126458
類 別	H01L 43/68

A4
C4

(以上各欄由本局填註)

584976

發明專利說明書

一、發明 名稱	中 文	磁性記憶裝置
	英 文	MAGNETIC MEMORY DEVICE
二、發明人 創作	姓 名	山田光一 KOUICHI YAMADA
	國 籍	日本國
	住、居所	日本國岐阜縣羽島郡笠松町中川町5番地 5 Nakagawa-cyo Kasamatu-cyo Hasima-gun Gifu, Japan
三、申請人	姓 名 (名稱)	三洋電機股份有限公司 SANYO ELECTRIC CO., LTD.
	國 籍	日本國
	住、居所 (事務所)	日本國大阪府守口市京阪本通2丁目5番5號 5-5, Keihan-Hondori, 2-chome, Moriguchi-City, Osaka, Japan
	代 表 人 姓 名	桑野幸德 YUKINORI KUWANO

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

日本 國(地區)申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

2000 年 11 月 9 日 特願 2000-341489 (主張優先權)
2000 年 12 月 28 日 特願 2000-399990(主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

經濟部智慧財產局員工消費合作社印製

訂 線

五、發明說明(1)

[發明所屬之技術領域]

本發明係有關於磁性記憶裝置，尤指含有表示強磁性隧道效應(tunnel effect)之記憶元件的磁性記憶裝置。

[習知技術]

習知有利用磁性記錄數據之非揮發性記憶體的 MRAM(Magnetic Random Access Memory)。對於 MRAM 例如於 NIKKEI ELECTRONICS 1999、11、15(no.757) pp.49 至 56 有詳細揭示。

第 18 及 19 圖表示上述文獻中揭示的 MRAM 記憶元件之構造概略圖。如第 18 圖所示，習知之 MRAM 記憶元件 110 具備強磁性層 101、強磁性層 103、強磁性層 101 及 103 之間所設置之非磁性層 102。

強磁性層 101 比強磁性層 103 不容易反轉。於此之強磁性指磁性原子或金屬之自由原子由於正的交換相互作用將磁矩(magnetic moment)整列成平行而形成自發磁化之狀態的磁性，而表示有該強磁性之物質稱為強磁性體。強磁性層 101 及 103 即由該強磁性體形成。又習知上之非磁性層 102 為採用金屬之 GMR(Giant Magneto resistance)膜。近年來開發有用絕緣體之 TMR(Tunneling Magneto Resistance)膜。TMR 膜比 GMR 膜具有電阻較大的優點。具體言之，對於 GMR 膜之 MR 比(電阻變化率)為 10% 程度，TMR 膜之 MR 比(電阻變化率)為 20% 以上。以下稱由 TMR 膜形成之記憶元件 110 為 TMR 元件 110。

其次參照第 18 及 19 圖說明習知之採用 TMR 元件 110

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(2)

之 MRAM 的記憶原理。如第 18 圖所示，設兩強磁層 101 及 103 之磁化為相同方向(平行)時之狀態為對應於數據"0"。又如第 19 圖所示設兩磁性層 101 及 103 之磁化為相反方向(反平行)之狀態為對應於數據"1"。於此 TMR 元件 110 具有磁化方向平行時其電阻(R_0)小，又於反平行時其電阻(R_1)大的性質。而由利用上述磁化方向為平行或反平行使得 TMR 元件 110 之電阻不同的性質以判別數據為"0"或"1"。

第 20 圖表示以習知之一 TMR 元件與一電晶體構成記憶體單元時之 MRAM 全體構成的方塊圖。以下參照第 20 圖說明習知之 MRAM 150 之構成。

記憶體單元 151 為由複數之記憶體單元 120 配置成矩陣狀構成(第 20 圖中為簡化圖面只表示四個記憶體單元 120)。一個記憶體單元 120 由一個 TMR 元件 110 及一個 NMOS 電晶體 111 構成。

列(row)方向編排之各記憶體單元 120 之 NMOS 電晶體 111 之閘極為連接於共通的讀出用字元(word)線 RWL_1 至 RWL_n 。又於列方向編排之各記憶體 120 之 TMR 元件 110 之一方的強磁層上設置有換寫用字元線 WWL_1 至 WWL_n 。

行(column)方向編排之各記憶體單元 120 之 TMR 元件 110 之一方的強磁性層為連接於共通位元(bit)線 BL_1 至 BL_n 。

各讀出用字元線 RWL_1 至 RWL_n 為連接於列解碼器 152，而各位元線 BL_1 至 BL_n 為連接於行解碼器 153。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (3)

由外部指定之列位址及行位址為輸入於位址端 (address pin)154。其中之列位址及行位址由位址端 154 轉送至位址門鎖 (address latch)155。由位址門鎖 155 所門鎖之位址中，列位址為經由位址緩衝器 156 轉送至列解碼器 152，而行位址則經由位址緩衝器 156 轉送至行解碼器 153。

列解碼器 152 選擇各讀出用字元線 RWL_1 至 RWL_n 中之對應於位址門鎖 155 所門鎖之列位址的讀出用字元線 RWL ，並選擇各換寫用字元線 WWL_1 至 WWL_n 中之對應於位址門鎖 155 所門鎖的列位址之換寫用字元線 WWL 。列解碼器 152 並依據電壓控制電路 157 之訊號控制各讀出用字元線 RWL_1 至 RWL_n 之電位及各換寫用字元線 WWL_1 至 WWL_n 的電位。

行解碼器 153 選擇各位元線 BL_1 至 BL_n 中對應於位址門鎖 155 所門鎖之行位址的位元線，並依據電壓控制電路 158 的訊號控制各位元線 BL_1 至 BL_n 之電位。

由外部指定之數據為輸入數據端 159。該數據由數據端 159 經由輸入緩衝器 160 轉送至行解碼器 153。行解碼器 153 對應於該數據控制各位元線 BL_1 至 BL_n 的電位。

從任意之記憶體單元 120 讀出之數據由各位元線 BL_1 至 BL_n 經行解碼器 153 轉送至感測放大器 (sense amplifier) 群 161。感測放大器群 161 為由電流感測放大器形成。由感測放大器群 161 判別之數據由輸出緩衝器 162 經數據端 159 向外部輸出。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(4)

上述各電路(152至162)之動作由主控制電路163控制。

以下說明如上述構成之習知 MRAM 150 之寫入(換寫)動作及讀出動作。

(寫入動作)

實行寫入動作時，對選擇之換寫用字元線 WWL 及位元線 BL 流通直交的電流。如此能只對位在該位元線 BL 與換寫用字元線 WWL 之交點的 TMR 元件 110 實行換寫。具體言之，流通換寫用字元線 WWL 與位元線 BL 之各電流產生磁場，兩個磁場之和(合成磁場)作用於 TMR 元件 110。該合成磁場使 TMR 元件 110 之磁化方向反轉，例如由"1"變為"0"。

至於在交點以外之 TMR 元件 110 則有全無電流流通，及只有單方向流通電流者。無電流流通之 TMR 元件 110 因不發生磁場而其磁化方向不變。只有一方向流通電流之 TMR 元件 110 則因所發生磁場不夠大而不足以改變其磁化方向。

如上所述，由流通電流於選擇之位址所對應之位元線 BL 及換寫用字元線 WWL，使位在選擇之位元線 BL 與換寫用字元線 WWL 之交點的 TMR 元件 110 的磁化方向轉化為第 18 圖或第 19 圖所示的方向。由此可寫入數據"0"或"1"。

(讀出動作)

欲讀出如上述寫入之數據時，由施加電壓於讀出用字

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明(5)

元線 RWL 使 NMOS 電晶體 111 導通。在上述狀態由判定流通位元線 BL 之電流比參照之電流值為大或小以判定數據為 "1" 或 "0"。

此時如數據為第 18 圖所示 "0" 時，因磁化方向平行而電阻值 (R_0) 小。亦即流通位元線 BL 的電流值比參照電流值大。又如數據為如第 19 圖所示 "1" 時，則因磁化方向反平行而其電阻值 (R_1) 比第 18 圖所示狀態大。由而流通位元線 BL 的電流值比參照電流值小。

[發明所欲解決的課題]

以上述習知之 MRAM 150 於讀出數據時，有必要使位元線具有微小的電位 (0.4V 以下) 以檢測電流值。其原因在 TMR 元件 110 具有如施加於其兩端的電位差非為微小則無法確認其電阻變化的特性。因此有必要於 TMR 元件 110 之兩端施加微小電位差 (0.4V 以下)，其結果流通的電流值亦為微小。習知用於檢測上述微小之電流值的感測放大器 (放大器) 的構造複雜而不方便。又為了讀出微小的電流值亦構成使讀出速度較慢的問題。

本發明為解決上述的問題，本發明之一目的為提供感測放大器 (放大器) 的構造不複雜的磁性記憶裝置。

本發明之另一目的為提供比較以檢測微小的電流值判別數據的狀態能提高讀出速度之磁性記憶裝置。

本發明之又一目的對於上述磁性記憶裝置，使得容易從 DRAM 將其更換。

[解決課題的手段]

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(6)

申請專利範圍第 1 項之磁性記憶裝置為具備：由具有強磁性隧道效應之第 1 記憶元件及第 2 記憶元件以及各連接於第 1 及第 2 記憶元件之第 1 及第 2 電晶體形成的記憶體單元；連接於第 1 及第 2 電晶體之控制端子的字元線；經由第 1 電晶體連接於第 1 記憶元件的位元線；經由第 2 電晶體連接於第 2 記憶元件與位元線構成位元線對之反轉位元線；以及連接於位元線及反轉位元線之放大器，而於數據之讀出時對選擇之字元線輸入訊號，並對於由輸入訊號於字元線所產生位元線與反轉位元線之間的電位差用放大器讀出。

如上所述依申請專利範圍第 1 項之發明，由於用具有強磁性隧道效應之兩個第 1 及第 2 記憶元件及兩個第 1 及第 2 電晶體構成記憶體單元，並且對於連接在兩個第 1 及第 2 記憶元件之位元線及反轉位元線間的電位差用放大器檢測，因此能容易的讀出數據。由此可不必如習知之具強磁性隧道效應之一記憶元件與一電晶體構成記憶體單元的狀態檢測流通於位元線的微小電流值。其結果使放大器的架構不會複雜。又由於對字元線輸入訊號使用放大器讀出位元線與反轉位元線間產生的電位差，因此不同於習知之讀出位元線流通的微小電流值的狀態，即使記憶元件具有高電阻值亦能容易讀出。

又依申請專利範圍第 1 項的發明為如上所述對於位元線與反轉位元線間的電位差以放大器讀出的架構，因此可使用與習知之 DRAM 採用之放大器(感測放大器)同樣簡單

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(7)

的放大器讀出記憶在磁性記憶裝置中的數據。而由於不必如習知之以強磁性隧道效應之一記憶元件與一電晶體所構成之記憶體單元需用複雜的感測放大器，因此能達成高速讀出。又感測放大器及電路之構成以及動作方法因與習知之 DRAM 類似，因此可照樣應用 DRAM 的技術。其結果使得容易從 DRAM 將其更換。

申請專利範圍第 2 項之磁性記憶裝置，為對於申請專利範圍第 1 項的構成，而以第 1 記憶元件及第 2 記憶元件各包含第 1 磁性層及介以絕緣障壁層與第 1 磁性層對向配置之比第 1 磁性層更不易反轉之第 2 磁性層，及更具備連接於第 1 記憶元件之第 2 磁性層及第 2 記憶元件之第 2 磁性層而應於施加在字元線之訊號上升的時序(timing)將第 1 記憶元件之第 2 磁性層及第 2 記憶元件之第 2 磁性層之電位拉下至接地電位用之補助字元線。

申請專利範圍第 2 項之發明以上述的架構由設置補助字元線能容易的將第 1 記憶元件之第 2 磁性層與第 2 記憶元件之第 2 磁性層之電位拉下於接地電位方向。由此使得於第 1 記憶元件之第 2 磁性層與第 2 記憶元件之第 2 磁性層之電位拉下至接地電位時，能起因於第 1 記憶元件及第 2 記憶元件之電阻值的差而於位元線與反轉位元線之間產生電位差。然後對該電位差用放大器檢測即可容易的檢測所記憶的數據。

申請專利範圍第 3 項之磁性記憶裝置，為對於申請專利範圍第 1 或第 2 項的架構，以對於字元線之訊號的下降

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(8)

時序為在第 1 記憶元件之第 2 磁性層及第 2 記憶元件之第 2 磁性層的電位達到接地電位之前實行。依申請專利範圍第 3 項的架構可防止位元線與反轉位元線的電位差消失。因位元線與反轉位元線間的電位差只在過渡狀態發生，如第 1 及第 2 記憶元件之第 2 磁性層的電位到達接地電位，則連接第 1 磁性層之位元線及反轉位元線亦變成接地電位。其結果位元線與反轉位元線間的電位差消失。申請專利範圍第 3 項的架構由於在第 1 及第 2 記憶元件之第 2 磁性層的電位達到接地電位之前使施加於字元線的訊號下降，由此可在位元線與反轉位元線間的電位差消失前由放大器檢測其電位差。

申請專利範圍第 4 項之磁性記憶裝置為於申請專利範圍第 1 至 3 項之任一項的架構，更具備應於施加在字元線之訊號的下降時序將放大器與位元線及反轉位元線分離之分離用電晶體。申請專利範圍第 4 項由於如上述的架構，在第 1 及第 2 記憶元件之第 2 磁性層的電位達到接地電位之前，以分離用電晶體將放大器與位元線及反轉位元線分離，因此能將位元線與反轉位元線間的電位差由放大器讀出。

申請專利範圍第 5 項之磁性記憶裝置為對於申請專利範圍第 1 至 3 項之任一項的構成而使第 1 記憶元件及第 2 記憶元件記憶互為相反的數據。申請專利範圍第 5 項由上述的架構而能利用第 1 記憶元件及第 2 記憶元件的電阻差容易的讀出數據。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(9)

申請專利範圍第 6 項之磁性記憶裝置為對於申請專利範圍第 1 或第 2 項之構成更具備介以第 1 電晶體連接於第 1 記憶元件之虛擬位元(dummy bit)線，及檢測虛擬位元線之下降時序的檢測電路。申請專利範圍第 6 項由於上述的構成可利用虛擬位元線及檢測電路以檢測位元線的下降時序。而以檢測所得時序使放大器測出位元線與反轉位元線間的電位差即可容易的讀出所記憶的數據。

申請專利範圍第 7 項之磁性記憶裝置為以申請專利範圍第 6 項的構成，更具備應於檢測電路檢測所得虛擬位元線之下降時序使放大器與位元線及反轉位元線分離之分離用電晶體，而上述放大器為應於檢測電路所得虛擬位元線的下降時序活性化。申請專利範圍第 7 項由於上述的構成而使位元線與反轉位元線間的電位差由放大器容易的讀出。

申請專利範圍第 8 項之磁性記憶裝置為以申請專利範圍第 6 或第 7 項的構成，而以其檢測電路包含輸入電壓為施加在閘極之第 1 電晶體及參照電壓為施加在閘極的第 2 電晶體，並使流通第 1 電晶體之電流比流通第 2 電晶體的電流大而於輸入電壓與參照電壓相等時輸出 L(低)電位。申請專利範圍第 8 項由於上述的構成，能有效的防止輸入電壓與參照電壓相同時輸出變成不安定。

申請專利範圍第 9 項之磁性記憶裝置為具備：由含有第 1 磁性層及於第 1 磁性層的表面介以第 1 絕緣障壁層而其一方表面為對向配置之第 2 磁性層及於第 2 磁性層之另

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(10)

一方表面介以第 2 絕緣障壁層對向配置之第 3 磁性層之一個具有強磁性隧道效應的記憶元件，及各連接於記憶元件之第 1 磁性層及第 3 磁性層之第 1 及第 2 電晶體所形成之記憶體單元；連接於第 1 及第 2 電晶體之控制端子的字元線；介由第 1 電晶體連接於前述第 1 磁性層之位元線；介由第 2 電晶體連接於第 3 磁性層與位元線構成位元線對的反轉位元線；以及連接於位元線及反轉位元線的放大器。而於讀出數據時，對選擇的字元線輸入訊號，並依輸入字元線的訊號使用放大器讀出位元線與反轉位元線間產生之電位差。

依申請專利範圍第 9 項如上所述為由含有第 1、第 2 及第 3 磁性層之具備強磁性隧道效應之一記憶元件及第 1 與第 2 電晶體構成記憶體單元，並且使用放大器檢測連接於第 1 及第 3 磁性層之位元線及反轉位元線的電位差，因此能容易的讀出數據。由此不必如習知之以具有強磁性隧道效應之一記憶元件與一電晶體形成記憶體單元的狀態檢測流通於位元線之微小的電流值。其結果放大器的構成不會變複雜。又對於由輸入訊號於字元線而於位元線與反轉位元線之間產生的電位差為用放大器讀出，因而與習知之讀出流通於位元線之微小電流值的狀態不同，對於記憶元件具有高電阻的狀態亦可容易實行檢測。

又申請專利範圍第 9 項的發明由於以含有第 1、第 2 及第 3 磁性層之具強磁性隧道效應之一記憶元件及兩個的第 1 及第 2 電晶體構成記憶體單元，與使用兩個記憶元件

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (11)

及兩個電晶體構成記憶體單元的狀態能減小記憶體單元的面積。

依申請專利範圍第 9 項如上所述為以放大器檢測位元線與反轉位元線之間的電位差的架構，因此可使用於習知之 DRAM 所採用的放大器讀出記憶在磁性記憶裝置的數據。由而不必如習知之以具強磁性隧道效應之一記憶元件與一電晶體構成記憶體單元的狀態需用複雜構成的感測放大器，能達成高速的讀出動作。又感測放大器之構成、電路架構及動作方法因與習知之 DRAM 類似，DRAM 之技術可照樣予以利用。其結果使得自 DRAM 的更換容易。

申請專利範圍第 10 項之磁性記憶裝置為以申請專利範圍第 7 項之構成，而以第 1 磁性層含有介由第 1 絕緣障壁層形成在第 2 磁性層之一方之側面的側壁(side wall)形狀的第 1 磁性層，第 3 磁性層含有介由第 2 絕緣障壁層形成在第 2 磁性層之另一方之側面的側壁形狀的第 3 磁性層。申請專利範圍第 10 項由於如上述的構成，能容易的形成由第 1 磁性層、第 2 磁性層及第 3 磁性層構成之一記憶體元件。

申請專利範圍第 11 項之磁性記憶裝置為以申請專利範圍第 10 項之構成，而以側壁形狀之第 1 磁性層及第 3 磁性層為介以絕緣障壁材料層以被覆第 2 磁性層的狀態形成磁性材料層後，對其實行具方性蝕刻以形成磁性材料層。申請專利範圍第 11 項由於如上述的架構，能使用與習知之側壁形成處理同樣的處理而容易的形成第 1 磁性層、

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (12)

第 2 磁性層及第 3 磁性層構成的一記憶元件。

申請專利範圍第 12 項之磁性記憶裝置為以申請專利範圍第 9 至 11 項之任一項的構成，而將記憶元件之第 2 磁性層形成比第 1 磁性層及第 3 磁性層更不易反轉，並更具備應於對字元線施加之訊號的上升時序將記憶元件之第 2 磁性層的電位拉下至接地電位之補助字元線。

申請專利範圍第 12 項為如上述的構成，由設置補助字元線而能容易的將記憶元件之第 2 磁性層的電位向接地電位方向拉下。而於記憶元件之第 2 磁性層的電位拉下至接地電位時，能使其因記憶元件之電阻值的差於位元線與反轉位元線之間發生電位差。又以放大器檢測該電位差而得容易的檢測所記憶之數據。

申請專利範圍第 13 項之磁性記憶裝置為以申請專利範圍第 9 至 13 項之任一項的構成，而以對於字元線之訊號的下降時序設定在記憶元件之第 2 磁性層的電位達到接地電位之前。依申請專利範圍第 13 項的上述構成能防止位元線與反轉位元線間的電位差消失。位元線與反轉位元線間的電位差只在過渡狀態產生，因此如記憶元件之第 2 磁性層的電位成為接地電位，則連接於第 1 磁性層及第 3 磁性層之位元線及反轉位元線亦成為接地電位。其結果使位元線與反轉位元線間之電位差消失。申請專利範圍第 13 項的構成由於在記憶元件之第 2 磁性層的電位成為接地電位之前使對於字元線之訊號下降，因而能在位元線與反轉位元線間的電位差消失前以放大器對其實行檢測。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (13)

申請專利範圍第 14 項之磁性記憶裝置為以申請專利範圍第 9 至 13 項之任一項的構成，而更具備應於施加在字元線之訊號的下降時序使放大器與位元線及反轉位元線分離之分離用電晶體。申請專利範圍第 14 項如上述的構成而於記憶元件之第 2 磁性層的電位達到接地電位之前，由分離用電晶體將放大器與位元線及反轉位元線分離，因此能由放大器讀出位元線與反轉位元線間的電位差。

申請專利範圍第 15 項之磁性記憶裝置為以申請專利範圍第 9 至 14 項之任一項的構成，而以第 1 磁性層及第 3 磁性層記憶有相反的數據。

申請專利範圍第 16 項由如上述的構成，能容易利用第 1 磁性層及第 2 磁性層之電阻與第 3 磁性層及第 2 磁性層之電阻的電阻值差以讀出所記憶數據。

申請專利範圍第 17 項之磁性記憶裝置具備：含有第 1 磁性層及於第 1 磁性層的表面介以第 1 絕緣障壁層而其一方面表為對向配置之第 2 磁性層及於第 2 磁性層之另一方面介以第 2 絕緣障壁層而對向配置之第 3 磁性層之一個具有強磁性隧道效應的記憶元件；以及各連接於記憶元件之第 1 磁性層及第 3 磁性層之第 1 及第 2 電晶體所形成的記憶體單元。

申請專利範圍第 17 項如上所述由含有第 1、第 2 及第 3 磁性層之具強磁性隧道效應之一記憶元件，及兩個的第 1 及第 2 電晶體構成記憶單元，比較由兩個記憶元件及兩個電晶體構成記憶體單元時，可減小記憶體單元的面積。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (14)

[發明之實施形態]

以下參照圖面說明本發明為具體化的實施形態。

第 1 實施形態

第 1 圖表示本發明第 1 實施形態之 MRAM 全體構成的方塊圖。第 2 圖表示第 1 圖所示第 1 實施形態之 MRAM 的記憶體單元部及感測放大器部的電路圖。第 3 圖為說明第 1 及第 2 圖所示 MRAM 之讀出動作的動作波形圖。

首先參照第 1、2 圖說明第 1 實施形態之 MRAM 的全體構成。第 1 實施形態之 MRAM 除記憶體單元陣列(array)以外與習知之 ORAM 具有同樣的構成。第 1 實施形態之 MRAM 以矩陣(matrix)狀之記憶體單元陣列 51 為中心所構成。記憶體單元陣列 51 則由列(row)方向及行(column)方向編排之記憶體單元(52)構成。記憶體單元 52 記憶有記憶之最小單位的一位元之數據。

第 1 實施形態之 MRAM 中之一個記憶體單元 52 由兩個 TMR 元件 4a 及 4b，及兩個 NMOS 電晶體 5a 及 5b 構成。如第 2 圖所示，TMR 元件 4a 含有強磁性層 3a、絕緣障壁層 2a 及比強磁性層 3a 不易反轉的強磁性層 1a。又 TMR 元件 4b 含有強磁性層 3b、絕緣障壁層 2b 及比強磁性層 3b 不易反轉的強磁性層 1b。兩個 NMOS 電晶體 5a 及 5b 之閘極為連接字元線 WL。

TMR 元件 4a 表示本發明之「具強磁性隧道效應之第 1 記憶元件」之一例，TMR 元件 4b 表示本發明之「具強磁性隧道效應之第 2 記憶元件」之一例。又強磁性層 3a、3b

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (15)

表示本發明之「第 1 磁性層」之一例，而強磁性層 1a、1b 表示本發明之「第 2 磁性層」之一例。又 NMOS 電晶體 5a 及 5b 各表示本發明之「第 1 電晶體」及「第 2 電晶體」之一例。以及兩個之 NMOS 電晶體 5a 及 5b 之閘極表示本發明之「控制端子」之一例。

記憶體單元陣列 51 中，編排於列方向(第 1 圖中為縱方向)之各記憶體單元 52 為連接於字元線 WL 及補助字元線 SWL。又編排於行方向(第 1 圖中為橫方向)之各記憶體單元 52 為連接於位元線 BL 及反轉位元線 /BL。反轉位元線 /BL 與對應關係之位元線 BL 構成一組的位元線對。

各位元線對 BL、/BL 連接於交叉耦合閘鎖(cross couple latch)形之各感測放大器(SA)53。各位元線對 BL、/BL 之位元線 BL 與反轉位元線 /BL 之訊號電位為互補的變化。又於各位元線對 BL、/BL 與各感測放大器(SA)53 之間設有將各位元線對 BL、/BL 與各感測放大器(SA)53 分離用之 NMOS 電晶體 8a 及 8b。該 NMOS 電晶體 8a 及 8b 之閘極為連接訊號線 ϕ 3。NMOS 電晶體 8a 及 8b 表示本發明之「分離用電晶體」之一例。又感測放大器 53 表示本發明之「放大器」之一例。

各字元線 WL 為連接於列解碼器 54。當由外部輸入列位址 RA 時，列位址 RA 經列位址緩衝器 55 供給於列解碼器 54。列解碼器 54 則據以選擇對應列位址 RA 之字元線 WL。

各字元線 WL 經由包含 NMOS 電晶體 6 及 PMOS 電晶

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (16)

體 7 之反相器 (inverter) 電路連接於補助字元線 SWL 之一方的端子。補助字元線 SWL 之另一方的端子則經由 PMOS 電晶體 9 連接於 Vcc。該 PMOS 電晶體 9 之閘極為連接於訊號線 $\phi 4$ 。

字元線 WL 連接於 AND 電路 11 之一方的輸入端子，並連接於 AND 電路 11 之輸出端子。AND 電路 11 之另一方輸入端子連接於寫入時經常為 0 (L 電位) 之訊號線 $\phi 6$ 。

對於位元線 BL 及反轉位元線 /BL 各連接 NMOS 電晶體 10a 及 10b。NMOS 電晶體 10a 及 10b 之閘極連接訊號線 $\phi 5$ 。NMOS 電晶體 10a 及 10b 之一方的端子為互相連接。對於互相連接之 NMOS 電晶體 10a 及 10b 連接以預充電 (precharge) 電路 67。

各感測放大器 53 經由各傳遞閘 (transfer gate) 56 連接於輸入出線 I/O 及反轉輸入出線 /I/O。輸入出線 I/O 與反轉輸入出線 /I/O 構成輸入出線對 I/O、/I/O。輸入出線對 I/O、/I/O 連接於讀出放大器 (Read amplifier) 57。讀出放大器 57 經由數據匯流排 DB 及反轉數據匯流排 /DB 連接於數據之輸出電路 58。數據匯流排 DB 及反轉數據匯流排 /DB 構成數據匯流排對 DB、/DB。又輸入出線對 I/O、/I/O 連接於預充電電路 59。

又輸入出線 I/O 及反轉輸入出線 /I/O 之電位為互補的變化。數據匯流排 DB 及反轉數據匯流排 /DB 的電位亦為互補的變化。而由輸出電路 58 將數據輸出外部。

各傳遞閘 56 為經由列選擇線 CSL 連接於列解碼器

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (17)

60。而各傳遞閘 56 為由連接於輸入出線對 I/O、/I/O 與感測放大器 53 之間的一對 NMOS 電晶體構成。該一對 NMOS 電晶體之閘極經由一條列選擇線 CSL 連接於行解碼器 60。因此當行選擇線 CSL 成為 H(高)電位時，一對 NMOS 電晶體導通，傳遞閘 56 成為導通狀態。

當由外部輸入行位址 CA 時，該列位址 CA 為由行位址緩衝器 61 供給於行解碼器 60 及位址遷移檢測電路 (ATD: Address Transition Detector) 62。

ATD62 檢測列位址 CA 的變化而檢測由外部輸入有行位址 CA，產生 1 脈衝之脈衝訊號 ATD1。亦即每於行位址 CA 變化時產生脈衝訊號 ATD1。該脈衝訊號 ATD1 輸出至行解碼器控制電路 63、預充電控制電路 64 及讀出放大器控制電路 65。

預充電控制電路 64 依據脈衝訊號 ATD1 之由 H 電位下降至 L 電位而產生在預先設定的時間成為高電位之一脈衝的預充電電路活性化訊號 PC。該活性化訊號 PC 輸出至預充電電路 59。

預充電電路 59 活性化時將使輸入出線對 I/O、/I/O 為同電位，並預充電至預定的電位(例如為 $1/2V_{cc}$: V_{cc} 為 MRAM)之驅動電壓。

預充電電路 59 於活性化訊號 PC 成為 L 電位時變成非活性化(活性化待機狀態)，停止對於輸入出線對 I/O、/I/O 的預充電。行解碼器控制電路 63 依據脈衝訊號 ATD1 之由 H 電位下降至 L 電位而產生預定時間成為 H 電位之一脈衝

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (18)

的行解碼器活性化訊號 YS。該活性化訊號 YS 輸出至行解碼器 60。

行解碼器 60 於輸入活性化訊號 YS 時成為活性化，選擇對應於自外部輸入之行位址 CA 之記憶體陣列 51 之行 (一組的位元線對 BL、/BL)。亦即行解碼器 60 於輸入活性化訊號 YS 時成為活性化。而於行解碼器 60 活性化時選擇對應於自外部輸入之行位址 CA 之行選擇線 CSL，並使該行選擇線 CSL 成為 H 電位。由以使連接於該行選擇線 CSL 之傳遞閘 56 成為導通狀態。然後經由對應於該傳遞閘 56 之感測放大器 53 選擇對應於自外部輸入之行位址 CA 的記憶體單元陣列 51 之列。

讀出放大器控制電路 65 依據脈衝訊號 ATD1 之由 H 電位下降至 L 電位產生比脈衝訊號 ATD1 延遲預定時間之一脈衝的讀出放大器活性化訊號 READ。該活性化訊號 READ 之時序及脈衝幅由預先設定。活性化訊號 READ 輸出至讀入放大器 57。

上述活性化訊號 READ 之延遲時間為使輸入出線對 I/O、/I/O 之電位差成為對數據之讀出為充分的電位差的時間。即依據由記憶體單元 52 讀出之數據設定使讀出放大器 57 不致發生誤讀的狀態由輸入出線對 I/O、/I/O 從預充電的電位待機至變化到有充分的電位差的時間。

亦即對於各控制電路 63 至 65 各設有接受脈衝訊號 ATD1 之由 H 電位下降至 L 電位而以適當的時序及脈衝幅產生活性化訊號 YS、PC、READ 之延遲電路及脈衝產生電

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (19)

路。

又設有用以檢測數據匯流排線對 DB、/DB 之電位差並依據檢測結果產生讀出檢測訊號 READ 之讀出檢測電路 66。由而在數據匯流排線對 DB、/DB 之電位達到預定的電位差以上時，確定由記憶體單元 52 讀出之數據而將其輸出外部。由此可從檢測數據匯流排線對 DB、/DB 之電位差以檢測數據之輸出(讀出動作)。然後讀出檢測電路 66 依據數據匯流排線對 DB、/DB 之電位差檢測讀出動作，並依據其檢測結果產生 H 電位之讀出檢測訊號 READ。該檢測訊號 READ 輸出至行解碼器控制電路 63、預充電控制電路 64 及讀出放大器 65。

第 4 圖表示第 1 及 2 圖所示第 1 實施形態之記憶體單元的部分剖面構造圖。以下參照第 4 圖說明第 1 實施形態之記憶體單元 52 的剖面構造。第 1 實施形態之記憶體單元 52 的基板 71 的表面之預定領域形成分離領域 72。在分離領域 72 圍繞的元件形成領域隔以預定的間隔形成 N 型源極/汲極領域 73。在鄰接之 N 型源極/汲極領域 73 間的通道(channel)領域上形成有構成字元線 WL1 及 WL2 之閘極。該閘極與一對之 N 型源極/汲極領域構成 NMOS 電晶體 5a。

又於位在兩端之 N 型源極/汲極領域 73 介以導電層 74 及 75 連接 TMR 元件 4a 之強磁性層 3a。強磁性層 3a 的容易反轉而如第 4 圖所示應於數據變化其方向。又於強磁性層 3a 的另一面為介以絕緣障壁層 2a 形成比強磁性層 3a

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (20)

不易反轉的強磁性層 1a。該強磁性層 1a 不應於數據反轉而為固定於一方向。對強磁性層 1a 為介由導電層 77 連接於補助字元線 SWL1 及 SWL2。又對於中央之 N 型源極 / 汲極領域 73 則介以導電層 76 連接於位元線 BL。位元線 BL 與基板 71 之間形成層間絕緣膜 78。

採用如上述剖面構造之記憶體單元即可容易的實現第 1 及第 2 圖所示電路構成之第 1 實施形態的 MRAM 之記憶體單元 52。

其次說明如上述構成之 MRAM 之寫入及讀出動作。

(寫入動作)

以下就對於連接字元線 WL1 之記憶體單元 52 實行寫入的狀態說明寫入動作。依第 1 實施形態之 MRAM 實行數據寫入時，首先使訊號線 $\phi 6$ 為 L 電位。以此對 AND 電路 11 之另一方端子輸入 L 電位。此時輸入 AND 電路 11 之一方輸入端子之字元線 WL1 因係列解碼器 54 所選擇的字元線而為 H 電位。因此選擇之字元線 WL1 之 AND 電路 11 輸出之部分為 L 電位。如上所述由於訊號線 $\phi 6$ 為 L 電位而強制的使連接 AND 電路 11 之輸出的字元線 WL1 為 L 電位。

由而使連接於 AND 電路 11 之輸出端子所連接之字元線 WL1 的 NMOS 電晶體 5a 及 5b 成為斷通狀態。其次使訊號線 $\phi 4$ 降下為 L 電位而使 PMOS 電晶體 9 導通。此時經反相器連接於 SWL1 之字元線 WL1 為 H 電位，因此構成反相器之 NMOS 電晶體 6 為導通狀態。由此使 SWL1 之

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (21)

下側部分為接地電位。由於 SWL1 之上側部分因 $\phi 4$ 之降下使 PMOS 電晶體 9 導通成為 Vcc 電位，SWL1 為由上向下流通電流。

其次用輸入出線對 I/O、/I/O 使選擇之位元位線 BL 及反轉位元線 /BL 各為 H 電位及 L 電位。又使訊號線 $\phi 5$ 上升為 H 電位而使 NMOS 電晶體 10a 及 10b 導通。由此使位元線 BL 與各所對應的反轉位元線 /BL 短路而使電流由 H 電位狀態的位元線 BL 流向 L 電位狀態的反轉位元線 /BL。亦即於位元線 BL 流通左方向的電流而於反轉位元線 /BL 流通右方向的電流。

對於位元線 BL 及反轉位元線 /BL 欲流通與上述相反方向的電流時，則對位元線 BL 施加 L 電位的訊號並對反轉位元線 /BL 施加 H 電位的訊號。

如上所述對選擇之記憶體單元之補助字元線 SWL1 流通由上至下方向的電流，並對位元線對 BL、/BL 流通互相相反的電流而對選擇之記憶體單元之 TMR 元件 4a 之強磁性層 3a 與 TMR 元件 4b 之強磁性層 3b 容易的寫入相反的數據(例如 "1" 與 "0")。

又如對 TMR 元件 4a 之強磁性層 3a 與 TMR 元件 4b 之強磁性層 3b 欲寫入與上述相反的數據(例如 "0" 與 "1")時，則使流通 BL 與 /BL 之電流方向相反即可。

對於未被選擇之記憶體單元則因其補助字元線 SWL 無電流流通而不發生數據的換寫。

(讀出動作)

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (22)

如上所述在數據寫入動作時，對於連接位元線 BL 之 TMR 元件 4a 之強磁性層 3a 及連接於反轉位元線 /BL 之 TMR 元件 4b 之強磁性層 3b 各寫入成為相反磁場的數據。以下參照第 2 圖說明對於選擇連接於字元線 WL1 之記憶體單元 52 時的讀出動作。

首先在字元線 WL1 上升之前，字元線 WL1 為在 L 電位的狀態。此時由於連接字元線 WL1 之反相器電路的 PMOS 電晶體 7 為導通狀態，因此補助字元線 SWL1 為在 Vcc 電位。由而節點 a 的電位亦為 Vcc。又由於 TMR 元件 4a 及 4b 為導體，因此 TMR 元件 4a 及 4b 的電位亦成為 Vcc。在此狀態使 $\phi 5$ 上升為 H 電位，並由預充電電路 67 將位元線 BL 及反轉位元線 /BL 預充電成 Vcc。又於字元線 WL1 上升時，字元線 WL1 由行解碼器 54 設定於 H 電位，因此連接於字元線 WL1 之 NMOS 電晶體 5a 及 5b 成為導通狀態。由而位元線 BL 及反轉位元線 /BL，以及 TMR 元件 4a 及 4b 成為導通狀態。在此狀態下，位元線 BL、反轉位元線 /BL 及節點 a 的電位為 Vcc。

於字元線 WL1 上升為 H 電位時， $\phi 5$ 成為 L 電位，切斷預充電電路 67，並且連接字元線 WL1 之反相器電路的 NMOS 電晶體 6 成為導通狀態，因此補助字元線 SWL1 之電位慢慢被拉下至 GND 電位。由而節點 a 的電位亦慢慢被拉下至 GND 電位。又位元線 BL 及反轉位元線 /BL 之電位亦慢慢被拉下至 GND 電位。於此之連接於位元線 BL 側之 TMR 元件 4a 由於磁場的方向在上下層之強磁性層 3a 及 1a

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (23)

互相相反，因此比較連接於反轉位元線/BL之 TMR 元件 4b 其電阻高出若干。

又於位元線 BL 及反轉位元線/BL 之電位開始拉向 GND 電位的時序，由於位元線 BL 及反轉位元線/BL，及節點 a 只有微小的電位差，因此其 MR 比(電阻變化率)為最大的狀態。

隨著節點 a 之電位的下降，位元線 BL 及反轉位元線/BL 的電位亦下降。此時由於位元線 BL 側之 TMR 元件 4a 的電阻高出若干，因此其電位下降比反轉位元線/BL 慢。由而在位元線 BL 與反轉位元線/BL 之間產生電位差。而如第 3 圖所示，在該發生該電位差的時序使字元線由 H 電位下降至 L 電位。

上述字元線 WL1 之下降時序在節點 a 的電位達到 GND 電位之前實行。其理由如下。由於位元線 BL 與反轉位元線/BL 之電位差只在過渡狀態下發生，因此如 TMR 元件 4a 及 4b 之強磁性層 1a 及 1b 之電位(節點 a 的電位)成為 GND 電位，則各連接於強磁性層 3a 及 3b 之位元線 BL 及反轉位元線/BL 亦成為 GND 電位。如此則位元線 BL 與反轉位元線/BL 間的電位差消失而無法檢測。

在過渡時序中，雖然在位元線 BL 及反轉位元線/BL 間有電位差發生，但由於 TMR 元件 4a 及 4b 為導體，因此位元線 BL 及反轉位元線/BL 最後成為同電位。由此為應於字元線 WL1 之下降時序使訊號線 $\phi 3$ 下降。由而 NMOS 電晶體(分離用電晶體)8a 及 8b 成為斷通狀態，使位元線

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (24)

BL 及反轉位元線 /BL 與感測放大器 53 分離。其後由 $\phi 1$ 及 $\phi 2$ 的上升使感測放大器 53 活性化。感測放大器 53 側之位元線 BL 與感測放大器 53 側之反轉位元線 /BL 的電位差得以放大，各分為 Vcc 與 GND。如上所述完成數據的讀出動作。

又於訊號線 $\phi 3$ 的下降時序使 $\phi 5$ 上升，並使預充電電路 67 導通將位元線 BL 及反轉位元線 /BL 預充電至 Vcc。

第 1 實施形態為如上所述由兩個 TMR 元件 4a 與 4b，兩個 NMOS 電晶體 5a 與 5b 構成一個記憶體單元 52，並對於連接兩 TMR 元件 4a 與 4b 之位元線 BL 與反轉位元線 /BL 之電位差用感測放大器 53 檢測，因而能容易的實行數據之讀出。由於依上述方法檢測電位差，因此比較習知之由一個 TMR 元件與一個 NMOS 電晶體構成一個記憶體單元的狀態則不必檢測流通於位元線的微電流值。其結果可避免需備檢測微小電流值用之複雜構成的檢測放大器之麻煩。

依第 1 實施形態由於如上所述以感測放大器 53 檢測位元線 BL 與反轉位元線 /BL 間之電位差的構成，因此可採用與習知之 DRAM 所使用之簡單的感測放大器 53 以讀出記憶在 MRAM 之數據。如上所述由於能用簡單的感測放大器 53 讀出數據，比較使用複雜構成的感測放大器則可實行高速讀出動作。

又依第 1 實施形態之 MRAM 其感測放大器 53 之構成及全體的電路構成及動作方法均與習知之 DRAM 類似，因此可照樣利用 DRAM 之技術。其結果使得容易從 DRAM

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (25)

更換。

第 2 實施形態

第 5 圖表示本發明第 2 實施形態之 MRAM 之全體構成的方塊圖。第 6 圖表示第 5 圖之第 2 實施形態之 MRAM 記憶體單元部及感測放大器部的電路圖。第 7 圖表示第 5 及第 6 圖之第 2 實施形態的 MRAM 之比較(compareator)部之內部構成電路圖。

參照第 5 及第 6 圖，第 2 實施形態之 MRAM 與第 1 及第 2 圖所示第 1 實施形態之 MRAM 不同之處在設置虛擬位元(dummy bit)線(虛擬 BL)，及設置檢測該虛擬位元線之電位的比較器 201。比較器 201 表示本發明之「檢測電路」之一例。以下詳細說明。

如第 5 及第 6 圖所示，第 2 實施形態設置與位元線 BL 同樣構成的虛擬位元線(虛擬 BL)。即虛擬位元線經由電晶體 5a 連接於 TMR 元件 4a。連接該虛擬位元線之全部 TMR 元件 4a 為設定使強磁性層 1a 與 3a 的磁化方向相同(平行)。然後該虛擬位元線為連接於比較器 201 之一方輸入端。比較器 201 之另一方輸入端連接於 Vcc(參照電壓)。比較器 201 之輸出連接於反相器 202，反相器 202 之輸出連接反相器 203。反相器 202 之輸出用做訊號 $\phi 1$ ，反相器 203 之輸出用做訊號 $\phi 2$ 。訊號 $\phi 1$ 及 $\phi 2$ 用做感測放大器 53 的活性化訊號。

如第 7 圖所示，比較器 201 含有一對 PMOS 電晶體 213 與 214、輸入電壓(虛擬位元線的電壓)Vin 施加於其閘極之

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (26)

NMOS 電晶體 211、 V_{cc} 施加於其閘極之 NMOS 電晶體 212。NMOS 電晶體 211 表示本發明之「第 1 電晶體」之一例，又 NMOS 電晶體 212 表示本發明之「第 2 電晶體」之一例。NMOS 電晶體 211 及 212 之一方端子連接於定電流源 215。PMOS 電晶體 213 及 214 之一方端子連接於 V_{cc} 。由 PMOS 電晶體 213 之另一方端子與 NMOS 電晶體 211 之另一方端子的連接點輸出其輸出電壓 V_{out} 。

依第 7 圖所示第 2 實施形態之比較器 201，為構成使施加有 V_{in} 之 NMOS 電晶體 211 流通的電流量比施加有 V_{cc} 之 NMOS 電晶體 212 流通的電流量為大。具體言之，由於使 NMOS 電晶體 211 之閘極幅比 NMOS 電晶體 212 之閘極幅大若干而使流於 NMOS 電晶體 211 之電流量比流於 NMOS 電晶體 212 的電流量為大。又不變更閘極幅，而將 NMOS 電晶體 211 之閘極長度形成比 NMOS 電晶體 212 之閘極長更細長亦可使流於 NMOS 電晶體 211 之電流量比流於 NMOS 電晶體 212 之電流量為大。

如上述由於將施加 V_{in} 之 NMOS 電晶體 211 之電流量構成比施加 V_{cc} 之 NMOS 電晶體 212 的電流量為大，因此即使 V_{in} 為相等於參照電壓 V_{cc} 的 V_{cc} 時，亦可輸出 L 電位之訊號的輸出電壓 V_{out} 。由於此，在比較器 201 之輸入電壓 V_{in} 為 V_{cc} 時，亦可防止比較器 201 之輸出不安定。即第 2 實施形態之比較器 201 於 V_{in} 為相同於參照電壓 V_{cc} 之 V_{cc} 時，輸出 L 電位之訊號，而於 V_{in} 比參照電壓低時，則輸出 H 電位的訊號。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(27)

第 2 實施形態又如第 5 及第 6 圖所示，訊號 $\phi 7$ 與列解碼器之輸出 60 之輸出為輸入於 AND 電路 205。而該 AND 電路 205 之輸出則連接於為連接位元線 BL 與反轉位元線 /BL 之電晶體 204 的閘極。由於上述的構成容易只將選擇之位元線 BL 及其所對應之反轉位元線 /BL 短路。

其次說明如上述構成之第 2 實施例之 MRAM 的讀出及寫入動作。

(讀出動作)

第 8 圖表示本發明第 2 實施形態之 MRAM 之讀出動作的動作波形概念圖。第 9 及第 10 圖表示第 2 實施形態之 MRAM 讀出動作之動作波形模擬圖。又第 2 實施形態為就連接於位元線 BL 之 TMR 元件 4a 之電阻比連接於反轉位元線 /BL 之 TMR 元件 4b 之電阻為低的狀態的讀出動作做說明。即如連接於第 6 圖所示之字元線 WL2 之記憶體單元 52，TMR 元件 4a 之磁化方向相同(平行)，而 TMR 元件 4b 之磁化方向為相反(反平行)的狀態的讀出動作。以下以選擇字元線 WL2 的狀態說明其讀出動作。

參照第 6 圖，在字元線 WL2 上升前之初期狀態字元線 WL2 在 L 電位狀態。此時連接字元線 WL2 之反相器電路之 PMOS 電晶體 7 為導通狀態，因此補助字元線 SWL2 之電位成為 V_{cc} 。由而節點 a 的電位亦成為 V_{cc} 。由於 TMR 元件 4a 及 4b 為導體，因而 TMR 元件 4a 及 4b 之電位亦成為 V_{cc} 。在此狀態使 $\phi 5$ 上升為 H 電位，並由預充電電路 67 將位元線 BL、反轉位元線 /BL 以及虛擬位元線預充電

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (28)

成 V_{cc} 。

又於字元線 WL2 上升至 H 電位時，連接於字元線 WL2 之 NMOS 電晶體 5a 及 5b 成為導通狀態。由而位元線 BL 及反轉位元線 /BL，TMR 元件 4a 及 4b 成為導通狀態。在此狀態下，位元線 BL、反轉位元線 /BL、虛擬位元線(虛擬 BL)、節點 a、節點 b 及節點 c 的電位成為 V_{cc} 。

又於字元線 WL2 上升為 H 電位前， $\phi 5$ 成為 L 電位，預充電電路 67 切斷而連接於字元線 WL2 之反相器電路之 NMOS 電晶體 6 成為導通狀態，因此補助字元線 SWL2 之電位向 GND 電位慢慢下降。由於此使節點 a 的電位亦慢慢拉下至 GND 電位。亦由此將位元線 BL 及反轉位元線 /BL 的電位徐徐拉下至 GND 電位。

第 8 圖表示使字元線 WL 上升而補助字元線 SWL 慢慢下降之狀態的波形。如第 8 圖所示，由於使字元線 WL 上升而補助字元線 SWL 慢慢下降，節點 b 及節點 c(參照第 6 圖)下降。此時由於磁化方向相同(平行)之 TMR 元件 4a 與磁化方向相反(反平行)之 TMR 元件 4b 之電阻值不同，因此在節點 b 與節點 c 之間產生電位差。又單元側(記憶體單元 52 側)之位元線 BL 及反轉位元線 /BL 為由節點及節點 c 之電位為 $V_{cc}-V_t$ (閾值電壓)以下之處開始下降。此時磁化方向為平行之電阻為較低的 TMR 元件 4a 之電位下降比磁化方向為反平行之電阻為較高的 TMR 元件 4b 為早。

此時連接於單元側之位元線 BL 及反轉位元線 /BL 之電晶體 5a 及 5b 之導通電阻為依存於電晶體 5a 及 5b 之開

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (29)

極之源極之電位差 V_{gsB} 及 V_{gsC} (參照第 6 圖)。在上述狀態下由於節點 b 與節點 c 的電位不同，因此電晶體 5a 之 V_{gsB} 與電晶體 5b 之 V_{gsC} 不同。由而電阻較低之一方 (平行) 的 TMR 元件 4a 連接之電晶體 5a 其 V_{gs} 大，電阻低。因而單元側之位元線 BL 與反轉位元線 /BL 之電位差比節點 b 及節點 c 之電位差為大。同樣的由於受分離用之 NMOS 電晶體 8a 及 8b 之 V_{gs} 的影響，感測放大器側之位元線 BL 與反轉位元線 /BL 之電位差 (V_{sig}) 將更大。

但由於感測放大器側之位元線 BL 及反轉位元線 /BL 配線容量比單元側之位元線 BL 及反轉位元線 /BL 之配線容量為小，因而經過時間後，感測放大器側之位元線 BL 及反轉位元線 /BL 將與單元側之位元線 BL 及反轉位元線 /BL 成為同電位。由於此，由感測放大器側之位元線及反轉位元線由 V_{cc} 開始下降至與單元側之位元線及反轉位元線成為同電位的時序為能取得輸入於感測放大器 53 之兩端的電位差較大的時間。

依上述第 1 實施形態時，為於單元側之位元線 BL 及反轉位元線 /BL 變成 0V 之任意的時序用感測放大器 53 開始檢測。如此則可能失去對檢測效率較佳的時序。

然而依第 2 實施形態時，由於設置檢測虛擬位元線 (虛擬 BL) 及檢測該虛擬位元線之電位的比較器 201 而檢測感測放大器側之位元線 BL 之下降的時序。然後以其時序將單元側之位元線及反轉位元線與感測放大器側之位元線及反轉位元線分離而使感測放大器 53 動作。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (30)

具體言之，如上述在初期狀態之位元線 BL 及反轉位元線 /BL、虛擬位元線(虛擬 BL)、補助字元線 SWL2 之電位為 V_{cc} 。其後字元線 WL2 上升，補助字元線 SWL 開始慢慢下降。由此使單元側之位元線 BL 與反轉位元線 /BL 之間產生電位差。其後於單元側之位元線 BL 與反轉位元線 /BL 的電位達到 $V_{cc}-V_t$ 以下時，如第 8 圖所示，感測放大器側之位元線 BL 及反轉位元線 /BL 之電位開始從 V_{cc} 下降。虛擬位元線(比較器側)之電位亦於此時序開始下降。此時連接於虛擬位元線之 TMR 元件 4a 為設定於磁化方向為平行之低電阻狀態，因此虛擬位元線為與位元線 BL 及反轉位元線 /BL 中之電阻較低的一方(第 2 實施形態中為位元線 BL)相同的時序開始電位的下降。

又於初期狀態時，連接虛擬位元線之比較器 201 之輸入 V_{in} 為 V_{cc} ，與參照電壓 V_{cc} 相同。依第 2 實施形態如上述其比較器 201 之輸入 V_{in} 與參照電壓 V_{cc} 相同的 V_{cc} 時，輸出 V_{out} 為 L 電位的訊號。其後虛擬位元線(比較器側)之電位從 V_{cc} 開始下降而虛擬位元線(比較器側)的電壓比 V_{cc} 低時，由於比較器 201 之參照電壓為 V_{cc} ，因此比較器 201 輸出 H 電位。由該訊號使訊號 $\phi 2$ 成為 H 電位，訊號 $\phi 1$ 成為 L 電位。由此使感測放大器 53 活性化。又於該時序使訊號 $\phi 3$ 下降。由此使分離用之 NMOS 電晶體 8a 及 8b 成為斷通狀態，由而使單元側之位元線及反轉位元線與感測放大器側之位元線及反轉位元線分離。

其後感測放大器側之位元線及反轉位元線的電位與

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (31)

DRAM 的感測同樣的經放大而讀出。至於單元側之位元線 BL 及反轉位元線 /BL 則於訊號 $\phi 5$ 上升至 H 電位而恢復到初期狀態。

第 9 及 10 圖表示實際的模擬波形。第 9 圖表示未開始感測放大器 53 的感測時觀察位元線 BL 之波動的波形。第 10 圖表示使比較器 201 動作而使感測放大器 53 動作時的波形。

(寫入動作)

第 2 實施形態之寫入動作基本上與上述第 1 實施形態之寫入動作相同而於此省略其詳細說明。但依第 2 實施形態如上所述將訊號 $\phi 7$ 及列解碼器輸出為輸入於 AND 電路 205，並將 AND 電路 205 之輸出連接於用以連接位元線 BL 與反轉位元線 /BL 之電晶體 204 的閘極。由此於寫入動作時，可容易的只將選擇之位元線 BL 與其對應之反轉位元線 /BL 短路。

如上所述，依第 2 實施形態可用虛擬位元線與比較器 201 檢測感測放大器側之位元線 BL 之下降時序。然後用比較器 201 檢測之虛擬位元線之下降時序使分離用之 NMOS 電晶體 8a 及 8b 斷通，並使感測放大器 53 活性化而可用感測放大器 53 容易的檢測到感測放大器側之位元線與反轉位元線間的電位差 (V_{sig})。

第 3 實施形態

第 11 圖表示本發明第 3 實施形態之 MRAM 之全體構成方塊圖。第 12 圖表示第 11 圖之第 3 實施形態之 MRAM

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (32)

之記憶體單元部及感測放大器部的電路圖。參照第 11 及 12 圖，第 3 實施形態與第 1 及第 2 圖所示第 1 實施形態不同之處只在記憶體單元部分。即第 3 實施形態之 MRAM 之一記憶體單元 82 為由一個二重接合 TMR 元件 24 及兩個 NMOS 電晶體 5a 及 5b 構成。第 3 實施形態之記憶體單元部分以外之電路構成則與第 1 實施形態相同。

如第 12 圖所示，第 3 實施形態之二重接合 TMR 元件 24 包含強磁性層 23a、絕緣障壁層 22a、強磁性層 23b、絕緣障壁層 22b、及比強磁性層 23a 與強磁性層 23b 更不易反轉之強磁性層 21。即於中央之不易反轉的強磁性層 21 的兩表面介以絕緣障壁層 22a 及 22b 各形成強磁性層 23a 及 23b。

依第 3 實施形態之二重接合 TMR 元件 24，為將第 2 圖所示第 1 實施形態之 TMR 元件 4a 之強磁性層 1a 與 TMR 元件 4b 之強磁性層 1b 以第 12 圖所示一個強磁性層 21 共有化。因此依第 3 實施形態由一個二重接合 TMR 元件 24 即可具有與第 1 實施形態之兩個 TMR 元件 4a 及 4b 相同的功能。

上述二重接合 TMR 元件 24 表示本發明之「具強磁性隧道效應之記憶元件」之一例。又強磁性層 23a 表示本發明之「第 1 磁性層」之一例，強磁性層 21 表示本發明之「第 2 磁性層」之一例，強磁性層 23b 表示本發明之「第 3 磁性層」之一例。又絕緣障壁層 22a 表示本發明之「第 1 絕緣障壁層」之一例，及絕緣障壁層 22b 表示本發明之「第

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (33)

2 絕緣障壁層」之一例。

如上所述，依第 3 實施形態只將第 1 實施形態之兩個 TMR 元件 4a 及 4b 用一個二重接合 TMR 元件 24 替換，其他的電路構成則與第 1 實施形態相同。因而第 3 實施形態之 MRAM 的寫入及讀出動作亦與上述第 1 實施形態相同而省略其詳細說明。

如上所述，依第 3 實施形態為由強磁性層 21、23a 及 23b，含有絕緣障壁層 22a 及 22b 之一個二重接合 TMR 元件 24，以及兩個 NMOS 電晶體 5a 及 5b 構成一個記憶體單元 82，因而比較用兩個 TMR 元件 4a 及 4b 以及兩個 NMOS 電晶體 5a 及 5b 構成一個記憶體單元 52 的第 1 實施形態可減小記憶體單元的面積。

又依第 3 實施形態由於讀出動作與第 1 實施形態相同而可得與第 1 實施形態相同的效果。即以感測放大器 53(參照第 12 圖)檢測連接於一個二重接合 TMR 元件 24 之位元線 BL 及反轉位元線 /BL 之電位差而可容易的讀出數據。因此可不必如以一個 TMR 元件與一個 NMOS 電晶體形成記憶體單元之習知構成而檢測流通於位元線之微小的電流值。其結果可避免檢測微小電流值用之複雜構成的感測放大器。

又依第 3 實施形態為與上述第一實施形態同樣的以感測放大器 53(參照第 12 圖)檢測位元線 BL 與反轉位元線 /BL 間之電位差的構成，因此可用與習知之 DRAM 使用之感測放大器相同之簡單的感測放大器 53 讀出數據。因而比

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (34)

較習知之使用複雜構成之感測放大器時，可使用於高速動出動作。

又第 3 實施形態之 MRAM 為與第 1 實施形態同樣，其感測放大器 53 之構成及全體電路構成以及其動作方法由於與習知之 ORAM 類似，因此可照樣採用 DRAM 的技術。其結果使得容易從 DRAM 的替換。又由於對選擇的字元線輸入脈衝狀的訊號而以感測放大器 53(參照第 12 圖)讀出產生於位元線與反轉位元線間的電位差，與習知之讀出微小的電流值不同，因此於二重接合 TMR 元件 24 的電阻較高的狀態亦能容易檢測數據。

第 13 圖為實現第 11 及 12 圖之第 3 實施形態的 MRAM 之電路構成的平面配置圖，第 14 圖表示第 13 圖之沿 100-100 線的剖面圖。以下參照第 13 及 14 圖說明第 3 實施形態之 MRAM 的記憶體單元 82 的構造。

第 13 圖之平面配置圖為簡化圖面只表示位元線 BL 及反轉位元線 /BL，構成二重接合 TMR 元件 24 之強磁性層 21、23a 及 23b，及位元線接觸部 94。

如第 14 圖所示，第 3 實施形態之 MRAM 之記憶體單元 82 的斷面構造於基板 91 的表面的之預定領域形成有分離領域 92。由分離領域 92 將圍繞的元件形成領域隔以預定的間隔形成 N 型源極/汲極領域 93。在位於鄰接之 N 型源極/汲極領域 93 間的通道領域上形成構成字元線 WL1 及 WL2 之閘極。

對於位在兩端之 N 型源極/汲極領域 93 為介由導電層

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (35)

96 連接二重接合 TMR 元件 24 之容易反轉的側壁形狀的強磁性層 23a。導電層 96 與強磁性層 23a 為介由接觸孔 99 連接。又為防止導電層 96 與強磁性層 23a 起反應，於導電層 96 與強磁性層 23a 之間形成障壁層(未圖示)亦可。又於強磁性層 23a 之側面上介以絕緣障壁層 22a 形成不易反轉之強磁性層 21。而於強磁性層 21 之另一方側面上則介以絕緣障壁層 22b 形成容易反轉之側壁形狀的強磁性層 23b。

於此將二重接合 TMR 元件 24 之強磁性層 23a 及 23b 為如第 13 圖所示對於中央的強磁性層 21 形成鋸齒狀。

又對於位在中央之 N 型源極/汲極領域 93 的表面上之位元線接觸部 94 為介以導電層 98 連接位元線 BL。然後以被覆全面的狀態形成層間絕緣膜 95 及 97。

第 15 至 17 圖表示第 13 及 14 圖所示二重接合 TMR 元件部分的製造程序剖面圖及透視圖。以下參照第 15 至 17 圖說明二重接合 TMR 元件 24 部分的製造程序。

首先如第 15 圖所示，於層間絕緣膜 95 上形成已形成有預定形狀之圖形的強磁性層 21。

然後以被覆磁性層 21 及層間絕緣膜 95 的狀態形成用做絕緣障壁材料的氧化鋁 22，其後於氧化鋁 22 之位於導電層 96 上的領域形成接觸孔 99。其次對全面形成強磁性材料層 23。然後對全面實施異方性蝕刻以形成如第 16 圖所示側壁形狀之強磁性層 23a 及 23b。於此由於強磁性層 23a 亦形成在接觸孔 99 內，因此強磁性層 23a 與導電層 96

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (36)

成為電氣連接狀態。

如上所述，第 3 實施形態為應用同樣於習知之側壁形成程序的程序而能容易的形成由強磁性層 21、23a 及 23b 構成之二重接合 TMR 元件 24。

又上述第 3 實施形態之強磁性體 21、23a 及 23b 之材料例如對於容易反轉之強磁性體 23a 及 23b 使用 $\text{Co}_{75}\text{-Fe}_{25}$ 層、Py 層及 Ta 層形成的多層膜，又對於不易反轉之強磁性層 21 則採用由 $\text{Co}_{75}\text{-Fe}_{25}$ 層、Ir-Mn 層、Py 層、Cu 層、Py 層及 Ta 層形成的多層膜。上述強磁性層之材料在日本應用磁氣學會第 116 回研究會資料「MRAM 及競爭技術之現狀及將來展望」(2000 年 11 月 17 日)中第 5 頁有所開示。

其後如第 17 圖所示，將強磁性層 23a 及 23b 做成鋸齒狀圖形。由此可容易的形成如第 13 及第 14 圖所示二重接合 TMR 元件 24。

以上所舉實施形態之各點僅做舉例表示而本發明不受其限制。本發明之範圍表示於本發明之專利申請範圍，並包含與專利申請範圍均等意味及範圍內之所有變更。

例如於上述實施形態中，構成記憶體元件之記憶元件為採用 TMR 元件，但本發明不限於此，只要為具有強磁性隧道效應之記憶元件則可採用 TMR 元件以外之記憶元件。又使用具有強磁性隧道效應之記憶元件以外的具有磁氣電阻效果的記憶元件亦可得與上述實施形態同樣的效果。

又於上述第 2 實施形態為對於第 1 實施形態之含有記

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (37)

憶體單元 52 的構成以追加虛擬位元線(虛擬 BL)及比較器 201 等為例，但本發明不限於此，而對於第 3 實施形態之含有記憶體單元 82 的構成追加虛擬位元線(虛擬 BL)及比較器 201 等亦可得同樣的效果。

[發明的效果]

如上所述，依本發明由於以具有強磁性隧道效果之兩個的第 1 及第 2 記憶元件及兩個的第 1 及第 2 電晶體構成記憶體單元，並以放大器檢測連接於兩個之第 1 及第 2 記憶元件之位元線及反轉位元線的電位差，因此不必如習知由具有強磁性隧道效應之一個記憶元件與一個記憶元件以及一個電晶體構成記憶體單元的狀態需使用複雜構成之感測放大器，因此能實行高速的讀出。又由於感測放大器之構成及電路構成以及其動作方法為與習知之 DRAM 類似，因此可照樣利用 DRAM 之技術，其結果使得自 DRAM 的替換容易。

又由於以含有第 1、第 2 及第 3 磁性層之具有強磁性隧道效應之一記憶元件，及兩個之第 1 及第 2 電晶體構成記憶體單元，因此在上述效果之外，比較以兩個記憶元件與兩個電晶體構成記憶體單元的狀態更具有減少記憶體單元之面積的效果。

[圖面的簡單說明]

第 1 圖表示本發明第 1 實施形態之 MRAM 全體構成的方塊圖。

第 2 圖表示第 1 實施形態之 MRAM 記憶體單元部及感

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (38)

測放大器部之構成的電路圖。

第 3 圖表示第 1 及第 2 圖所示第 1 實施形態之 MRAM 的讀出動作之動作波形圖。

第 4 圖表示第 1 及第 2 圖所示第 1 實施形態之 MRAM 記憶體單元部之剖面構造。

第 5 圖表示本發明第 2 實施形態之 MRAM 全體構成方塊圖。

第 6 圖表示第 5 圖所示第 2 實施形態之 MRAM 記憶體單元部及感測放大器部之電路圖。

第 7 圖表示第 5 及第 6 圖所示比較器之內部構成電路圖。

第 8 圖表示第 2 實施形態之讀出動作的動作波形概念圖。

第 9 圖表示第 2 實施形態之 MRAM 的讀出動作之動作波形模擬圖。

第 10 圖表示第 2 實施形態之 MRAM 的讀出動作之動作波形模擬圖。

第 11 圖表示本發明第 3 實施形態之 MRAM 全體構成之方塊圖。

第 12 圖表示第 11 圖之第 3 實施形態之 MRAM 記憶體單元部及感測放大器部電路圖。

第 13 圖表示第 11 及第 12 圖之第 3 實施形態之 MRAM 記憶體單元部的平面配置圖。

第 14 圖表示第 13 圖所示第 3 實施形態之 MRAM 沿

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (39)

100-100 線之剖面圖。

第 15 圖表示第 14 圖之記憶體單元部之二重接合 TMR 元件之製造程序說明用剖面圖。

第 16 圖表示第 14 圖之記憶體單元部之二重接合 TMR 元件製造程序說明用剖面圖。

第 17 圖表示第 14 圖之第 3 實施型態之二重接合 TMR 元件製造程序說明用透視圖。

第 18 圖表示習知之 MRAM 記憶元件之構成概略圖。

第 19 圖表示習知之 MRAM 記憶元件之構成概略圖。

第 20 圖表示習知之 MRAM 全體構成方塊圖。

[元件符號說明]

1a、1b、21 強磁性層(第 2 磁性層)

2a、2b 絕緣障壁層

3a、3b、23a 強磁性層(第 1 磁性層)

4a TMR 元件(第 1 記憶元件)

4b TMR 元件(第 2 記憶元件)

5a、211 NMOS 電晶體(第 1 電晶體)

5b、212 NMOS 電晶體(第 2 電晶體)

6、10a、10b NMOS 電晶體

7、9 PMOS 電晶體

8a、8b NMOS 電晶體(分離用電晶體)

22a 絕緣障壁層(第 1 絕緣障壁層)

22b 絕緣障壁層(第 2 絕緣障壁層)

23b 強磁性層(第 3 磁性層)

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (40)

- | | | | |
|----|-------------------|-------|-------|
| 24 | 二重接合 TMR 元件(記憶元件) | | |
| 51 | 記憶體陣列 | 52、82 | 記憶體單元 |
| 53 | 感測放大器(放大器) | 54 | 列解碼器 |
| 60 | 行解碼器 | 201 | 預充電電路 |

(請先閱讀背面之注意事項再填寫本頁)

訂
線

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要（發明之名稱：磁性記憶裝置）

本發明之目的係為提供防止感測放大器之構成變複雜並能以高速讀出之磁性記憶裝置。

本發明之磁性記憶裝置具備：兩個 TMR 元件 4a 及 4b；兩個 NMOS 電晶體 5a 及 5b 形成之記憶體單元 52；連接於 NMOS 電晶體 5a 及 5b 之閘極的字元線；經由 NMOS 電晶體 5a 連接於 TMR 元件 4a 之位元線；經由 NMOS 電晶體 5b 連接於 TMR 元件 4b 之反轉位元線；以及連接於位元線及反轉位元線之感測放大器 53。於讀出數據時，對於選擇之字元線輸入訊號並用感測放大器 53 讀出由輸入訊號於字元線而在位元線與反轉位元線之間發生的電位差。

英文發明摘要（發明之名稱：MAGNETIC MEMORY DEVICE）

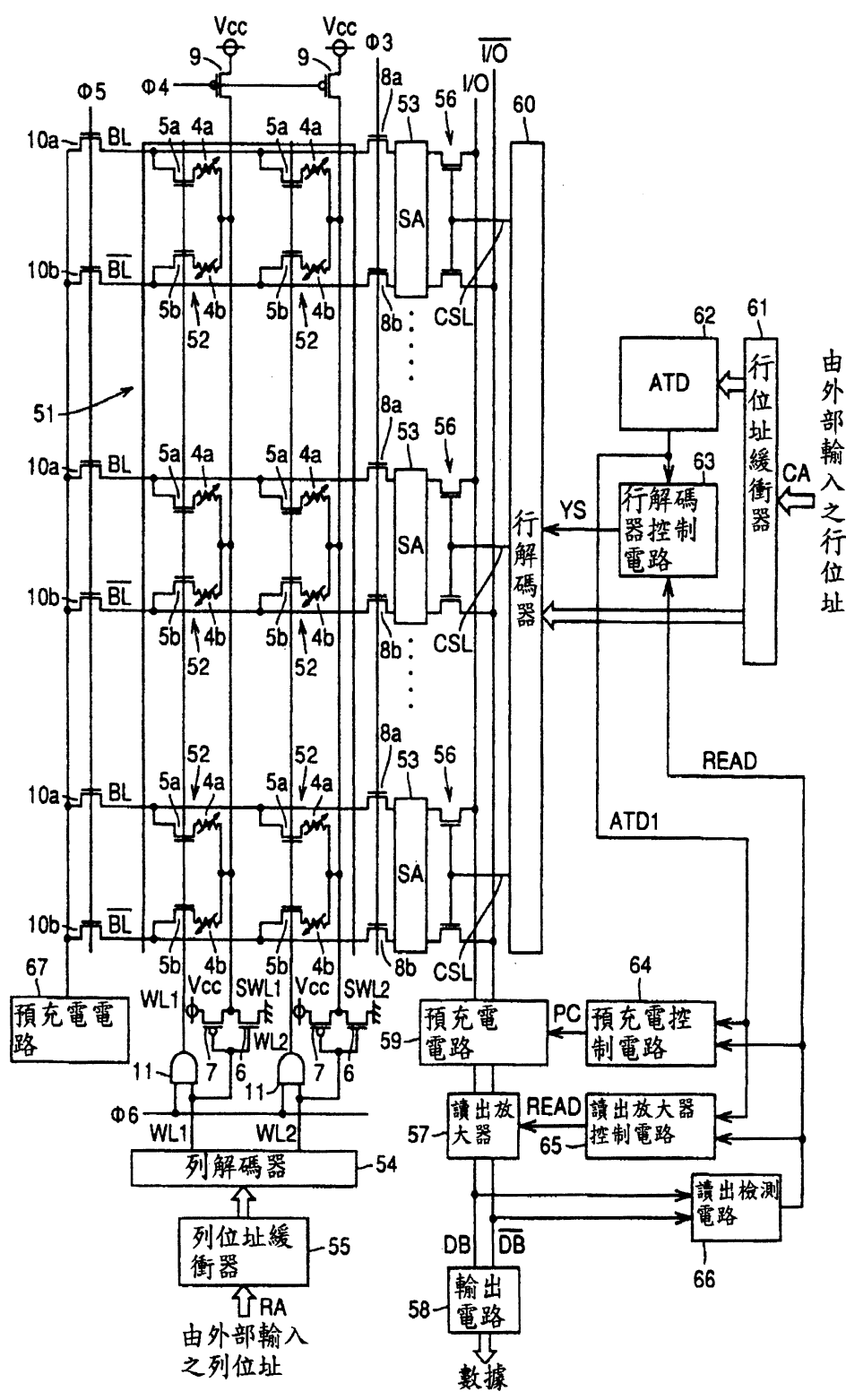
A magnetic memory device has two TMR elements 4a and 4b, a memory cell 52 consisting of two NMOS transistors 5a and 5b, a word line connected to the gates of NMOS transistors 5a and 5b, a bit line connected to the TMR element 4a through the NMOS transistor 5a, and a sensor amplifier 53 connected to the bit line and an inverted bit line. Signals are inputted to the selected word line when the data is read out, and the sensor amplifier 53 is used to read the voltage difference between the bit line and the inverted bit line according to the signals inputted in the word line.

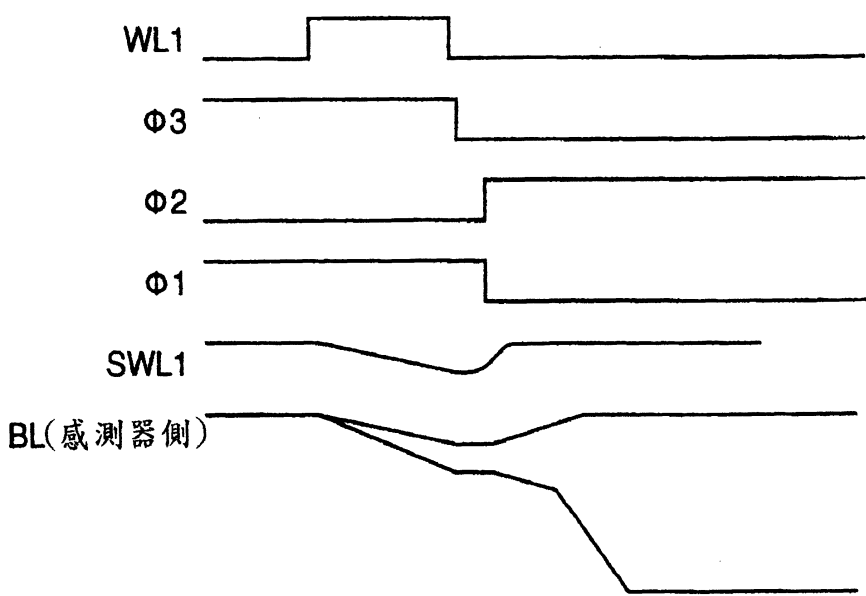
（請先閱讀背面之注意事項再填寫本頁各欄）

裝

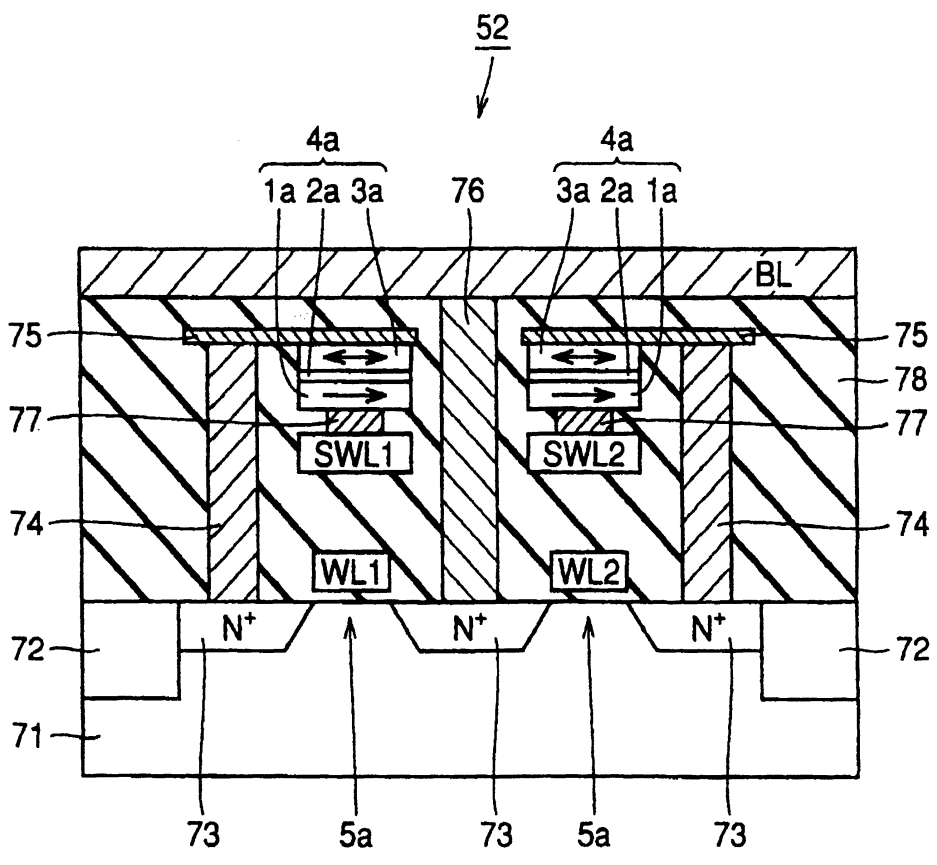
訂

線

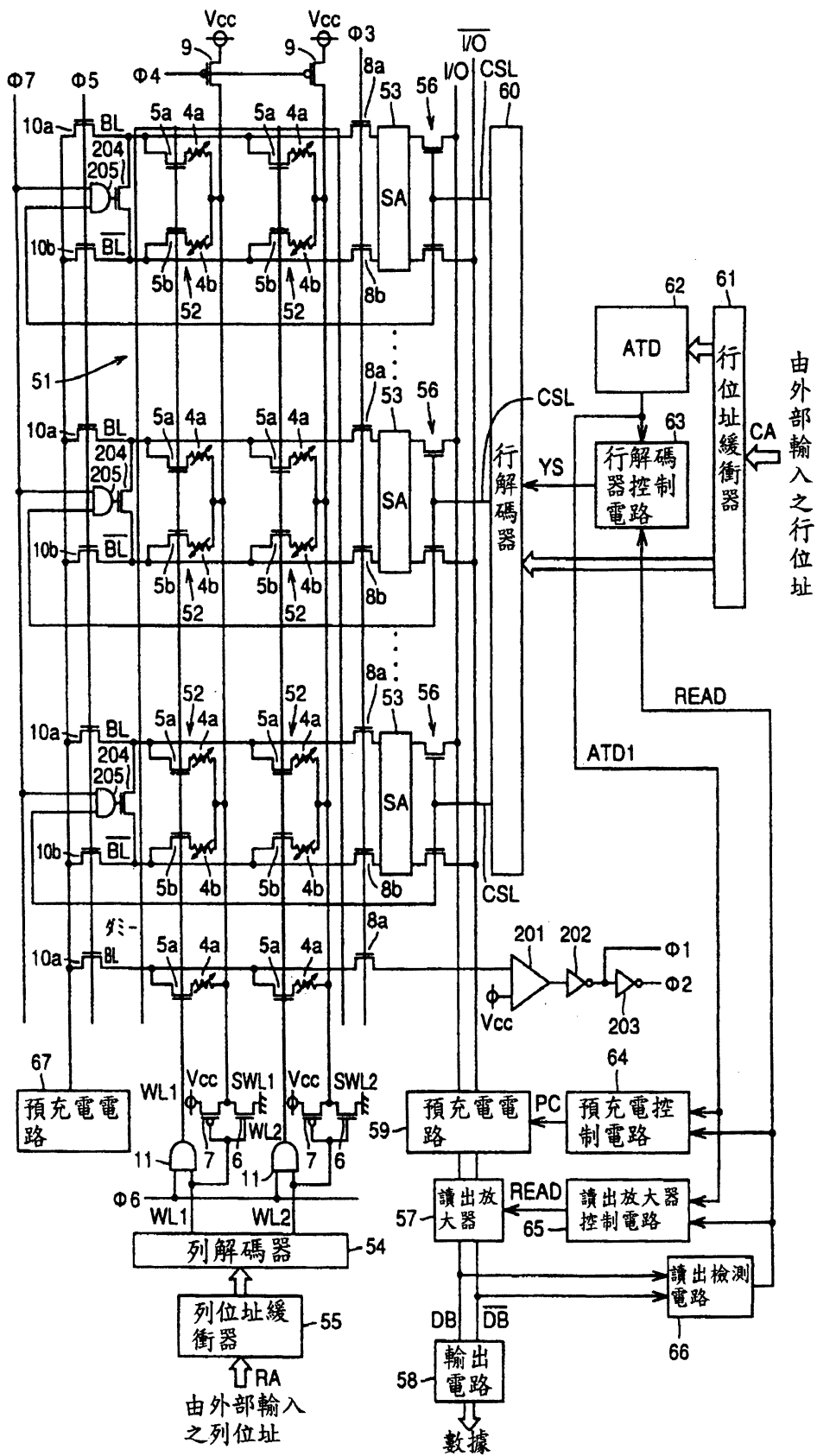




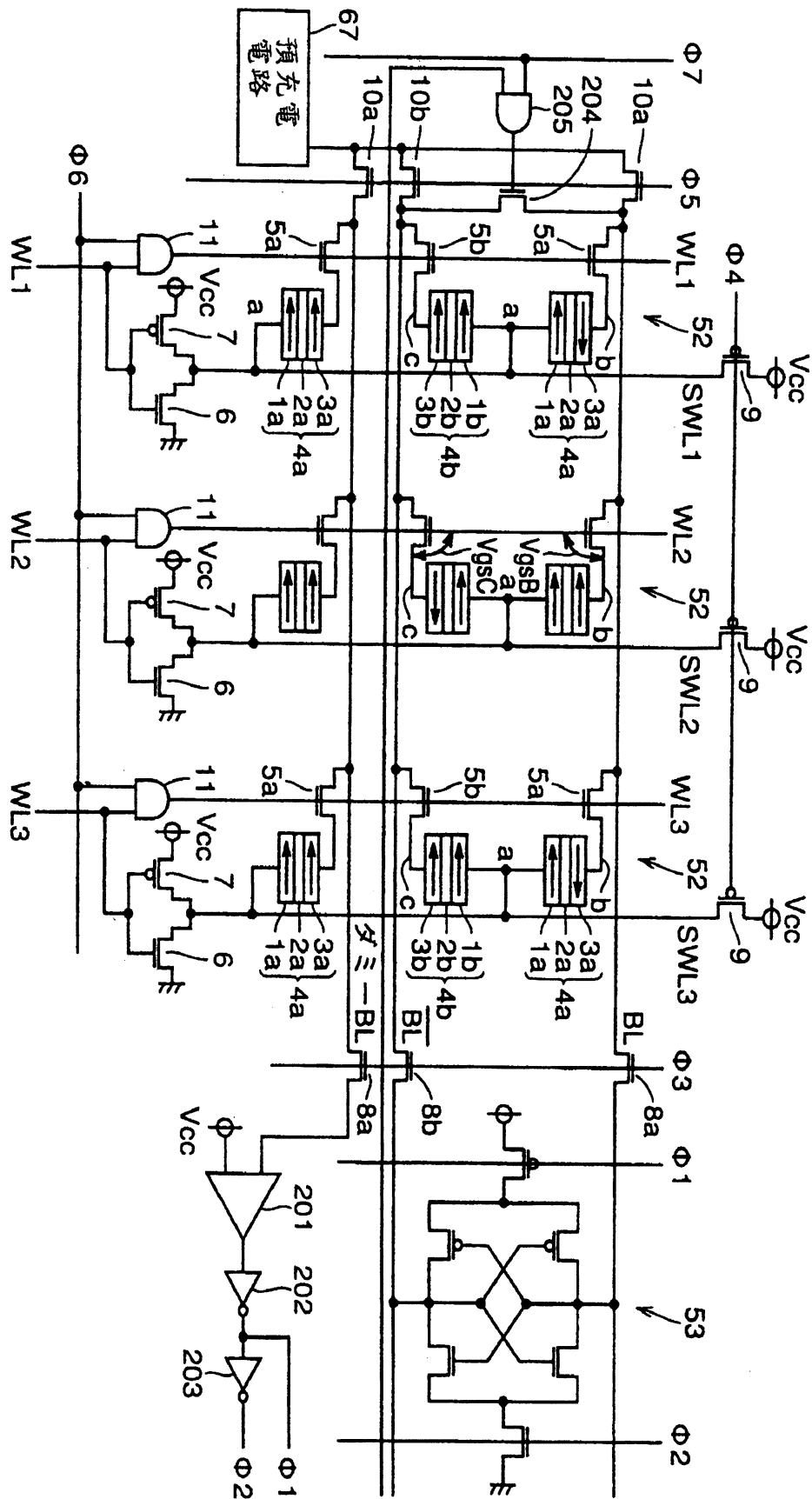
第 3 圖



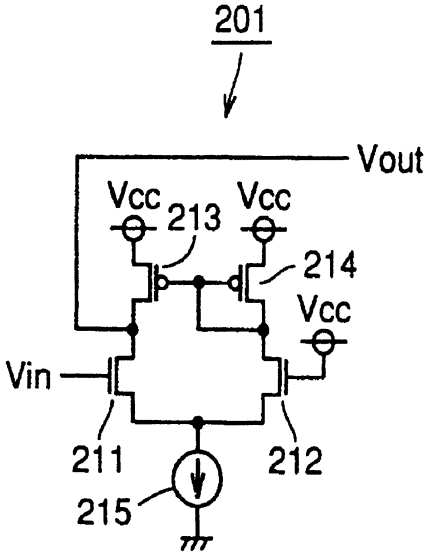
第 4 圖



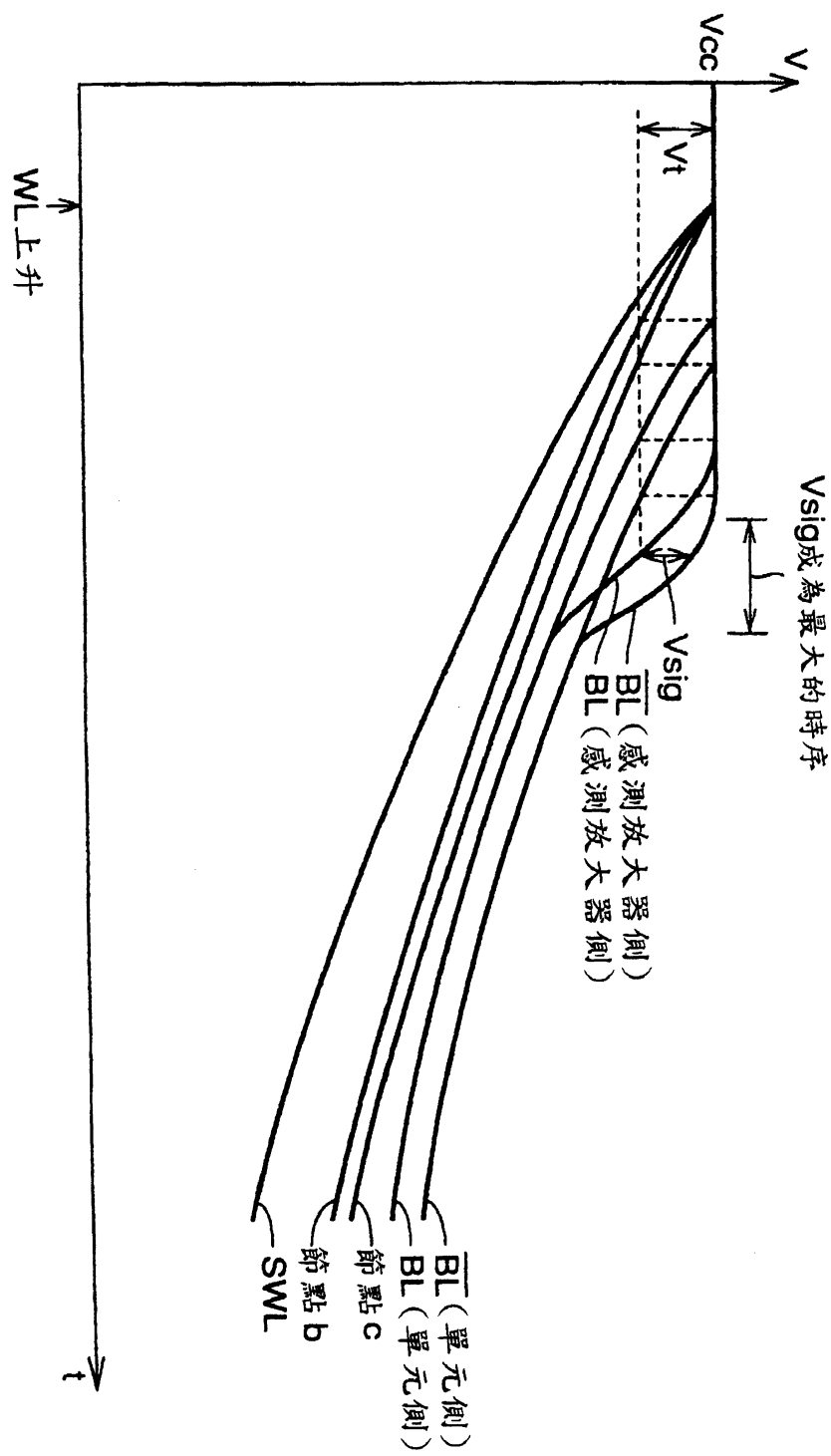
第 5 圖



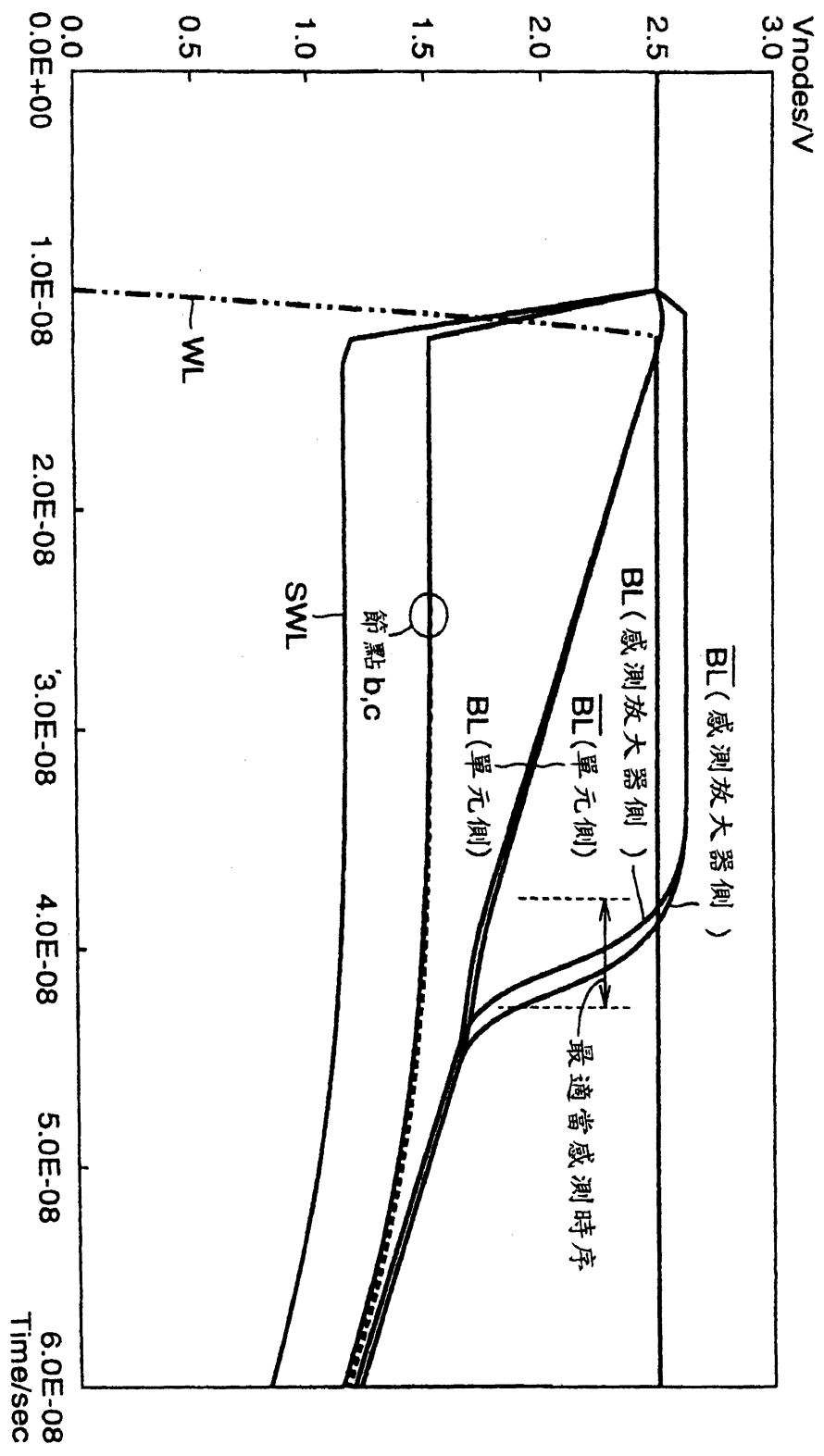
第 6 圖



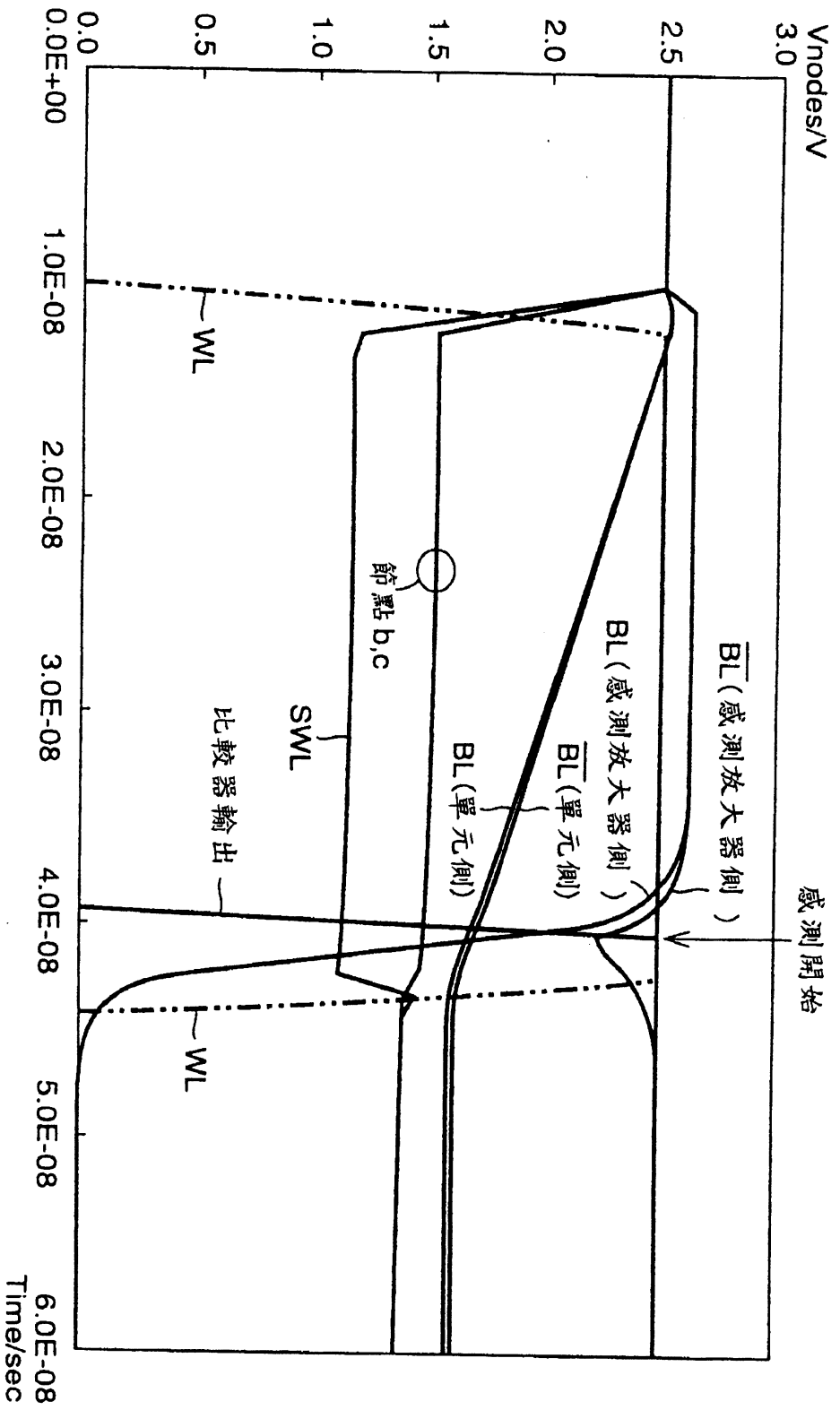
第 7 圖



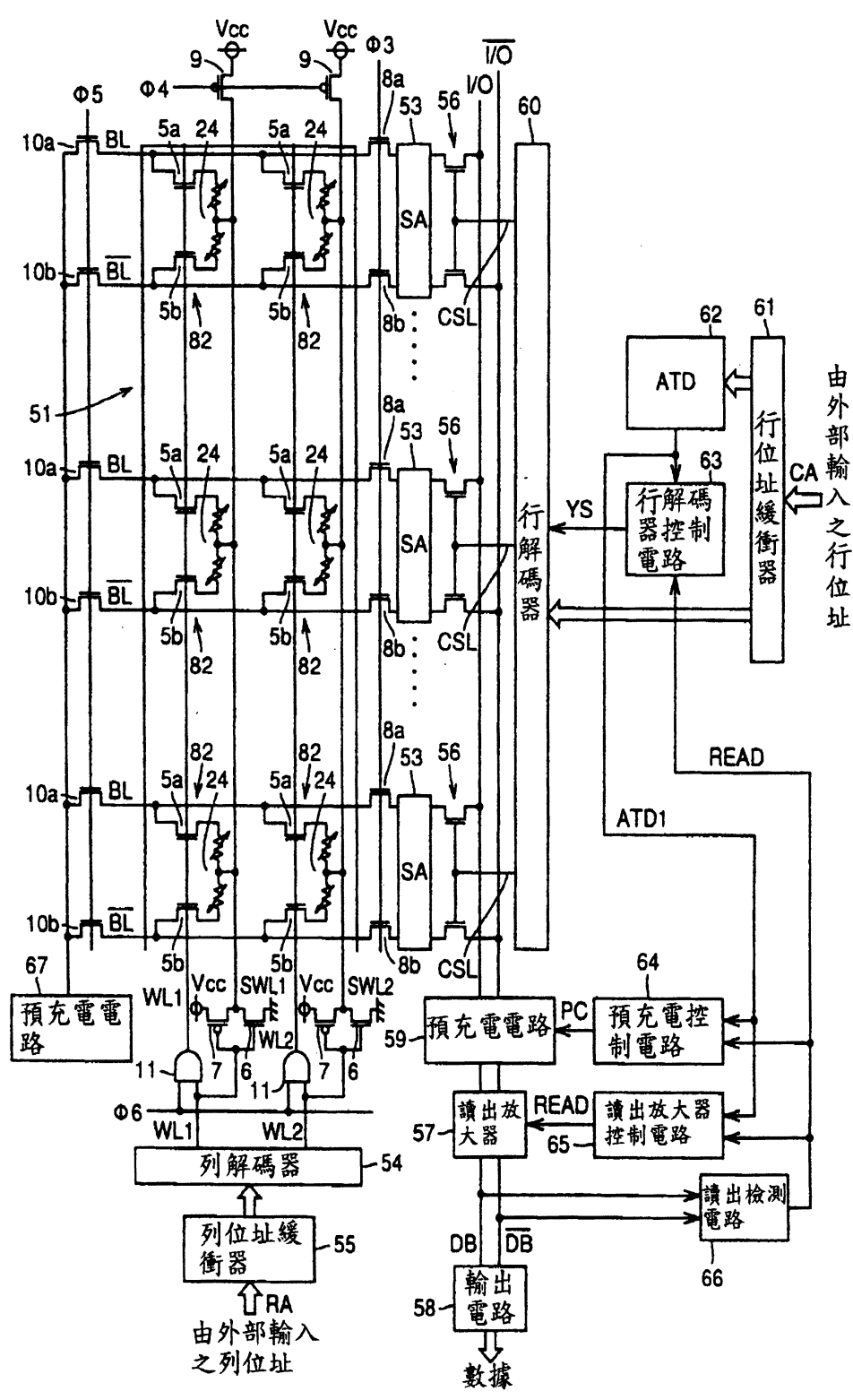
第 8 圖



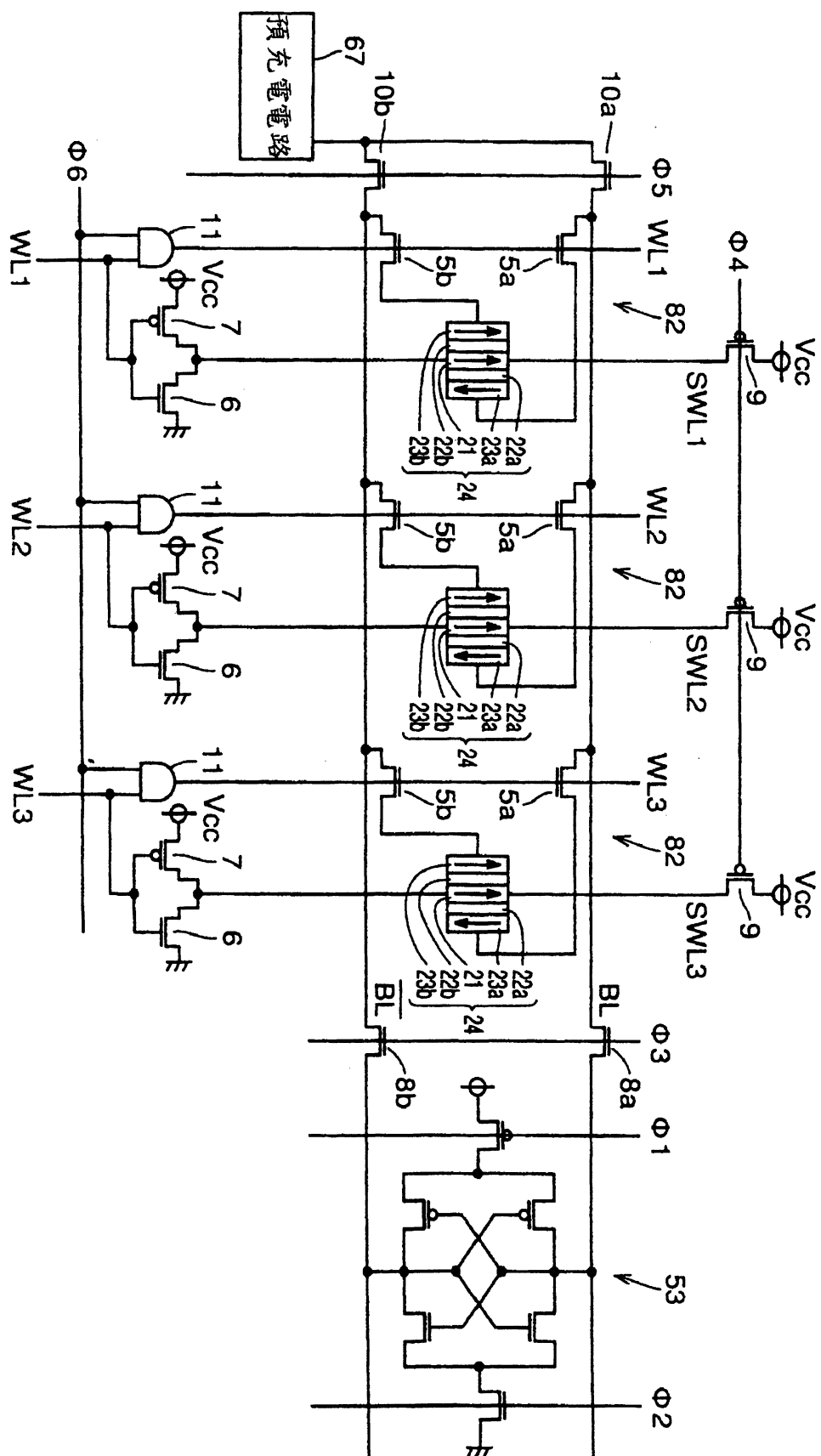
第 9 圖

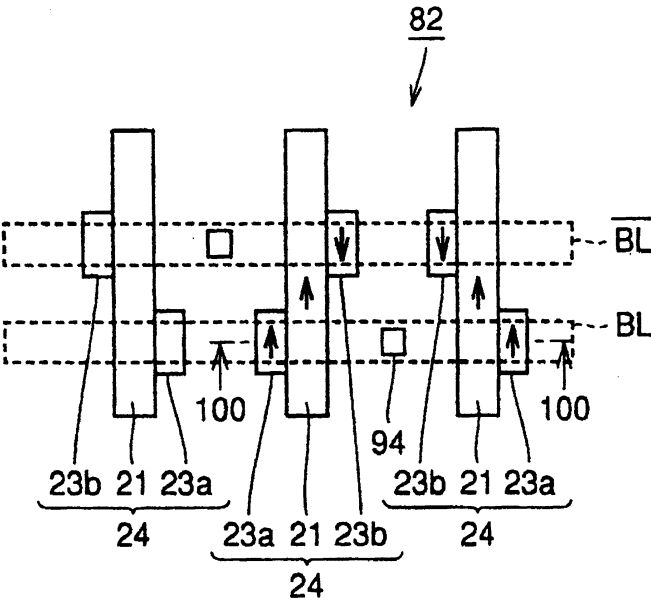


第 10 圖

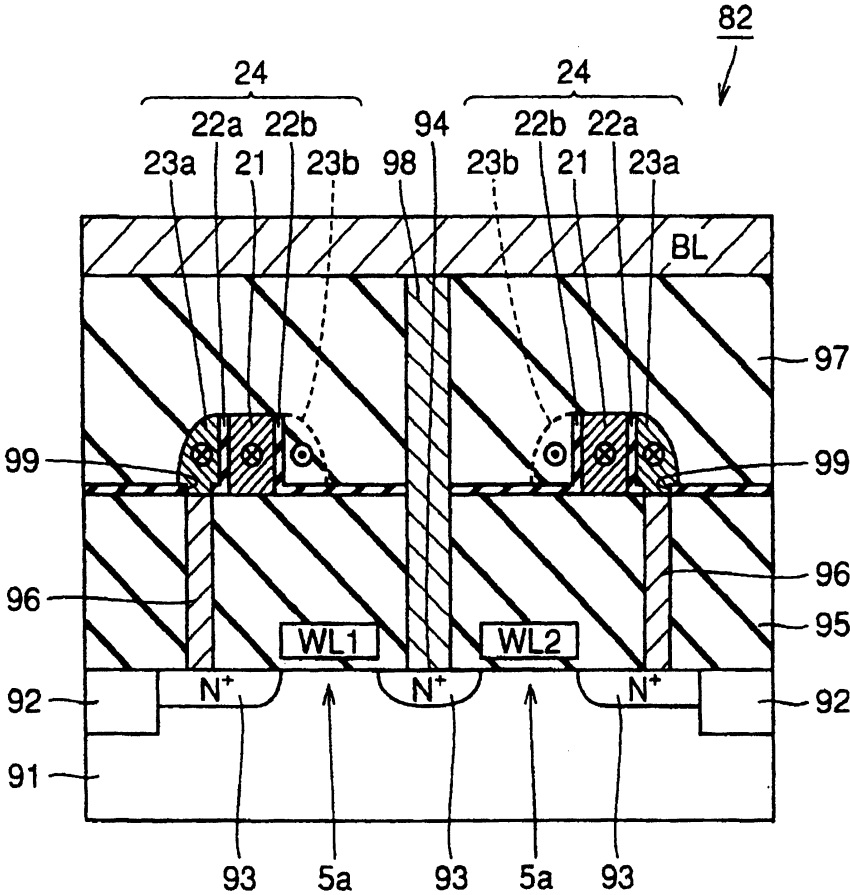


第 11 圖

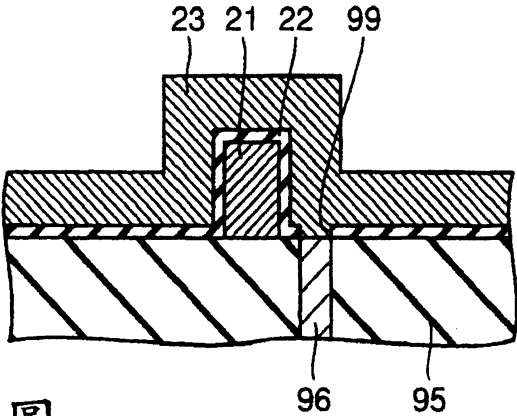




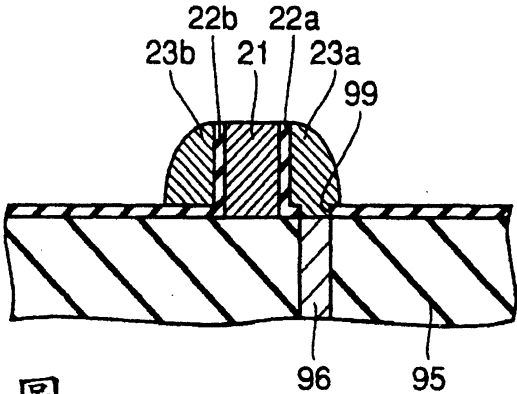
第 13 圖



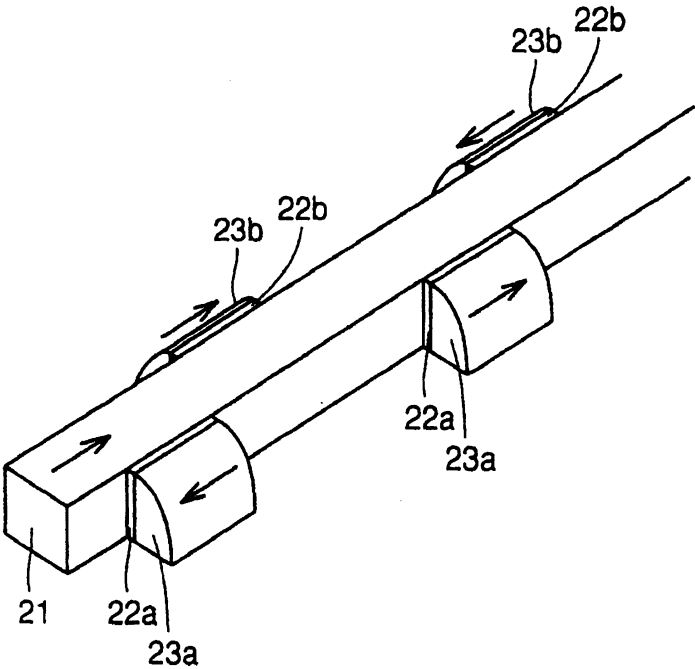
第 14 圖



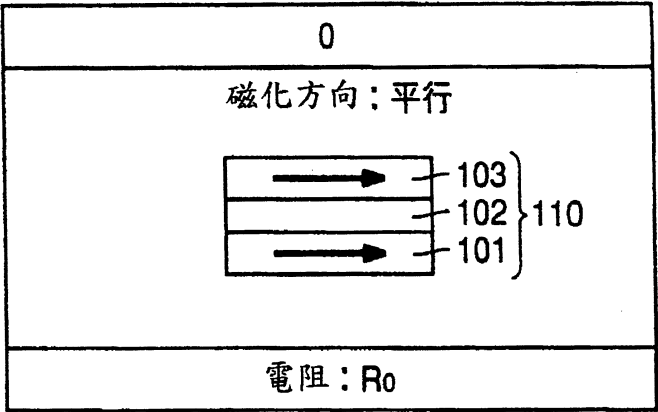
第 15 圖



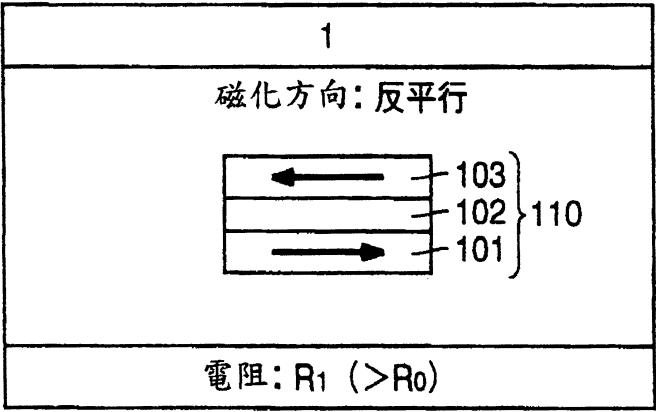
第 16 圖



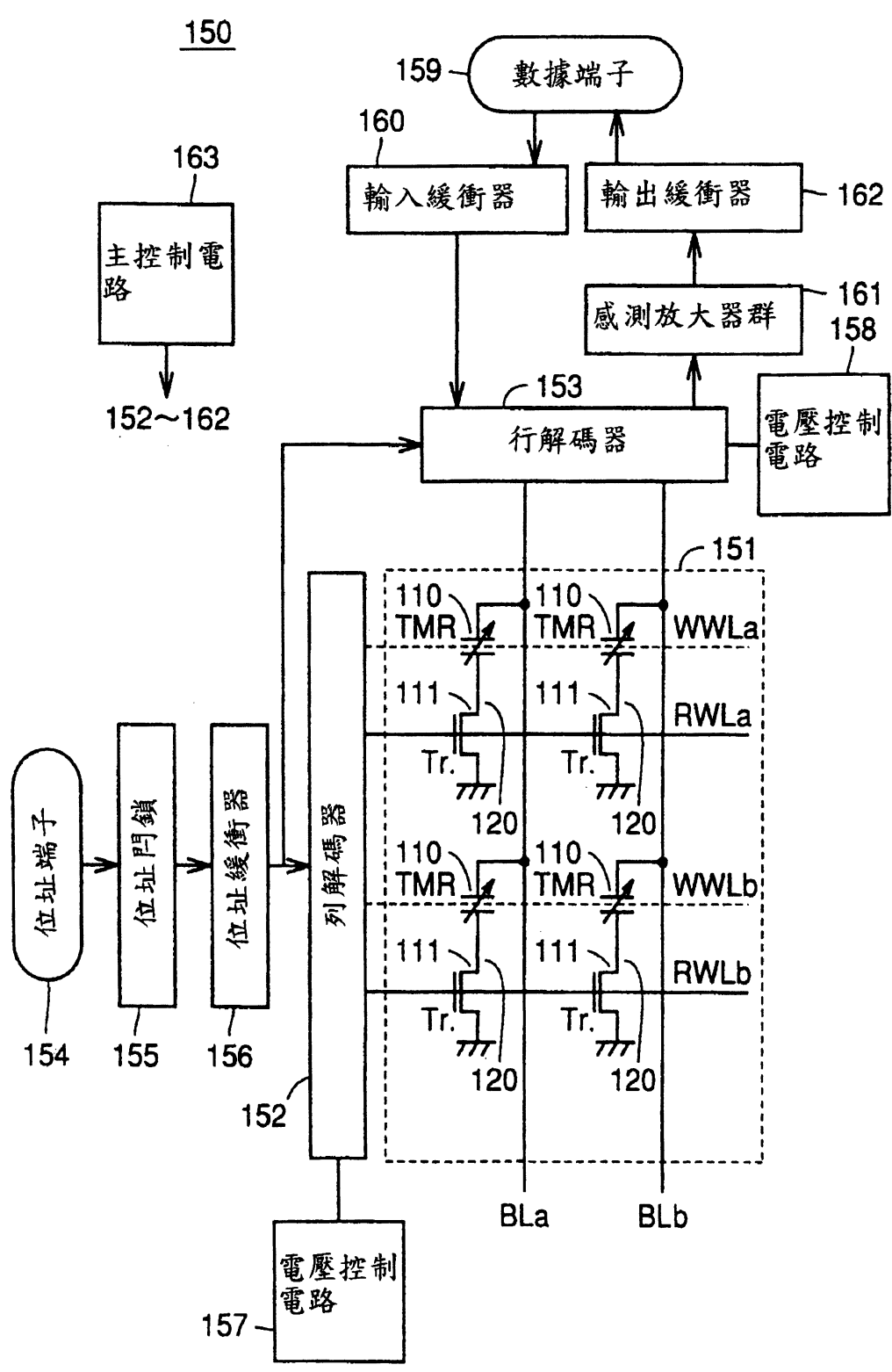
第 17 圖



第 18 圖



第 19 圖



第 20 圖

1993年8月3日	H3	修正 補充
-----------	----	----------

第 90126458 號專利申請案

申請專利範圍修正本

(92 年 8 月 5 日)

1. 一種磁性記憶裝置，具備：

由具有強磁性隧道效應之第 1 記憶元件及第 2 記憶元件，及各連接於前述第 1 及第 2 記憶元件之第 1 及第 2 電晶體構成之記憶體單元；

連接於前述第 1 及第 2 電晶體之控制端子的字元線；

介以前述第 1 電晶體連接於前述第 1 記憶元件之位元線；

介以前述第 2 電晶體連接於前述第 2 記憶元件而與前述位元線構成位元線對之反轉位元線；以及

連接於前述位元線及反轉位元線之放大器，而以於數據之讀出時，對選擇的前述字元線輸入訊號，並用前述放大器讀出由於輸入訊號於前述字元線而產生於前述位元線與前述反轉位元線間之電位差。

2. 如申請專利範圍第 1 項之磁性記憶裝置，其中前述第 1 記憶元件與前述第 2 記憶元件各包含第 1 磁性層及介以絕緣障壁層與前述第 1 磁性層對向配置之比前述第 1 磁性層更不易反轉之第 2 磁性層；及更具備：

連接於前述第 1 記憶元件之第 2 磁性層及前述第 2 記憶元件之第 2 磁性層而應於施加在前述字元線之訊號上升的時序將前述第 1 記憶元件之第 2 磁性層及前述

第 2 記憶元件之第 2 磁性層的電位拉下至接地電位用之補助字元線。

3. 如申請專利範圍第 1 項之磁性記憶裝置，其中對於前述字元線之訊號的下降時序為在前述第 1 記憶元件之第 2 磁性層及第 2 記憶元件之第 2 磁性層的電位達到接地電位之前實行。
4. 如申請專利範圍第 1 項之磁性記憶裝置，其中更具備應於施加在前述字元線之訊號的下降時序將前述放大器與前述位元線及反轉位元線分離之分離用電晶體。
5. 如申請專利範圍第 1 項之磁性記憶裝置，其中使前述第 1 記憶元件及前述第 2 記憶元件為記憶互相相反的數據。
6. 如申請專利範圍第 1 或第 2 項之磁性記憶裝置，其中更具備：介以前述第 1 電晶體連接於前述第 2 記憶元件之虛擬位元線；及

檢測前述虛擬位元線之下降時序的檢測電路。

7. 如申請專利範圍第 6 項之磁性記憶裝置，其中更具備應於前述檢測電路檢測所得前述虛擬位元線之下降時序以使前述放大器與前述位元線及反轉位元線分離之分離用電晶體，而以

前述放大器為應於前述檢測電路所得虛擬位元線之下降時序活性化。

8. 如申請專利範圍第 6 項之磁性記憶裝置，其中前述檢測電路包含輸入電壓為施加在閘極之第 1 電晶體及參照

電壓為施加在閘極之第 2 電晶體，而以

使流通前述第 1 電晶體之電流比流通前述第 2 電晶體的電流大而於前述輸入電壓與前述參照電壓相等時則輸出 L 電位。

9. 一種磁性記憶裝置，具備：

由含有第 1 磁性層及於前述第 1 磁性層的表面介以第 1 絕緣障壁層而其一方表面為對向配置之第 2 磁性層及於前述第 2 磁性層之另一方表面介以第 2 絕緣壁層對向配置之第 3 磁性層之一個具有強磁性隧道效應的記憶元件，及各連接於前述記憶元件之第 1 磁性層及第 3 磁性層之第 1 及第 2 電晶體所形成之記憶體單元；

連接於前述第 1 及第 2 電晶體之控制端子的字元線；

介由前述第 1 電晶體連接於前述第 1 磁性層之位元線；

介由前述第 2 電晶體連接於前述第 3 磁性層並與前述位元線構成位元線對之反轉位元線；以及

連接於前述位元線及反轉位元線的放大器，而以

於讀出數據時，對選擇之前述字元線輸入訊號，並依輸入前述字元線的訊號使用前述放大器讀出前述位元線與前述反轉位元線之間產生的電位差。

10. 如申請專利範圍第 9 項之磁性記憶裝置，其中前述第 1 磁性層含有介由前述第 1 絕緣障壁層形成在前述第 2 磁性層之一方之側面的側壁形狀的第 1 磁性層，又

前述第 3 磁性層含有介由前述第 2 絕緣障壁層形成在前述第 2 磁性層之另一方之側面的側壁形狀的第 3 磁性層。

11. 如申請專利範圍第 10 項之磁性記憶裝置，其中前述側壁形狀之第 1 磁性層及第 3 磁性層為介以絕緣障壁材料層以被覆前述第 2 磁性層的狀態形成磁性材料層後，對其實行異方性蝕刻而形成。

12. 如申請專利範圍第 9 項之磁性記憶裝置，其中前述記憶元件之第 2 磁性層為形成比前述第 1 磁性層及前述第 3 磁性層不易反轉，又具備：

應於施加在前述字元線之訊號上升時序將前述記憶元件之第 2 磁性層之電位拉下至接地電位的補助字元線。

13. 如申請專利範圍第 9 項之磁性記憶裝置，其中施加在前述字元線之訊號的下降時序為設在前述記憶元件之第 2 磁性層的電位達到接地電位之前。

14. 如申請專利範圍第 9 項之磁性記憶裝置，其中更具備應於施加在前述字元線之訊號的下降時序將前述放大器與前述位元線及前述反轉位元線分離的分離用電晶體。

15. 如申請專利範圍第 9 至 14 項之任一項的磁性記憶裝置，其中前述第 1 磁性層及前述第 3 磁性層記憶互相相反之數據。

16. 一種磁性記憶裝置，具備：

含有第 1 磁性層及於前述第 1 磁性層的表面介以第 1 絕緣障壁層而其一方表面為對向配置之第 2 磁性層及於前述第 2 磁性層之另一方表面介以第 2 絕緣壁層而對向配置之第 3 磁性層之一個具有強磁性隧道效應的記憶元件；以及

各連接於前述記憶元件之第 1 磁性層及第 3 磁性層之第 1 及第 2 電晶體所構成之記憶體單元。