(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 21/3205

(11) 공개번호 특2001-0021456
(43) 공개일자 2001년03월15일

(21) 출원번호 10-2000-0050372
(22) 출원일자 2000년08월29일
(30) 우선권주장 9/385,285 1999년08월30일 미국(US)
(71) 출원인 루센트 테크놀러지스 인크
미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636)
(72) 발명자 뎅자이아오준
미합중국,플로리다32837,올랜도,새인우드코트4443
후앙지아셍
미합중국,플로리다32836,올랜도,에메랄드우즈애브뉴10249
오테스안소니스테판
미합중국,플로리다32835,올랜도,캐논레이크서클7988
(74) 대리인 이병호

심사청구 : 없음

(54) 집적 회로 제조 방법 및 집적 회로

요약

집적 회로는 유전층내에 형성된 도전체를 포함하는 구조 상에 형성된 재료층을 포함한다. 재료층은 도전체상에 또는 유전체상에 형성될 수도 있으며 그 구조는 집적 회로내의 최상위 도전층과는 다른 것이다. 재료층은 유전 재료의 영률보다 큰 영률을 갖는다. 재료층은 도전 구조의 일렉트로마이그레션 특성들을 향상시킨다. 한 실시예에서, 재료층은 패시베이션층이다. 또 다른 실시예에서, 재료층은 SiNO이다. 본 발명은 또한 도전층 및 유전층을 포함하는 구조상의 재료층을 형성하는 공정을 제공한다.

대표도

도2

색인어

집적 회로, 유전층, 재료층, 집적 회로 제조 공정

명세서

도면의 간단한 설명

도 1 은 본 발명의 예시적인 실시예에 의한 집적 회로의 개략도.

도 2 는 도 1 에 도시된 집적 회로를 제조하는 흐름도.

도 3 은 본 발명의 또 다른 예시적인 실시예에 의한 집적 회로의 개략도.

도 4 는 본 발명을 예시하는데 유용한 비아 체인 구조의 상단도.

도 5a 및 5b 는 집적 회로내의 제 1 도전층(M1) 및 제 2 도전층(M2) 각각에 대한 일렉트로마이그레션을 도시한 개략도.

도 6 은 250℃에서 2MA/㎠의 전류 밀도로 압력이 가해진 도전층들(M1 및 M2)의 누적 고장 분포를 도시한 도면.

도 7 은 250℃에서 2MA/㎠의 전류 밀도로 압력이 가해진 비아(1), 비아(2) 및 비아(3) 구조들의 도전층들(M2, M3 및 M4)의 누적 고장 분포를 도시한 도면.

도 8 은 각종 저항이 증가한 후 비아(3)로부터 도전층들(M3 및 M4)내의 Al의 디플리션 거리를 도시한 도면.

도 9a 는 250℃에서 전류 밀도들 2.5, 2 및 1.5 MA/㎠를 갖는 4-레벨 구조들의 도전층들(M1, M2, M3)의 MTF(median time to failure)를 도시한 도면.

도 9b 는 250℃에서 전류 밀도들 2.5, 2 및 1.5 MA/㎠를 갖는 4-레벨 구조들의 도전층들(M2, M3, M4)의

MTF(median time to failure)를 도시한 도면.

도 10a 및 10b 는 2-레벨 구조내의 유전체들로 캡슐에 싸여진 도전층들(M1 및 M2)의 개략도.

* 도면의 주요 부분에 대한 부호의 설명 *

1, 2, 3 : 비아

10 : 기판

20 : 제 1 패턴된 도전체

30 : 제 1 재료층

40 : 제 1 유전층

45 : 제 1 평탄화층

50 : 라이너층

60 : 도전 재료

70 : 제 2 패턴된 도전체

80 : 제 2 재료층

90 : 제 2 유전층

95 : 제 2 평탄화층

M1, M2, M3, M4 : 도전층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 분야

본 발명은 일반적으로 집적 회로에 관한 것이며, 특히, 집적 회로에서 도전 구조에 관한 것이다.

발명의 배경

집적 회로는 상호접속을 위해 금속층들을 오랫동안 사용했었다. 다음의 복잡도는 유전층들에 의해 분리된 많은 금속화 층들을 추가시켰으며, 상호접속들의 크기를 줄어들게 했다. 이 상호접속의 물리적 치수가 줄어들었기 때문에, 상호접속의 일렉트로마이그레션과 관련된 신뢰성 문제가 증가되었다. 따라서, 이는 일렉트로마이그레션을 감소시키는 집적 회로를 제조하는 공정과 집적 회로를 제공하는데 바람직하다.

발명이 이루고자하는 기술적 과제

본 발명은 유전층에 형성된 도전체를 포함하는 구조 상에 형성된 재료층을 포함하는 집적 회로를 제공한다. 재료층은 도전체 또는 유전체상에 형성될 수도 있으며 그 구조는 집적 회로내의 최상위 도전층과는 다른 것이다. 재료층은 유전 재료의 영률(Young's modulus)보다 큰 영률을 갖는다. 재료층은 도전 구조의 일렉트로마이그레션 특성을 향상시킨다. 한 실시예에서, 재료층은 패시베이션층이다. 또 다른 실시예에서, 재료층은 SiN이다. 본 발명은 또한 도전층 및 유전층을 포함하는 구조상에 재료층을 형성하는 공정을 제공한다.

앞의 일반적인 설명과 다음의 상세한 설명 모두는 전형적인 것이며, 본 발명을 제한하지 않음을 알 수 있을 것이다.

본 발명은 첨부 도면과 관련하여 판독할 때 다음의 상세한 설명에서 최상으로 이해된다. 반도체 산업에서의 공통적인 실행에 따라, 도면의 각종 특징부(feature)들은 일정한 비율로 만들어지지 않았음이 강조된다. 이에 반하여, 각종 특징부들의 치수는 임의로 확대되거나 또는 명료함을 위해 축소되었다. 도면들에는 다음의 도면들이 포함되어 있다.

발명의 구성 및 작용

이제 도면을 참조하면, 같은 참조 번호들은 완전히 같은 요소들을 가리키며, 도 1 은 본 발명에 의한 예시적인 집적 회로의 개략도이다. 도 2 는 도 1에 도시된 집적 회로를 제조하는 공정을 기술한 흐름도이다.

단계 100에서, 제 1 패턴된 도전체(20)는 기판(10)상에 형성된다. 제 1 패턴된 도전체(20)는 텅스텐, 알루미늄, 구리, 니켈, 알루미늄/구리 합금 또는 당업자들에 의해 공지된 바와 같은 도전체로서 사용하는데 적합한 다른 도전재료와 같은 금속이다. 통상적으로, 제 1 패턴된 도전체(20)는 기판(10)위에 증착된 블랭킷이다. 제 1 패턴된 도전체(20)는 1) 블랭킷이 증착된 재료상에 레지스트 재료의 층을 적용하고; 2) 레지스트 재료를 레티클(reticle)을 통과하는 에너지 원에 노출시키고; 3) 레지스트내의 패턴을 형성하기 위해 레지스트의 영역을 제거하고; 4) 블랭킷이 증착된 재료를 에칭함으로써 패턴화될 수도 있다. 에너지 원은 전자빔(e-beam), 광원 또는 다른 적절한 에너지 원일 수도 있다.

기판(10)은, 예를 들어, GaAs 또는 SiGe와 같은 화합물 반도체 또는 실리콘과 같은 반도체이다. 대안적으로, 기판(10)은 유전체, 도전체 또는 다른 재료와 같은 집적 회로내의 중간층일 수도 있다. 게다가, 기판(10)의 상층면(11)은 평면화되지 않을 수도 있다. 게다가, 상층면(11)은 이미 공지된 바와 같이 예를 들어, CMP(chemical mechanical polishing)을 사용하여 평면화될 수도 있다.

단계 110에서, 제 1 유전층(40)은 제 1 패턴된 도전체(20)상에 형성된다. 제 1 유전층(40)은 통상적인 기술들을 사용하여 증착된 블랭킷일 수도 있다. 제 1 유전층(40)은 예를 들어, 고밀도로 증착된 실리콘

산화물(예를 들어, SiO_2)와 같은 유전체이다. 대안적으로, 제 1 절연층은 붕소인규산염(borophosphosilicate) 유리, 인규산염(phosphosilicate) 유리, 인으로부터 형성된 유리 및/또는 붕소 도핑된 테트라에틸 정규산염(boron-doped tetraethyl orthosilicate), 스핀 온 유리(spin-on glass), 크세로겔(xerogels), 에어로졸(aerogels) 또는 폴리머, 플루오르화 산화물(fluorinated oxide) 및 수소 실세스쿠오샌(hydrogen silsesquioxane)과 같은 또 다른 낮은 유전상수막일 수도 있다.

단계 120에서, 제 1 재료층(30)은 제 1 유전층(40)상에 형성된다. 제 1 재료층(30)은 통상적인 기술들을 사용하여 증착된 블랭킷일 수도 있다. 제 1 재료층(30)의 두께는 1000Å 내지 2000Å 또는 약 1500Å일 수도 있다. 제 1 재료층(30)은 제 1 유전층(40)의 영률(Young's modulus)보다 큰 영률을 갖도록 선택될 수도 있다. 제 1 재료층을 제공함으로써, 제 1 패턴된 도전체(20)의 일렉트로마이그레션율은 집적 회로 수명을 높이는 것을 줄일 수도 있다. 일렉트로마이그레션 디플리션율은 도전체가 캐소드와 애노드 사이의 소성 변형(plastic deformation)없이 유지될 수 있는 최대 변형력 차(maximum stress difference)와 관련이 있다.

발명자는 제 1 재료층(30)이 보다 큰 영률을 갖기 때문에 제 1 재료층(30)이 제 1 패턴된 도전체(20)의 소성 완화(plastic relaxation)를 위해 제 1 유전층(40)보다 큰 압박을 제공할 수도 있음을 이론화한다. 바꾸어 말하면, 재료층은 보다 큰 기계적 압박을 제공함으로써 제 1 패턴된 도전체(20)의 돌출을 막을 수도 있다.

단계 130에서, 제 1 평탄화층(45)이 형성된다. 제 1 평탄화층(45)은 PETEOS(plasma-assistance)를 갖는 테트라에틸 정규산염에 증착될 수도 있는 실리콘 산화물의 층을 블랭킷 증착함으로써 형성될 수도 있으며, 다음으로, 기계 화학적 연마를 사용하여 블랭킷 증착된 층을 평탄화한다. 제 1 평탄화층은 제 1 유전층(40)에 관하여 상기에서 기재된 바와 같이 또 다른 유전체일 수도 있다.

단계 140에서 비아들과 플러그들은 통상적인 기술들을 사용하여 제 1 유전층(40), 평탄화층(45) 및 재료층(30)내에 형성될 수도 있다. 비아들은 알루미늄/구리 합금, 텅스텐, 알루미늄 또는 다른 통상적인 재료와 같은 도전 재료(60)로 채워진다. 라이너층(50)은 또한 비아내에 형성될 수도 있다. 이 층은 장벽층, 접착층 및/또는 뉴클리에이션층(nucleation layer)으로 기능할 수도 있다. 예를 들어, 라이너층(50)은 (1) Ti 및 TiN 또는 (2) Ti 및 TiN 및 Ti 의 층일 수도 있다. 대안적으로, 라이너층은 WSi, TiW, Ta, TaN, Ti, TiN, Cr, Cu, Au, WN, TaSiN 또는 WSiN 일 수도 있다.

단계 150에서, 제 2 패턴된 도전체(70)는 제 1 평탄화층(45)상에 형성된다. 제 2 패턴된 도전체(70)는 동일한 공정 및 제 1 패턴된 도전체(20)를 형성하기 위해 사용되는 재료를 사용하여 형성될 수도 있다.

단계 160에서, 제 2 유전층(90)은 패턴된 도전체(70)상에 형성된다. 제 2 유전층(90)은 동일한 공정 및 제 1 유전층(40)을 형성하기 위해 사용된 재료를 사용하여 형성될 수도 있다. 단계 170에서, 제 2 재료층(80)은 제 2 유전층(90)상에 형성된다. 제 2 재료층(80)은 동일한 공정 및 제 1 재료층(30)을 형성하기 위해 사용된 재료를 사용하여 형성될 수도 있다. 대안적인 실시예에서, 제 2 재료층(80)은 제 2 패턴된 도전체(70)상에 형성되지 않을 수도 있다. 단계 180에서, 제 2 평탄화층(95)은 재료층(80)상에 형성된다. 제 2 평탄화층(95)은 동일한 공정 및 제 1 평탄화층(45)을 형성하기 위해 사용된 재료를 사용하여 형성될 수도 있다.

다음으로, 집적 회로는 필요한 경우, 집적 회로를 완성하기 위해 상기 및 통상적인 공정들의 공정을 사용하여 형성된 상호접속을 포함할 수도 있는 부가적인 금속 레벨들을 추가함으로써 완성된다. 집적 회로는 또한 특정 집적 회로 설계에 필요한 다른 구성 요소들 및 트랜지스터들을 포함한다. 이 구조들을 포함하는 집적 회로를 제조하는 공정들은 여기서 참조로 구체화된, Silicon Processing for the VLSI Era, (1986), 1-3 Wolf에 기술된다.

도 3 은 본 발명의 대안적인 실시예를 도시한다. 이 실시예는 재료층이 패턴된 도전체상에 형성된 것을 제외하고는 도 1 에 도시된 실시예와 같다. 또한, 이 실시예에서, 제 1 유전층(40)은 상이한 유전 재료를 포함하는 다중층들을 포함할 수도 있다. 예를 들어, 유전층(40)은 고밀도 증착 실리콘 산화물의 층상에 형성된 플라즈마 강화 TEOS의 층(층들(45, 49)와 같은)을 포함할 수도 있다.

대안적인 실시예에서, 패턴된 도전체는 이중 다마신 구조를 형성하는 유전층내에 형성될 수도 있다. 이 경우에, 재료층은 패턴된 도전체위에 형성된 추가 유전체위에 형성된다. 대안적으로, 재료층은 패턴된 도전체상에 형성될 수도 있다. 또한, 이중 다마신 구조의 홈(groove)들과 비아들은 재료층(들)이 이중 다마신 구조내의 도전체위와 아래에 형성될 수도 있도록 재료층에 선을 그을 수도 있다.

실험

실험에 의한 데이터는 도전체들의 2 및 4 층들 각각을 갖는 2 및 4-레벨 구조들에 대한 실험을 하기에 기술한다. 도 4는 상이한 도전층들을 연결하여, 연속하는 5 텅스텐-플러그 비아들을 포함하는 테스트 구조를 설명한다. 2-레벨 구조는 도전층들(M1 및 M2)을 포함하며 4-레벨 구조는 도전층들(M1, M2, M3 및 M4)을 포함한다.

각 비아는 0.36㎛의 직경을 갖는다. 도전층들(M1 및 M2)은 동일한 상호접속들(러너(runner))을 포함한다. 상호접속들은 300Å의 Ti상에 형성된 600Å의 TiN 상에 형성된 4500Å의 AlCu상에 형성된 250Å의 TiN의 적층이다. 적층들은 0.36㎛의 폭을 갖는다. 2-레벨 구조에 대하여, 도 10a 및 10b 에 도시된 바와 같은, 도전층(M2)은 HDP(high-density plasma) 산화물과 SiN 으로 패시베이트되며 비아 내지 비아 간격은 240㎛이다. 4-레벨 구조에 대하여, 도전층(M4)은 HDP(high-density plasma) 산화물과 SiN 으로 패시베이트되며 비아 내지 비아 간격은 125㎛이다. 4-레벨 구조에 대하여, 비아(1)는 M1 및 M2에 접속하며; 비아(2)는 M2 및 M3에 접속하고; 비아(3)는 M3 및 M4에 접속한다.

비아 체인들은 20인 통상적인 샘플 크기를 가지며 250℃에서 0.5에서 2.5MA/㎠인 일정한 스트라이프 전류 밀도 범위로 압력을 가한다. 일렉트로마이그레션으로 인한 저항 변동은 하부 및 상부 도전층들에 대

해 독립적으로 연구된다. 하부 도전층들에 대하여, 전압은 도 5a에 도시된 바와 같이 하부 도전층들의 저항 변동을 감시하기 위해 V_L+ 및 V_L- 사이에서 측정된다. 상부 도전층들에 대하여, 전압 양단 V_U+ 및 V_U- 는 도 5b에 도시된 바와 같이 상부 도전층들내의 저항 변화를 위해 기록된다. 분류층(shunting layer)들의 시트 저항을 보상하기 위한 간단한 접근법으로서, 20% 및 4.5%의 고장 표준은 상부 도전층들과 하부 도전층들에 사용된다. 분류층들의 시트 저항은 상부 및 하부 도전층들 각각에 대해 40 및 9Ω/square 이다.

도 6 은 250℃에서 2MA/㎠로 압력이 가해진 2-레벨 구조들의 도전층들(M1 및 M2)의 누적 고장 분포를 설명한다. 도전층(M1)은 시트 저항 보상에도 불구하고, 도전층(M2)보다 짧은 고장 시간을 보인다. 일렉트로마이그레션 수명의 비대칭은 또한 상이한 압력 전류 밀도들에서 관찰된다. 단면부 SEM(scanning electron microscopy)은 도전층(M2)이 일반적으로 소정의 일렉트로마이그레션 압력 시간후의 도전층(M1)보다 작은 디플리션을 나타냄을 보인다.

도 7 은 4-레벨 구조에 대하여, 250℃에서 2MA/㎠으로 압력이 가해진 비아(1), 비아(2) 및 비아(3)의 상부 도전층들(M2, M3 및 M4)의 고장 분포를 설명한다. 수명은 보다 높은 도전층들에 대하여 증가한다. 특히, 패시베이션층에 인접한, 도전층(M4)은 도전층들(M3 및 M2)의 일렉트로그레이션 수명보다 상당히 더 긴 일렉트로그레이션 수명을 보인다. SEM은 상부 도전층내의 디플리션 양이 2-레벨 구조로부터 유도된 데이터와 유사한, 하부 도전층내의 것보다 작음을 보인다.

도 8 은 각종 저항 증가에 대한 도전층들(M3 및 M4)에 대한 총 디플리션 거리를 간략하게 보인다. 도 9a는 20% 저항 증가의 고장 표준을 사용하여 2.5, 2 및 1.5 MA/㎠의 전류 밀도에서 비아(1), 비아(2) 및 비아(3)의 도전층들(M1, M2 및 M3)의 평균 고장 간격 시간을 설명한다. 도 9b는 4.5% 저항 증가의 고장 표준을 사용하여 도전층들(M2, M3 및 M4)의 평균 고장 간격 시간을 설명한다. 이 두 경우에서, 수명은 상부 도전층들에서보다 크다. 수명 증대가 도전층(M4)에 대해 특히 뚜렷하다.

일렉트로마이그레션 디플리션의 속도는 도전체가 캐소드와 애노드간의 소성 변형없이 유지될 수 있는 최대 압력차와 관련이 있다. 상부 도전층에서 증가한 수명은 패시베이션으로부터의 증대 영향을 암시할 수도 있다. 발명가는 보다 큰 영률의 결과로서, SiN이 Al로부터 형성된 도전층들의 소성 완화에 대해 산화물보다 더 큰 압박을 제공할 수 있음을 이론화한다. 2-레벨 구조에 대해 도 10a에 도시된 바와 같이, 도전층(M1)의 Al은 일렉트로마이그레션동안 산화물의 다중층으로 돌출할 수 있다. 도 10b에 도시된 바와 같이, 고밀도 플라즈마 산화물상에 형성된 SiN층은 도전층(M2)의 Al 돌출에 대한 보다 큰 기계적인 압박을 발생시키기 위해 제공할 수도 있다. 그 결과, 기계적인 제한은 도전층 M1 에서 보다 도전층 M2 에서 보다 크다. 게다가, SiN층의 지형은 도전층(M2)의 기계적인 압박에 영향을 미칠 수도 있다.

본 발명이 전형적인 실시예들을 참조하여 기술되었다 하더라도, 이는 그 실시예에만 한정되지 않는다. 오히려, 첨부된 청구항들은 본 발명의 진정한 정신 및 범위에서 벗어남 없이 당업자들에 의해 행해질 수도 있는, 본 발명의 다른 변형들 및 실시예들을 포함하는 것으로 해석된다.

발명의 효과

본 발명은 유전층에 형성된 도전체를 포함하는 구조상에 형성된 재료층을 포함하는 집적 회로를 제공한다. 재료층은 도전체 또는 유전체상에 형성될 수도 있으며 그 구조는 집적 회로내의 최상위 도전층과는 다른 것이다. 재료층은 유전 재료의 영률(Young's modulus)보다 큰 영률을 갖는다. 재료층은 도전 구조의 일렉트로마이그레션 특성을 향상시킨다. 본 발명은 또한 도전층 및 유전층을 포함하는 구조상에 재료층을 형성하는 공정을 제공한다.

(57) 청구의 범위

청구항 1

제 1 중간레벨 유전체, 및

상기 제 1 중간레벨 유전체위에 형성된 제 2 중간레벨 유전체를 구비하는 집적 회로에 있어서,

상기 제 1 중간레벨 유전체는,

제 1 유전층과,

상기 제 1 유전층내에 형성된 제 1 도전 구성 요소, 및

상기 제 1 유전층상에 형성된 제 1 재료층을 포함하는, 집적 회로.

청구항 2

제 1 항에 있어서, 상기 제 2 중간레벨 유전체는,

제 2 유전층과,

상기 제 1 유전층내에 형성된 제 2 도전 구성 요소, 및

상기 제 2 유전층상에 형성된 제 2 재료층을 구비하는, 집적 회로.

청구항 3

제 1 항에 있어서, 상기 제 1 재료층은 상기 제 1 유전층의 영률보다 더 큰 영률을 갖는, 집적 회로.

청구항 4

제 1 항에 있어서, 상기 제 1 재료층은 패시베이션 층인, 집적 회로.

청구항 5

제 1 항에 있어서, 상기 제 1 재료층은 SiN인, 집적 회로.

청구항 6

제 1 항에 있어서, 제 2 유전층은 상기 제 1 재료층상에 형성되는, 집적 회로.

청구항 7

집적 회로를 제조하는 공정에 있어서,

제 1 유전층을 형성하는 단계와,

상기 제 1 유전층상에 제 1 도전 구성 요소를 형성하는 단계, 및

상기 제 1 유전층상에 제 1 재료층을 형성하는 단계에 의해 제 1 중간레벨 유전체를 형성하는 단계, 및

상기 제 1 중간레벨 유전체상에 제 2 중간레벨 유전체를 형성하는 단계를 구비하는, 집적 회로 제조 공정.

청구항 8

제 7 항에 있어서, 제 2 유전층을 형성하는 단계와,

상기 제 1 유전층내에 제 2 도전 구성 요소를 형성하는 단계, 및

상기 유전층상에 제 2 재료층을 형성하는 단계에 의해 상기 제 2 중간레벨 유전체를 형성하는 단계를 더 구비하는, 집적 회로 제조 공정.

청구항 9

제 7 항에 있어서, 상기 제 1 재료층은 상기 제 1 유전층의 영률보다 더 큰 영률을 갖는, 집적 회로 제조 공정.

청구항 10

제 7 항에 있어서, 상기 제 1 재료층은 패시베이션층인, 집적 회로 제조 공정.

청구항 11

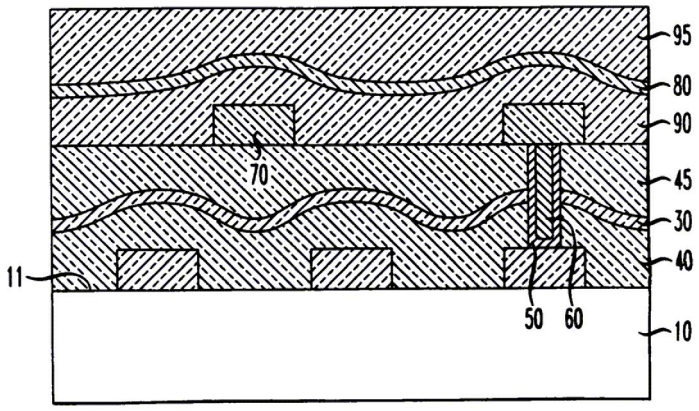
제 7 항에 있어서, 상기 제 1 재료층은 SiN인, 집적 회로 제조 공정.

청구항 12

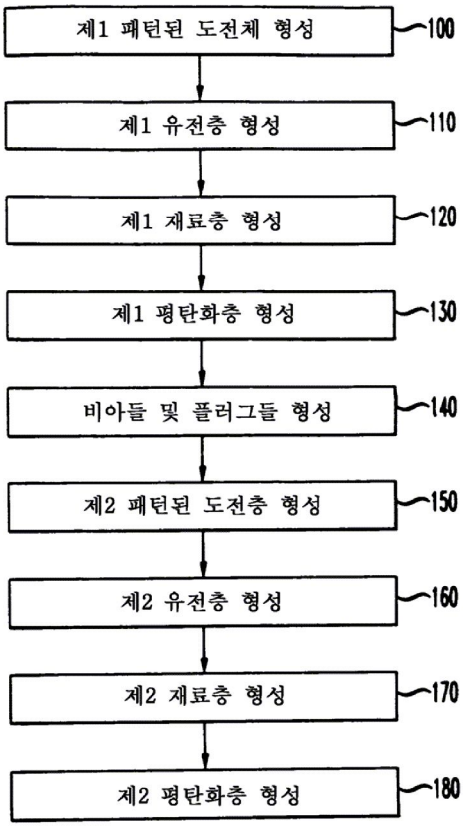
제 7 항에 있어서, 상기 제 1 재료층상에 제 2 유전층을 형성하는 단계를 더 구비하는, 집적 회로 제조 공정.

도면

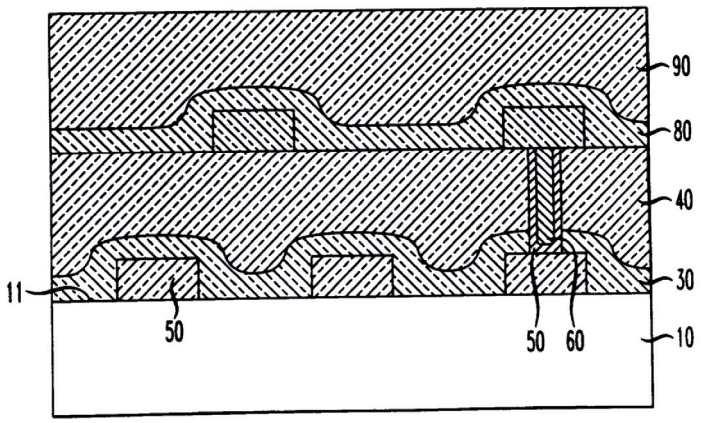
도면1



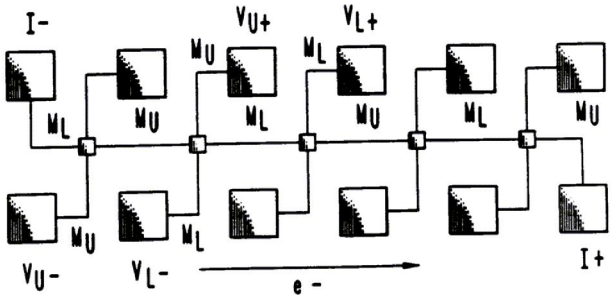
도면2


제1 패턴된 도전체 형성
100
제1 유전층 형성
110
제1 재료층 형성
120
제1 평탄화층 형성
130
비아들 및 플러그들 형성
140
제2 패턴된 도전층 형성
150
제2 유전층 형성
160
제2 재료층 형성
170
제2 평탄화층 형성
180

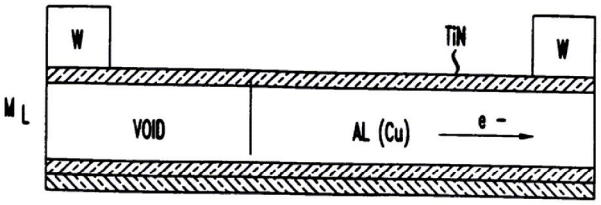
도면3


90
80
40
30
11
50
50
60
10

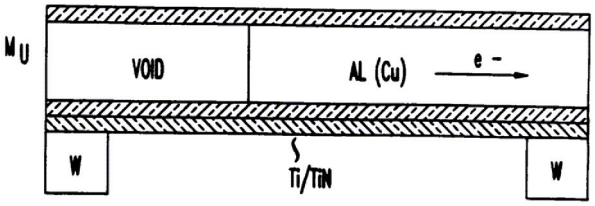
도면4


I-
VU+
VL+
MU
ML
ML
MU
MU
ML
ML
MU
MU
ML
VU-
VL-
e -
I+

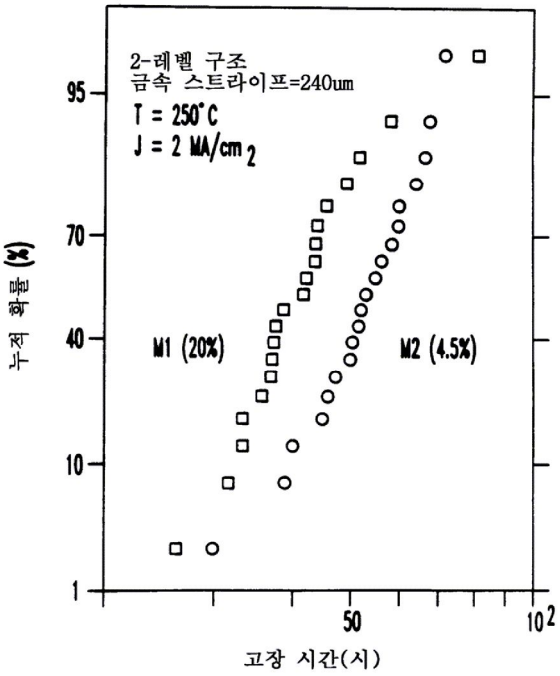
도면5a



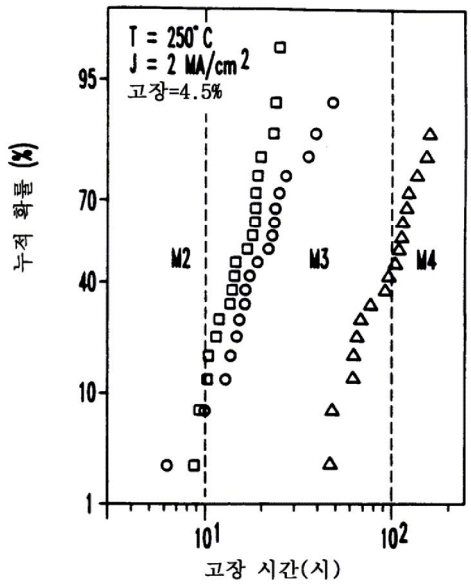
도면5b



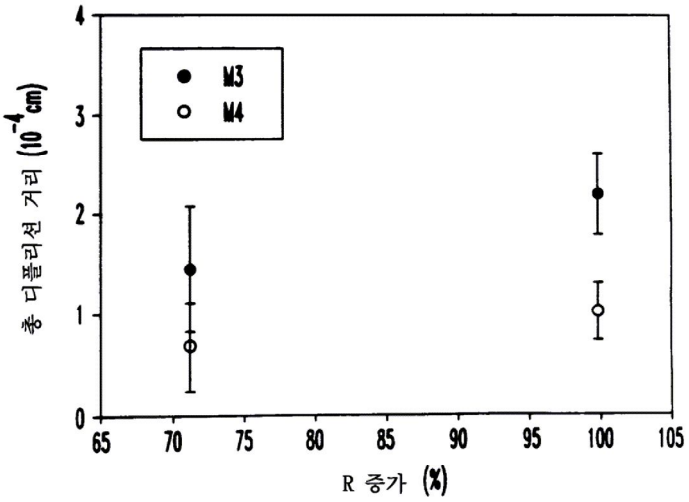
도면6



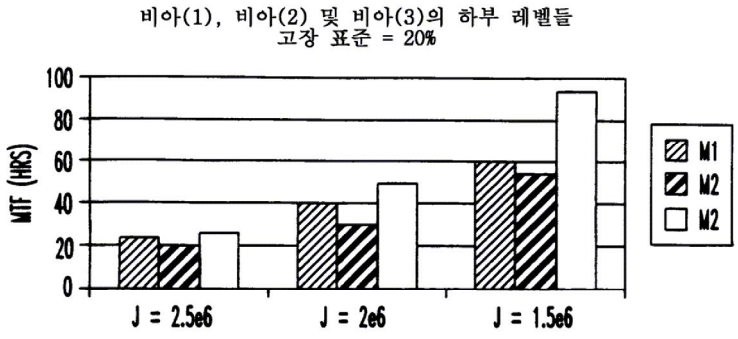
도면7


T = 250°C
J = 2 MA/cm 2
고장=4.5%
누적 확률 (%)
95
70
40
10
1
M2
M3
M4
10 1
10 2
고장 시간(시)

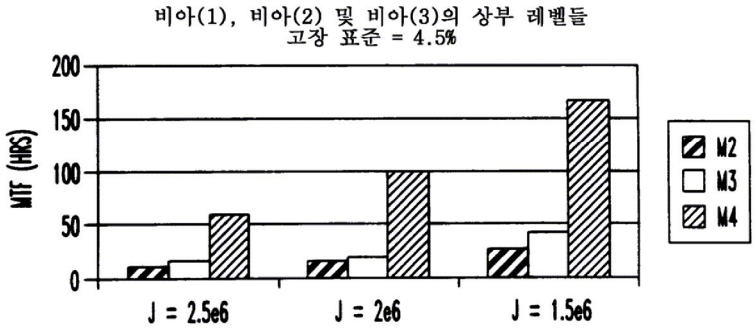
도면8


M3
M4
총 디플리션 거리 (10 -4 cm)
4
3
2
1
0
65
70
75
80
85
90
95
100
105
R 증가 (%)

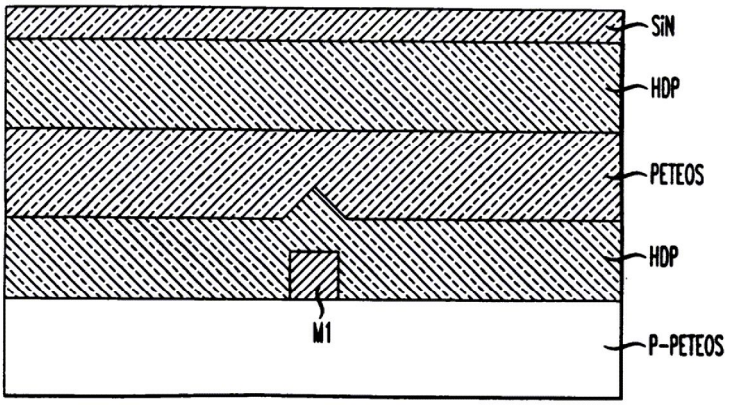
도면9a


비아(1), 비아(2) 및 비아(3)의 하부 레벨들
고장 표준 = 20%
MTF (HRS)
100
80
60
40
20
0
J = 2.5e6
J = 2e6
J = 1.5e6
M1
M2
M2

도면9b



도면10a



도면10b

