



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년01월07일
(11) 등록번호 10-1006120
(24) 등록일자 2010년12월29일

(51) Int. Cl.

H01L 29/78 (2006.01)

(21) 출원번호 10-2008-7006130

(22) 출원일자(국제출원일자) 2006년09월19일

심사청구일자 2008년09월29일

(85) 번역문제출일자 2008년03월13일

(65) 공개번호 10-2008-0056159

(43) 공개일자 2008년06월20일

(86) 국제출원번호 PCT/US2006/036575

(87) 국제공개번호 WO 2007/035788

국제공개일자 2007년03월29일

(30) 우선권주장

11/162,663 2005년09월19일 미국(US)

(56) 선행기술조사문현

KR1020050085052 A*

*는 심사관에 의하여 인용된 문현

(73) 특허권자

인터넷내셔널 비지네스 머신즈 코포레이션

미국 10504 뉴욕주 아몬크 뉴오차드 로드

(72) 발명자

바인트너 조켄

미국 뉴욕주 12590 와핑거스 폴즈 클랩 애비뉴 27

루드비히 토마스

독일 신델링겐 데-71063 임 빈켈 10

노워 에드워드 제이

미국 버몬트주 05452 에세스 정선 에이스 원드리
지 로드

(74) 대리인

신정건, 김태홍

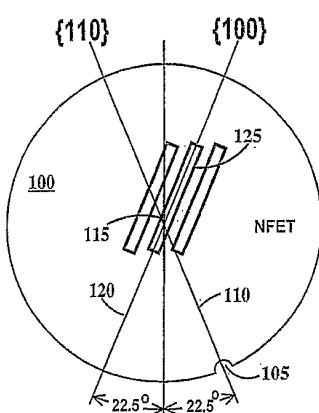
전체 청구항 수 : 총 10 항

심사관 : 김건형

(54) 고밀도 세브론 finFET 및 그 제조 방법

(57) 요약

finFET를 형성하기 위한 방법, 구조물 및 정렬 절차를 제공한다. finFET를 형성하는 방법은 제1 마스크로 finFET의 제1 핀을 한정하는 단계와 제2 마스크로 finFET의 제2 핀을 한정하는 단계를 포함한다. finFET 구조물은 단결정 반도체 물질로 된 일체형의 제1 및 제2 핀과, 동일한 결정 방향으로 정렬되지만 서로로부터 옵셋되는 제1 및 제2 핀의 길이방향축을 포함한다. 정렬 절차는 제1 핀을 한정하기 위해 사용되는 제1 마스크 및 제2 핀을 한정하기 위해 사용되는 제2 마스크에 의해 별도로 형성되는 정렬 목표에 게이트 마스크 상의 정렬 마크를 동시에 정렬시키는 것을 포함한다.

대 표 도 - 도1a

특허청구의 범위

청구항 1

벌크 기판의 상부 표면상에 형성된 절연층 및 상기 절연층의 상부 표면상에 형성된 단결정 반도체 층을 가진 기판을 제공하는 단계와;

제2 포토마스크 상의 제2 핀 패턴을 제1 포토마스크 상의 제1 핀 패턴에 대해 정렬시키는 단계-상기 제1 핀 패턴은 제1 말단부와 제2 말단부를 갖고, 상기 제2 핀 패턴은 제1 말단부와 제2 말단부를 갖는 것임-와;

상기 제2 핀 패턴의 제1 말단부를 상기 제1 핀 패턴의 제2 말단부와 중복시키는 단계와;

상기 제1 핀 패턴에 의해 한정되는 제1 finFET의 제1 핀을 상기 반도체 층에 형성하는 단계와;

상기 제2 핀 패턴에 의해 한정되는 제2 finFET의 제2 핀을 상기 반도체 층에 형성하는 단계를 포함하고,

상기 제1 핀을 형성하는 단계와 상기 제2 핀을 형성하는 단계는 상기 반도체 층에 동일한 단일 에칭을 행하는 단계를 포함하며, 상기 에칭을 행하는 단계는 상기 반도체 층으로부터 상기 제1 및 제2 핀과 일체인 블록을 형성하는 것을 포함하고, 상기 블록은 제3 포토마스크 상의 블록 패턴에 의해 한정되며, 상기 블록 패턴은 상기 제2 핀 패턴의 제1 말단부 및 상기 제1 핀 패턴의 제2 말단부와 중복되도록 정렬되는 것인 방법.

청구항 2

제1항에 있어서, 상기 제1 핀 위에 제1 게이트를 형성하는 단계 및 상기 제2 핀 위에 제2 게이트를 형성하는 단계를 더 포함하고, 상기 제1 게이트의 길이방향축은 상기 제1 핀의 상기 길이방향축에 직교하지 않고 상기 제2 게이트의 길이방향축은 상기 제2 핀의 상기 길이방향축에 직교하지 않으며, 상기 제1 게이트의 상기 길이방향축은 상기 제2 게이트의 상기 길이방향축에 평행한 것인 방법.

청구항 3

제1항에 있어서,

상기 반도체 층 상에 맨드렐 층을 형성하는 단계와;

상기 맨드렐 층에 맨드렐을 형성하는 단계-상기 맨드렐은 상기 제1 핀 패턴 및 상기 제2 핀 패턴에 의해 한정됨-와;

상기 맨드렐의 측벽 상에 스페이서를 형성하는 단계와;

상기 맨드렐을 제거하는 단계와;

상기 반도체 층을 에칭하는 단계-상기 반도체 층은 하드 마스크 층에서의 패턴에 의해 또는 스페이서에 의해 보호되지 않으며, 상기 하드 마스크 층은 상기 맨드렐 층의 상부 표면 상에 형성되고, 상기 하드 마스크 층에서의 상기 패턴은 상기 스페이서에 의해 한정됨-

을 더 포함하는 방법.

청구항 4

벌크 기판의 상부 표면 상에 형성된 절연층을 가진 기판과;

상기 절연층의 상부 표면 상에 있는 단결정 반도체 제1 핀 및 단결정 반도체 제2 핀과;

상기 절연층의 상부 표면 상에 있는 단결정 실리콘 제1 블록, 단결정 실리콘 제2 블록 및 단결정 실리콘 제3 블록으로서, 상기 제2 블록은 상기 제1 및 제3 블록 사이에 있으며, 상기 제1 핀은 상기 제1 블록과 제2 블록 사이에서 이들을 연결하고, 상기 제2 핀은 상기 제2 블록과 제3 블록 사이에서 이들을 연결하며, 상기 제1, 제2 및 제3 블록과 상기 제1 및 제2 핀은 일체로 형성되어 동일한 결정 구조를 가지는 것인 단결정 실리콘 제1 블록, 단결정 실리콘 제2 블록 및 단결정 실리콘 제3 블록

을 포함하고,

상기 제1 및 제2 핀의 길이방향축은 상기 결정 구조의 결정 평면을 따르는 제1 방향으로 정렬되고,

상기 실리콘 제1, 제2 및 제3 블록의 길이방향축은 상기 제1 방향과 상이한 제2 방향으로 서로 평행하게 정렬되며,

상기 제1 및 제2 방향은 상기 제1 및 제2 핀의 상부 표면과 상기 제1, 제2 및 제3 블록의 상부 표면에 평행한 것인 구조물.

청구항 5

별크 기판의 상부 표면상에 형성된 절연층을 가진 기판과;

상기 절연층의 상부 표면상에 형성되고 제1 및 제2 말단부를 가진 단결정 실리콘 제1 핀- 상기 제1 핀의 상부 표면은 상기 제1 핀의 결정 구조의 (100) 평면과 공면이고 상기 제1 핀의 길이방향축은 상기 제1 핀의 결정 구조의 {100} 평면에 평행함 -과;

상기 절연층의 상부 표면상에 형성되고 제1 및 제2 말단부를 가진 단결정 실리콘 제2 핀- 상기 제2 핀의 상부 표면은 상기 제2 핀의 결정 구조의 (100) 평면과 공면이고 상기 제1 핀의 길이방향축은 상기 제2 핀의 결정 구조의 {100} 평면에 평행함 -과;

상기 제1 핀의 제2 말단부와 상기 제2 핀의 제1 말단부 사이에 형성되고 상기 제1 핀 및 상기 제2 핀과 일체형이며 동일한 결정 구조를 가진 제1 단결정 실리콘 블록과;

상기 절연층의 상부 표면상에 형성되고 제1 및 제2 말단부를 가진 단결정 실리콘 제3 핀- 상기 제3 핀의 상부 표면은 상기 제3 핀의 결정 구조의 (110) 평면과 공면이고 상기 제1 핀의 길이방향축은 상기 제3 핀의 결정 구조의 {110} 평면에 평행함 -과;

상기 절연층의 상부 표면상에 형성되고 제1 및 제2 말단부를 가진 단결정 실리콘 제4 핀- 상기 제4 핀의 상부 표면은 상기 제4 핀의 결정 구조의 (110) 평면과 공면이고 상기 제4 핀의 길이방향축은 상기 제4 핀의 결정 구조의 {110} 평면에 평행하며, 상기 제3 핀의 제2 말단부는 상기 제4 핀의 제1 말단부에 인접하고 상기 제4 핀은 상기 제3 핀과 일체형임 -과;

상기 제4 핀의 제2 말단부와 상기 제3 핀의 제1 말단부 사이에 형성되고 상기 제3 핀 및 상기 제4 핀과 일체형이며 동일한 결정 구조를 가진 제2 단결정 실리콘 블록을 포함하고;

상기 제1 핀의 길이방향축과 상기 제2 핀의 길이방향축은 공통인 {100} 평면에 수직한 방향으로 옵셋되고;

상기 제3 핀의 길이방향축과 상기 제4 핀의 길이방향축은 공통인 {110} 평면에 수직한 방향으로 옵셋되며;

상기 제1, 제2, 제3 및 제4 핀은 동일한 결정 구조를 갖는 것인 구조물.

청구항 6

제5항에 있어서,

상기 제1 핀의 측벽 및 상부 표면과 접촉하는 제1 게이트와 상기 제2 핀의 측벽 및 상부 표면과 접촉하는 제2 게이트로서, 상기 제1 게이트의 길이방향축은 상기 제1 핀의 길이방향축으로부터 반시계 방향으로 약 67.5° 회전되고, 상기 제2 게이트의 길이방향축은 상기 제2 핀의 길이방향축으로부터 시계 방향으로 약 67.5° 회전되며, 상기 제1 게이트의 길이방향축은 상기 제2 게이트의 길이방향축과 평행하고, 상기 제1 및 제2 게이트는 제1 게이트 유전체 위에 제1 게이트 전극을 포함하는 것인 제1 게이트 및 제2 게이트와;

상기 제3 핀의 측벽 및 상부 표면과 접촉하는 제3 게이트와 상기 제4 핀의 측벽 및 상부 표면과 접촉하는 제4 게이트로서, 상기 제3 게이트의 길이방향축은 상기 제3 핀의 길이방향축으로부터 시계 방향으로 약 67.5° 회전되고, 상기 제4 게이트의 길이방향축은 상기 제4 핀의 길이방향축으로부터 시계 방향으로 약 67.5° 회전되며, 상기 제3 게이트의 길이방향축은 상기 제4 게이트의 길이방향축과 평행하고, 상기 제3 및 제4 게이트는 제2 게이트 유전체 위에 제2 게이트 전극을 포함하는 것인 제3 게이트 및 제4 게이트

를 더 포함하는 구조물.

청구항 7

제6항에 있어서, 상기 제1 게이트의 제1측에서 상기 제1 핀 내의 N형 도핑된 소스/드레인 및 상기 제1 게이트의 제2측에서 상기 제1 핀 내의 N형 도핑된 소스/드레인과;

상기 제2 게이트의 제1측에서 상기 제2 핀 내의 N형 도핑된 소스/드레인 및 상기 제2 게이트의 제2측에서 상기 제2 핀 내의 N형 도핑된 소스/드레인과;

상기 제3 게이트의 제1측에서 상기 제3 핀 내의 P형 도핑된 소스/드레인 및 상기 제3 게이트의 제2측에서 상기 제3 핀 내의 P형 도핑된 소스/드레인과;

상기 제4 게이트의 제1측에서 상기 제4 핀 내의 P형 도핑된 소스/드레인 및 상기 제4 게이트의 제4측에서 상기 제4 핀 내의 P형 도핑된 소스/드레인을 더 포함하는 구조물.

청구항 8

하나 이상의 층을 가진 기판을 제공하는 단계와;

상기 하나 이상의 층 중 최상층 위의 제1 포토레지스트 층에 제1 이미지 및 제1 정렬 목표 이미지를 형성하는 단계와;

상기 하나 이상의 층 중 최상층 위의 제2 포토레지스트 층에 제2 이미지 및 제2 정렬 목표 이미지를 형성하는 단계와;

상기 제1 이미지 및 상기 제1 정렬 목표 이미지를 상기 하나 이상의 층 중 하나 이상의 층에 전사하여 상기 하나 이상의 층 중 적어도 하나에 제1 피쳐 및 제1 정렬 목표를 형성하는 단계와;

상기 제2 이미지 및 상기 제2 정렬 목표 이미지를 상기 하나 이상의 층 중 하나 이상의 층에 전사하여 상기 하나 이상의 층 중 적어도 하나에 제2 피쳐 및 제2 정렬 목표를 형성하는 단계와;

상기 제1 및 제2 포토레지스트 층을 제거하는 단계와;

상기 하나 이상의 층 중 최상층 또는 최상의 잔류층 위에 형성된 부가층 위에 제3 포토레지스트 층을 형성하는 단계와;

제3 및 제4 이미지를 포함하는 포토마스크의 정렬 마크를 제1 및 제2 정렬 목표에 동시에 정렬시키는 단계와;

제3 및 제4 이미지를 상기 부가층에 전사하여 상기 부가층에 제3 및 제4 피쳐를 형성하는 단계를 포함하는 방법.

청구항 9

제8항에 있어서, 상기 제1 정렬 목표, 상기 제2 정렬 목표 및 상기 정렬 마크는 제1 및 제2 단부를 가진 막대이고, 상기 제1 및 제2 정렬 목표는 컬럼 내에 배열되며, 상기 제1 및 제2 정렬 목표의 상기 제1 단부는 상기 컬럼의 제1측에 배열되고 상기 제1 및 제2 정렬 목표의 상기 제2 단부는 상기 컬럼의 제2측에 배열되며, 상기 제1 정렬 목표의 길이방향축은 상기 제2 정렬 목표의 길이방향축과 평행하고, 상기 제1 정렬 목표와 상기 제2 정렬 목표는 서로 교대로 배치되어 있고,

상기 방법은,

상기 제1 정렬 목표와 상기 제2 정렬 목표 사이에 상기 정렬 마크를 배치하고 상기 정렬 마크의 길이방향축을 상기 제1 또는 제2 정렬 목표의 상기 길이방향축과 평행하게 정렬시키는 단계와;

상기 제1 정렬 목표의 상기 제1 단부와 상기 정렬 마크의 상기 제1 단부 사이의 제1 거리가 상기 제2 정렬 목표의 상기 제2 단부와 상기 정렬 마크의 상기 제2 단부 사이의 제2 거리와 같도록 상기 정렬 목표에 대한 상기 정렬 마크의 위치를 조정하는 단계를 더 포함하고,

상기 제1 및 제2 거리는 상기 제1 정렬 목표, 상기 제2 정렬 목표 또는 상기 정렬 마크의 상기 길이방향축에 평행한 방향으로 측정된 것인 방법.

청구항 10

제9항에 있어서, 상기 제1 정렬 목표와 상기 제2 정렬 목표 사이에 상기 정렬 마크를 정렬시키는 단계는 상기 배치 및 상기 조정에 영향을 주도록 상기 기판에 대해 상기 포토마스크를 이동시키는 단계를 더 포함하는 것인 방법.

명세서

기술분야

[0001]

본 발명은 반도체 구조 및 처리 분야에 관한 것으로, 특히 세브론(chevron) finFET 장치 및 finFET 장치를 제조하는 방법에 관한 것이다.

배경기술

[0002]

finFET는 전계 효과 트랜지스터(FET)의 본체(body)가 단결정 반도체 물질의 블록 또는 핀이고 게이트가 핀의 측벽 위에 형성되는 FET이다. 세브론 finFET는 N 채널 finFET(NfinFET)와 P 채널 finFET(PfinFET)가 동일한 단결정 기판에 형성되지만, 단결정 반도체 기판의 다른 평면에서 NFET와 PFET의 반전 반송파 이동도(inversion carrier mobility) 차이의 장점을 취하기 위해 서로 소정의 각도로 형성되는 finFET이다. 단지 한 종류의 finFET, 즉 NfinFET 또는 PfinFET가 필요에 따라 세브론 finFET 장치의 제조시에 사용된 마스크 상의 (직사각형 집적 회로 칩의 측면과 관련하여) 직교 이미지(orthogonal image)로부터 형성될 수 있기 때문에, NfinFET 또는 PfinFET는 비직교 이미지로부터 형성되어야 한다. 비직교 마스크 이미지의 기판상의 포토레지스트 층으로의 정확한 전사(transfer)를 제어하기가 곤란할 뿐만 아니라 현재의 제조 방식으로 달성가능한 세브론 finFET의 밀도를 증가시키기 위해 직교 이미지 방해 방법에 대하여 발생하지 않은 각종 광학 수차(optical aberration)가 비직교 이미지에 대하여 발생한다.

[0003]

그러므로, 고밀도(dense) 세브론 finFET 장치 및 고밀도 세브론 finFET 장치의 제조 방법이 필요하다.

발명의 상세한 설명

[0004]

finFET를 형성하는 방법은 제1 마스크로 finFET의 제1 핀을 한정하는 단계와 제2 마스크로 finFET의 제2 핀을 한정하는 단계를 포함한다. finFET 구조물은 단결정 반도체 물질로 된 일체형의 제1 및 제2 핀과, 동일한 결정 방향으로 정렬되지만 서로로부터 옵셋되는 제1 및 제2 핀의 길이방향축을 포함한다. 2개의 핀 마스크를 이용하여 finFET를 형성하기 위한 정렬 절차는 제1 핀을 한정하기 위해 사용되는 제1 마스크 및 제2 핀을 한정하기 위해 사용되는 제2 마스크에 의해 별도로 형성되는 정렬 목표(alignment target)에 게이트 마스크상의 정렬 마크를 동시에 정렬시키는 것을 포함한다.

[0005]

본 발명의 제1 태양은 벌크 기판의 상부 표면상에 형성된 절연층 및 절연층의 상부 표면상에 형성된 단결정 반도체 층을 가진 기판을 제공하는 단계와; 제2 포토마스크상의 제2 핀 패턴을 제1 포토마스크상의 제1 핀 패턴-제1 핀 패턴은 제1 말단부와 제2 말단부를 갖고, 제2 핀 패턴은 제1 말단부와 제2 말단부를 갖는 것임 -에 정렬시키는 단계와; 제1 핀 패턴에 의해 한정되는 제1 finFET의 핀을 반도체 층에 형성하고 제2 핀 패턴에 의해 한정되는 제2 finFET의 핀을 반도체 층에 형성하는 단계를 포함하는 방법이다.

[0006]

본 발명의 제2 태양은 벌크 기판의 상부 표면상에 형성된 절연층을 가진 기판과; 절연층의 상부 표면상에 형성되고 제1 및 제2 말단부를 가진 단결정 반도체 제1 핀과; 절연층의 상부 표면상에 형성되고 제1 및 제2 말단부를 가진 단결정 반도체 제2 핀과; 제1 핀의 제2 말단부와 제2 핀의 제1 말단부 사이에 형성되고 제1 핀 및 제2 핀과 일체형으로 되며 제1 핀과 동일한 결정 구조를 가진 단결정 실리콘 블록과; 제1 핀의 상부 표면에 대략 수직인 제1 핀의 결정 평면과; 결정 평면 및 제1 핀의 상부 표면에 대략 평행하게 정렬된 제1 핀의 길이방향축 및 제2 핀의 길이방향축을 포함하고; 제1 핀의 길이방향축 및 제2 핀의 길이방향축은 결정 평면에 대략 수직한 방향으로 옵셋되는 구조물이다.

[0007]

본 발명의 제3 태양은 벌크 기판의 상부 표면상에 형성된 절연층을 가진 기판과; 절연층의 상부 표면상에 형성되고 제1 및 제2 말단부를 가진 단결정 실리콘 제1 핀- 제1 핀의 상부 표면은 제1 핀의 결정 구조의 (100) 평면과 공면(coplanar)이고 제1 핀의 길이방향축은 제1 핀의 결정 구조의 {100} 평면에 대략 평행함 -과; 절연층의 상부 표면상에 형성되고 제1 및 제2 말단부를 가진 단결정 실리콘 제2 핀- 제2 핀의 상부 표면은 제2 핀의 결정 구조의 (100) 평면과 공면이고 제1 핀의 길이방향축은 제2 핀의 결정 구조의 {100} 평면에 대략 평행함 -과; 제1 핀의 제2 말단부와 제2 핀의 제1 말단부 사이에 형성되고 제1 핀 및 제2 핀과 일체형으로 되며 동일한 결정 구조를 가진 제1 단결정 실리콘 블록과; 절연층의 상부 표면상에 형성되고 제1 및 제2 말단부를 가진 단결정 실리콘 제3 핀- 제3 핀의 상부 표면은 제3 핀의 결정 구조의 (110) 평면과 공면이고 제1 핀의 길이방향축은 제3 핀의 결정 구조의 {110} 평면에 대략 평행함 -과; 절연층의 상부 표면상에 형성되고 제1 및 제2 말단부를 가진 단결정 실리콘 제4 핀- 제4 핀의 상부 표면은 제4 핀의 결정 구조의 (110) 평면과 공면이고 제4 핀의 길이방향

축은 제4 핀의 결정 구조의 {110} 평면에 대략 평행하며, 제3 핀의 제2 말단부는 제4 핀의 제1 말단부에 인접하고 제4 핀은 제3 핀과 일체형임 -과; 제4 핀의 제2 말단부와 제3 핀의 제1 말단부 사이에 형성되고 제3 핀 및 제4 핀과 일체형으로 되며 동일한 결정 구조를 가진 제2 단결정 실리콘 블록을 포함하고; 제1 핀의 길이방향축과 제2 핀의 길이방향축은 공통인 {100} 평면에 대략 수직한 방향으로 옵셋되고; 제3 핀의 길이방향축과 제4 핀의 길이방향축은 공통인 {110} 평면에 대략 수직한 방향으로 옵셋되며; 제1, 제2, 제3 및 제4 핀은 동일한 결정 구조를 갖는 구조물이다.

[0008] 본 발명의 제4 태양은 하나 이상의 층을 가진 기판을 제공하는 단계와; 상기 하나 이상의 층 중 최상층 위의 제1 포토레지스트 층에 제1 이미지 및 제1 정렬 목표 이미지를 형성하는 단계와; 상기 하나 이상의 층 중 최상층 위의 제2 포토레지스트 층에 제2 이미지 및 제2 정렬 목표 이미지를 형성하는 단계와; 제1 이미지 및 제1 정렬 목표 이미지를 상기 하나 이상의 층 중 하나 이상의 층에 전사하여 상기 하나 이상의 층 중 적어도 하나에 제1 피쳐(feature) 및 제1 정렬 목표를 형성하는 단계와; 제2 이미지 및 제2 정렬 목표 이미지를 상기 하나 이상의 층 중 하나 이상의 층에 전사하여 상기 하나 이상의 층 중 적어도 하나에 제2 피쳐 및 제2 정렬 목표를 형성하는 단계와; 제1 및 제2 포토레지스트 층을 제거하는 단계와; 상기 하나 이상의 층 중 최상층 또는 최상부 잔류 층 위에 형성된 부가층 위에 제3 포토레지스트 층을 형성하는 단계와; 제3 및 제4 이미지를 포함하는 포토마스크의 정렬 마크를 제1 및 제2 정렬 목표에 동시에 정렬시키는 단계와; 제3 및 제4 이미지를 상기 부가층에 전사하여 부가층에 제3 및 제4 피쳐를 형성하는 단계를 포함하는 방법이다.

[0009] 본 발명의 특징들은 첨부된 청구범위에서 한정된다. 그러나, 본 발명 자체는 첨부 도면과 함께 예시적인 실시예의 하기 상세한 설명을 읽음으로써 더 잘 이해될 것이다.

실시예

[0018] 결정질 고체에서, 고체를 구성하는 원자는 격자(lattice)라고 부르는 주기적 형태로 공간적으로 배열된다. 결정 격자는 체적을 포함하고, 이것은 전체 격자를 나타내며 결정 전체에 걸쳐 규칙적으로 반복된다. 이 명세서에서 결정질 반도체 물질을 설명함에 있어서, 하기의 규칙이 사용된다.

[0019] 격자의 방향은 그 방향의 벡터 성분과 동일한 관계를 가진 3개의 정수의 집합으로서 표현된다. 예를 들면, 다이아몬드 결정 격자를 가진 실리콘 등의 입방 격자(cubic lattice)에서, 본체 대각선(body diagonal)은 [111] 방향을 따라 존재한다. 여기에서 [] 괄호는 특정 방향을 나타낸다. 결정 격자 내의 많은 방향들은 방위축의 임의 선택에 따라서 대칭 변환에 의해 등가로 된다. 예를 들면, 입방 격자의 결정 방향 [100], [010] 및 [001]은 모두 결정학적으로 등가이다. 임의의 방향 및 그것의 모든 등가 방향은 <> 괄호로 표시된다. 따라서, <100> 방향의 표시는 등가인 [100], [010] 및 [001] 포지티브 방향뿐만 아니라 등가의 네거티브 방향인 [-100], [0-10] 및 [00-1]을 포함한다.

[0020] 결정 내의 평면들도 또한 3개의 정수 집합으로 식별될 수 있다. 이들은 대략 평행한 평면들의 집합을 한정하기 위해 사용될 수 있고, () 괄호 내의 각 정수 집합은 특정 평면을 표시한다. 예를 들어서 [100] 방향에 대략 수직한 평면의 적당한 표시는 (100)이다. 따라서, 만일 입방 격자의 방향 또는 평면을 알면, 그 대략 수직한 대응물(counterpart)을 계산없이 신속히 결정할 수 있다. 결정 격자 내의 많은 평면들은 방위축의 임의 선택에 따라서 대칭 변환에 의해 등가로 된다. 예를 들면, (100), (010) 및 (001) 평면은 모두 결정학적으로 등가이다. 임의의 평면 및 그것의 모든 등가 평면들은 { } 괄호로 표시된다. 따라서, {100} 평면의 표시는 등가인 (100), (010) 및 (001) 포지티브 평면뿐만 아니라 등가 평면인 (-100), (0-10) 및 (00-1)을 포함한다. {100} 및 {110} 평면은 {100}-표면 기판으로부터 절단된 수직 표면에 의해 형성된 때 45°의 각도로 서로에 대해 지향된다.

[0021] 본 발명은 실리콘 온 인슬레이터(SOI) 기판과 관련하여 설명될 것이고, 여기에서 설명하는 결정 방향 및 평면은 단결정 실리콘에 적용될 것이다. 본 발명이 실리콘 온 인슬레이터 기판 외의 것에 적용될 때, 절연체상의 반도체 층은 단결정 Ge, GaP, InAs, InP, SiGe, GaAs 또는 다른 III/V 족 화합물이고, 다른 반도체 물질에 특수한 대응하는 결정 방향 및 평면은 이하에서 인용하는 결정 평면 및 방향에 대해서 대체되어야 한다.

[0022] 도 1a 및 도 1b는 본 발명에 따른 실리콘 기판(100)의 결정 평면에 대하여 NfinFET 및 PfinFET의 핀의 방위를 나타내는 도이다. 도 1a 및 도 1b에서, 원형의 {100}-표면 실리콘 기판(100)은 방위 노치(orientation notch)(105)를 포함한다(대안적으로 평평한 것이 사용될 수도 있다). 노치(105)를 통해 연장하는 축(110) 및 실리콘 기판(100)의 기하학적 중심(115)은 {110} 결정 평면을 한정한다. 45° (22.5° + 22.5°)의 각도로 중심(115)을 통해 연장하는 축(120)은 {100} 평면을 한정한다. 도 1a에서, NfinFET의 핀 본체(125)는 대략 {100} 축을 따라 정렬되고, 축(120)에 대략 평행한 방향에서 반전 반송파(전자) 이동도는 임의의 다른 방향에 비하여

거의 최대이다. 도 1b에서, PfinFET의 핀 본체(130)는 대략 {110} 축을 따라 정렬되고, 축(110)에 대략 평행한 방향에서 반전 반송파 (정공) 이동도는 임의의 다른 방향에 비하여 거의 최대이다.

[0023] 본 발명은 NfinFET 제조와 관련하여 설명되겠지만, 아래에서 설명하는 약 {100}으로부터 약 {110} 정렬로 각종 핀 제조 요소들의 정렬을 변경하는 것은 PfinFET의 제조에도 적용할 수 있다는 것을 이해하여야 한다. 도 2a, 2b, 2c, 3a, 3b, 3c, 4a, 4b, 4c, 5a, 5b, 6a, 6b, 7a, 7b, 8a, 8b, 9a, 9b, 9c, 10a, 10b, 10c, 11a, 11b, 11c 및 11d는 본 발명의 제1 실시예에 따른 세브론 finFET의 제조를 나타내는 평면도 및 대응 측면도이다.

[0024] 도 2a에서, 방향 120은 실리콘 기판(100)의 {100} 평면에 의해 한정된다. 제1 직교 방향 135는 방향 120으로부터 각도 A만큼의 옵셋으로서 한정되고 제2 직교 방향 140은 방향 120으로부터 각도 B만큼의 옵셋으로서 한정된다. 실리콘의 예에서, A=22.5° 이고 B=67.5°이며, 이것은 제1 직교 방향 135와 제2 직교 방향 140 사이의 각을 90°로 만든다. 방향 120, 135 및 140은 모두 실리콘 기판(100)의 상부 표면(145)(도 2b 참조)에 대략 평행하다. 실리콘 기판(100) 상의 제1 세트의 포토레지스트 패쳐(150)는 포토레지스트 패쳐(155A, 155B, 155C)를 포함하고, 각 포토레지스트 패쳐(155A, 155B, 155C)는 그 각각의 길이방향축(160A, 160B, 160C)이 방향 120에 대략 평행하게 정렬되고, 각 포토레지스트 패쳐(155A, 155B, 155C)는 방향 140을 따라 서로로부터 옵셋된다. 실리콘 기판(100) 상의 제2 세트의 포토레지스트 패쳐(165)는 포토레지스트 패쳐(170A, 170B, 170C)를 포함하고, 각 포토레지스트 패쳐(170A, 170B, 170C)는 그 각각의 길이방향축(175A, 175B, 175C)이 방향 120에 대략 평행하게 정렬된다. 각 포토레지스트 패쳐(170A, 170B, 170C)는 방향 140을 따라 서로로부터 옵셋된다.

[0025] 제1 예에서, 각 포토레지스트 패쳐(155A, 155B, 155C)는 동일하고 방향 135를 따라 등간격으로 이격되어 있으며, 각 포토레지스트 패쳐(170A, 170B, 170C)는 동일하고 방향 135를 따라 등간격으로 이격되어 있다. 제2 예에서, 각 포토레지스트 패쳐(155A, 155B, 155C)와 각 포토레지스트 패쳐(170A, 170B, 170C)는 동일하고 방향 135를 따라 등간격으로 이격되어 있다. 제3 예에서, 각 포토레지스트 패쳐(170A, 170B, 170C)는, 단지 방향 140만을 따라 이동하면, 방향 140을 따르는 어떤 지점에서 각각의 포토레지스트 패쳐(155A, 155B, 155C) 위에 각각 완전하게 정렬될 것이다. 각각의 포토레지스트 패쳐 세트에는 3개 이상 또는 미만의 포토레지스트 패쳐가 있을 수 있고 각 포토레지스트 패쳐 세트 내의 포토레지스트 패쳐의 수는 동수일 필요가 없다는 것을 이해하여야 한다.

[0026] 도 2b는 도 2a의 선 2B-2B를 따라 취한 단면도이다. 도 2b에서, 실리콘 기판(100)은 지지 기판(180), 단결정 실리콘 층(185), 및 일 예에서 지지 기판(180)과 실리콘 층(185) 사이에 형성되어 지지 기판(180)을 실리콘 층(185)으로부터 완전하게 분리하는 매몰 산화물 층(BOX)(190)을 포함하는 전기 절연층을 포함한다. 지지 기판(180)은 비제한적인 예를 들자면 Si, Ge, GaP, InAs, InP, SiGe, GaAs, 또는 다른 III/V 족 화합물을 포함한 임의의 적당한 반도체 물질을 독립적으로 포함할 수 있다. Ge, GaP, InAs, InP, SiGe, GaAs, 또는 다른 III/V 족 화합물의 층은 실리콘 층(185)을 대체할 수 있다. 하드 마스크 층(195)은 (실리콘 층(185)의 상부 표면이기도 한) 실리콘 기판(100)의 상부 표면(145) 상에 형성된다. 하드 마스크 층(195)은 하나 이상의 층을 포함할 수 있다. 일 예로서, 하드 마스크 층(195)은 이산화 실리콘 층 위에 형성된 질화 실리콘 층을 포함한다. 맨드렐 층(200)은 하드 마스크 층(195)의 상부 표면(205) 상에 형성된다. 포토레지스트 패쳐(155A, 155B, 155C)는 맨드렐 층(200)의 상부 표면(210) 상에 형성된다. 맨드렐 층(200)은 2개의 층을 포함할 수 있고, 이때 상부층은 하부층을 에칭하기 위한 하드 마스크 층으로서 작용한다. 일 예로서, 맨드렐 층(200)은 폴리실리콘을 포함한다. 일 예로서, 맨드렐 층은 폴리실리콘 층 위에 이산화 실리콘 층을 포함한다.

[0027] 도 2a의 포토레지스트 패쳐(155A, 155B, 155C, 170A, 170B, 170C)를 형성하는 방법으로서 2가지의 다른 방법이 있다. 포토레지스트 패쳐를 형성하는 제1 방법에서는 포토레지스트 패쳐가 포토레지스트 층을 제1 패턴화 마스크를 통하여 화학 방사선(actinic radiation)에 노출시키고 포토레지스트 층을 현상함으로써 포토레지스트 층에 형성된다. 추가적인 포토레지스트 패쳐(도 3a 및 도 3b에 도시되어 있고 뒤에서 설명됨)는 뒤에서 설명하는 바와 같이 제2 패턴화 포토레지스트 마스크를 이용하여 다른 포토레지스트 층에서 형성된다. 제1 방법에서, 포토레지스트 패쳐(155A, 155B, 155C)(및 도 2a의 170A, 170B, 170C)는 물리적인 포토레지스트 패쳐이다. 제1 방법에서, 제1 패턴화 마스크는 형성될 맨드렐의 정확한 포지티브이고 포토레지스트는 포지티브 포토레지스트이다.

[0028] 포토레지스트 패쳐를 형성하는 제2 방법에서, 현상 단계는 추가적인 포토레지스트 패쳐(도 3a 및 도 3b에 도시되어 있고 뒤에서 설명됨)가 뒤에서 설명하는 바와 같이 제2 패턴화 포토레지스트 마스크를 이용하여 동일한 포토레지스트 층에서 형성된 후까지 연기된다. 제2 방법에서, 포토레지스트 패쳐(155A, 155B, 155C)(및 도 2a의 170A, 170B, 170C)는 점선으로 표시된 포토레지스트 층(215)에서 포토레지스트 패쳐의 단지 잠복 이미지(latent image)이다. 제2 방법에서, 제1 및 제2 패턴화 마스크는 형성될 맨드렐의 정확한 네거티브이고 포토레지스트는

네거티브 포토레지스트이다.

[0029] 정확한 포지티브 마스크는 형성될 피쳐의 화학 방사선 이미지에 불투명(차단)하고 정확한 네거티브 마스크는 형성될 피쳐의 화학 방사선 이미지에 투명(통과)하다. 현상 후의 포지티브 포토레지스트는 포토레지스트 층이 화학 방사선에 노출되지 않은 곳마다 물리적 포토레지스트 피쳐를 남긴다. 현상 후의 네거티브 포토레지스트는 포토레지스트 층이 화학 방사선에 노출된 곳마다 물리적 포토레지스트 피쳐를 남긴다.

[0030] 도 2c는 본 발명에 따라 형성될 정렬 목표(220)의 제1 부분의 이미지를 나타낸 것이다. 이 점에서, 정렬 목표(220)는 도 2a의 방향 135에 대략 평행한 다수의 수평 막대(225) 및 도 2a의 방향 135에 대략 수직한 수직 막대(230)를 포함하고, 이들은 제1 마스크에 의해 프린트된다.

[0031] 도 3a에서, 실리콘 기판(100) 상의 제3 세트의 포토레지스트 피쳐(235)는 포토레지스트 피쳐(240A, 240B, 240C)를 포함하고, 각 포토레지스트 피쳐(240A, 240B, 240C)는 각각의 길이방향축(245A, 245B, 245C)이 방향 120에 대략 평행하게 정렬되고, 각 포토레지스트 피쳐(245A, 245B, 245C)는 방향 140을 따라 서로로부터 옵셋된다. 각 포토레지스트 피쳐(240A, 240B, 240C)는 대응하는 포토레지스트 피쳐(155A, 155B, 155C)와 대응하는 포토레지스트 피쳐(170A, 170B, 170C) 사이에 배치된다. 그러나, 포토레지스트 피쳐(240A, 240B, 240C)는 포토레지스트 피쳐(240A)가 포토레지스트 피쳐(155B)와 중복되고, 포토레지스트 피쳐(240B)가 포토레지스트 피쳐(155B) 및 포토레지스트 피쳐(170A)와 중복되며, 포토레지스트 피쳐(240C)가 포토레지스트 피쳐(170B)와 중복되도록 방향 135를 따라 이동된다.

[0032] 제1 예에서, 각 포토레지스트 피쳐(240A, 240B, 240C)는 동일하고 방향 135를 따라 등간격으로 이격되어 있다. 제2 예에서, 각 포토레지스트 피쳐(240A, 240B, 240C), 각 포토레지스트 피쳐(155A, 155B, 155C) 및 각 포토레지스트 피쳐(170A, 170B, 170C)는 동일하고 방향 135를 따라 등간격으로 이격되어 있다. 제3 예에서, 각 포토레지스트 피쳐(240A, 240B, 240C)는, 단지 방향 140만을 따라 이동하면, 방향 140을 따르는 어떤 지점에서 각각의 포토레지스트 피쳐(155A, 155B, 155C) 위에 각각 완전하게 정렬될 것이다.

[0033] 위에서 설명한 포토레지스트 피쳐(2개의 포토레지스트 층)를 형성하는 제1 방법에서, 포토레지스트 피쳐(155A, 155B, 155C, 170A, 170B, 170C)는 제1 포토레지스트 층으로부터 형성된 물리적 포토레지스트 피쳐이고, 포토레지스트 피쳐(240A, 240B, 240C)는 제2 포토레지스트 층으로부터 형성된 물리적 포토레지스트 피쳐이다. 따라서, 포토레지스트 피쳐(155B)는 물리적 포토레지스트 피쳐(240A)에 중복되는 물리적 포토레지스트 피쳐이고, 포토레지스트 피쳐(240B)는 물리적 포토레지스트 피쳐(155C, 170A)에 중복되는 물리적 포토레지스트 피쳐이며, 포토레지스트 피쳐(240C)는 물리적 포토레지스트 피쳐에 중복되는 물리적 포토레지스트 피쳐이다.

[0034] 위에서 설명한 포토레지스트 피쳐(1개의 포토레지스트 층)를 형성하는 제2 방법에서, 현상 처리는 포토레지스트 피쳐(240A, 240B, 240C)의 잠복 이미지가 포토레지스트 피쳐(155A, 155B, 155C, 170A, 170B, 170C)의 잠복 이미지가 형성된 동일한 포토레지스트 층에 형성된 후에 수행된다. 따라서, 포토레지스트 피쳐(155A)는 제1 물리적 포토레지스트 피쳐이고, 포토레지스트 피쳐(155B, 240A)는 제2 물리적 포토레지스트 피쳐의 일부이며, 포토레지스트 피쳐(155C, 240B, 170A)는 제3 물리적 포토레지스트 피쳐의 일부이고, 포토레지스트 피쳐(240C, 170C)는 제4 물리적 포토레지스트 피쳐의 일부이고, 포토레지스트 피쳐(170)는 제5 물리적 포토레지스트 피쳐이다.

[0035] 본질적으로, 하나의 이미지를 한정하기 위해 2개의 다른 마스크 상의 3 세트의 포토레지스트 이미지가 사용된다 (즉, 포토레지스트 피쳐(155C, 240B, 170A)). 이것은 방향 120으로(22.5° 의 각도로) 정렬된 복합 포토레지스트 피쳐를 유지하기 위해 필요하다. 만일 단일 포토레지스트 이미지가 프린트되었으면, 근접 및 다른 광학 효과가 단일 이미지를 그 중심에서 넓히고 그 길이방향축을 22.5° 로부터 옵셋시키는 경향이 있다. 이 단일 이미지에 의해 궁극적으로 한정된 편을 따라 형성된 다른 finFET 장치는 더 낮은 이동도 및 증가된 표면 밀도 상태를 가질 것이며, 이것은 회로 성능을 감퇴시킬 것이다. 일 예에서, 폭이 약 10 nm인 단일 포토레지스트 피쳐에 의해, 포토레지스트 피쳐의 길이방향축은 단일 포토레지스트 피쳐의 길이방향축의 정렬에서 약 20% 오차인 4.5° 만큼 22.5° 로부터 옵셋되는 것으로 나타났다(즉 18° 로 되었다).

[0036] 도 3b는 도 3a의 선 3B-3B를 따라 취한 단면도이고 도 2b와 동일한 것이다. 도 3c에서, 이 점에서, 정렬 목표(220)는 다수의 수평 막대(250)와 서로 교대로 배치된(interdigitate) 다수의 수평 막대(225) 및 다수의 수직 막대(255)와 서로 교대로 배치되어 프린트된 다수의 수직 막대(230)를 포함한다. 수평 막대(250)와 수직 막대(255)는 제2 패턴화 마스크에 의해 프린트된다. 수평 막대(250)는 도 3a의 방향 135에 대략 평행하게 정렬되고 수직 막대(255)는 도 3a의 방향 135에 대략 수직하게 정렬된다.

[0037] 도 4a에서, 맨드렐 층(200)(도 3b 참조)은 맨드렐(260A, 260B, 260C, 260D, 260E)을 형성하기 위한 마스크로서

포토레지스트 퍼처(155A, 155B, 155C, 170A, 170B, 170C, 240A, 240B, 240C)(도 3a 참조)를 이용하여 예칭되고, 그 후 포토레지스트 퍼처가 제거된다. 대안적으로, 맨드렐 층(200)(도 3b 참조)이 상부층과 하부층을 포함할 때, 상부층에 퍼처를 형성하기 위한 마스크로서 포토레지스트 퍼처(155A, 155B, 155C, 170A, 170B, 170C, 240A, 240B, 240C)가 사용되고, 포토레지스트 퍼처가 제거되고, 하부층이 맨드렐(260A, 260B, 260C, 260D, 260E)을 형성하기 위해 예칭된다. 상부층의 퍼처들은 제거될 수도 있고 제거되지 않을 수도 있다. 일 예에서, 맨드렐(260A, 260B, 260C, 260D, 260E)은 반응성 이온 예칭(RIE)에 의해 형성된다.

[0038] 비록, 계속되는 도면에서 도시를 생략하지만, 정렬 목표(220)(도 3c 참조)는 finFET가 형성될 때 계속하여 제조된다. 이 기술에 숙련된 자라면 이하에서 설명하는 finFET 제조 단계들이 finFET의 제조와 동시에 정렬 목표(220)를 제조할 수 있다는 것을 알 것이다.

[0039] 도 5b는 도 5a의 선 5B-5B를 따라 취한 단면도이다. 도 5a 및 도 5b에서, 스페이서(265A)는 맨드렐(260A)의 측벽에 형성되고, 스페이서(265B)는 맨드렐(260B)의 측벽에 형성되고, 스페이서(265c)는 맨드렐(260c)의 측벽에 형성되고, 스페이서(265D)는 맨드렐(260D)의 측벽에 형성되고, 스페이서(265E)는 맨드렐(260E)의 측벽에 형성된다. 일 예에서, 스페이서(265A, 265B, 265C, 265D, 265E)는 이산화 실리콘의 등각층(conformal layer)을 중착하고 그 다음에 중착된 이산화 실리콘 층의 RIE에 의해 형성된 이산화 실리콘을 포함한다.

[0040] 도 6b는 도 6a의 선 6B-6B를 따라 취한 단면도이다. 도 6a 및 도 6b에서, 맨드렐(260A, 260B, 260C, 260D, 260E)은 일 예로서 습식 예칭에 의해 제거된다.

[0041] 도 7a, 7b, 8a 및 8b는 finFET 장치의 행(row)에서 finFET 장치의 수를 감소시키는 선택적인 단계들을 도시한 것이다(도 11a 참조). 도 7b는 도 7a의 선 7B-7B를 따라 취한 단면도이다. 도 7a 및 도 7b에서, 포토레지스트 층(270)은 스페이서(265A, 265B, 265C, 265D, 265E) 위에 형성되고 개공(275)이 스페이서(265C)의 일부의 위에서 포토레지스트 층에 형성된다. 도 8b는 도 8a의 선 8B-8B를 따라 취한 단면도이다. 도 8a 및 도 8b에서, 스페이서(265C)의 일부가 제거되고 그 다음에 포토레지스트 층(270)이 제거된다(도 7b 참조).

[0042] 도 9a에서, 포토레지스트 퍼처(280)는 스페이서(265A, 265B, 265C, 265D, 265E)의 코너 및 조그(jog)를 덮도록 스페이서(265A, 265B, 265C, 265D, 265E)의 영역 위에 형성된다. 포토레지스트 퍼처(280)는 당업계에 잘 알려져 있는 임의 수의 포토리소그래픽 기술에 의해 형성될 수 있다. 도 9b는 도 9a의 선 9B-9B를 따라 취한 단면도이고, 도 9c는 도 9a의 선 9C-9C를 따라 취한 단면도이다. 도 9b에서, 스페이서 265A, 265B 및 265C만이 하드 마스크 층(195)의 패턴을 한정하고 그 다음에, 도 10a, 도 10b 및 도 10c에 도시되고 뒤에서 설명하는 바와 같이, 반도체 층(195)의 패턴을 한정한다. 도 9c에서, 포토레지스트 퍼처(280)는 도 10a, 도 10b 및 도 10c에 도시되고 뒤에서 설명하는 바와 같이 하드 마스크 층(195) 및 실리콘 층(185)의 패턴을 한정할 것이다. 스페이서(265A, 265B, 265C, 265D, 265E) 및 포토레지스트 퍼처(280)는 하드 마스크 층(195) 및 실리콘 층(185)의 예칭을 위한 복합 마스크를 형성한다.

[0043] 포토레지스트 퍼처(280)가 형성되고, 비용해 구조(unresolved structure)가 불규칙하게 예칭되어 결국 제조되는 finFET의 어레이에서 결함을 생성할 수 있는 조그에서의 서브미니멈 퍼처의 후속 예칭(하드 마스크 층(195) 및 실리콘 층(185)에서)을 회피한다. 이 결함들은 웨이퍼로부터 분리되고 그 다음에 웨이퍼상의 다른 곳에 중착되어 생산 수율을 감퇴시킨다.

[0044] 도 10a에서, 스페이서(265A, 265B, 265C, 265D, 265E)와 포토레지스트 퍼처(280)(도 9a 참조)로 구성된 복합 마스크는 예를 들면 RIE에 의해 하드 마스크(195)(도 9b 및 도 9c 참조)로 전사되고, 스페이서(265A, 265B, 265C, 265D, 265E)와 포토레지스트 퍼처(280)(도 9a 참조)가 제거되고 패턴화된 하드 마스크 층이 실리콘 층(185)의 예칭 마스크로서 사용된다(도 9b 및 도 9c 참조). 이를 처리 단계의 결과는 핀(fin)(285A, 285B, 285C)들의 세트 및 일체형 실리콘 블록(290)이다. 예로서 핀(fin)(285A)의 세트를 이용하면, 핀(285A)의 세트에는 5개의 핀(295A, 295B, 295C, 295D, 295E)이 있다. 실리콘 블록(290)의 길이방향축은 135 방향으로 정렬된다. 핀(295A, 295B, 295C, 295D, 295E)과 모든 다른 핀의 길이방향축은 120 방향으로 정렬된다.

[0045] 도 10b는 도 10a의 선 10B-10B를 따라 취한 단면도이고, 도 10c는 도 10a의 선 10C-10C를 따라 취한 단면도이다. 도 10b에서, 핀(295A, 295B, 295C, 295D, 295E)은 각각의 유전체 캡(300A, 300B, 300C, 300D, 300E)을 갖는다. 유전체 캡(300A, 300B, 300C, 300D, 300E)은 하드 마스크 층의 패터닝 후에 하드 마스크 층(195)(도 9b 참조)의 전부 또는 일부를 포함한다. 도 10c에서, 실리콘 블록(290)은 유전체 캡(305)을 가지며, 유전체 캡(305)은 하드 마스크 층의 패터닝 후에 하드 마스크 층(195)(도 9c 참조)의 전부 또는 일부를 포함한다. 선택적으로, 유전체 캡(300A, 300B, 300C, 300D, 300E) 및 모든 다른 핀상의 모든 다른 유전체 캡 및 실리

콘 블록(290))이 제거될 수 있다.

[0046] 도 11b는 도 11a의 선 11B-11B를 따라 취한 단면도이고, 도 11c는 도 11a의 선 11C-11C를 따라 취한 단면도이다. 도 11a에서, 게이트 구조물(310A)이 핀(285A)의 세트 위에 형성되고, 게이트 구조물(310B)이 핀(285B)의 세트 위에 형성되며, 게이트 구조물(310C)이 핀(285C)의 세트 위에 형성된다. 도 11b에서, 게이트 구조물(310A)은 게이트 유전체(315), 게이트 전극(320) 및 선택적 유전체 캡(325)을 포함한다. 일 예에서, 게이트 유전체(315)는 SiO_2 , 높은 K(유전 상수) 물질이고, 그 비제한적인 예를 들자면, Ta_2O_5 , BaTiO_3 , HfO_2 , ZrO_2 , Al_2O_3 등의 금속 산화물, 또는 HfSi_xO_y 또는 $\text{HfSi}_x\text{O}_y\text{N}_z$ 등의 금속 실리케이트, 또는 이들 중의 조합이 있다. 높은 K 유전체 물질은 10 이상의 비유전율(relative permittivity)을 갖는다. 일 예에서, 게이트 전극(320)은 폴리실리콘이다.

[0047] 게이트 구조의 구조물(310A, 310B, 310C)은 임의 수의 잘 알려진 포토리소그래피 및 에칭 기술에 의해 형성될 수 있다. 일 예에서, 게이트 구조의 구조물(310A, 310B, 310C)은 게이트 유전체 층, 도전성 게이트 층 및 유전체 캡핑 층의 중착 및 그 다음에 포토레지스트 층의 형성 및 패터닝, 패턴화 포토레지스트 층의 패턴을 캡핑 층으로의 에칭, 레지스트 제거, 및 캡핑 층의 패턴을 도전성 게이트 층으로의 전사에 의해 형성된다. 유전체 캡핑 층(325)은 제거될 수도 있고 제거되지 않을 수도 있다.

[0048] 도 11d에서, 게이트 마스크를 한정하기 위해 사용되는 마스크로부터의 정렬 마크는 정렬 목표(220) 위에 정렬된 것으로 도시되어 있다. 명확히 하기 위해, 수평의 제1 핀 마스크 막대(bar)(225)는 수평의 제2 핀 마스크 막대(250)에 오정렬되는 것으로 도시되어 있고, 수직의 제1 핀 마스크 막대(230)는 수직의 제2 핀 마스크 막대(235)에 오정렬되는 것으로 도시되어 있다. 게이트 정렬 마크 수평 막대(330)(도 11a의 방향 135에 대략 평행하게 정렬됨)는 수평의 제1 핀 마스크 막대(225) 및 수평의 제2 핀 마스크 막대(250)와 서로 교대로 배치되어 있다. 게이트 정렬 마크 수직 막대(335)(도 11a의 방향 135에 대략 수직하게 정렬됨)는 수직의 제1 핀 마스크 막대(230) 및 수직의 제2 핀 마스크 막대(235)와 서로 교대로 배치되어 있다.

[0049] finFET를 완성하기 위해, 할로(halo) 및 확장 이온 주입이 수행되고, 스페이서가 게이트의 측벽 위해 형성되고, 소스/드레인 이온 주입이 수행되고, 게이트 및 소스/드레인의 접점이 형성된다. 접점은 실리사이드, 금속 스터드, 또는 실리사이드와 금속 스터드 접점을 포함할 수 있다. 본 발명에 따른 정렬 목표 및 정렬 마크가 어떻게 활용되는지에 대한 더 구체적인 내용은 도 20 및 도 21을 참조하여 뒤에서 설명된다.

[0050] 도 12a, 12b, 13a, 13b, 14a, 14b, 15a, 15b, 15c, 16a, 16b, 16c, 17a, 17b, 17c는 본 발명의 제2 실시예에 따른 세브론 finFET의 제조를 나타내는 평면도 및 대응 측면도이다.

[0051] 도 12b는 도 12a의 선 12B-12B를 따라 취한 단면도이다. 도 12a와 도 12b는 맨드렐 층(200)(도 2b 참조)이 없고 포토레지스트 피쳐(155A, 155B, 155C, 170A, 170B, 170C)가 하드 마스크 층(195)의 상부 표면(205)에 형성된 점을 제외하면 도 2a 및 도 2b와 유사하다.

[0052] 도 13b는 도 13a의 선 13B-13B를 따라 취한 단면도이다. 도 13a와 도 13b는 맨드렐 층(200)(도 3b 참조)이 없고 포토레지스트 피쳐(240A, 240B, 240C)가 하드 마스크 층(195)의 상부 표면(205)에 형성된 점을 제외하면 도 3a 및 도 3b와 유사하다.

[0053] 도 14b는 도 14a의 선 14B-14B를 따라 취한 단면도이다. 도 14a 및 도 14b에서, 포토레지스트 피쳐(155A, 155b, 155C, 170A, 170b, 170C, 240A, 240b, 240C)는 예를 들면 RIE에 의해 하드 마스크 층(195)(도 13b 참조)으로 전사된다. 도 14b에 하드 마스크 피쳐(345A, 345B, 345C)가 도시되어 있다. 도 15a, 도 15b 및 도 15c에 도시된 단계들 전에, 포토레지스트 피쳐(155A, 155B, 155C, 170A, 170B, 170C, 240A, 240B, 240C)들이 제거된다.

[0054] 도 15a에서, 포토레지스트 피쳐(280)는 하드 마스크 피쳐(345A, 345B, 345C, 345D, 345E)의 영역들 위에 형성되어 하드 마스크 피쳐(345A, 345B, 345C, 345D, 345E)의 코너 및 조그를 덮는다. 도 15b는 도 15a의 선 15B-15B를 따라 취한 단면도이고 도 15c는 도 15a의 선 15C-15C를 따라 취한 단면도이다. 도 15b에서는 도 16a, 도 16b 및 도 16c에 도시되고 뒤에서 설명하는 바와 같이, 하드 마스크 피쳐 345A, 345B 및 345C만이 실리콘 층(185)의 패턴을 한정한다. 도 15c에서는 도 16a, 도 16b 및 도 16c에 도시되고 뒤에서 설명하는 바와 같이, 포토레지스트 피쳐(280)가 하드 마스크 층(195)의 패턴을 한정한다. 하드 마스크 피쳐(345A, 345B, 345C, 345D, 345E)와 포토레지스트 피쳐(280)는 실리콘 층(185)의 에칭을 위한 복합 마스크를 형성한다.

[0055] 도 16a에서, 하드 마스크 피쳐(345A, 345B, 345C, 345D, 345E)와 포토레지스트 피쳐(280)(도 15a 참조)로 구성

된 복합 마스크는 예를 들면 RIE에 의해 실리콘 층(185)(도 15b 및 도 15c 참조)으로 전사되고, 하드 마스크 피쳐(345A, 345B, 345C, 345D, 345E)와 포토레지스트 피쳐(280)(도 15a 참조)가 제거된다. 이들 처리 단계의 결과, 실리콘 블록(290A, 290B) 사이에서 이들 실리콘 블록과 일체형으로 핀(350A, 350B, 350C)이 형성되고, 실리콘 블록(290B, 290C) 사이에서 이들 실리콘 블록과 일체형으로 핀(355A, 355B, 355C)이 형성되며, 실리콘 블록(290C, 290D) 사이에서 이들 실리콘 블록과 일체형으로 핀(360A, 360B, 360C)이 형성된다. 실리콘 블록(290A, 290B, 290C, 290D)의 길이방향축은 135 방향으로 정렬된다. 핀(350A, 350B, 350C, 355A, 355B, 355C, 360A, 360B, 360C)의 길이방향축은 120 방향으로 정렬된다.

[0056] 도 16b는 도 16a의 선 16B-16B를 따라 취한 단면도이고, 도 16c는 도 16a의 선 16C-16C를 따라 취한 단면도이다. 도 16b에서, 핀(350A, 350B, 350C)은 각각의 유전체 캡(365A, 365B, 365C)을 갖는다. 유전체 캡(365A, 365B, 365C)은 하드 마스크 층(195)(도 13b 참조)의 전부 또는 일부를 포함한다. 도 16c에서, 실리콘 블록(290D)위에는 핀(360A, 360B, 360C)(도 16a 참조) 위로 연장하는 유전체 캡(370A, 370B, 370C)이 형성된다. 유전체 캡(370A, 370B, 370C)은 하드 마스크 층(195)(도 15c 참조)의 전부 또는 일부를 포함한다. 선택적으로, 유전체 캡(365A, 365B, 365C, 370A, 370B, 370C)과 핀(355A, 355B, 355C)상의 다른 유전체 캡 및 실리콘 블록(290A, 290B, 290C)이 제거될 수 있다.

[0057] 도 17b는 도 17a의 선 17B-17B를 따라 취한 단면도이고, 도 17c는 도 17a의 선 17C-17C를 따라 취한 단면도이다. 도 17a에서, 게이트 구조물(310A)은 핀(350A, 350B, 350C)의 위에 형성되고, 게이트 구조물(310B)은 핀(355A, 355B, 355C)의 위에 형성되며, 게이트 구조물(310C)은 핀(360A, 360B, 360C)의 위에 형성된다. 도 17b에서, 게이트 구조물(310A)은 게이트 유전체(315), 게이트 전극(320) 및 선택적 유전체 캡(325)을 포함한다는 것을 알 수 있다. 유전체 캡(325)은 제거될 수도 있고 제거되지 않을 수도 있다.

[0058] 도 18은 본 발명에 따른 finFET를 제조하는 방법의 흐름도이다. 단계 400에서, SOI 기판 또는 반도체 온 인슐레이터(semiconductor on insulator) 기판이 제공된다. 그 다음에 이 방법은 단계 405A 또는 단계 405B로 진행할 수 있다.

[0059] 단계 405A에서, 하드 마스크 층이 실리콘 또는 반도체 층 위에 형성된다. 하드 마스크 층은 하나 이상의 개별 층을 포함할 수 있다. 단계 405B에서, 단계 405A에서와 같이 하드 마스크 층을 형성하는 것에 추가하여, 맨드렐 층이 하드 마스크 층의 상부에 형성된다. 맨드렐 층은 2개 이상의 층을 포함할 수 있다. 이 방법은 단계 405A 또는 405B로부터 단계 410으로 진행한다.

[0060] 단계 410에서, 포토레지스트 층이 하드 마스크 층 또는 맨드렐 층 위에 형성된다. 또한 단계 410에서, 포토레지스트 층이 제1 핀 패턴 마스크에 의해 노출되어 제1 잠복 핀 패턴 이미지를 형성한다. 그 다음에, 이 방법은 단계 415 또는 420으로 진행한다.

[0061] 단계 415에서, 포토레지스트 층이 제2 핀 패턴 마스크에 의해 노출되어 포토레지스트 층에 제2 잠복 핀 패턴 이미지를 형성하는데, 상기 제2 잠복 핀 패턴 이미지는 제1 잠복 핀 패턴 이미지에 중복된다. 방법은 단계 415로부터 단계 425로 진행한다.

[0062] 단계 420에서, 단계 410에서 노출된 포토레지스트 층이 현상되어 제1 잠복 핀 패턴 이미지를 제1 핀 패턴 포토레지스트 피쳐로 변환한다. 그 다음에, 제2 포토레지스트 층이 (앞에서 단계 405A가 수행되었는지 또는 단계 405B가 수행되었는지에 따라서) 하드 마스크 층 또는 맨드렐 층 위에 형성되고, 제2 포토레지스트 층이 제2 핀 패턴 마스크에 의해 노출되어 포토레지스트 층에 제2 잠복 핀 패턴 이미지를 형성하는데, 상기 제2 잠복 핀 패턴 이미지는 제1 핀 패턴 포토레지스트 피쳐에 중복된다. 방법은 단계 420으로부터 단계 425로 진행한다.

[0063] 단계 425에서, 현상 단계는 만일 단계 415 후에 단계 425가 수행된다면 제1 및 제2 잠복 핀 패턴 이미지를 제1 및 제2 핀 패턴 포토레지스트 피쳐로 변환하기 위해, 또는 만일 단계 420 후에 단계 425가 수행된다면 제2 잠복 핀 패턴 이미지를 제2 핀 패턴 포토레지스트 피쳐로 변환하기 위해 수행된다. 그 다음에, 방법은 단계 430A 또는 430B로 진행한다. 방법은 만일 이전에 단계 405A가 수행되었으면 단계 430A로 진행한다. 방법은 만일 이전에 단계 405B가 수행되었으면 단계 430B로 진행한다.

[0064] 단계 430A에서, 핀이 직접 이미지 처리에 의해 형성된다. 단계 430A에서, 포토레지스트 피쳐의 패턴이 하드 마스크 층으로 전사되고 포토레지스트 피쳐가 제거된다. 그 다음에, 포토레지스트 층이 형성되고 제3 마스크에 의해 노출되어 단계 415에서 제2 잠복 핀 패턴 이미지가 제1 잠복 핀 패턴 이미지에 중복되는 하드 마스크의 부분 또는 단계 420에서 제2 잠복 핀 패턴 이미지가 제1 잠복 핀 패턴 포토레지스트 피쳐에 중복되는 하드 마스크의 부분 위에 잠복 포토레지스트 이미지를 형성한다. 다음에, 포토레지스트 층이 현상되어 잠복 포토레지스트 피쳐

로부터 포토레지스트 페쳐를 형성한다. 실리콘 또는 다른 반도체 층이 에칭되어 핀을 형성하고 포토레지스트 페쳐가 제거된다. 그 다음에, 방법은 단계 435로 진행한다.

[0065] 단계 430B에서, 핀이 측벽 이미지 전사(SIT) 처리에 의해 형성된다. 단계 430B에서, 포토레지스트 페쳐는 맨드렐 층에 맨드렐을 형성하기 위한 마스크로서 사용되고, 포토레지스트 층이 제거된다. (위에서 설명한 바와 같이, 맨드렐의 형성은 맨드렐 하드 마스크 층을 통한 이미지 전사 처리를 포함한다.) 다음에, 스페이서가 맨드렐의 측벽에 형성되고 맨드렐이 제거된다. 선택적 포토리소그래픽 및 에칭 단계를 수행하여 스페이서의 영역들을 제거할 수 있다. 그 다음에, 포토레지스트 층이 형성되고 제3 마스크에 의해 노출되어 단계 415에서 제2 잠복 핀 패턴 이미지가 제1 잠복 핀 패턴 이미지에 중복되는 하드 마스크의 부분 또는 단계 420에서 제2 잠복 핀 패턴 이미지가 제1 잠복 핀 패턴 포토레지스트 페쳐에 중복되는 하드 마스크의 부분 위에 잠복 포토레지스트 이미지를 형성한다. 다음에, 포토레지스트 층이 현상되어 잠복 포토레지스트 페쳐로부터 포토레지스트 페쳐를 형성한다. 하드 마스크 층은 에칭 마스크로서 스페이서 및 포토레지스트 페쳐를 이용하여 에칭된다. 그 다음에 스페이서와 포토레지스트 페쳐가 제거되고, 실리콘 또는 다른 반도체 층이 에칭되어 핀을 형성한다. 그 다음에, 방법은 단계 435로 진행한다.

[0066] 단계 435에서, 실리콘 또는 다른 반도체 층 위에 남아있는 하드 마스크 층의 일부 또는 모두를 제거해야 하는지를 결정한다. 만일 제거해야 하면, 방법은 단계 440으로 진행하고, 그렇지 않으면, 방법은 단계 445로 진행한다.

[0067] 단계 440에서는 실리콘 또는 다른 반도체 층 위의 임의의 잔류 하드 마스크 층의 하나 또는 모두가 제거된다. 그 다음에, 방법은 445로 진행한다.

[0068] 단계 445에서, 게이트 유전체 층이 핀 위에 형성되고 게이트 전극 층이 게이트 유전체 층 위에 형성된다. 그 다음에, 포토리소그래픽 또는 에칭 처리를 수행하여 핀 위에 게이트 전극을 형성한다. 다음에, 소스/드레인 이온 주입이 수행되어 게이트 전극의 양측의 핀에 소스와 드레인을 형성한다. 이 기술 분야에서 잘 알려져 있는 바와 같이 소스/드레인 이온 주입 전에 게이트 측벽 스페이서 형성이 선행될 수 있고, 게이트 측벽 스페이서 형성 전에 할로 및 확장 이온 주입이 선행될 수 있다.

[0069] 도 19는 세브론 finFET 회로에서 사용하기에 적합한 본 발명에 따른 PfinFET 및 NfinFET를 나타내는 집적 회로 칩의 평면도이다. 도 19에서, 집적 회로 칩은 양측부(505, 510)와 양측부(515, 520)를 갖는다. 측부(505, 510)는 측부(515, 520)와 직교한다. 측부(505, 510)는 위에서 한정한 방향 140에 대략 평행하고, 측부(515, 520)는 위에서 한정한 방향 135와 대략 평행하게 정렬된다. 집적 회로 칩(500)에는 다수의 NfinFET가 형성되고, 각 NfinFET는 핀 본체(535) 내에 소스/드레인 영역(525) 및 소스/드레인 영역(530)을, 및 핀 본체의 채널 영역과 게이트 전극(540) 사이에 게이트 유전체(도시 생략됨)를 갖고, 채널 영역은 소스/드레인 영역들 사이에서 핀 본체 내에 위치된다. 게이트(530)는 방향 135에 대략 평행하게 정렬되고, 핀 본체(535)는 위에서 한정되고 핀 본체의 {100} 결정 평면이기도 한 방향 120에 대략 평행하게 정렬된다. 또한 집적 회로 칩(500)에는 다수의 PfinFET가 형성되고, 각 PfinFET는 핀 본체(555) 내에 소스/드레인 영역(545)과 소스/드레인 영역(550)을, 및 핀 본체의 채널 영역과 게이트 전극(560) 사이에 게이트 유전체(도시 생략됨)를 갖고, 채널 영역은 소스/드레인 영역들 사이에서 핀 본체 내에 위치된다. 게이트(560)는 방향 135에 대략 평행하게 정렬되고, 핀 본체(555)는 위에서 한정되고 핀 본체의 {110} 결정 평면이기도 한 방향 110에 대략 평행하게 정렬된다.

[0070] 도 20과 도 21은 본 발명에 따른 핀 대 게이트 정렬 마크를 나타내는 평면도이다. 도 20에서, 게이트 정렬 마크(330)는 제1 핀 마스크 목표 마크(225)와 제2 핀 마스크 목표 마크(250) 사이에 정렬된다. 게이트 마스크 마크(330)는 제1 핀 마스크 목표 마크(225)와의 완전한 정렬로부터 거리 D1만큼 옵셋된다. 게이트 마스크 마크(330)는 제2 핀 마스크 목표 마크(250)와의 완전한 정렬로부터 거리 D2만큼 옵셋된다. 마스크 목표 마크(225)와 제2 핀 마스크 목표 마크(250) 사이의 정렬은 값 $|D1+D2|$ 만큼 옵셋된다. 3개의 마스크가 완전하게 정렬될 때 $D1=D2=0$ 이다. D1과 D2가 제로가 아닐 때 최상의 가능한 정렬은 $D1=D2$ 일 때 발생한다. 종래의 포토리소그래피 툴의 정렬 시스템은 $D1=D2$ 가 되도록 서로에 대해 오정렬된 제1 및 제2 핀 마스크 목표 마크를 가진 기판과 관련하여 게이트 마스크를 자동으로 위치시키도록 조정될 수 있다.

[0071] 도 21에서, 제1 핀 마스크 목표 마크(225)와 제2 핀 마스크 목표 마크(250)가 교호하는 중앙 컬럼은 그 옆에 게이트 마스크 정렬 마크(330)의 제1 및 제2 컬럼이 배치된다. 제1 컬럼의 게이트 마스크 마크(330)는 제1 핀 마스크 목표 마크(225)와의 완전한 정렬로부터 거리 D1A만큼 옵셋되고 제2 컬럼의 게이트 마스크 마크(330)는 제1 핀 마스크 목표 마크(225)와의 완전한 정렬로부터 거리 D1B만큼 옵셋된다. 제1 컬럼의 게이트 마스크 마크(330)는 제2 핀 마스크 목표 마크(250)와의 완전한 정렬로부터 거리 D2A만큼 옵셋되고 제2 컬럼의 게이트 마스크

마크(330)는 제2 핀 마스크 목표 마크(250)와의 완전한 정렬로부터 거리 D2B만큼 옵셋된다. 제1 핀 마스크 목표 마크(225)는 제2 핀 마스크 마크로부터 값 $|D1B-D2B|-(D1A-D2A)|/2$ 만큼 오정렬된다. 3개의 마스크가 완전하게 정렬될 때 $D1B=D2B=D1A=D2A$ 이다. D1A, D2A, D1B 및 D2B가 동일하지 않을 때 최상의 가능한 정렬은 $D1A=D2B$ 이고 $D1B=D2A$ 일 때 발생한다. 종래의 포토리소그래피 툴의 정렬 시스템은 $D1A=D2B$ 이고 $D1B=D2A$ 가 되도록 서로에 대해 오정렬된 제1 및 제2 핀 마스크 목표 마크를 가진 기판과 관련하여 게이트 마스크를 자동으로 위치시키도록 조정될 수 있다.

[0072] 도 20 및 도 21에 도시되고 위에서 설명한 바와 같이 3개 마스크 정렬 원리를 이용한 제1 및 제2 핀 마스크 목표 마크(225, 250) 및 게이트 마스크 정렬 마크(330)의 많은 다른 토폴로지의(topological) 구성이 가능하다.

[0073] 도 22는 본 발명에 따라 제1 핀 마스크에 의해 한정된 핀 패턴의 세트와 제2 핀 마스크에 의해 한정된 핀 패턴의 세트 사이의 오정렬을 나타낸 것이다. 도 3a와 도 13a에서는 핀 패턴이 중복되었지만, 도 22에서는 핀 패턴이 오정렬되고 중복되지 않는다. 도 22에서는 제1 세트의 핀 패턴(600)과 제2 세트의 핀 패턴(606)이 제1 핀 마스크에 의해 한정된다. 제3 세트의 핀 패턴(610)은 제2 핀 마스크에 의해 한정된다. 제2 핀 마스크는 제1 핀 마스크와 관련하여 +Y 및 -Y 방향으로 오정렬된다. 따라서, 핀 패턴의 단부에서의 중복은 없다. 오정렬의 정도에 따라서 3개 세트의 핀 패턴 중 2개의 단부만이 중복되게 하는 것도 또한 가능하다. 그러나, 오정렬이 명세 내역(specification) 내에 있다고 가정하면, 이것은 도 23에서 알 수 있는 바와 같이, 본 발명에서의 충격은 없다.

[0074] 도 23은 본 발명에 따른 단결정 실리콘 에칭 핀에 형성된 도 22의 핀 패턴을 나타낸 것이다. 도 23에서, 핀(600A)은 실리콘 블록(615, 620) 사이에서 이들 실리콘 블록과 일체형으로 형성되고, 핀(610A)은 실리콘 블록(620, 625) 사이에서 이들 실리콘 블록과 일체형으로 형성되며, 핀(605A)은 실리콘 블록(625, 630) 사이에서 이들 실리콘 블록과 일체형으로 형성된다.

[0075] 따라서, 본 발명은 고밀도 세브론 finFET 장치 및 고밀도 세브론 finFET 장치의 제조 방법을 제공한다.

[0076] 본 발명의 실시예의 설명은 본 발명의 이해를 돋기 위한 것이다. 본 발명은 여기에서 설명한 특수한 실시예로 제한되는 것이 아니고, 본 발명의 범위로부터 벗어나지 않고 이 기술에 숙련된 사람에게는 명백한 바와 같이 여러 가지로 수정, 재구성 및 대체하는 것이 가능하다. 그러므로, 이하의 청구범위는 본 발명의 진정한 정신 및 범위 내에 포함되는 그러한 모든 수정 및 변경을 포함하는 것으로 한다.

도면의 간단한 설명

[0010] 도 1a 및 도 1b는 본 발명에 따른 실리콘 기판의 결정 평면에 대하여 NfinFET와 PfinFET의 핀들의 방위를 나타낸 도이다.

[0011] 도 2a, 2b, 3a, 3b, 4a, 4b, 4c, 5a, 5b, 6a, 6b, 7a, 7b, 8a, 8b, 9a, 9b, 9c, 10a, 10b, 10c, 11a, 11b, 11c는 본 발명의 제1 실시예에 따른 세브론 finFET의 제조를 나타내는 평면도 및 대응 측면도이다.

[0012] 도 12a, 12b, 13a, 13b, 14a, 14b, 15a, 15b, 15c, 16a, 16b, 16c, 17a, 17b, 17c는 본 발명의 제2 실시예에 따른 세브론 finFET의 제조를 나타내는 평면도 및 대응 측면도이다.

[0013] 도 18은 본 발명에 따른 finFET를 제조하는 방법의 흐름도이다.

[0014] 도 19는 세브론 finFET 회로에서 사용하기에 적합한 본 발명에 따른 PfinFET 및 NfinFET를 나타내는 집적 회로 칩의 평면도이다.

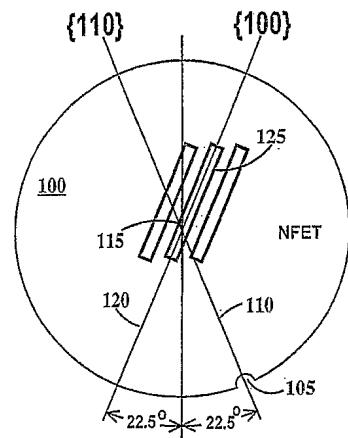
[0015] 도 20 및 도 21은 본 발명에 따른 게이트 정렬 마크에 대한 핀을 나타내는 평면도이다.

[0016] 도 22는 본 발명에 따라 제1 핀 마스크에 의해 한정된 핀 패턴의 세트와 제2 핀 마스크에 의해 한정된 핀 패턴의 세트 사이의 오정렬(misalignment)을 나타낸 도이다.

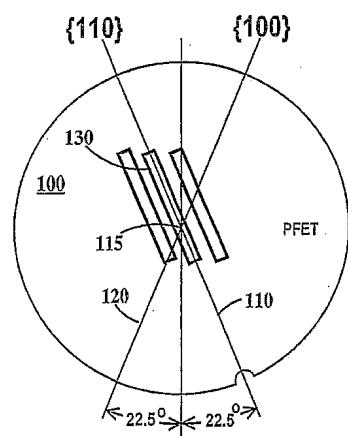
[0017] 도 23은 본 발명에 따른 단결정 실리콘 에칭 핀에 형성된 도 22의 핀 패턴을 나타낸 도이다.

도면

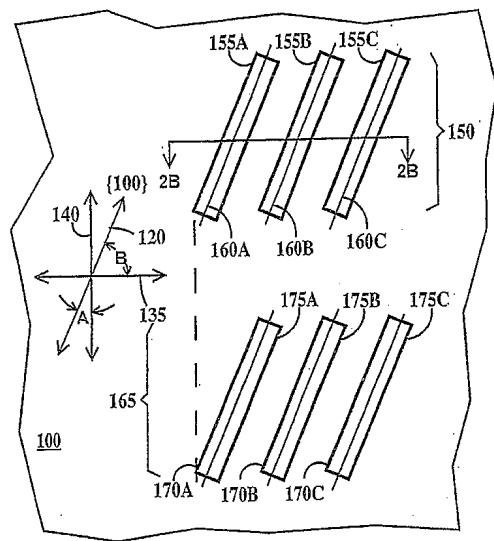
도면1a



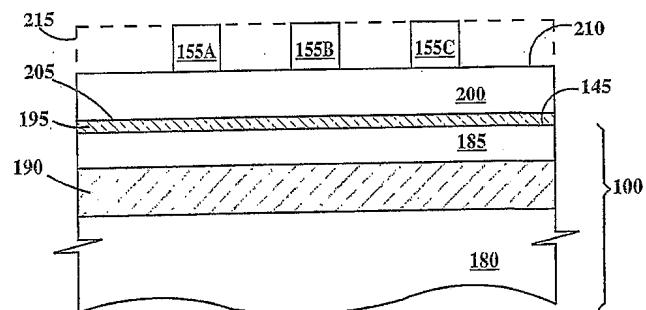
도면1b



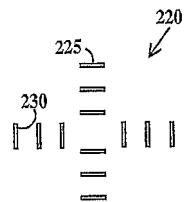
도면2a



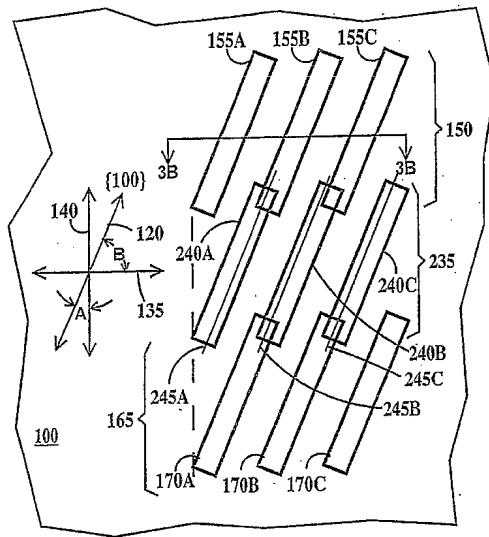
도면2b



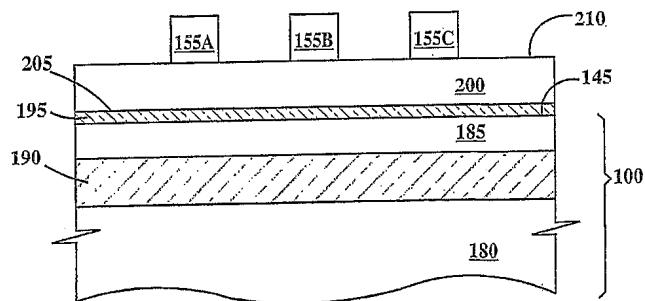
도면2c



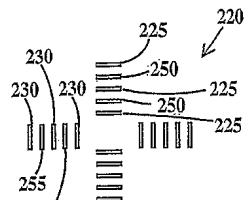
도면3a



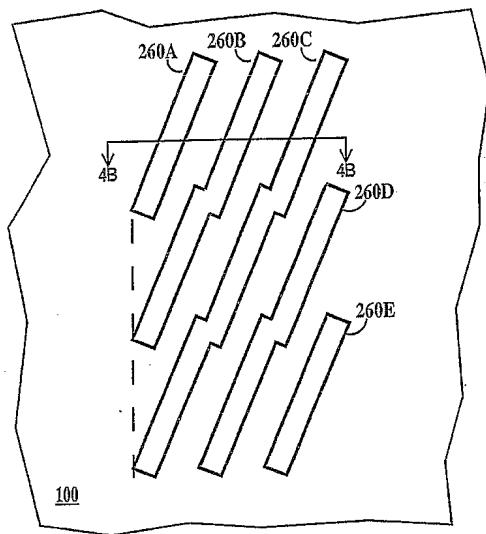
도면3b



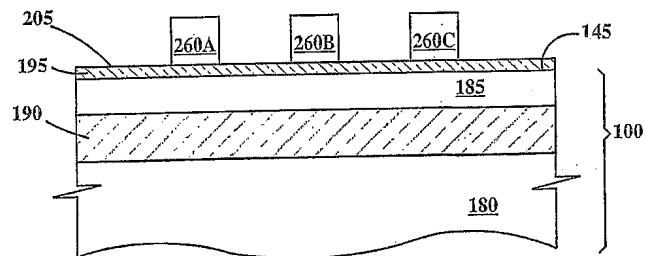
도면3c



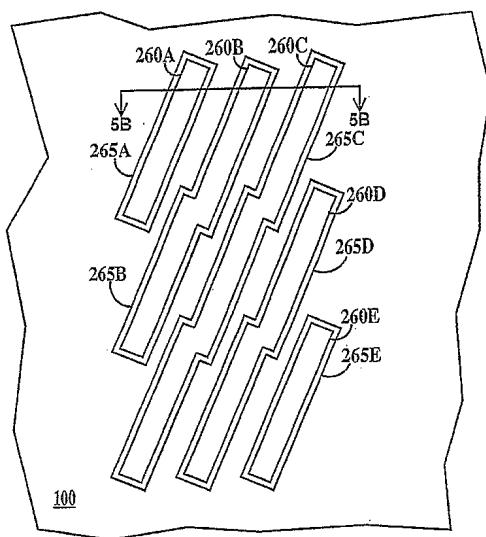
도면4a



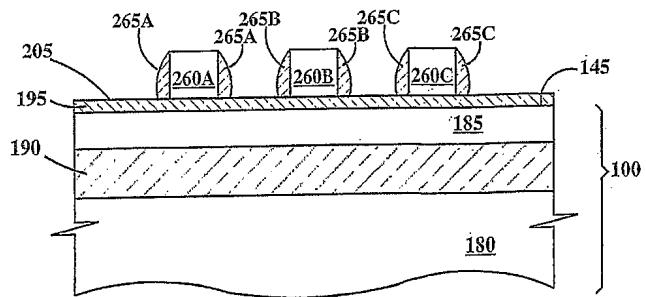
도면4b



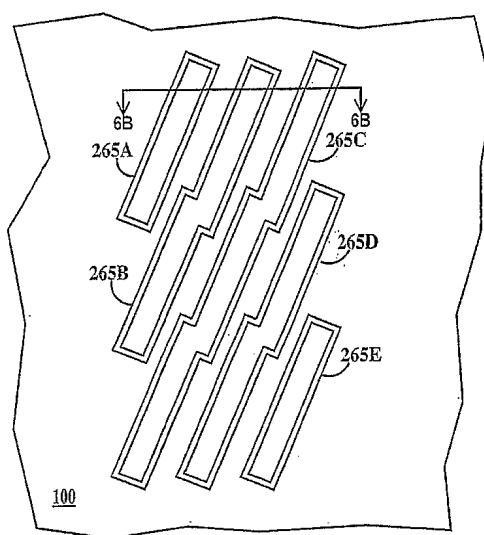
도면5a



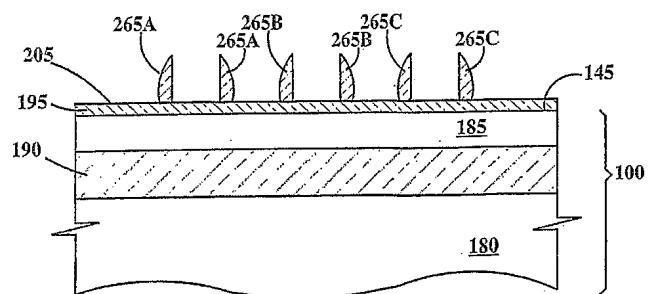
도면5b



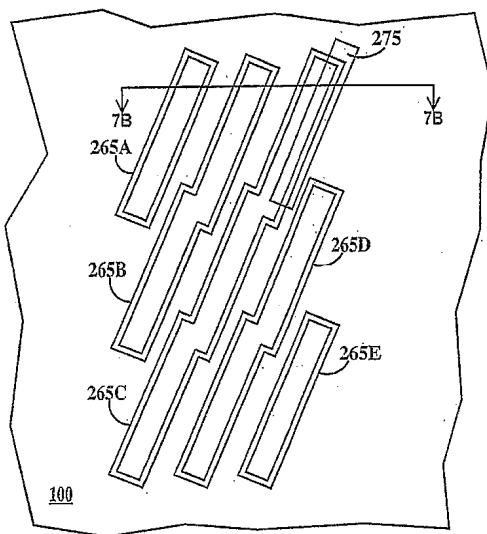
도면6a



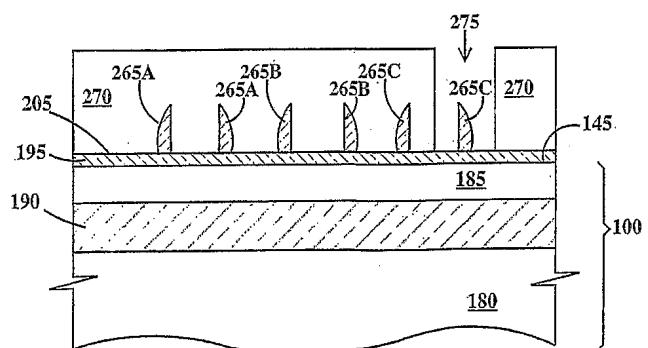
도면6b



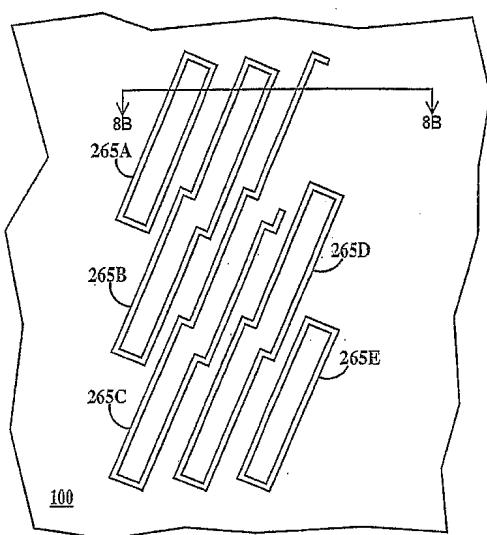
도면7a



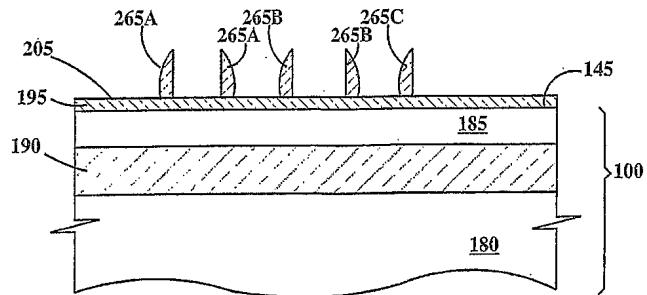
도면7b



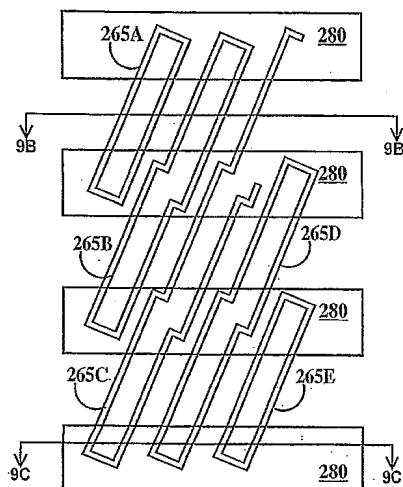
도면8a



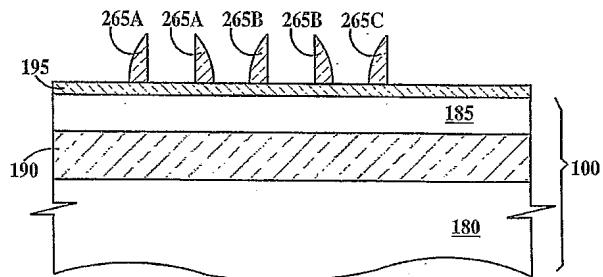
도면8b



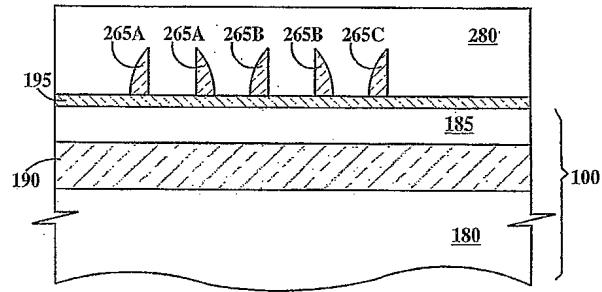
도면9a



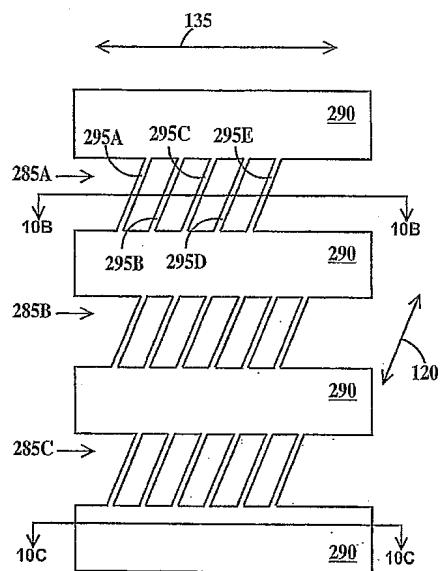
도면9b



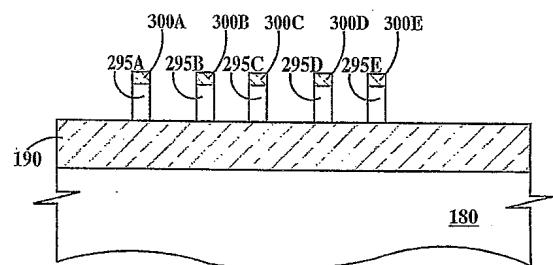
도면9c



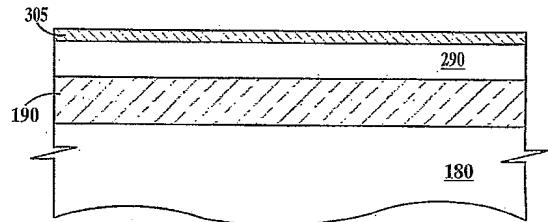
도면10a



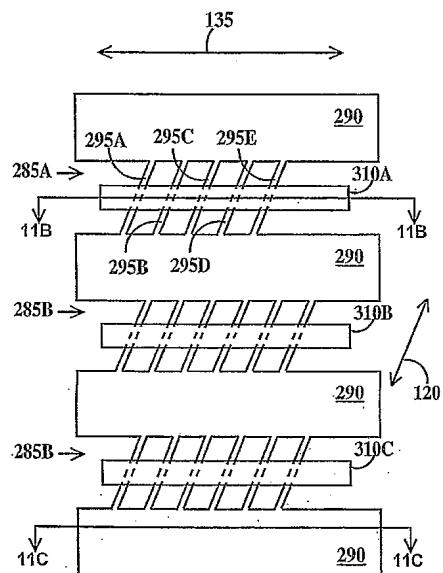
도면10b



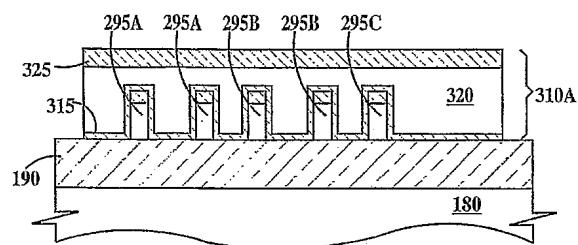
도면10c



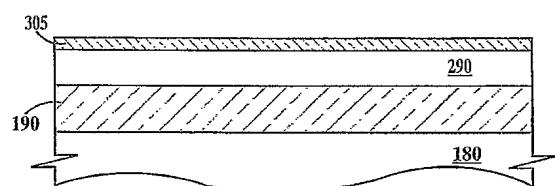
도면11a



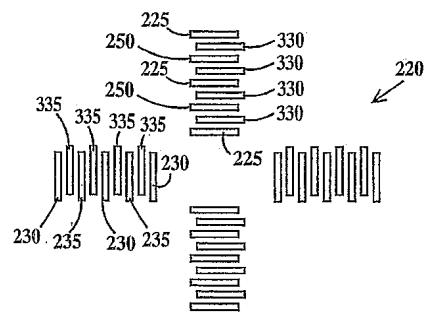
도면11b



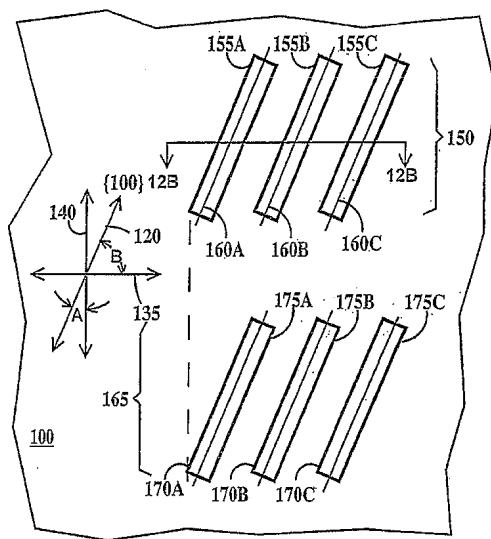
도면11c



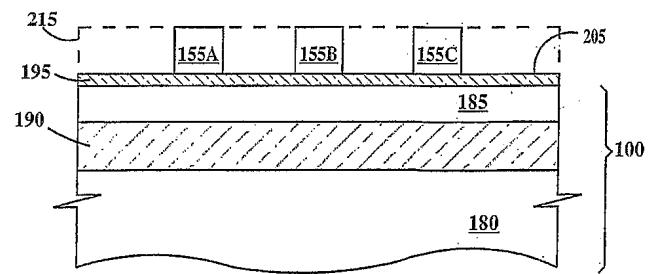
도면11d



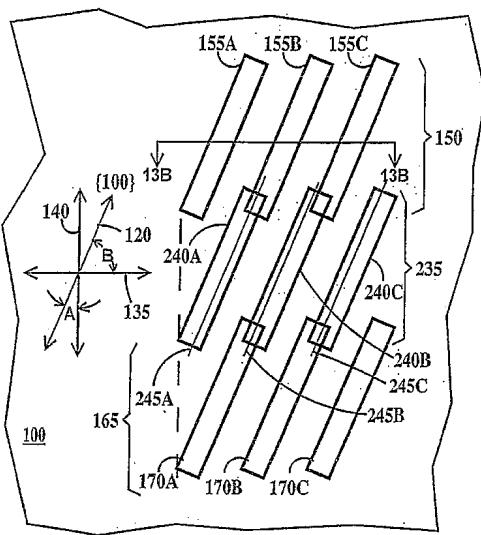
도면12a



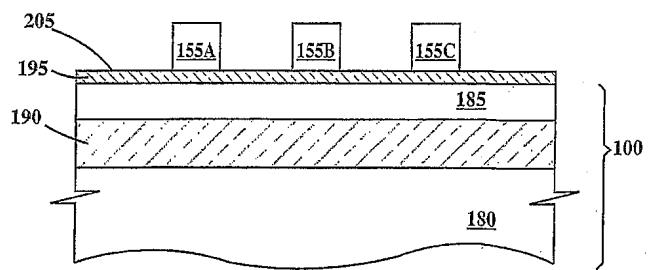
도면 12b



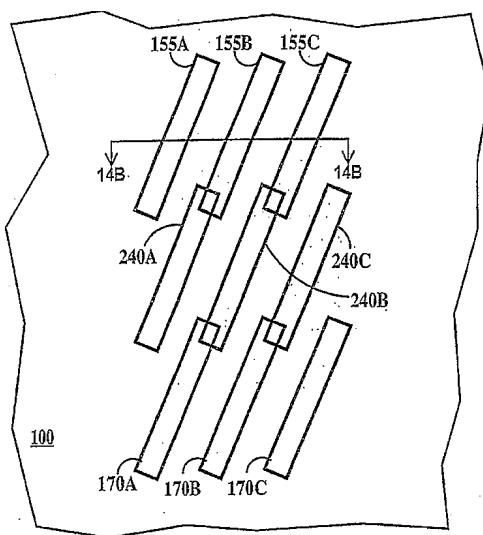
도면13a



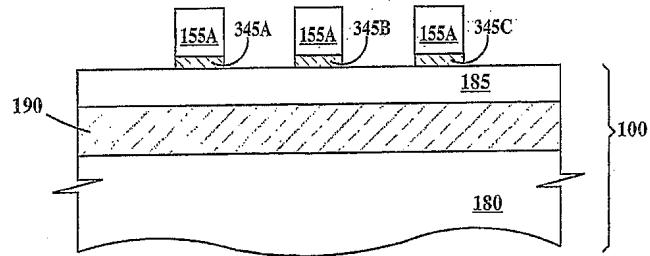
도면13b



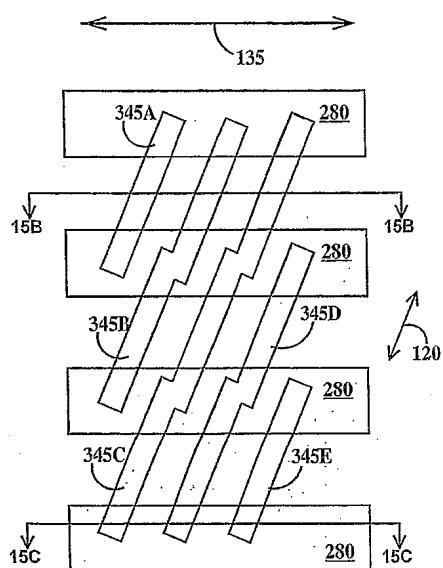
도면14a



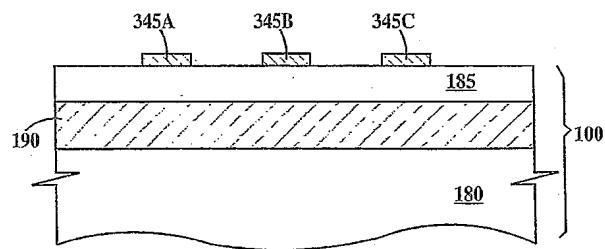
도면14b



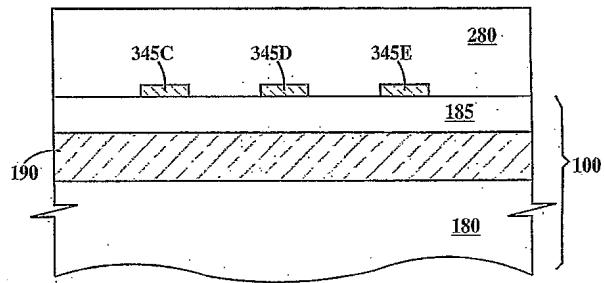
도면15a



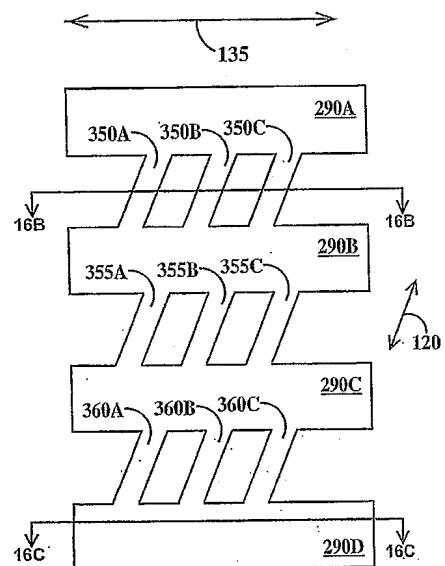
도면15b



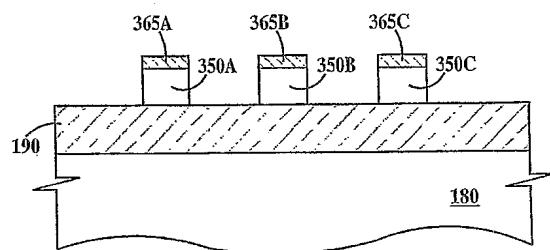
도면15c



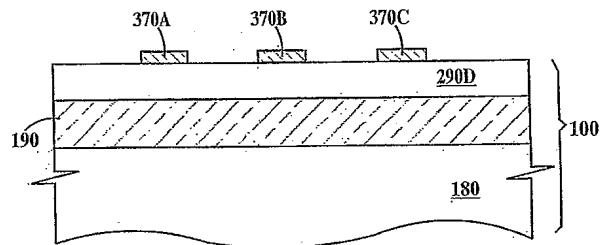
도면16a



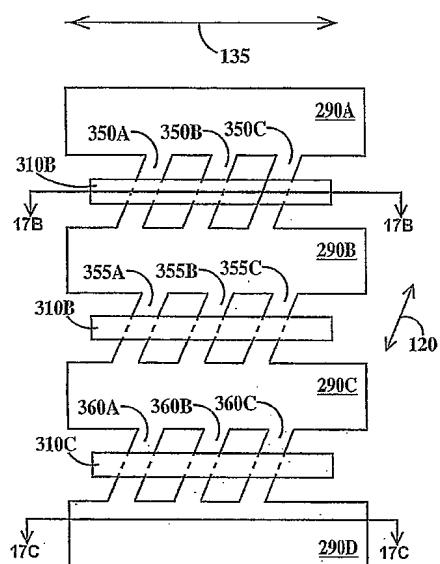
도면16b



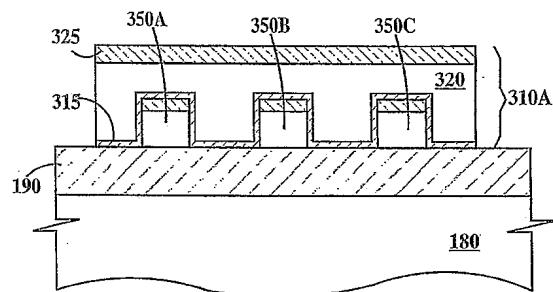
도면16c



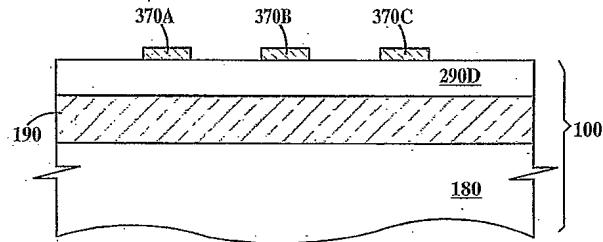
도면17a



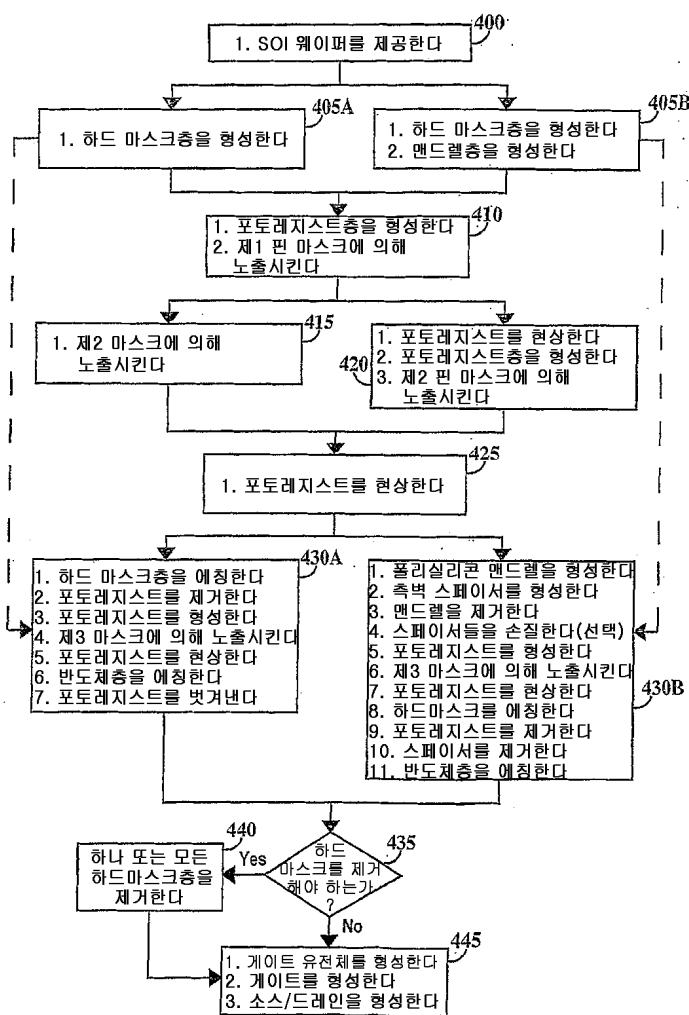
도면17b



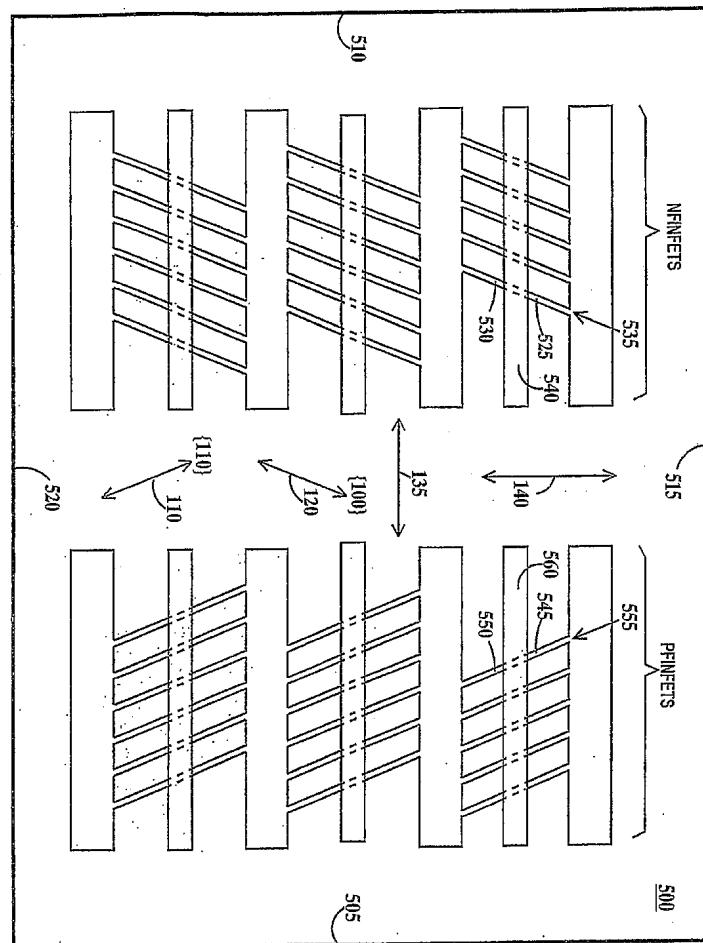
도면17c



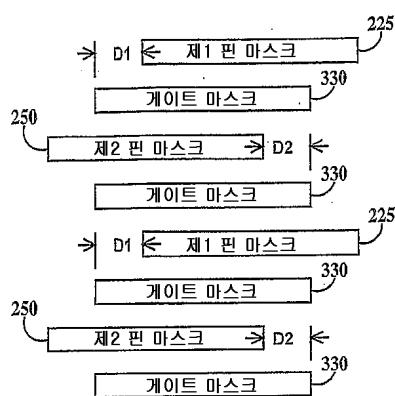
도면18



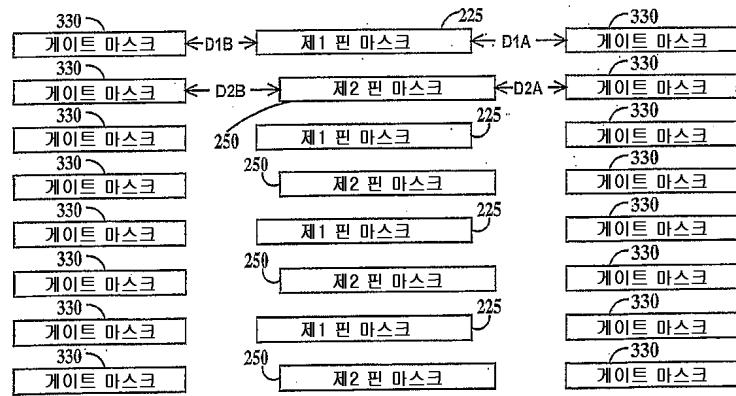
도면19



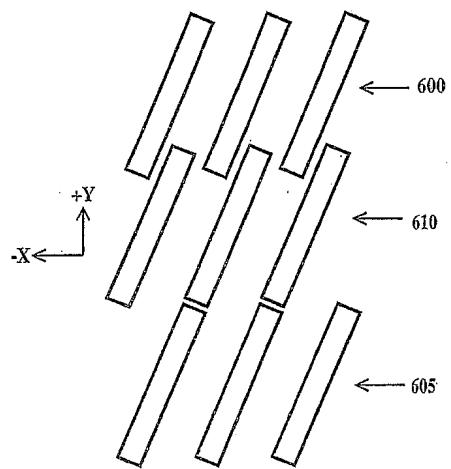
도면20



도면21



도면22



도면23

