



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I518798 B

(45)公告日：中華民國 105 (2016) 年 01 月 21 日

(21)申請案號：102119756

(22)申請日：中華民國 100 (2011) 年 04 月 13 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L21/28 (2006.01)

H01L29/78 (2006.01)

(30)優先權：2010/04/23 日本

2010-100197

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2008/0291350A1

US 2010/0006837A1

US 2010/0035379A1

審查人員：楊啟全

申請專利範圍項數：36 項 圖式數：17 共 129 頁

(54)名稱

半導體裝置的製造方法

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

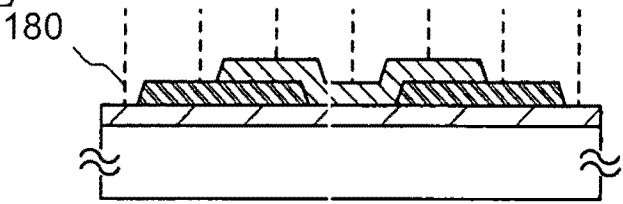
(57)摘要

本發明的目的之一是對使用氧化物半導體的半導體裝置賦予穩定的電特性，以實現高可靠性。一種半導體裝置的製造方法，包括如下步驟：形成第一絕緣膜；在第一絕緣膜上形成源極電極及汲極電極以及與源極電極及汲極電極電連接的氧化物半導體膜；對氧化物半導體膜進行熱處理以去除氧化物半導體膜中的氫原子；對去除了氫原子的氧化物半導體膜進行氧摻雜處理來對氧化物半導體膜中供給氧原子；在被供給有氧原子的氧化物半導體膜上形成第二絕緣膜；以及在第二絕緣膜上的與氧化物半導體膜重疊的區域上形成閘極電極。

One object of one embodiment of the present invention is to provide a highly reliable semiconductor device including an oxide semiconductor, which has stable electrical characteristics. In a method for manufacturing a semiconductor device, a first insulating film is formed; source and drain electrodes and an oxide semiconductor film electrically connected to the source and drain electrodes are formed over the first insulating film; heat treatment is performed on the oxide semiconductor film so that a hydrogen atom in the oxide semiconductor film is removed; oxygen doping treatment is performed on the oxide semiconductor film, so that an oxygen atom is supplied into the oxide semiconductor film; a second insulating film is formed over the oxide semiconductor film; and a gate electrode is formed over the second insulating film so as to overlap with the oxide semiconductor film.

指定代表圖：

圖 2E



符號簡單說明：

180 . . . 氧

發明摘要

※申請案號：102119756(由100112808分拆)

※申請日：101.4.13

※IPC 分類：H01L 21/336 (2006.01)

H01L 21/28 (2006.01)

H01L 29/78 (2006.01)

【發明名稱】(中文/英文)

半導體裝置的製造方法

Method for manufacturing semiconductor device

【中文】

本發明的目的之一是對使用氧化物半導體的半導體裝置賦予穩定的電特性，以實現高可靠性化。一種半導體裝置的製造方法，包括如下步驟：形成第一絕緣膜；在第一絕緣膜上形成源極電極及汲極電極以及與源極電極及汲極電極電連接的氧化物半導體膜；對氧化物半導體膜進行熱處理以去除氧化物半導體膜中的氫原子；對去除了氫原子的氧化物半導體膜進行氧摻雜處理來對氧化物半導體膜中供給氧原子；在被供給有氧原子的氧化物半導體膜上形成第二絕緣膜；以及在第二絕緣膜上的與氧化物半導體膜重疊的區域上形成閘極電極。

【 英文 】

One object of one embodiment of the present invention is to provide a highly reliable semiconductor device including an oxide semiconductor, which has stable electrical characteristics. In a method for manufacturing a semiconductor device, a first insulating film is formed; source and drain electrodes and an oxide semiconductor film electrically connected to the source and drain electrodes are formed over the first insulating film; heat treatment is performed on the oxide semiconductor film so that a hydrogen atom in the oxide semiconductor film is removed; oxygen doping treatment is performed on the oxide semiconductor film, so that an oxygen atom is supplied into the oxide semiconductor film; a second insulating film is formed over the oxide semiconductor film; and a gate electrode is formed over the second insulating film so as to overlap with the oxide semiconductor film.

【代表圖】

【本案指定代表圖】：第(2E)圖。

【本代表圖之符號簡單說明】：

180：氧

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置的製造方法

Method for manufacturing semiconductor device

【技術領域】

本發明關於一種半導體裝置及半導體裝置的製造方法。

另外，在本說明書中半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置，因此電光裝置、半導體電路以及電子設備都是半導體裝置。

【先前技術】

使用形成在具有絕緣表面的基板上的半導體薄膜構成電晶體的技術受到關注。該電晶體被廣泛地應用於如積體電路（IC）及影像顯示裝置（顯示裝置）等的電子設備。作為可以應用於電晶體的半導體薄膜，矽類半導體材料被廣泛地周知。但是，作為其他材料，氧化物半導體受到關注。

例如，已經公開了，作為電晶體的啓動層使用電子載子濃度低於 $10^{18}/\text{cm}^3$ 的包含銦（In）、鎵（Ga）、鋅（Zn）的非晶氧化物的電晶體（參照專利文獻 1）。

[專利文獻 1] 日本專利申請公開第 2006-165528 號公

報

但是，當在裝置製造製程中氧化物半導體中混入用於形成電子給體的氫或水時，有可能導致導電率變化。該現象是導致使用氧化物半導體的電晶體的電特性變動的主要原因。

【發明內容】

鑒於上述問題，本發明的目的之一是使使用氧化物半導體的半導體裝置具有穩定的電特性，以實現高可靠性。

在具有氧化物半導體膜的電晶體的製造製程中，進行利用熱處理的脫水化或脫氫化以及氧摻雜處理。在具有氧化物半導體膜的電晶體的製造製程中至少進行氧摻雜處理。

所公開的發明的一個方式是一種半導體裝置的製造方法，包括如下步驟：形成第一絕緣膜；在第一絕緣膜上形成源極電極及汲極電極以及與源極電極及汲極電極電連接的氧化物半導體膜；對氧化物半導體膜進行熱處理以去除氧化物半導體膜中的氫原子；對去除了氫原子的氧化物半導體膜進行氧摻雜處理來對氧化物半導體膜中供給氧原子；在被供給有氧原子的氧化物半導體膜上形成第二絕緣膜；以及以與氧化物半導體膜重疊的方式在第二絕緣膜上形成閘極電極。

所公開的發明的另一個方式是一種半導體裝置的製造方法，包括如下步驟：形成作為成分包含氧原子的第一絕

緣膜；對第一絕緣膜進行氧摻雜處理以對第一絕緣膜供給氧原子；在第一絕緣膜上形成源極電極及汲極電極以及與源極電極及汲極電極電連接的氧化物半導體膜；對氧化物半導體膜進行熱處理以去除氧化物半導體膜中的氫原子；對去除了氫原子的氧化物半導體膜進行氧摻雜處理來對氧化物半導體膜中供給氧原子；在被供給有氧原子的氧化物半導體膜上形成作為成分包含氧原子的第二絕緣膜；對第二絕緣膜進行氧摻雜處理以對第二絕緣膜供給氧原子；以及以與氧化物半導體膜重疊的方式在第二絕緣膜上形成閘極電極。

在上述半導體裝置的製造方法中，有時以使氧化物半導體膜包含超過化學計量比的一倍至兩倍的比率的氧原子的方式對氧化物半導體膜進行摻雜處理。另外，有時形成包含氧化物半導體膜的成分元素的絕緣膜作為第一絕緣膜或第二絕緣膜。或者，有時形成包含氧化物半導體膜的成分元素的絕緣膜以及包含與該絕緣膜的成分元素不同的元素的膜作為第一絕緣膜或第二絕緣膜。或者，有時形成包含氧化鎵的絕緣膜作為第一絕緣膜或第二絕緣膜。或者，有時形成包含氧化鎵的絕緣膜以及包含與氧化鎵不同的材料的膜作為第一絕緣膜或第二絕緣膜。注意，在本說明書中，“氧化鎵”這一用語在沒有特殊說明的情況下表示作為成分元素的氧和鎵，並不用來限定氧化鎵的方式。例如，也可以將“含有氧化鎵的絕緣膜”讀為“含有氧和鎵的絕緣膜”。

另外，在上述半導體裝置的製造方法中，有時以覆蓋閘極電極的方式形成包含氮的絕緣膜。像這樣，當在上方形成不包含氫或氫含量極少的氮化矽等的絕緣膜時，可以防止被添加的氧放出到外部並可以防止從外部混入氫或水。從這一點上來看可以說該絕緣膜的重要性較高。

注意，上述“氧摻雜”是指將氧（至少包含氧自由基、氧原子、氧離子中的任一種）添加到塊中的處理。注意，“塊”這一用語是爲了表明不僅將氧添加到薄膜的表面還將氧添加到薄膜的內部。另外，“氧摻雜”包括將電漿化的氧添加到塊中的“氧電漿摻雜”。

藉由上述氧摻雜處理，氧化物半導體膜的膜中（塊中）、絕緣膜的膜中（塊中）、氧化物半導體膜與絕緣膜的介面中的至少一處以上存在超過化學計量比的含量的氧。氧的含量最好爲超過化學計量比的 1 倍至 4 倍（小於 4 倍），更佳的是爲超過 1 倍至 2 倍（小於 2 倍）。這裏，超過化學計量比的氧過剩的氧化物是指例如在表示爲 $\text{In}_a\text{Ga}_b\text{Zn}_c\text{Si}_d\text{Al}_e\text{Mg}_f\text{O}_g$ （ $a, b, c, d, e, f, g \geq 0$ ）時，滿足 $2g > 3a + 3b + 2c + 4d + 3e + 2f$ 的氧化物。另外，藉由氧摻雜處理添加的氧有可能存在於氧化物半導體的晶格間。

另外，至少使脫水化、脫氫化之後的氧化物半導體膜中的氧的含量多於氫的含量。只要至少上述結構中的任何一個中使添加的氧的含量多於氫，氧即可以擴散而與其他的導致不穩定的原因的氫發生反應而將氫固定（非可動離子化）。即，可以降低或充分地降低可靠性的不穩定性。

另外，藉由使氧過剩，可以在降低起因於氧缺損的臨界值電壓 V_{th} 的不均勻的同時降低臨界值電壓的偏移量 ΔV_{th} 。

另外，更佳的是氧化物半導體膜的膜中（塊中）、絕緣膜的膜中（塊中）、氧化物半導體膜與絕緣膜的介面中的至少兩處以上存在上述量的氧。

另外，在沒有缺陷（氧缺損）的氧化物半導體中，只要包含與化學計量比一致的量的氧即可，但是為了確保如抑制電晶體的臨界值電壓的變動等的可靠性，佳的是使氧化物半導體包含超過化學計量比的量的氧。同樣地，在沒有缺陷（氧缺損）的氧化物半導體中，不需要使用氧過剩的絕緣膜作為基底膜，但是為了確保如抑制電晶體的臨界值電壓的變動等的可靠性，考慮到在氧化物半導體層中可能產生氧缺損狀態的情況最好使用氧過剩的絕緣膜作為基底膜。

在此，示出利用上述“氧電漿摻雜”處理對塊中添加氧的樣子。注意，通常在對作為成分之一包含氧的氧化物半導體膜中進行氧摻雜處理時，很難確認氧濃度的增減。所以，這裏使用矽晶圓對氧摻雜處理的效果進行了確認。

氧摻雜處理藉由利用電感耦合電漿（ICP：Inductively Coupled Plasma）方式來進行。其條件如下：ICP 功率為 800W、RF 偏置功率為 300W 或 0W、壓力為 1.5Pa、氧氣體流量為 75sccm、基板溫度為 70℃。圖 15 表示根據 SIMS（Secondary Ion Mass Spectrometry：二次

離子質譜) 分析的矽晶圓的深度方向的氧濃度分佈。在圖 15 中，縱軸表示氧濃度，橫軸表示距離矽晶圓表面的深度。

根據圖 15 可知：當 RF 偏置功率為 0W 時及當 RF 偏置功率為 300W 時都可以確認出氧的添加。另外，可以確認出與 RF 偏置為 0W 的情況相比，當 RF 偏置為 300W 時氧被添加到更深的深度中。

接著，在圖 16A 和圖 16B 中示出利用 STEM (Scanning Transmission Electron Microscopy；掃描電子顯微鏡) 對進行氧摻雜處理之前的矽晶圓與進行了氧摻雜處理之後的矽晶圓的截面進行觀察的結果。圖 16A 是進行氧摻雜處理之前的 STEM 圖像，圖 16B 是在 RF 偏置功率為 300W 的條件下進行氧摻雜處理之後的 STEM 圖像。由圖 16B 可知藉由進行氧摻雜處理矽晶圓中形成有氧高摻雜區域。

如上所示，藉由對矽晶圓進行氧摻雜，可以在矽晶圓中添加氧。由此可以認為，藉由對氧化物半導體進行氧摻雜可以對氧化物半導體膜中添加氧。

至於所公開的發明的一個方式的上述結構的效果，按照下述考察就很容易理解。但是，以下說明只不過是一個考察而已。

當對閘極電極施加正電壓時，從氧化物半導體膜的閘極電極一側到背通道一側（與閘極絕緣膜相反一側）產生電場，由此存在於氧化物半導體膜中的具有正電荷的氫離

子移動到背通道一側並蓄積在氧化物半導體膜與絕緣膜的介面中的氧化物半導體膜一側。由於正電荷從所蓄積的氫離子移動到絕緣膜中的電荷俘獲中心（氫原子、水或污染物質等），在氧化物半導體膜的背通道一側蓄積有負電荷。也就是說，在電晶體的背通道一側發生寄生通道，臨界值電壓向負值一側偏移，從而電晶體趨於常通（normally-on）。

如上述所述，由於絕緣膜中的氫或水等的電荷俘獲中心捕獲正電荷而使正電荷移動到絕緣膜中導致電晶體的電特性變化，所以為了抑制電晶體的電特性的變動，不使絕緣膜中存在上述電荷俘獲中心或者電荷俘獲中心的含量少尤為重要。所以，最好利用成膜時的氫含量少的濺射法形成絕緣膜。利用濺射法形成的絕緣膜的膜中不存在電荷俘獲中心或電荷俘獲中心少，與利用 CVD 法等成膜的情況相比，不容易發生正電荷的移動。因此，可以抑制電晶體的臨界值電壓的偏移，並可以使電晶體成為常關閉（normally-off）型。

另外，在頂柵型的電晶體中，藉由在成為基底的絕緣膜上形成氧化物半導體膜之後進行熱處理，可以在去除包含在氧化物半導體膜中的水或氫的同時去除包含在絕緣膜中的水或氫。因此，在絕緣膜中，捕獲由氧化半導體膜移動而來的正電荷的電荷俘獲中心很少。像這樣，由於用來對氧化物半導體膜進行脫水化或脫氫化的熱處理不僅對氧化物半導體膜進行，還對存在於氧化物半導體膜的下層的

絕緣膜進行，所以在頂柵型電晶體中，也可以利用電漿 CVD 法等的 CVD 法形成成爲基底的絕緣膜。

另外，當對閘極電極施加負電壓時，從背通道一側到閘極電極一側產生電場，由此存在於氧化物半導體膜中的氫離子移動到閘極絕緣膜一側並蓄積在氧化物半導體膜與閘極絕緣膜的介面中的氧化物半導體膜一側。由此，電晶體的臨界值電壓向負值一側偏移。

另外，在電壓 0 的條件下放置時，從電荷俘獲中心正電荷被釋放，電晶體的臨界值電壓向正值一側偏移而回到初始狀態，或者有時與初始狀態相比進一步向正值一側偏移。該現象說明氧化物半導體膜中存在容易移動的離子，並可以認爲最小原子的氫成爲最容易移動的離子。

另外，由於氧化物半導體膜吸收光，由於光能氧化物半導體膜中的金屬元素（M）與氫原子（H）間的接合（也稱爲 M-H 鍵）斷開。注意，波長爲 400nm 左右的光能和金屬元素與氫原子間的接合能大致相同。當對氧化物半導體膜中的金屬元素與氫元素間的接合斷開的電晶體施加負閘極偏壓時，從金屬元素脫離的氫離子被引到閘極一側，因此電荷分佈發生變化，電晶體的臨界值電壓向負值一側偏移而趨於常通。

另外，當停止施加電壓時，因爲對電晶體的光照射和負閘極偏壓的施加而移動到閘極絕緣膜介面的氫離子回到初始狀態。該現象被認爲是氧化物半導體膜中的離子移動的典型例子。

作為對於這種因電壓施加導致的電特性的變動（BT退化）或因光照射導致的電特性的變動（光退化）的對策，最重要的是，從氧化物半導體膜徹底去除氫原子或水等包含氫原子的雜質，來使氧化物半導體膜高純度化。當電荷密度為 10^{15}cm^{-3} ，即單位面積的電荷為 10^{10}cm^{-2} 時，該電荷不對電晶體的特性造成影響，或者即使有影響也是極小的。因此，電荷密度最好為 10^{15}cm^{-3} 以下。當假設氧化物半導體膜中包含的氫的 10% 的氫在氧化物半導體膜中移動時，最好氫濃度為 10^{16}cm^{-3} 以下。並且，為了防止在完成裝置後氫從外部侵入，最好使用利用濺射法形成的氮化矽膜作為鈍化膜覆蓋電晶體。

並且，藉由相對於包含在氧化物半導體膜中的氫摻雜過剩的氧（（氫原子數） $\ll$ （氧自由基數）或（氧離子數）），可以從氧化物半導體膜中去除氫或水。具體來說，利用高頻（RF）使氧電漿化，並加大基板偏壓，將氧自由基、氧離子摻雜或添加到基板上的氧化物半導體膜中，以使氧化物半導體膜中的氧多於殘留氫。由於氧的電負性為 3.0 而高於電負性為 2.0 左右的氧化物半導體膜中的金屬（Zn、Ga、In），藉由與氫相比包含過剩的氧，奪取 M-H 基中的氫而形成 OH 基。另外，該 OH 基也可能與 M 接合而形成 M-O-H 基。

另外，最好以與化學計量比相比氧化物半導體膜的氧含量過剩的方式進行氧摻雜。例如，當作為氧化物半導體膜使用 In-Ga-Zn-O 類氧化物半導體膜時，最好藉由氧摻

雜等使氧的比率超過化學計量比的 1 倍至 2 倍（小於 2 倍）。例如，當將 In-Ga-Zn-O 類氧化物半導體的單晶的化學計量比設定為 $\text{In} : \text{Ga} : \text{Zn} : \text{O} = 1 : 1 : 1 : 4$ 時，在其組成以 InGaZnO_x 表示的氧化物半導體膜中，更佳的是 x 超過 4 且小於 8。由此，氧化物半導體膜中氧含量大於氫含量。

由於光能或 BT 應力，氫從 M-H 基脫離而成爲退化的原因，但是，在藉由上述摻雜注入氧的情況下，所注入的氧與氫離子接合而成爲 OH 基。由於該 OH 基的接合能較大，因此即使對電晶體進行光照射或施加 BT 應力也不放出氫離子，而且，由於其品質也比氫離子大，所以不容易在氧化物半導體膜中移動。因此，藉由氧摻雜而形成的 OH 基不會成爲電晶體退化的原因，或可以抑制退化。

另外，已經確認到如下傾向，即：氧化物半導體膜的膜厚度越厚電晶體的臨界值電壓越不均勻。可以推測這是由於如下緣故：氧化物半導體膜中的氧缺陷是臨界值電壓變動的一個原因，而氧化物半導體膜的厚度越厚該氧缺陷越多。在根據本發明的一個方式的電晶體中，對氧化物半導體膜摻雜氧的製程不僅能夠去除氧化物半導體膜中的氫或水，而且能夠填補膜中的氧缺陷。由此，根據本發明的一個方式的電晶體可以控制臨界值電壓的不均勻。

另外，夾著氧化物半導體膜設置由與氧化物半導體膜相同種類的成分構成的金屬氧化物膜的結構，也對防止電特性的變動是很有效的。作爲由與氧化物半導體膜相同種

類的成分構成的金屬氧化物膜，具體來說，最好使用包含從氧化物半導體膜的成分元素中選擇的一種或多種金屬元素的氧化物的膜。這種材料與氧化物半導體膜的搭配良好，藉由夾著氧化物半導體膜設置該金屬氧化物膜，可以保持與氧化物半導體膜的介面的良好狀態。也就是說，藉由設置使用上述材料金屬氧化物膜作為與氧化物半導體膜接觸的絕緣膜，可以抑制或防止氫離子蓄積在該金屬氧化物膜與氧化物半導體膜的介面及其附近。從而，與夾著氧化物半導體膜設置如氧化矽膜等的由與氧化物半導體膜不同的成分構成的絕緣膜的情況相比，可以充分降低影響電晶體的臨界值電壓的氧化物半導體膜介面的氫濃度。

另外，作為該金屬氧化物膜，最好使用氧化鎵膜。氧化鎵的帶隙（ E_g ）較大，因此藉由以氧化鎵膜夾著氧化物半導體膜，在氧化物半導體膜與金屬氧化物膜的介面形成有能壘，該能壘妨礙該介面的載子的移動。因此，載子不從氧化物半導體移動到金屬氧化物，而在氧化物半導體膜中移動。另一方面，氫離子穿過氧化物半導體與金屬氧化物的介面，蓄積在金屬氧化物與絕緣膜的介面附近。即使氫離子蓄積在與絕緣膜的介面附近，由於用作金屬氧化物膜的氧化鎵膜中不形成有可能發生載子流動的寄生通道，所以不會影響到電晶體的臨界值電壓或者影響極小。另外，在使氧化鎵與 In-Ga-Zn-O 類材料接觸時，能壘在導帶一側為 0.8eV 左右而在價電子帶一側為 0.9eV 左右。

根據所公開的發明的一個方式的電晶體的技術思想在

於：藉由氧摻雜處理至少增大與氧化物半導體膜接觸的絕緣膜中、氧化物半導體膜中或這些膜的介面附近中的一處的氧含量。

當作爲氧化物半導體膜使用包含銦的氧化物半導體材料時，由於銦與氧的接合力較弱，當與氧化物半導體膜接觸的絕緣膜中含有如矽等的與氧的接合力強的材料時，由於熱處理氧化物半導體膜中的氧被抽出而有可能在氧化物半導體膜的介面附近形成氧缺損。但是，根據所公開的發明的一個方式的電晶體，藉由對氧化物半導體膜供給過剩的氧，可以抑制氧缺損的形成。

這裏，在電晶體的製造製程中，在進行了氧摻雜處理之後，有時氧化物半導體膜或與氧化物半導體膜接觸的絕緣膜所包含的與化學計量比相比過剩的氧量在各層中彼此不同。在過剩的氧量不同的狀態下，各層的氧的化學勢不同，可以認爲該化學勢的不同是由於在電晶體的製造製程中的熱處理等接近平衡狀態或者變爲平衡狀態的緣故。下面對平衡狀態下的氧分佈進行分析。

在某一溫度 T 、壓力 P 下的平衡狀態是指全體系的吉布斯（Gibbs）自由能 G 最小的狀態，並可以由如下式（1）表示。

[式 1]

$$G(N_a, N_b, N_c, \dots, T, P) = G^{(1)}(N_a, N_b, N_c, \dots, T, P) + G^{(2)}(N_a, N_b, N_c, \dots, T, P) + G^{(3)}(N_a, N_b, N_c, \dots, T, P) \dots (1)$$

在式 (1) 中， $G^{(1)}$ 、 $G^{(2)}$ 、 $G^{(3)}$ 表示各層的吉布斯自由能。另外， N_a 、 N_b 、 N_c 表示粒子數， a 、 b 、 c 表示粒子的種類。粒子 a 從 i 層向 j 層移動 $\delta N_a^{(j)}$ 時，吉布斯自由能的變化如下面的式 (2) 所示那樣。

[式 2]

$$\delta G = -\frac{\partial G^{(i)}}{\partial N_a^{(i)}} \delta N_a^{(i)} + \frac{\partial G^{(j)}}{\partial N_a^{(j)}} \delta N_a^{(j)} \quad \dots (2)$$

這裏，在 δG 為 0，即滿足下面的式 (3) 時，體系成為平衡狀態。

[式 3]

$$\frac{\partial G^{(i)}}{\partial N_a^{(i)}} = \frac{\partial G^{(j)}}{\partial N_a^{(j)}} \quad \dots (3)$$

吉布斯自由能的粒子數微分相當於化學勢，因此，在平衡狀態下，所有層中的粒子的化學勢彼此相等。

具體來說，當與絕緣膜相比氧化物半導體膜包含過剩的氧時，絕緣膜中的氧的化學勢相對小，而氧化物半導體膜中的氧的化學勢相對大。

並且，藉由在電晶體的製造製程中進行熱處理，整個體系（這裏，是氧化物半導體膜和與其接觸的絕緣膜）的溫度充分提高，當原子開始擴散到層內及層間時，氧以化學勢成為相同的方式移動。也就是說，當氧化物半導體膜的氧移動到絕緣膜中時，氧化物半導體膜的化學勢減小而絕緣膜的化學勢增大。

由此，藉由氧摻雜處理供給到氧化物半導體膜中的過

剩的氧，藉由之後的熱處理使體系內的化學勢成為平衡狀態，而擴散並被供給到絕緣膜（包括介面）中。因此，當氧化物半導體膜存在大量過剩的氧時，也可能使與氧化物半導體膜接觸的絕緣膜（包括介面）變為氧過剩。

由此，可以說對氧化物半導體膜中供給足夠補償絕緣膜或與絕緣膜之間的介面的氧不足缺陷的量（補償氧不足缺陷還有剩餘的過剩的量）的氧，有重要的意義。

作為具有經過利用熱處理的脫水化或脫氫化處理以及氧摻雜處理的氧化物半導體膜的電晶體，在偏壓-熱應力（BT）試驗前後的電晶體的臨界值電壓的變化量得到降低，從而可以實現具有穩定的電特性且可靠性高的電晶體。

此外，根據所公開的發明的一個方式可以製造各種各樣的具有電特性良好且可靠性高的電晶體的半導體裝置。

【圖式簡單說明】

在附圖中：

圖 1A 至圖 1C 是說明半導體裝置的一個方式的圖；

圖 2A 至圖 2G 是說明半導體裝置的製造方法的一個方式的圖；

圖 3A 至圖 3D 是說明半導體裝置的一個方式的圖；

圖 4A 至圖 4F 是說明半導體裝置的製造方法的一個方式的圖；

圖 5A 至圖 5C 是說明半導體裝置的製造方法的一個

方式的圖；

圖 6A 至圖 6F 是說明半導體裝置的製造方法的一個方式的圖；

圖 7A 至圖 7C 是半導體裝置的截面圖、俯視圖及電路圖；

圖 8A 至圖 8C 是說明半導體裝置的一個方式的圖；

圖 9 是說明半導體裝置的一個方式的圖；

圖 10 是說明半導體裝置的一個方式的圖；

圖 11 是說明半導體裝置的一個方式的圖；

圖 12A 和圖 12B 是說明半導體裝置的一個方式的圖；

圖 13A 和圖 13B 是表示電子設備的圖；

圖 14A 至 14F 是表示電子設備的圖；

圖 15 是表示 SIMS 測試的結果的圖；

圖 16A 和圖 16B 是說明截面 STEM 圖像的圖；

圖 17A 和圖 17B 是電漿裝置的俯視圖以及截面圖。

本發明的選擇圖為圖 2A 至圖 2G。

【實施方式】

下面，參照附圖詳細地說明本說明書所公開的發明的實施例模式。但是，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是本說明書所公開的發明的方式及詳細內容可以被變換為各種各樣的形式而不侷限於以下說明。並且，本說明書所公開的發明不應被看作僅限定於

以下實施例模式的描述內容。

另外，本說明書等中使用的“第一”、“第二”、“第三”等序數詞用來避免構成要素的混同，而不是用來在數目方面上進行限定的。

實施例模式 1

在本實施例模式中，參照圖 1A 至圖 3D 對半導體裝置及半導體裝置的製造方法進行說明。

〈半導體裝置的結構例〉

圖 1A 至 1C 示出電晶體 120 的結構例。在此，圖 1A 是平面圖，而圖 1B 及圖 1C 分別是沿著圖 1A 中的 A-B 截面及 C-D 截面的截面圖。注意，在圖 1A 中為了避免複雜，而省略電晶體 120 的構成要素的一部分（例如，閘極絕緣膜 110）。

圖 1A 至 1C 所示的電晶體 120 包括：基板 100 上的絕緣膜 102；源極電極 104a；汲極電極 104b；氧化物半導體膜 108；閘極絕緣膜 110；閘極電極 112。

在圖 1A 至 1C 所示的電晶體 120 中，氧化物半導體膜 108 是被進行了氧摻雜處理的氧化物半導體膜。藉由進行氧摻雜處理，可以實現可靠性高的電晶體 120。

〈半導體裝置的製造製程例〉

以下，參照圖 2A 至 2G 對圖 1A 至 1C 所示的半導體

裝置的製造製程的一個例子進行說明。

首先，在基板 100 上形成絕緣膜 102（參照圖 2A）。

雖然對基板 100 的材質等沒有很大的限制，但是至少需要具有能夠承受後面的熱處理程度的耐熱性。例如，基板 100 可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板等。另外，作為基板 100，也可以應用矽或碳化矽等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板、SOI 基板等，並且也可以使用在這些基板上設置有半導體元件的基板。

另外，作為基板 100，也可以使用撓性基板。在撓性基板上設置電晶體時，既可以在撓性基板上直接形成電晶體，又可以在其他基板上形成電晶體之後，剝離其並轉置到撓性基板。注意，為了剝離電晶體並轉置到撓性基板，最好在上述其他基板與電晶體之間形成分離層。

絕緣膜 102 是用作基底的絕緣膜。明確而言，作為絕緣膜 102 使用氧化矽、氮化矽、氧化鋁、氮化鋁、氧化鎵、這些的混合材料等即可。另外，絕緣膜 102 既可以採用包含上述材料的絕緣膜的單層結構，又可以採用疊層結構。

對絕緣膜 102 的製造方法沒有特別的限制。例如，可以利用電漿 CVD 法或濺射法等成膜方法形成絕緣膜 102。此外，從氫或水等不容易混入這一點來看，最好利用濺射法。

另外，作為絕緣膜 102，特別最好使用由與後面形成

的氧化物半導體膜相同種類的成分構成的絕緣材料。這是因爲，這種材料與氧化物半導體膜的搭配良好，由此藉由將其用作絕緣膜 102，可以保持與氧化物半導體膜之間的介面的良好狀態。這裏，“與氧化物半導體膜相同種類的成分”是指選自氧化物半導體膜的成分元素中的一種或多種元素。例如，在氧化物半導體膜由 In-Ga-Zn-O 類的氧化物半導體材料構成的情況下，作爲由與其相同種類的成分構成的絕緣材料，可以舉出氧化鎵等。

另外，在利用疊層結構的絕緣膜 102 的情況下，更最好採用由與氧化物半導體膜相同種類的成分的絕緣材料構成的膜（以下稱爲“膜 a”）和包含與該膜 a 的成分材料不同的材料的膜（以下稱爲“膜 b”）的疊層結構。這是因爲如下緣故：藉由採用從氧化物半導體膜一側按順序層疊膜 a 和膜 b 的結構，與氧化物半導體膜和膜 a 的介面相比，膜 a 和膜 b 的介面的電荷俘獲中心優先地俘獲電荷，因此，可以充分抑制氧化物半導體膜介面的電荷俘獲，從而可以提高半導體裝置的可靠性。

另外，作爲上述疊層結構，可以使用氧化鎵膜和氧化矽膜的疊層結構、氧化鎵膜和氮化矽膜的疊層結構等。

接著，在絕緣膜 102 上形成用來形成源極電極及汲極電極（包括使用與源極電極及汲極電極相同的層形成的佈線）的導電膜，對該導電膜進行加工，形成源極電極 104a 及汲極電極 104b（參照圖 2B）。注意，根據這裏形成的源極電極 104a 的端部與汲極電極 104b 的端部之間的

距離決定電晶體的通道長度 L 。

作為用作源極電極 104a 及汲極電極 104b 的導電膜，例如有含有選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素的金屬膜或以上述元素為成分的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）等。另外，還可以使用在 Al、Cu 等的金屬膜的下側或上側的一方或兩者層疊 Ti、Mo、W 等的高熔點金屬膜或它們的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）的導電膜。

此外，用於源極電極 104a 及汲極電極 104b 的導電膜也可以使用導電金屬氧化物形成。作為導電金屬氧化物，可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，縮寫為 ITO）、氧化銦氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或使這些金屬氧化物材料包含氧化矽的材料。

可以藉由使用抗蝕劑掩模的蝕刻對導電膜進行加工。作為利用該蝕刻形成抗蝕劑掩模時的曝光，可以使用紫外線、KrF 雷射或 ArF 雷射等。

另外，在當通道長度 L 短於 25nm 時進行曝光的情況下，例如使用波長極短，即幾 nm 至幾十 nm 的超紫外線（Extreme Ultraviolet）進行形成抗蝕劑掩模時的曝光即可。使用超紫外線的曝光的解析度高且其聚焦深度也大。從而，可以使後面形成的電晶體的通道長度 L 微型化，而可以提高電路的工作速度。

此外，也可以使用所謂多色調掩模形成的抗蝕劑掩模

進行蝕刻製程。由於使用多色調掩模形成的抗蝕劑掩模成爲具有多種膜厚度的形狀，並且藉由進行灰化可以進一步改變形狀，因此可以用於加工爲不同圖案的多個蝕刻製程。由此，藉由使用一個多色調掩模，可以形成至少對應於兩種以上的不同圖案的抗蝕劑掩模。就是說，可以實現製程的簡化。

接著，在絕緣膜 102 上形成與源極電極 104a 及汲極電極 104b 接觸的氧化物半導體膜，對該氧化物半導體膜進行加工來形成島狀氧化物半導體膜 106（參照圖 2C）。

氧化物半導體膜最好利用不容易混合氫或水等的方法形成。例如，可以利用濺射法等形成氧化物半導體膜。此外，氧化物半導體膜的厚度最好爲 3nm 以上且 30nm 以下。這是因爲若使氧化物半導體膜的厚度過厚（例如，厚度爲 50nm 以上），則有電晶體成爲常導通狀態的擔憂。

作爲用於氧化物半導體膜的材料，例如有含有銦的氧化物半導體材料、含有銦及鎵的氧化物半導體材料等。

另外，作爲用於氧化物半導體膜的材料，可以使用：四元金屬氧化物的 In-Sn-Ga-Zn-O 類材料；三元金屬氧化物的 In-Ga-Zn-O 類材料、In-Sn-Zn-O 類材料、In-Al-Zn-O 類材料、Sn-Ga-Zn-O 類材料、Al-Ga-Zn-O 類材料、Sn-Al-Zn-O 類材料；二元金屬氧化物的 In-Zn-O 類材料、Sn-Zn-O 類材料、Al-Zn-O 類材料、Zn-Mg-O 類材料、Sn-Mg-O 類材料、In-Mg-O 類材料、In-Ga-O 類材料；或者單元金屬氧化物的 In-O 類材料、Sn-O 類材料、Zn-O 類材料

等。另外，也可以使上述材料包含氧化矽。在此，例如，In-Ga-Zn-O 類材料是指具有銦（In）、鎵（Ga）、鋅（Zn）的氧化物膜，並對其組成比並沒有限制。另外，也可以使 In-Ga-Zn-O 類材料包含 In、Ga、Zn 以外的元素。

另外，氧化物半導體膜也可以使用以化學式 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的材料的薄膜。在此，M 表示選自 Ga、Al、Mn 和 Co 中的一種或多種金屬元素。例如，作為 M，有 Ga、Ga 及 Al、Ga 及 Mn 或 Ga 及 Co 等。

另外，當作為氧化物半導體膜使用 In-Zn-O 類材料時，將所使用的靶材的組成比設定為原子數比為 $\text{In}:\text{Zn}=50:1$ 至 $1:2$ （換算為摩爾比則為 $\text{In}_2\text{O}_3:\text{ZnO}=25:1$ 至 $1:4$ ），最好為 $\text{In}:\text{Zn}=20:1$ 至 $1:1$ （換算為摩爾比則為 $\text{In}_2\text{O}_3:\text{ZnO}=10:1$ 至 $1:2$ ），更佳的是為 $\text{In}:\text{Zn}=15:1$ 至 $1.5:1$ （換算為摩爾比則為 $\text{In}_2\text{O}_3:\text{ZnO}=15:2$ 至 $3:4$ ）。例如，作為用於形成 In-Zn-O 類氧化物半導體的靶材，當原子數比為 $\text{In}:\text{Zn}:\text{O}=\text{X}:\text{Y}:\text{Z}$ 時，將其設定為 $\text{Z}>1.5\text{X}+\text{Y}$ 。

在本實施例模式中，藉由濺射法並使用 In-Ga-Zn-O 類氧化物半導體成膜用靶材形成氧化物半導體膜。

作為 In-Ga-Zn-O 類氧化物半導體成膜用靶材，例如可以使用具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [摩爾比] 的組成比的氧化物半導體成膜用靶材。注意，不侷限於上述靶材的材料及組成。例如還可以使用具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [摩爾比] 的組成比的氧化物半導體成膜用靶材。

氧化物半導體成膜用靶材的填充率為 90% 以上且

100%以下，最好為 95%以上且 99.9%以下。藉由使用高填充率的氧化物半導體成膜用靶材，可以使所形成的氧化物半導體膜成為緻密的膜。

作為成膜的氣圍，採用稀有氣體（典型的是氬）氣圍下、氧氣圍下或稀有氣體和氧的混合氣圍下等即可。另外，為了防止在氧化物半導體膜中混入氫、水、羥基、氫化物等，最好採用使用充分去除了氫、水、羥基、氫化物等的含氫原子的雜質的高純度氣體的氣圍。

更明確而言，例如可以採用如下方法形成氧化物半導體膜。

首先，在保持為減壓狀態的沉積室內保持基板 100，並且將基板溫度設定為 100℃ 以上且 600℃ 以下，最好為 200℃ 以上且 400℃ 以下。藉由邊加熱基板 100 邊進行成膜，可以降低在氧化物半導體膜中含有的雜質濃度。另外，可以減輕由於濺射帶來的氧化物半導體膜的損傷。

接著，邊去除殘留在沉積室內的水分邊引入去除了氫及水等的含氫原子的雜質的高純度氣體並使用上述靶材在基板 100 上形成氧化物半導體膜。為了去除殘留在沉積室內的水分，作為排氣裝置，最好使用吸附型真空泵，例如，低溫泵、離子泵、鈦昇華泵等。另外，作為排氣裝置，也可以使用配備有冷阱的渦輪分子泵。由於利用低溫泵進行了排氣的沉積室中，如氫分子、水（ H_2O ）等的包含氫原子的化合物（最好還包括包含碳原子的化合物）等被去除，由此可以降低利用該沉積室形成的氧化物半導體

膜中含有的雜質濃度。

作為成膜條件的一個例子，可以採用如下條件：基板與靶材之間的距離為 100mm；壓力為 0.6Pa；直流（DC）電源為 0.5kW；成膜氣圍為氧（氧流量比率為 100%）氣圍。另外，當使用脈衝直流電源時，可以減少成膜時產生的粉狀物質（也稱為微粒、塵屑），並且膜厚度不均勻也小，所以是較佳的。

藉由在氧化物半導體膜上形成所希望的形狀的掩模之後對該氧化物半導體膜進行蝕刻可以進行氧化物半導體膜的加工。上述掩模可以利用光刻製程等的方法形成。或者，也可以利用噴墨法等的方法形成掩模。

此外，氧化物半導體膜的蝕刻可以採用乾蝕刻或濕蝕刻。當然，也可以組合上述蝕刻使用。

然後，對氧化物半導體膜 106 進行熱處理，形成被高純度化的氧化物半導體膜 108（參照圖 2D）。藉由該熱處理，可以去除氧化物半導體膜 106 中的氫（包括水及羥基）而改善氧化物半導體膜的結構，從而降低能隙中的缺陷能級。將上述熱處理的溫度設定為 250℃ 以上且 650℃ 以下，最好為 450℃ 以上且 600℃ 以下。此外，上述熱處理的溫度最好為低於基板的應變點。

作為熱處理，例如，可以將被處理物放入使用電阻發熱體等的電爐中，並在氮氣圍下以 450℃ 加熱 1 個小時。在此期間，不使氧化物半導體膜 106 接觸大氣以防止水或氫的混入。

熱處理裝置不限於電爐，還可以使用利用被加熱的氣體等的介質的熱傳導或熱輻射來加熱被處理物的裝置。例如，可以使用 LRTA (Lamp Rapid Thermal Anneal：燈快速熱退火) 裝置、GRTA (Gas Rapid Thermal Anneal：氣體快速熱退火) 裝置等的 RTA (Rapid Thermal Anneal：快速熱退火) 裝置。LRTA 裝置是藉由從鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈、或者高壓汞燈等的燈發射的光（電磁波）輻射來加熱被處理物的裝置。GRTA 裝置是利用高溫氣體進行熱處理的裝置。作為氣體，使用如氬等的稀有氣體或氮等的即使進行熱處理也不與被處理物產生反應的惰性氣體。

例如，作為上述熱處理，也可以進行如下 GRTA 處理，即將被處理物引入到被加熱的惰性氣體氣圍中，進行加熱幾分鐘，然後從該惰性氣體氣圍中抽出被處理物。藉由使用 GRTA 處理，可以短時間進行高溫熱處理。另外，即使溫度條件超過被處理物的耐熱溫度，也可以應用該方法。另外，在處理中，還可以將惰性氣體換為含有氧的氣體。這是因為如下緣故：藉由在含有氧的氣圍中進行熱處理，可以降低由於氧缺損而引起的能隙中的缺陷能級。

另外，作為惰性氣體氣圍，最好採用以氮或稀有氣體（氮、氦、氬等）為主要成分且不含有水、氫等的氣圍。例如，最好引入熱處理裝置中的氮或氮、氦、氬等的稀有氣體的純度為 6N（99.9999%）以上，更佳的是為 7N（99.99999%）以上（即，雜質濃度為 1ppm 以下，最好

爲 0.1ppm 以下）。

總之，藉由利用上述熱處理減少雜質以形成 i 型（本征）半導體或無限接近於 i 型的氧化物半導體膜，可以實現具有極優越的特性的電晶體。

此外，由於上述熱處理具有去除氫或水等的效果，所以可以將該熱處理也稱爲脫水化處理、脫氫化處理等。該脫水化處理、脫氫化處理例如也可以在將氧化物半導體膜加工爲島狀之前的時序進行。另外，這樣的脫水化處理、脫氫化處理不侷限於進行一次，而也可以進行多次。

接著，對氧化物半導體膜 108 進行利用氧 180 的處理（也稱爲氧摻雜處理或氧電漿摻雜處理）（參照圖 2E）。這裏，在氧 180 中至少包含氧自由基、氧原子和氧離子中的一種。藉由對氧化物半導體膜 108 進行氧摻雜處理，可以使在氧化物半導體膜 108 中、氧化物半導體膜 108 的介面附近或在氧化物半導體膜 108 中及該介面附近含有氧。在此情況下，將氧的含量設定爲超過氧化物半導體膜 108 的化學計量比的程度，最好爲超過化學計量比的 1 倍至 2 倍（大於 1 倍且小於 2 倍）。或者，當以單晶中的氧量爲 Y 時，可以將氧含量設定爲超過 Y 的程度，最好爲超過 Y 至 2Y。或者，當以不進行氧摻雜處理時的氧化物半導體膜中的氧量 Z 爲基準時，可以將氧含量設定爲超過 Z 的程度，最好爲超過 Z 至 2Z。另外，在上述較佳的範圍中存在有上限是因爲在氧含量過多時，如氫貯藏合金（hydrogen-storing alloy）那樣反而氧化物半導體膜

108 會吸收氫的緣故。此外，在氧化物半導體膜中的氧含量大於氫含量。

當使用其結晶結構由 $\text{InGaO}_3(\text{ZnO})_m$ ($m>0$) 表示的材料時，例如在以 $m=1$ (InGaZnO_4) 的結晶結構為基準時，在 InGaZnO_x 中 x 可以超過 4 至 8，而在以 $m=2$ ($\text{InGaZn}_2\text{O}_5$) 的結晶結構為基準時，在 $\text{InGaZn}_2\text{O}_x$ 中 x 可以超過 5 至 10。這裏，只要在氧化物半導體的一部分（包括介面）存在有這樣的氧過剩區域即可。

此外，在氧化物半導體膜中，氧是主要成分之一。因此，難以藉由 SIMS (Secondary Ion Mass Spectroscopy：二次離子質譜測定技術) 等的方法準確估計氧化物半導體膜中的氧濃度。也就是說，難以判斷是否有意地對氧化物半導體膜添加氧。

另外，氧有 ^{17}O 和 ^{18}O 等同位素，並且，一般認為在自然界的 ^{17}O 和 ^{18}O 的存在比率分別是氧原子整體的 0.037% 和 0.204% 左右。也就是說，在氧化物半導體膜中的上述同位素的濃度為藉由 SIMS 等的方法可估計的程度，因此藉由測量這些濃度，有時可以進一步準確地估計氧化物半導體膜中的氧濃度。由此，可以藉由測量這些濃度判斷是否有意地對氧化物半導體膜添加氧。

例如，當以 ^{18}O 的濃度為基準時，在氧化物半導體膜中，添加有氧的區域中的氧同位素的濃度 $D1(^{18}\text{O})$ 和不添加有氧的區域中的氧同位素的濃度 $D2(^{18}\text{O})$ 之間的關係為 $D1(^{18}\text{O}) > D2(^{18}\text{O})$ 。

另外，添加到氧化物半導體膜的氧 180 的至少一部分最好在氧化物半導體中具有懸空鍵。這是因為，具有懸空鍵可以與有可能殘留在膜中的氫接合而使氫固定化（非可動離子化）的緣故。

上述氧 180 可以利用電漿產生裝置或臭氧產生裝置而產生。更具體來說，例如，可以藉由利用能夠對半導體裝置進行蝕刻處理的裝置或對抗蝕劑掩模進行灰化處理的裝置等產生氧 180，並對氧化物半導體膜 108 進行處理。

另外，爲了更好地進行氧添加，最好對基板施加電偏壓。

另外，也可以對進行了氧摻雜處理的氧化物半導體膜 108 進行熱處理（溫度 150℃ 至 470℃）。藉由該熱處理，可以從氧化物半導體膜去除因氧或氧化物半導體材料與氫的反應而產生的水、氫氧化物等。在水、氫等被充分降低的氮、氧、超乾燥空氣（使用 CRDS（cavity ring-down laser spectroscopy：光腔衰蕩光譜法）方式的露點儀來測定時的水分量爲 20ppm（露點換算爲 -55℃）以下，最好爲 1ppm 以下，更佳的是爲 10ppb 以下的空氣）、稀有氣體（氬、氦等）等氣圍下進行熱處理。此外，也可以重複進行氧摻雜處理和熱處理。藉由重複進行該處理，可以進一步提高電晶體的可靠性。此外，可以適當地設定重複次數。

接著，形成與氧化物半導體膜 108 的一部分接觸且覆蓋源極電極 104a 及汲極電極 104b 的閘極絕緣膜 110（參

照圖 2F)。

閘極絕緣膜 110 可以與絕緣膜 102 同樣形成。就是說，閘極絕緣膜 110 使用氧化矽、氮化矽、氧化鋁、氮化鋁、氧化鎵、這些材料的混合材料等形成即可。但是，考慮到用作電晶體的閘極絕緣膜，也可以使用氧化鈺、氧化鋇、矽酸鈺 (HfSi_xO_y ($x>0$ 、 $y>0$))、添加有氮的矽酸鈺 (HfSi_xO_y ($x>0$ 、 $y>0$))、添加有氮的鋁酸鈺 (HfAl_xO_y ($x>0$ 、 $y>0$)) 等高介電常數材料。

另外，也可以與絕緣膜 102 同樣地採用疊層結構。在此情況下，最好採用由與氧化物半導體膜相同種類的成分的絕緣材料構成的膜（以下稱為“膜 a”）和包含與該膜 a 的成分材料不同的材料的膜（以下稱為“膜 b”）的疊層結構。這是因為如下緣故：藉由採用從氧化物半導體膜一側按順序層疊膜 a 和膜 b 的結構，與氧化物半導體膜和膜 a 的介面相比，膜 a 和膜 b 的介面的電荷俘獲中心優先地俘獲電荷，因此，可以充分抑制氧化物半導體膜介面的電荷俘獲，從而可以提高半導體裝置的可靠性。

另外，作為上述疊層結構，可以使用氧化鎵膜和氧化矽膜的疊層結構、氧化鎵膜和氮化矽膜的疊層結構等。

在形成上述閘極絕緣膜 110 之後，最好進行熱處理。將該熱處理的溫度設定為 250°C 以上且 700°C 以下，最好為 450°C 以上且 600°C 以下。此外，該熱處理的溫度最好為低於基板的應變點。

上述熱處理在氮、氧、超乾燥空氣（水的含量為

20ppm 以下，最好為 1ppm 以下，更佳的是為 10ppb 以下的空氣）、或者稀有氣體（氬、氦等）的氣圍下進行，即可。但是，上述氮、氧、超乾燥空氣、稀有氣體等的氣圍最好不包含水、氬等。此外，最好將引入熱處理裝置中的氮、氧、稀有氣體的純度設定為 6N（99.9999%）以上（即，雜質濃度為 1ppm 以下），更佳的是為 7N（99.99999%）以上（即，雜質濃度為 0.1ppm 以下）。

在根據本實施例模式的上述熱處理中，在氧化物半導體膜 108 與閘極絕緣膜 110 接觸的狀態下被加熱。因此，雖然由上述脫水化（或脫氫化）處理有可能減少氧，但可以向氧化物半導體膜 108 供應氧。在這意思上也可以將該熱處理稱為加氧化。

另外，以加氧化為目的的熱處理的時序只要在形成氧化物半導體膜 108 之後就沒有特別的限制。例如，也可以在形成閘極電極之後進行以加氧化為目的的熱處理。或者，也可以在進行以脫水化等為目的的熱處理之後繼續進行以加氧化為目的的熱處理，也可以將以脫水化等為目的的熱處理兼作以加氧化為目的的熱處理，也可以將以加氧化為目的的熱處理兼作以脫水化等為目的的熱處理。

如上那樣，藉由應用以脫水化等為目的的熱處理和氧摻雜處理或以加氧化為目的的熱處理，可以以儘量不包含雜質的方式使氧化物半導體膜 108 實現高純度化。被高純度化的氧化物半導體膜 108 中的源自施體的載子極少（近零）。

然後，形成閘極電極 112（參照圖 2G）。閘極電極 112 可以使用鉬、鈦、鉭、鎢、鋁、銅、鈳、釷等金屬材料或以該金屬材料為主要成分的合金材料形成。此外，閘極電極 112 可以為單層結構或者疊層結構。

另外，在形成閘極電極 112 之後，還可以形成絕緣膜。該絕緣膜例如可以使用氧化矽、氮化矽、氧化鋁、氮化鋁、氧化鎵、這些材料的混合材料等形成。尤其是在作為絕緣膜使用氮化矽膜時，在可以防止所添加的氧放出到外部的同時，可以有效地抑制從外部氫等混入到氧化物半導體膜 108 中，因此是最好的。此外，還可以形成與源極電極 104a 或汲極電極 104b、閘極電極 112 等連接的佈線。

藉由上述製程形成電晶體 120。

注意，上述說明是對被加工為島狀並被高純度化的氧化物半導體膜 108 進行氧摻雜處理的例子，但是所公開的發明的一個方式不侷限於此。例如，既可以在進行高純度化及氧摻雜處理之後，將氧化物半導體膜加工為島狀，又可以在形成源極電極 104a 及汲極電極 104b 之後進行氧摻雜處理。

<半導體裝置的變形例>

在圖 3A 至 3D 中，作為圖 1A 至 1C 所示的電晶體 120 的變形例示出電晶體 130、電晶體 140、電晶體 150、電晶體 160 的截面圖。

圖 3A 所示的電晶體 130 與電晶體 120 的共同點是包括絕緣膜 102、源極電極 104a、汲極電極 104b、氧化物半導體膜 108、閘極絕緣膜 110、閘極電極 112。電晶體 130 與電晶體 120 的不同點是有沒有覆蓋上述構成要素的絕緣膜 114。就是說，電晶體 130 具有絕緣膜 114。其他構成要素與圖 1A 至 1C 中的電晶體 120 同樣，所以詳細內容可以參考關於圖 1A 至 1C 的記載。

圖 3B 所示的電晶體 140 與圖 1A 至 1C 所示的電晶體 120 的共同點是包括上述各構成要素。電晶體 140 與電晶體 120 的不同點是源極電極 104a 及汲極電極 104b 和氧化物半導體膜 108 的疊層順序。就是說，在電晶體 120 中先形成源極電極 104a 及汲極電極 104b，而在電晶體 140 中先形成氧化物半導體膜 108。其他構成要素與圖 1A 至 1C 同樣。注意，如電晶體 130 那樣，電晶體 140 也可以採用具有絕緣膜 114 的結構。

圖 3C 所示的電晶體 150 與圖 1A 至 1C 所示的電晶體 120 的共同點是包括上述各構成要素。電晶體 150 與電晶體 120 的不同點是基板 100 一側的絕緣膜。就是說，在電晶體 150 中具備絕緣膜 102a 和絕緣膜 102b 的疊層結構。其他構成要素與圖 1B 同樣。

像這樣，藉由採用絕緣膜 102a 和絕緣膜 102b 的疊層結構，絕緣膜 102a 與絕緣膜 102b 介面的電荷俘獲中心優先地俘獲電荷，因此，可以充分抑制氧化物半導體膜 108 介面的電荷俘獲，從而可以提高半導體裝置的可靠性。

另外，較佳的是，作為絕緣膜 102b 使用由與氧化物半導體膜 108 相同種類的成分構成的絕緣材料的膜，並且作為絕緣膜 102a 使用包含與絕緣膜 102b 的成分材料不同材料的膜。例如，在氧化物半導體膜 108 由 In-Ga-Zn 類的氧化物半導體材料構成的情況下，作為由與其相同種類的成分構成的絕緣材料，可以舉出氧化鎵等。在此情況下，可以應用氧化鎵膜和氧化矽膜的疊層結構、氧化鎵膜和氮化矽膜的疊層結構等。

圖 3D 所示的電晶體 160 與圖 1A 至 1C 所示的電晶體 120 的共同點是包括上述各構成要素。電晶體 160 與電晶體 120 的不同點是基板 100 一側的絕緣膜及閘極絕緣膜。就是說，在電晶體 160 中具備絕緣膜 102a 和絕緣膜 102b 的疊層結構，並具備閘極絕緣膜 110a 和閘極絕緣膜 110b 的疊層結構。其他構成要素與圖 1A 至 1C 同樣。

像這樣，藉由採用絕緣膜 102a 和絕緣膜 102b 的疊層結構，並採用閘極絕緣膜 110a 和閘極絕緣膜 110b 的疊層結構，絕緣膜 102a 與絕緣膜 102b 或閘極絕緣膜 110a 與閘極絕緣膜 110b 介面優先地俘獲電荷，因此，可以充分抑制氧化物半導體膜 108 介面的電荷俘獲，從而可以提高半導體裝置的可靠性。

另外，較佳的是，作為絕緣膜 102b、閘極絕緣膜 110a（即，與氧化物半導體膜 108 接觸的絕緣膜）使用由與氧化物半導體膜 108 相同種類的成分構成的絕緣材料的膜，並且作為絕緣膜 102a、閘極絕緣膜 110b 使用包含與

絕緣膜 102b、閘極絕緣膜 110a 的成分材料不同材料的膜。例如，在氧化物半導體膜 108 由 In-Ga-Zn 類的氧化物半導體材料構成的情況下，作為由與其相同種類的成分構成的絕緣材料，可以舉出氧化鎵等。在此情況下，可以應用氧化鎵膜和氧化矽膜的疊層結構、氧化鎵膜和氮化矽膜的疊層結構等。

根據本實施例模式的電晶體採用如下氧化物半導體膜：即，藉由進行熱處理，從氧化物半導體排除氫、水、羥基或氫化物（也稱為氫化合物）等的含氫原子的雜質，且藉由供應在雜質排除製程中有可能減少的氧，來實現高純度化及 i 型（本征）化的氧化物半導體膜。包括上述那樣被高純度化的氧化物半導體膜的電晶體的臨界值電壓等電特性變動被抑制，由此該電晶體在電性能上穩定。

尤其是，藉由利用氧摻雜處理增大氧化物半導體膜中的氧含量，可以抑制由電偏壓應力或熱應力所引起的退化，並可以降低由光導致的退化。

如上所述，根據所公開的發明的一個方式可以提供高可靠性的電晶體。

本實施例模式所示的結構、方法等可以與其他實施例模式所示的結構、方法等適當地組合而使用。

實施例模式 2

在本實施例模式中，參照圖 4A 至圖 5C 對半導體裝置的製造方法的其他例子進行說明。

〈半導體裝置的結構例〉

利用本實施例模式的製造方法製造的半導體裝置的結構與上述實施例模式的電晶體 120 同樣。就是說，在該半導體裝置中包括：基板 100 上的絕緣膜 102；源極電極 104a；汲極電極 104b；氧化物半導體膜 108；閘極絕緣膜 110；閘極電極 112（參照圖 1A 至 1C）。

如上述實施例模式所說明那樣，在電晶體 120 中，氧化物半導體膜 108 是被進行了氧摻雜處理的氧化物半導體膜。再者，在本實施例模式中，也對絕緣膜 102 及閘極絕緣膜 110 進行氧摻雜處理。藉由上述氧摻雜處理，可以實現進一步提高可靠性的電晶體 120。注意，與上述實施例模式同樣，也可以製造結構改變的電晶體（參照圖 3A 至 3D）。

〈半導體裝置的製造製程例〉

以下，參照圖 4A 至 5C 對上述半導體裝置的製造製程的一個例子進行說明。

首先，在基板 100 上形成絕緣膜 102（參照圖 4A）。

雖然對基板 100 的材質等沒有很大的限制，但是至少需要具有能夠承受後面的熱處理程度的耐熱性。例如，基板 100 可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板等。另外，作為基板 100，也可以應用矽或碳化矽等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半

導體基板、SOI 基板等，並且也可以使用在這些基板上設置有半導體元件的基板。

另外，作為基板 100，也可以使用撓性基板。在撓性基板上設置電晶體時，既可以在撓性基板上直接形成電晶體，又可以在其他基板上形成電晶體之後，剝離其並轉置到撓性基板。注意，為了剝離電晶體並轉置到撓性基板，最好在上述其他基板與電晶體之間形成分離層。

絕緣膜 102 是用作基底的絕緣膜。明確而言，作為絕緣膜 102 使用氧化矽、氮化矽、氧化鋁、氮化鋁、氧化鎵、這些的混合材料等即可。另外，絕緣膜 102 既可以採用包含上述材料的絕緣膜的單層結構，又可以採用疊層結構。

對絕緣膜 102 的製造方法沒有特別的限制。例如，可以利用電漿 CVD 法或濺射法等成膜方法形成絕緣膜 102。此外，從氫或水等不容易混入這一點來看，最好利用濺射法。

另外，作為絕緣膜 102，特別最好使用由與後面形成的氧化物半導體膜相同種類的成分構成的絕緣材料。這是因為，這種材料與氧化物半導體膜的搭配良好，由此藉由將其用作絕緣膜 102，可以保持與氧化物半導體膜之間的界面的良好狀態。這裏，“與氧化物半導體膜相同種類的成分”是指選自氧化物半導體膜的成分元素中的一種或多種元素。例如，在氧化物半導體膜由 In-Ga-Zn 類的氧化物半導體材料構成的情況下，作為由與其相同種類的成分

構成的絕緣材料，可以舉出氧化鎵等。

另外，在利用疊層結構的絕緣膜 102 的情況下，最好採用由與氧化物半導體膜相同種類的成分的絕緣材料構成的膜（以下稱爲“膜 a”）和包含與該膜 a 的成分材料不同的材料的膜（以下稱爲“膜 b”）的疊層結構。這是因爲如下緣故：藉由採用從氧化物半導體膜一側按順序層疊膜 a 和膜 b 的結構，與氧化物半導體膜和膜 a 的介面相比，膜 a 和膜 b 的介面的電荷俘獲中心優先地俘獲電荷，因此，可以充分抑制氧化物半導體膜介面的電荷俘獲，從而可以提高半導體裝置的可靠性。

另外，作爲上述疊層結構，可以使用氧化鎵膜和氧化矽膜的疊層結構、氧化鎵膜和氮化矽膜的疊層結構等。

接著，對絕緣膜 102 進行利用氧 180a 的處理（也稱爲氧摻雜處理或氧電漿摻雜處理）（參照圖 4B）。在氧 180a 中至少包含氧自由基、氧原子和氧離子中的一種。藉由對絕緣膜 102 進行氧摻雜處理，可以使在絕緣膜 102 中含有氧，並且在後面形成的氧化物半導體膜 108 中、氧化物半導體膜 108 介面附近或在氧化物半導體膜 108 中及該介面附近含有氧。在此情況下，將絕緣膜 102 中的氧的含量設定爲超過絕緣膜 102 的化學計量比的程度，最好爲超過化學計量比的 1 倍至 4 倍（大於 1 倍且小於 4 倍），更佳的是爲超過 1 倍至 2 倍（大於 1 倍小於 2 倍）。或者，當以單晶中的氧量爲 Y 時，可以將氧含量設定爲超過 Y 的程度，最好爲超過 Y 至 4Y。或者，當以不進行氧摻

雜處理時的絕緣膜中的氧量 Z 為基準時，可以將氧含量設定為超過 Z 的程度，最好為超過 Z 至 $4Z$ 。

例如，在使用組成為 GaO_x ($x > 0$) 表示的氧化鎵的情況下，由於單晶的氧化鎵是 Ga_2O_3 ，所以可以將 x 設定為超過 1.5 至 6（即超過 Ga 的 1.5 倍至 6 倍）。此外，例如在使用組成為 SiO_x ($x > 0$) 表示的氧化矽的情況下，當採用 SiO_2 （即 O 是 Si 的 2 倍）時，可以將 x 設定為超過 2 至 8（即超過 Si 的 2 倍至 8 倍）。注意，只要在絕緣膜的一部分（包括介面）存在有這樣的氧過剩區域即可。

另外，添加到絕緣膜的氧 180a 的至少一部分最好在供應到氧化物半導體之後在氧化物半導體中具有懸空鍵。這是因為，具有懸空鍵可以與有可能殘留在膜中的氫接合而使氫固定化（非可動離子化）的緣故。

上述氧 180a 可以利用電漿產生裝置或臭氧產生裝置而產生。更具體來說，例如，可以藉由利用能夠對半導體裝置進行蝕刻處理的裝置或對抗蝕劑掩模進行灰化處理的裝置等產生氧 180a，並對絕緣膜 102 進行處理。

另外，為了更好地進行氧添加，最好對基板施加電偏壓。

接著，在絕緣膜 102 上形成用來形成源極電極及汲極電極（包括使用與源極電極及汲極電極相同的層形成的佈線）的導電膜，對該導電膜進行加工，形成源極電極 104a 及汲極電極 104b（參照圖 4C）。注意，根據這裏形成的源極電極 104a 的端部與汲極電極 104b 的端部之間的

距離決定電晶體的通道長度 L 。

作為用作源極電極 104a 及汲極電極 104b 的導電膜，例如有含有選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素的金屬膜或以上述元素為成分的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）等。另外，還可以使用在 Al、Cu 等的金屬膜的下側或上側的一方或兩者層疊 Ti、Mo、W 等的高熔點金屬膜或它們的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）的導電膜。

此外，用於源極電極 104a 及汲極電極 104b 的導電膜也可以使用導電金屬氧化物形成。作為導電金屬氧化物，可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，縮寫為 ITO）、氧化銦氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或使這些金屬氧化物材料包含氧化矽的材料。

可以藉由使用抗蝕劑掩模的蝕刻對導電膜進行加工。作為利用該蝕刻形成抗蝕劑掩模時的曝光，可以使用紫外線、KrF 雷射或 ArF 雷射等。

另外，在當通道長度 L 短於 25nm 時進行曝光的情況下，例如使用波長極短，即幾 nm 至幾十 nm 的超紫外線（Extreme Ultraviolet）進行形成抗蝕劑掩模時的曝光即可。使用超紫外線的曝光的解析度高且其聚焦深度也大。從而，可以使後面形成的電晶體的通道長度 L 微型化，而可以提高電路的工作速度。

此外，也可以使用所謂多色調掩模形成的抗蝕劑掩模

進行蝕刻製程。由於使用多色調掩模形成的抗蝕劑掩模成爲具有多種膜厚度的形狀，並且藉由進行灰化可以進一步改變形狀，因此可以用於加工爲不同圖案的多個蝕刻製程。由此，藉由使用一個多色調掩模，可以形成至少對應於兩種以上的不同圖案的抗蝕劑掩模。就是說，可以實現製程的簡化。

接著，在絕緣膜 102 上形成與源極電極 104a 及汲極電極 104b 接觸的氧化物半導體膜，對該氧化物半導體膜進行加工來形成島狀氧化物半導體膜 106（參照圖 4D）。

氧化物半導體膜最好利用不容易混合氫或水等的方法形成。例如，可以利用濺射法等形成氧化物半導體膜。此外，氧化物半導體膜的厚度最好爲 3nm 以上且 30nm 以下。這是因爲若使氧化物半導體膜的厚度過厚（例如，厚度爲 50nm 以上），則有電晶體成爲常導通狀態的擔憂。

作爲用於氧化物半導體膜的材料，可以使用：四元金屬氧化物的 In-Sn-Ga-Zn-O 類材料；三元金屬氧化物的 In-Ga-Zn-O 類材料、In-Sn-Zn-O 類材料、In-Al-Zn-O 類材料、Sn-Ga-Zn-O 類材料、Al-Ga-Zn-O 類材料、Sn-Al-Zn-O 類材料；二元金屬氧化物的 In-Zn-O 類材料、Sn-Zn-O 類材料、Al-Zn-O 類材料、Zn-Mg-O 類材料、Sn-Mg-O 類材料、In-Mg-O 類材料、In-Ga-O 類材料；或者單元金屬氧化物的 In-O 類材料、Sn-O 類材料、Zn-O 類材料等。另外，也可以使上述材料包含氧化矽。在此，例如，In-Ga-Zn-O 類材料是指具有銦（In）、鎵（Ga）、鋅（Zn）的

氧化物膜，並對其組成比並沒有限制。另外，也可以使 In-Ga-Zn-O 類材料包含 In、Ga、Zn 以外的元素。

另外，氧化物半導體膜也可以使用以化學式 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的材料的薄膜。在此，M 表示選自 Ga、Al、Mn 和 Co 中的一種或多種金屬元素。例如，作為 M，有 Ga、Ga 及 Al、Ga 及 Mn 或 Ga 及 Co 等。

另外，當作為氧化物半導體膜使用 In-Zn-O 類材料時，將所使用的靶材的組成比設定為原子數比為 $\text{In}:\text{Zn}=50:1$ 至 $1:2$ （換算為摩爾比則為 $\text{In}_2\text{O}_3:\text{ZnO}=25:1$ 至 $1:4$ ），最好為 $\text{In}:\text{Zn}=20:1$ 至 $1:1$ （換算為摩爾比則為 $\text{In}_2\text{O}_3:\text{ZnO}=10:1$ 至 $1:2$ ），更佳的是為 $\text{In}:\text{Zn}=15:1$ 至 $1.5:1$ （換算為摩爾比則為 $\text{In}_2\text{O}_3:\text{ZnO}=15:2$ 至 $3:4$ ）。例如，作為用於形成 In-Zn-O 類氧化物半導體的靶材，當原子數比為 $\text{In}:\text{Zn}:\text{O}=\text{X}:\text{Y}:\text{Z}$ 時，將其設定為 $\text{Z}>1.5\text{X}+\text{Y}$ 。

在本實施例模式中，藉由濺射法並使用 In-Ga-Zn-O 類氧化物半導體成膜用靶材形成氧化物半導體膜。

作為 In-Ga-Zn-O 類氧化物半導體成膜用靶材，例如可以使用具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [摩爾比] 的組成比的氧化物半導體成膜用靶材。注意，不侷限於上述靶材的材料及組成。例如還可以使用具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [摩爾比] 的組成比的氧化物半導體成膜用靶材。

氧化物半導體成膜用靶材的填充率為 90% 以上且 100% 以下，最好為 95% 以上且 99.9% 以下。藉由使用高填充率的氧化物半導體成膜用靶材，可以使所形成的氧化物

半導體膜成爲緻密的膜。

作爲成膜的氣圍，採用稀有氣體（典型的是氬）氣圍下、氧氣圍下或稀有氣體和氧的混合氣圍下等即可。另外，爲了防止在氧化物半導體膜中混入氫、水、羥基、氫化物等，最好採用使用充分去除了氫、水、羥基、氫化物等的含氫原子的雜質的高純度氣體的氣圍。

另外，在形成氧化物半導體膜時，有時絕緣膜 102 中的氧供應到氧化物半導體膜中。像這樣，藉由對絕緣膜 102 添加氧，可以形成充分添加有氧的氧化物半導體膜。

更明確而言，例如可以採用如下方法形成氧化物半導體膜。

首先，在保持爲減壓狀態的沉積室內保持基板 100，並且將基板溫度設定爲 100°C 以上且 600°C 以下，最好爲 200°C 以上且 400°C 以下。藉由邊加熱基板 100 邊進行成膜，可以降低在氧化物半導體膜中含有的雜質濃度。另外，可以減輕由於濺射帶來的氧化物半導體膜的損傷。

接著，邊去除殘留在沉積室內的水分邊引入去除了氫及水等的含氫原子的雜質的高純度氣體並使用上述靶材在基板 100 上形成氧化物半導體膜。爲了去除殘留在沉積室內的水分，作爲排氣裝置，最好使用吸附型真空泵，例如，低溫泵、離子泵、鈦昇華泵等。另外，作爲排氣裝置，也可以使用配備有冷阱的渦輪分子泵。由於利用低溫泵進行了排氣的沉積室中，如氫分子、水（ H_2O ）等的包含氫原子的化合物（最好還包括包含碳原子的化合物）等

被去除，由此可以降低利用該沉積室形成的氧化物半導體膜中含有的雜質濃度。

作為成膜條件的一個例子，可以採用如下條件：基板與靶材之間的距離為 100mm；壓力為 0.6Pa；直流（DC）電源為 0.5kW；成膜氣圍為氧（氧流量比率為 100%）氣圍。另外，當使用脈衝直流電源時，可以減少成膜時產生的粉狀物質（也稱為微粒、塵屑），並且膜厚度不均勻也小，所以是較佳的。

藉由在氧化物半導體膜上形成所希望的形狀的掩模之後對該氧化物半導體膜進行蝕刻可以進行氧化物半導體膜的加工。上述掩模可以利用光刻製程等的方法形成。或者，也可以利用噴墨法等的方法形成掩模。

此外，氧化物半導體膜的蝕刻可以採用乾蝕刻或濕蝕刻。當然，也可以組合上述蝕刻使用。

然後，對氧化物半導體膜 106 進行熱處理，形成被高純度化的氧化物半導體膜 108（參照圖 4E）。藉由該熱處理，可以去除氧化物半導體膜 106 中的氫（包括水及羥基）而改善氧化物半導體膜的結構，從而降低能隙中的缺陷能級。此外，藉由該熱處理，有時絕緣膜 102 中的氧供應到氧化物半導體膜中。將上述熱處理的溫度設定為 250℃ 以上且 650℃ 以下，最好為 450℃ 以上且 600℃ 以下。此外，上述熱處理的溫度最好為低於基板的應變點。

作為熱處理，例如，可以將被處理物放入使用電阻發熱體等的電爐中，並在氮氣圍下以 450℃ 加熱 1 個小時。

在此期間，不使氧化物半導體膜 106 接觸大氣以防止水或氫的混入。

熱處理裝置不限於電爐，還可以使用利用被加熱的氣體等的介質的熱傳導或熱輻射來加熱被處理物的裝置。例如，可以使用 LRTA (Lamp Rapid Thermal Anneal: 燈快速熱退火) 裝置、GRTA (Gas Rapid Thermal Anneal: 氣體快速熱退火) 裝置等的 RTA (Rapid Thermal Anneal: 快速熱退火) 裝置。LRTA 裝置是藉由從鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈、或者高壓汞燈等的燈發射的光 (電磁波) 輻射來加熱被處理物的裝置。GRTA 裝置是利用高溫氣體進行熱處理的裝置。作為氣體，使用如氫等的稀有氣體或氮等的即使進行熱處理也不與被處理物產生反應的惰性氣體。

例如，作為上述熱處理，也可以進行如下 GRTA 處理，即將被處理物引入到被加熱的惰性氣體氣圍中，進行加熱幾分鐘，然後從該惰性氣體氣圍中抽出被處理物。藉由使用 GRTA 處理，可以短時間進行高溫熱處理。另外，即使溫度條件超過被處理物的耐熱溫度，也可以應用該方法。另外，在處理中，還可以將惰性氣體換為含有氧的氣體。這是因為如下緣故：藉由在含有氧的氣圍中進行熱處理，可以降低由於氧缺損而引起的能隙中的缺陷能級。

另外，作為惰性氣體氣圍，最好採用以氮或稀有氣體 (氮、氦、氬等) 為主要成分且不含有水、氫等的氣圍。例如，最好引入熱處理裝置中的氮或氮、氦、氬等的稀有

氣體的純度為 6N (99.9999%) 以上，更較的是為 7N (99.99999%) 以上 (即，雜質濃度為 1ppm 以下，最好為 0.1ppm 以下) 。

總之，藉由利用上述熱處理減少雜質以形成 i 型 (本征) 半導體或無限接近於 i 型的氧化物半導體膜，可以實現具有極優越的特性的電晶體。

由於上述熱處理具有去除氫或水等的效果，所以可以將該熱處理也稱為脫水化處理、脫氫化處理等。該脫水化處理、脫氫化處理例如也可以在將氧化物半導體膜加工為島狀之前的時序進行。另外，這樣的脫水化處理、脫氫化處理不侷限於進行一次，而也可以進行多次。

接著，對氧化物半導體膜 108 進行利用氧 180b 的處理 (參照圖 4F) 。在氧 180b 中至少包含氧自由基、氧原子和氧離子中的一種。藉由對氧化物半導體膜 108 進行氧摻雜處理，可以使在氧化物半導體膜 108 中、氧化物半導體膜 108 的介面附近或在氧化物半導體膜 108 中及該介面附近含有氧。在此情況下，將氧的含量設定為超過氧化物半導體膜 108 的化學計量比的程度，最好為超過化學計量比的 1 倍至 2 倍 (大於 1 倍且小於 2 倍) 。或者，當以單晶中的氧量為 Y 時，可以將氧含量設定為超過 Y 的程度，最好為超過 Y 至 2Y。或者，當以不進行氧摻雜處理時的氧化物半導體膜中的氧量 Z 為基準時，可以將氧含量設定為超過 Z 的程度，最好為超過 Z 至 2Z。另外，在上述較佳的範圍中存在有上限是因為在氧含量過多時，如氫

貯藏合金那樣反而氧化物半導體膜 108 會吸收氫的緣故。

當使用其結晶結構由 $\text{InGaO}_3(\text{ZnO})_m$ ($m>0$) 表示的材料時，例如在以 $m=1$ (InGaZnO_4) 的結晶結構為基準時，在 InGaZnO_x 中 x 可以超過 4 至 8，而在以 $m=2$ ($\text{InGaZn}_2\text{O}_5$) 的結晶結構為基準時，在 $\text{InGaZn}_2\text{O}_x$ 中 x 可以超過 5 至 10。這裏，只要在氧化物半導體膜的一部分（包括介面）存在有這樣的氧過剩區域即可。

另外，添加到氧化物半導體膜的氧 180b 的至少一部分最好在氧化物半導體中具有懸空鍵。這是因為，具有懸空鍵可以與有可能殘留在膜中的氫接合而使氫固定化（非可動離子化）的緣故。

上述氧 180b 可以利用電漿產生裝置或臭氧產生裝置而產生。更具體來說，例如，可以藉由利用能夠對半導體裝置進行蝕刻處理的裝置或對抗蝕劑掩模進行灰化處理的裝置等產生氧 180b，並對氧化物半導體膜 108 進行處理。

另外，爲了更好地進行氧添加，最好對基板施加電偏壓。

另外，也可以對進行了氧摻雜處理的氧化物半導體膜 108 進行熱處理（溫度 150°C 至 470°C ）。藉由該熱處理，可以從氧化物半導體膜去除因氧或氧化物半導體材料與氫的反應而產生的水、氫氧化物等。在水、氫等被充分降低的氮、氧、超乾燥空氣（水分量爲 20ppm 以下，最好爲 1ppm 以下，更較的是爲 10ppb 以下的空氣）、稀有

氣體（氫、氮等）等氣圍下進行熱處理。此外，也可以反復進行氧摻雜處理和熱處理。藉由反復進行該處理，可以進一步提高電晶體的可靠性。此外，可以適當地設定反復次數。

接著，形成與氧化物半導體膜 108 的一部分接觸且覆蓋源極電極 104a 及汲極電極 104b 的閘極絕緣膜 110（參照圖 5A）。

閘極絕緣膜 110 可以與絕緣膜 102 同樣形成。就是說，閘極絕緣膜 110 使用氧化矽、氮化矽、氧化鋁、氮化鋁、氧化鎵、這些材料的混合材料等形成即可。但是，考慮到用作電晶體的閘極絕緣膜，也可以使用氧化鈺、氧化鋇、矽酸鈺（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鈺（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的鋁酸鈺（ HfAl_xO_y （ $x>0$ 、 $y>0$ ））等高介電常數材料。

另外，也可以與絕緣膜 102 同樣地採用疊層結構。在此情況下，最好採用由與氧化物半導體膜相同種類的成分的絕緣材料構成的膜（以下稱為“膜 a”）和包含與該膜 a 的成分材料不同的材料的膜（以下稱為“膜 b”）的疊層結構。這是因為如下緣故：藉由採用從氧化物半導體膜一側按順序層疊膜 a 和膜 b 的結構，與氧化物半導體膜和膜 a 的介面相比，膜 a 和膜 b 的介面的電荷俘獲中心優先地俘獲電荷，因此，可以充分抑制氧化物半導體膜介面的電荷俘獲，從而可以提高半導體裝置的可靠性。

另外，作為上述疊層結構，可以使用氧化鎵膜和氧化

矽膜的疊層結構、氧化鎵膜和氮化矽膜的疊層結構等。

在形成上述閘極絕緣膜 110 之後，最好進行熱處理。將該熱處理的溫度設定為 250℃ 以上且 700℃ 以下，最好為 450℃ 以上且 600℃ 以下。此外，該熱處理的溫度最好為低於基板的應變點。

上述熱處理在氮、氧、超乾燥空氣（水的含量為 20ppm 以下，最好為 1ppm 以下，更較的是為 10ppb 以下的空氣）、或者稀有氣體（氬、氦等）的氣圍下進行，即可。但是，上述氮、氧、超乾燥空氣、稀有氣體等的氣圍最好不包含水、氬等。此外，最好將引入熱處理裝置中的氮、氧、稀有氣體的純度設定為 6N（99.9999%）以上（即，雜質濃度為 1ppm 以下），更較的是為 7N（99.99999%）以上（即，雜質濃度 0.1ppm 以下）。

在根據本實施例模式的上述熱處理中，在氧化物半導體膜 108 與絕緣膜 102、閘極絕緣膜 110 接觸的狀態下被加熱。因此，雖然由上述脫水化（或脫氫化）處理有可能減少氧，但可以從絕緣膜 102 等向氧化物半導體膜 108 供應氧。在這意思上也可以將該熱處理稱為加氧化。

另外，以加氧化為目的的熱處理的時序只要在形成氧化物半導體膜 108 之後就沒有特別的限制。例如，也可以在形成閘極電極之後進行以加氧化為目的的熱處理。或者，也可以在進行以脫水化等為目的的熱處理之後繼續進行以加氧化為目的的熱處理，也可以將以脫水化等為目的的熱處理兼作以加氧化為目的的熱處理，也可以將以加氧

化爲目的的熱處理兼作以脫水化等爲目的的熱處理。

如上那樣，藉由應用以脫水化等爲目的的熱處理和氧摻雜處理或以加氧化爲目的的熱處理，可以以儘量不包含雜質的方式使氧化物半導體膜 108 實現高純度化。被高純度化的氧化物半導體膜 108 中的源自施體的載子極少（近零）。

接著，對閘極絕緣膜 110 進行利用氧 180c 的處理（參照圖 5B）。這裏，在氧 180c 中至少包含氧自由基、氧原子和氧離子中的一種。藉由對閘極絕緣膜 110 進行氧摻雜處理，可以使在閘極絕緣膜 110 中、氧化物半導體膜 108 中、氧化物半導體膜 108 的介面附近或在氧化物半導體膜 108 中及該介面附近含有氧。在此情況下，將閘極絕緣膜 110 中的氧的含量設定爲超過閘極絕緣膜 110 的化學計量比的程度，最好爲超過化學計量比的 1 倍至 4 倍（大於 1 倍且小於 4 倍），更較的是爲超過 1 倍至 2 倍（大於 1 倍小於 2 倍）。或者，當以單晶中的氧量爲 Y 時，可以將氧含量設定爲超過 Y 的程度，最好爲超過 Y 至 $4Y$ 。或者，當以不進行氧摻雜處理時的閘極絕緣膜中的氧量 Z 爲基準時，可以將氧含量設定爲超過 Z 的程度，最好爲超過 Z 至 $4Z$ 。

例如，在使用組成爲 GaO_x ($x>0$) 表示的氧化鎵的情況下，由於單晶的氧化鎵是 Ga_2O_3 ，所以可以將 x 設定爲超過 1.5 至 6（即超過 Ga 的 1.5 倍至 6 倍）。此外，例如在使用組成爲 SiO_x ($x>0$) 表示的氧化矽的情況下，當採

用 SiO_2 (即 O 是 Si 的 2 倍) 時, 可以將 x 設定為超過 2 至 8 (即超過 Si 的 2 倍至 8 倍)。注意, 只要在絕緣膜的一部分 (包括介面) 存在有這樣的氧過剩區域即可。

另外, 添加到絕緣膜的氧 180c 的至少一部分最好在供應到氧化物半導體之後在氧化物半導體中具有懸空鍵。這是因為, 具有懸空鍵可以與有可能殘留在膜中的氫接合而使氫固定化 (非可動離子化) 的緣故。

上述氧 180c 可以利用電漿產生裝置或臭氧產生裝置而產生。更具體來說, 例如, 可以藉由利用能夠對半導體裝置進行蝕刻處理的裝置或對抗蝕劑掩模進行灰化處理的裝置等產生氧 180c, 並對閘極絕緣膜 110 進行處理。

另外, 為了更好地進行氧添加, 最好對基板施加電偏壓。

另外, 在上述氧摻雜處理之後, 也可以進行熱處理。藉由該熱處理可以將足夠的氧供應到氧化物半導體膜。為了得到該效果而進行的熱處理的時序只要是在上述氧摻雜處理後就可以隨時進行。此外, 也可以重複進行氧摻雜處理和熱處理。藉由重複進行該處理, 可以進一步提高電晶體的可靠性。此外, 可以適當地設定重複次數。

然後, 形成閘極電極 112 (參照圖 5C)。閘極電極 112 可以使用鉬、鈦、鉭、鎢、鋁、銅、鈳、釷等金屬材料或以該金屬材料為主要成分的合金材料形成。此外, 閘極電極 112 可以為單層結構或者疊層結構。

另外, 在形成閘極電極 112 之後, 還可以形成絕緣

膜。該絕緣膜例如可以使用氧化矽、氮化矽、氧化鋁、氮化鋁、氧化鎵、這些材料的混合材料等形成。尤其是在作為絕緣膜使用氮化矽膜時，在可以防止所添加的氧放出到外部的同時，可以有效地抑制從外部氫等混入到氧化物半導體膜 108 中，因此是較佳的。此外，還可以形成與源極電極 104a 或汲極電極 104b、閘極電極 112 等連接的佈線。

藉由上述製程形成電晶體 120。

另外，上述說明是對絕緣膜 102、氧化物半導體膜 108 及閘極絕緣膜 110 都進行氧摻雜處理的例子，但是所公開的發明的一個方式不侷限於此。例如，既可以對絕緣膜 102 和氧化物半導體膜 108 進行氧摻雜處理，又可以對氧化物半導體膜 108 和閘極絕緣膜 110 進行氧摻雜處理。

根據本實施例模式的電晶體採用如下氧化物半導體膜：即，藉由進行熱處理，從氧化物半導體排除氫、水、羥基或氫化物（也稱為氫化合物）等的含氫原子的雜質，且藉由供應在雜質排除製程中有可能減少的氧，來實現高純度化及 i 型（本征）化的氧化物半導體膜。包括上述那樣被高純度化的氧化物半導體膜的電晶體的臨界值電壓等電特性變動被抑制，由此該電晶體在電性能上穩定。

尤其是，藉由利用氧摻雜處理增大氧化物半導體膜中的氧含量，可以抑制由電偏壓應力或熱應力所引起的退化，並可以降低由光導致的退化。

如上所述，根據所公開的發明的一個方式可以提供高

可靠性的電晶體。

本實施例模式所示的結構、方法等可以與其他實施例模式所示的結構、方法等適當地組合而使用。

實施例模式 3

在本實施例模式中，參照圖 6A 至 6F 對半導體裝置的製造方法的其他例子進行說明。

〈半導體裝置的結構例〉

利用本實施例模式的製造方法製造的半導體裝置的結構與上述實施例模式的電晶體 120 同樣。就是說，在該半導體裝置中包括：基板 100 上的絕緣膜 102；源極電極 104a；汲極電極 104b；氧化物半導體膜 108；閘極絕緣膜 110；閘極電極 112（參照圖 1A 至 1C）。

如上述實施例模式所說明那樣，在電晶體 120 中，氧化物半導體膜 108 是被進行了氧摻雜處理的氧化物半導體膜。再者，在本實施例模式中，也對絕緣膜 102 及閘極絕緣膜 110 進行氧摻雜處理。藉由上述氧摻雜處理，可以實現進一步提高可靠性的電晶體 120。再者，在本實施例模式中的對絕緣膜 102 進行的氧摻雜處理兼作用來形成源極電極 104a 及汲極電極 104b 的掩模 103a 及掩模 103b 的去除製程。藉由採用這樣的步驟，可以實現由製程的簡化帶來的製造成本的降低。注意，與上述實施例模式同樣，也可以製造結構改變的電晶體（參照圖 3A 至 3D）。

〈半導體裝置的製造製程例〉

以下，參照圖 6A 至 6F 對上述半導體裝置的製造製程的一個例子進行說明。注意，製造製程的基本內容與上述實施例模式同樣，所以以下僅描述不同點。

首先，在基板 100 上形成絕緣膜 102（參照圖 6A）。詳細內容參考關於圖 4A 的記載即可。

接著，在絕緣膜 102 上形成用來形成源極電極及汲極電極（包括使用與源極電極及汲極電極相同的層形成的佈線）的導電膜，利用掩模 103a 及掩模 103b 對該導電膜進行加工，形成源極電極 104a 及汲極電極 104b。接著，對絕緣膜 102 進行利用氧 180a 的處理（也稱為氧摻雜處理或氧電漿摻雜處理）（參照圖 6B）。用來形成源極電極 104a 及汲極電極 104b 的製程的詳細內容參考關於圖 4C 的記載即可。在此，上述氧摻雜處理是兼作去除掩模 103a 及掩模 103b 的製程。

在氧 180a 中至少包含氧自由基、氧原子和氧離子中的一種。藉由對絕緣膜 102 進行氧摻雜處理，可以使在絕緣膜 102 中含有氧。並且可以在後面形成的氧化物半導體膜 108 中、氧化物半導體膜 108 介面附近或在氧化物半導體膜 108 中及該介面附近含有氧。在此情況下，將絕緣膜 102 中的氧的含量設定為超過絕緣膜 102 的化學計量比的程度，最好為超過化學計量比的 1 倍至 4 倍（大於 1 倍且小於 4 倍），更最好為超過 1 倍至 2 倍（大於 1 倍小於 2

倍)。或者，當以單晶中的氧量為 Y 時，可以將氧含量設定為超過 Y 的程度，最好為超過 Y 至 $4Y$ 。或者，當以不進行氧摻雜處理時的絕緣膜中的氧量 Z 為基準時，可以將氧含量設定為超過 Z 的程度，最好為超過 Z 至 $4Z$ 。

例如，在使用組成為 GaO_x ($x>0$) 表示的氧化鎵的情況下，由於單晶的氧化鎵是 Ga_2O_3 ，所以可以將 x 設定為超過 1.5 至 6 (即超過 Ga 的 1.5 倍至 6 倍)。此外，例如在使用組成為 SiO_x ($x>0$) 表示的氧化矽的情況下，當採用 SiO_2 (即 O 是 Si 的 2 倍) 時，可以將 x 設定為超過 2 至 8 (即超過 Si 的 2 倍至 8 倍)。注意，只要在絕緣膜的一部分 (包括介面) 存在有這樣的氧過剩區域即可。

另外，添加到絕緣膜的氧 180a 的至少一部分最好在供應到氧化物半導體之後在氧化物半導體中具有懸空鍵。這是因為，具有懸空鍵可以與有可能殘留在膜中的氫接合而使氫固定化 (非可動離子化) 的緣故。

上述氧 180a 可以利用電漿產生裝置或臭氧產生裝置而產生。更具體來說，例如，可以藉由利用能夠對抗蝕劑掩模進行灰化處理的裝置等產生氧 180a，並對絕緣膜 102 進行處理。

藉由該氧摻雜處理去除掩模 103a 及掩模 103b。注意，與一般的掩模去除製程不同，該製程是以添加氧為目的的，所以最好對基板施加較強的偏壓。

此外，藉由該氧摻雜處理，在絕緣膜 102 中形成存在有高濃度的氧的區域和存在有低濃度的氧的區域。明確而

言，絕緣膜 102 中的不由源極電極 104a 及汲極電極 104b 覆蓋的區域成為存在有高濃度的氧的區域，而由源極電極 104a 及汲極電極 104b 覆蓋的區域成為存在有低濃度的氧的區域。

接著，在絕緣膜 102 上形成與源極電極 104a 及汲極電極 104b 接觸的氧化物半導體膜，對該氧化物半導體膜進行加工來形成島狀氧化物半導體膜。然後，對氧化物半導體膜進行熱處理，形成被高純度化的氧化物半導體膜 108（參照圖 6C）。該製程的詳細內容參考關於圖 4D 及圖 4E 的記載即可。

接著，對氧化物半導體膜 108 進行利用氧 180b 的處理（參照圖 6D）。詳細內容參考關於圖 4F 的記載即可。

接著，形成與氧化物半導體膜 108 的一部分接觸且覆蓋源極電極 104a 及汲極電極 104b 的閘極絕緣膜 110。然後，對閘極絕緣膜 110 進行利用氧 180c 的處理（參照圖 6E）。詳細內容參考關於圖 5A 及圖 5B 的記載即可。

然後，形成閘極電極 112（參照圖 6F）。詳細內容參考關於圖 5C 的記載即可。

另外，在形成閘極電極 112 之後，還可以形成絕緣膜。該絕緣膜例如可以使用氧化矽、氮化矽、氧化鋁、氮化鋁、氧化鎵、這些材料的混合材料等形成。尤其是在作為絕緣膜使用氮化矽膜時，在可以防止所添加的氧放出到外部的同時，可以有效地抑制從外部氫等混入到氧化物半導體膜 108 中，因此是較佳的。此外，還可以形成與源極

電極 104a 或汲極電極 104b、閘極電極 112 等連接的佈線。

藉由上述製程形成電晶體 120。

另外，上述說明是對絕緣膜 102、氧化物半導體膜 108 及閘極絕緣膜 110 都進行氧摻雜處理的例子，但是所公開的發明的一個方式不侷限於此。例如，也可以對絕緣膜 102 及氧化物半導體膜 108 進行氧摻雜處理。

根據本實施例模式的電晶體採用如下氧化物半導體膜：即，藉由進行熱處理，從氧化物半導體排除氫、水、羥基或氫化物（也稱為氫化合物）等的含氫原子的雜質，且藉由供應在雜質排除製程中有可能減少的氧，來實現高純度化及 i 型（本征）化的氧化物半導體膜。包括上述那樣被高純度化的氧化物半導體膜的電晶體的臨界值電壓等電特性變動被抑制，由此該電晶體在電性能上穩定。

尤其是，藉由利用氧摻雜處理增大氧化物半導體膜中的氧含量，可以抑制由電偏壓應力或熱應力所引起的退化，並可以降低由光導致的退化。

再者，在根據本實施例模式的製造方法中，由於使製程簡化所以可以抑制製造成本。

如上所述，根據所公開的發明的一個方式可以在抑制製造成本的同時實現高可靠性的電晶體。

本實施例模式所示的結構、方法等可以與其他實施例模式所示的結構、方法等適當地組合而使用。

實施例模式 4

在本實施例模式中，對可以用於氧摻雜處理的電漿裝置（也稱為灰化裝置）的例子進行說明。另外，由於該裝置可以對應例如第五代以後的大型玻璃基板，所以比起離子植入裝置等更適於工業化。

圖 17A 示出板料送進方式多室設備的俯視圖的一個例子。圖 17B 示出進行氧電漿摻雜的電漿裝置（也稱為灰化裝置）的截面圖的一個例子。

圖 17A 所示的板料送進方式多室設備包括：三個圖 17B 所示的電漿裝置 10、具有三個收納被處理基板的盒式介面（cassette port）14 的基板供給室 11、裝載閉鎖室 12 及傳送室 13 等。被供給到基板供給室的基板藉由裝載閉鎖室 12 及傳送室 13 被傳送到電漿裝置 10 內的真空處理室 15 進行氧電漿摻雜。進行完氧電漿摻雜的基板從電漿裝置 10 經過裝載閉鎖室 12 及傳送室 13 被傳送到基板供給室 11。另外，基板供給室 11 及傳送室 13 分別配置有用來搬送被處理基板的傳送機械。

參照圖 17B 可知電漿裝置 10 備有真空處理室 15。真空處理室 15 的上部配置有多個氣體吹出口及電漿發生源 ICP 線圈 16（感應耦合電漿線圈）。

從電漿裝置 10 的上面看在其中央部分設置有 12 個氣體吹出口。各個氣體吹出口藉由氣體流道 17 與供給氧氣的氣體供給源連接，氣體供給源備有品質流量控制器等而可以藉由氣體流道 17 供給所希望的流量（大於 0 sccm 且

1000 sccm 以下) 的氧氣。由氣體供給源供給的氧氣從氣體流道 17 藉由 12 個氣體吹出口供給到真空處理室 15 內。

ICP 線圈 16 是由多個帶狀的導體以螺旋狀配置而成。各導體的一端藉由用來進行高阻抗調整的匹配電路電連接到第一高頻電源 18 (13.56MHz)，另一端接地。

真空處理室的下部配置有工作下部電極的基板工作臺 19。利用設置在基板工作臺 19 上的靜電吸盤等，基板工作臺上的被處理基板 20 被保持為能夠裝卸。基板工作臺 19 備有作為加熱結構的加熱器及作為冷卻機構的 He 氣體流道。基板工作臺連接於用來施加基板偏壓的第二高頻電源 21 (3.2MHz)。

另外，真空處理室 15 設置有排氣口並備有自動壓力控制閥 22 (Automatic Pressure Control Valve，也稱為 APC)。APC 連接於渦輪分子泵 23，並且藉由渦輪分子泵 23 連接於乾燥泵 24。APC 進行真空處理室內的壓力控制，渦輪分子泵 23 及乾燥泵 24 對真空處理室 15 內進行減壓。

接著，在圖 17B 中示出在真空處理室 15 內生成電漿來對設置在被處理基板 20 上的氧化物半導體膜、基底絕緣膜或閘極絕緣膜進行氧電漿摻雜的一個例子。

首先，利用渦輪分子泵 23 及乾燥泵 24 等使真空處理室 15 內保持所希望的壓力，然後將被處理基板 20 設置在真空處理室 15 內的基板工作臺上。注意，被保持在基板

工作臺上的被處理基板 20 至少具有氧化物半導體膜或基底絕緣膜。在本實施例模式中，將真空處理室 15 內的壓力保持為 1.33Pa 。另外，將從氣體吹出口供給到真空處理室 15 內的氧氣流量設定為 250sccm 。

接著，由第一高頻電源 18 對 ICP 線圈 16 施加高頻電力來生成電漿。並且，將生成電漿的狀態維持一定時間（30 秒以上 600 秒以下）。另外，將對 ICP 線圈 16 施加的高頻電力設定為 1kW 以上 10kW 以下。在本實施例模式中設定為 6000W 。此時，也可以由第二高頻電源 21 向基板工作臺施加基板偏壓。在本實施例模式中將用於施加基板偏壓的電力設定為 1000W 。

在本實施例模式中，將生成電漿的狀態維持 60 秒，然後將被處理基板 20 從真空處理室 15 中搬出。由此，可以對設置在被處理基板 20 上的氧化物半導體膜、基底絕緣膜或閘極絕緣膜進行氧電漿摻雜。

上述本實施例模式所示的結構或方法等可以與其他的實施例模式所示的結構或方法等適當地組合而使用。

實施例模式 5

在本實施例模式中作為半導體裝置的一個例子示出存儲介質（記憶元件）。在本實施例模式中，將實施例模式 1 至實施例模式 3 等所示的使用氧化物半導體的電晶體與使用氧化物半導體以外的材料的電晶體形成在同一基板上。

圖 7A 和圖 7B 是半導體裝置的結構的一個例子。圖 7A 示出半導體裝置的截面，而圖 7B 示出半導體裝置的平面。這裏，圖 7A 相當於圖 7B 的 C1-C2 及 D1-D2 的截面。另外，圖 7C 示出將上述半導體裝置作為記憶元件而使用時的電路圖的一個例子。圖 7A 及圖 7B 所示的半導體裝置的下部具有使用第一半導體材料的電晶體 240，上部具有實施例模式 1 所示的電晶體 120。另外，在電晶體 120 中，作為第二半導體材料使用氧化物半導體。在本實施例模式中，將氧化物半導體材料以外的半導體材料作為第一半導體材料。作為氧化物半導體以外的半導體材料，例如可以使用矽、銻、矽銻、碳化矽或鎵砷等，並且，最好使用單晶半導體。另外，還可以使用有機半導體材料。使用這樣的半導體材料的電晶體可以容易地進行高速工作。另一方面，使用氧化物半導體的電晶體利用其特性而可以長時間地保持電荷。

另外，在本實施例模式中，雖然示出使用電晶體 120 構成存儲介質的例子，但是也可以使用實施例模式 1 或實施例模式 2 示出的電晶體 130、電晶體 140、電晶體 150 及電晶體 160 等代替電晶體 120。

圖 7A 和圖 7B 中的電晶體 240 包括：設置在含有半導體材料（例如矽等）的基板 200 中的通道形成區 216；以夾著通道形成區 216 的方式設置的雜質區域 220；接觸於雜質區域 220 的金屬化合物區域 224；設置在通道形成區 216 上的閘極絕緣膜 208；以及設置在閘極絕緣膜 208

上的閘極電極 210。

作為含有半導體材料的基板 200，可以採用矽或碳化矽等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板或 SOI 基板等。注意，一般來說，“SOI 基板”是指在絕緣表面上設置有矽半導體膜的基板，但是在本說明書等中，還包括在絕緣表面上設置有由矽以外的材料構成的半導體膜的基板。也就是說，“SOI 基板”所具有半導體膜不侷限於矽半導體膜。此外，SOI 基板還包括在玻璃基板等絕緣基板上隔著絕緣層設置有半導體膜的基板。

另外，在基板 200 上，以圍繞電晶體 240 的方式設置有元件分離絕緣膜 206，以覆蓋電晶體 240 的方式設置有絕緣膜 228 及絕緣膜 230。此外，為了實現高集成化，如圖 7A 所示電晶體 240 最好採用不設置側壁絕緣膜的結構。另一方面，當重視電晶體 240 的特性時，可以在閘極電極 210 的側面設置側壁絕緣膜，並且雜質區域 220 可以包含雜質濃度不同區域。

電晶體 240 可以使用矽、鍺、矽鍺、碳化矽或鎵砷等形成。該種電晶體 240 具有能夠高速工作的特點。為此，藉由將該電晶體用作讀出用的電晶體，可以高速地進行資訊的讀出。

在形成電晶體 240 之後，作為電晶體 120 及電容元件 164 的形成前的處理，對絕緣膜 228、絕緣膜 230 進行 CMP 處理來使閘極電極 210 的上表面露出。作為使閘極

電極 210 的上表面露出的處理，除了 CMP 處理之外還可以使用蝕刻處理等。但是，爲了提高電晶體 120 的特性，最好使絕緣膜 228、絕緣膜 230 的表面盡可能地平坦。

接著，在閘極電極 210、絕緣膜 228、絕緣膜 230 等上形成導電膜，對該導電膜進行選擇性的蝕刻來形成源極電極 104a 及汲極電極 104b。

可以利用如濺射法等 PVD 法或如電漿 CVD 法等 CVD 法來形成導電膜。另外，作爲導電膜的材料，可以使用選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素或以上述元素爲成分的合金等。也可以使用選自 Mn、Mg、Zr、Be、Nd、Sc 中的一種或多種的材料。

導電膜既可以採用單層結構也可以採用兩層以上的疊層結構。例如可以舉出：鈦膜或氮化鈦膜的單層結構；含有矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的雙層結構；在氮化鈦膜上層疊鈦膜的雙層結構；層疊鈦膜、鋁膜及鈦膜的三層結構等。另外，當作爲導電膜採用鈦膜或氮化鈦膜的單層結構時，具有易於將源極電極 104a 及汲極電極 104b 加工爲錐形形狀的優點。

上部的電晶體 120 的通道長度 (L) 由源極電極 104a 及汲極電極 104b 的下端部的間隔決定。另外，當形成通道長度 (L) 短於 25nm 的電晶體時，最好使用波長短即幾 nm 至幾十 nm 的超紫外線進行形成掩模時的曝光。

接著，在以覆蓋源極電極 104a 及汲極電極 104b 的方式形成氧化物半導體膜之後，對該氧化物半導體膜進行選

擇性的蝕刻以形成氧化物半導體膜 108。使用實施例模式 1 所示的材料及形成製程形成氧化物半導體膜。

接下來，形成接觸於氧化物半導體膜 108 的閘極絕緣膜 110。閘極絕緣膜 110 使用實施例模式 1 所示的材料及形成製程來形成。

接著，在閘極絕緣膜 110 上的與氧化物半導體膜 108 重疊的區域上形成閘極電極 112a，並在與源極電極 104a 重疊的區域上形成電極 112b。

最好在形成閘極絕緣膜 110 之後，在惰性氣體氣圍或者氧氣圍下進行熱處理（也稱為加氧化等）。加熱處理的溫度為 200℃ 以上 450℃ 以下，最好為 250℃ 以上 350℃ 以下。例如，在氮氣圍下以 250℃ 進行 1 小時的加熱處理即可。藉由進行熱處理，可以降低電晶體的電特性的不均勻。

另外，以加氧化為目的的熱處理的時序不侷限於此。例如，也可以在形成閘極電極之後進行以加氧化為目的的熱處理。另外，可以接著以脫水化等為目的的熱處理進行以加氧化為目的的熱處理，也可以在以脫水化等為目的的熱處理中兼併以加氧化為目的的熱處理，還可以在以加氧化為目的的熱處理中兼併以脫水化等為目的的熱處理。

如上所述，藉由進行以脫水化等為目的的熱處理、氧摻雜處理或以加氧化為目的的熱處理，可以使氧化物半導體膜 108 儘量地不包含雜質而使其高純度化。

藉由在閘極絕緣膜 110 上形成導電膜之後，對該導電

膜進行選擇性的蝕刻來形成閘極電極 112a 及電極 112b。

接著，在閘極絕緣膜 110、閘極電極 112a 及電極 112b 上形成絕緣膜 151 及絕緣膜 152。絕緣膜 151 及絕緣膜 152 可以利用濺射法或 CVD 法等形式。另外，還可以使用含有如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鎵等的無機絕緣材料的材料形成。

接下來，在閘極絕緣膜 110、絕緣膜 151 及絕緣膜 152 中形成到達汲極電極 104b 的開口。該開口藉由進行使用掩模等的選擇性的蝕刻而形成。

然後，在上述開口中形成電極 154，並在絕緣膜 152 上形成接觸於電極 154 的佈線 156。

電極 154 例如可以在利用 PVD 法或 CVD 法等包括開口的區域中形成導電膜後，利用蝕刻處理或 CMP 等的方法去除上述導電膜的一部分來形成。

佈線 156 是藉由利用如濺射法等 PVD 法或如電漿 CVD 法等 CVD 法形成導電膜之後對該導電膜進行構圖而形成的。另外，作為導電膜的材料，可以使用選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素或以上述元素為成分的合金等。也可以使用選自 Mn、Mg、Zr、Be、Nd、Sc 中的一種或多種的材料。詳細內容與源極電極 104a 或汲極電極 104b 等相同。

藉由上述方法可以形成使用被高純度化的氧化物半導體膜 108 的電晶體 120 及電容元件 164。電容元件 164 由源極電極 104a、氧化物半導體膜 108、閘極絕緣膜 110 及

電極 112b 構成。

另外，在圖 7A 和圖 7B 所示的電容元件 164 中，藉由層疊氧化物半導體膜 108 和閘極絕緣膜 110，可以充分確保源極電極 104a 與電極 112b 之間的絕緣性。當然，爲了確保足夠的電容，也可以採用不具有氧化物半導體膜 108 的結構的電容元件 164。再者，當不需要電容時，也可以採用不設置電容元件 164 的結構。

圖 7C 示出將上述半導體裝置用作記憶元件時的電路圖的一個例子。在圖 7C 中，電晶體 120 的源極電極和汲極電極中的一方與電容元件 164 的電極的一方及電晶體 240 的閘極電極電連接。另外，第一佈線（1st Line：也稱爲源極電極線）與電晶體 240 的源極電極電連接，第二佈線（2nd Line：也稱爲位線）與電晶體 240 的汲極電極電連接，第三佈線（3rd Line：也稱爲第一信號線）與電晶體 120 的源極電極和汲極電極中的另一方電連接，第四佈線（4th Line：也稱爲第二信號線）與電晶體 120 的閘極電極電連接，並且，第五佈線（5th Line：也稱爲字線）與電容元件 164 的電極中的另一方電連接。

由於使用氧化物半導體的電晶體 120 的截止電流極小，藉由使電晶體 120 成爲截止狀態，可以極長時間地保持與電晶體 120 的源極電極和汲極電極中的一方、電容元件 164 的電極的一方以及電晶體 240 的閘極電極電連接的節點（以下，節點 FG）的電位。此外，藉由具有電容元件 164，可以容易地保持施加到節點 FG 的電荷，並且，

可以容易地讀出所保持的資訊。

在對半導體裝置存儲資訊時（寫入），首先，將第四佈線的電位設定為使電晶體 120 成為導通狀態的電位，而使電晶體 120 成為導通狀態。由此，第三佈線的電位被供給到節點 FG，由此節點 FG 積蓄預定量的電荷。這裏，施加賦予兩種不同電位電平的電荷（以下，稱為低（Low）電平電荷、高（High）電平電荷）中的任一種。然後，藉由使第四佈線的電位成為使電晶體 120 成為截止狀態的電位來使電晶體 120 成為截止狀態，由於節點 FG 變為浮動狀態，節點 FG 保持保持預定的電荷的狀態。如上所述，藉由使節點 FG 積蓄並保持預定量的電荷，可以使存儲單元存儲資訊。

因為電晶體 120 的截止電流極小，所以供給到節點 FG 的電荷被保持很長時間。因此，不需要刷新工作或者可以使刷新工作的頻度變為極低，從而可以充分降低耗電量。此外，即使沒有電力供給，也可以在較長期間內保持存儲內容。

在讀出存儲於存儲單元的資訊的情況（讀出）下，當在對第一佈線供給預定電位（恒定電位）的情況下，對第五佈線供給適當的電位（讀出電位）時，對應於保持於節點 FG 的電荷量電晶體 240 成為不同的狀態。這是因為如下原因：通常，當電晶體 240 是 n 通道型時，節點 FG 保持 High 電平電荷的情況下的電晶體 240 的表觀臨界值 V_{th_H} 低於節點 FG 保持 Low 電平電荷的情況下的電晶體

240 的表觀臨界值 V_{th_L} 。在此，表觀臨界值是指為使電晶體 240 成為“導通狀態”而需要的第五佈線的電位。所以，藉由將第五佈線的電位設定為 V_{th_H} 與 V_{th_L} 之間的電位 V_0 ，可以辨別節點 FG 所保持的電荷。例如，在寫入中，在被施加 High 電平電荷的情況下，當第五佈線的電位成為 V_0 ($>V_{th_H}$) 時，電晶體 240 成為“導通狀態”。在被施加 Low 電平電荷的情況下，即使第五佈線的電位成為 V_0 ($<V_{th_L}$)，電晶體 240 也保持“截止狀態”。由此，藉由控制第五佈線的電位來讀出電晶體 240 的導通狀態或截止狀態（讀出第二佈線的電位），可以讀出所存儲資訊。

此外，當重寫存儲於存儲單元的資訊時，藉由對利用上述寫入而保持有預定量的電荷的節點 FG 供給新電位，使節點 FG 保持新資訊的電荷。明確而言，將第四佈線的電位設定為使電晶體 120 成為導通狀態的電位，來使電晶體 120 成為導通狀態。由此，第三佈線的電位（新資訊的電位）供給到節點 FG，節點 FG 被積蓄預定量的電荷。然後，藉由將第四佈線的電位成為使電晶體 120 成為截止狀態的電位，來使電晶體 120 成為截止狀態，由此節點 FG 成為保持新資訊的電荷的狀態。也就是說，藉由在利用第一寫入使節點 FG 保持預定量的電荷的狀態下，進行與第一寫入相同的工作（第二寫入），可以對存儲的資訊進行重寫。

本實施例模式所示的電晶體 120 藉由使用被高純度化、本征化的氧化物半導體膜 108，可以充分地降低電晶

體 120 的截止電流。此外，藉由使氧化物半導體膜 108 成為氧過剩的層，可以抑制電晶體 120 的電特性變動從而可以形成電特性穩定的電晶體。並且，藉由使用這種電晶體，可以得到可以極長時間地保持存儲內容的可靠性高的半導體裝置。

另外，在本實施例模式所示的半導體裝置中，藉由使電晶體 240 與電晶體 120 重疊，可以實現集成度得到充分提高的半導體裝置。

本實施例模式所示的結構或方法等可以與其他實施例模式所示的結構或方法等適當地組合而使用。

實施例模式 6

可以藉由使用在實施例模式 1 至實施例模式 3 中例示的電晶體來製造具有顯示功能的半導體裝置（也稱為顯示裝置）。此外，藉由將包括電晶體的驅動電路的一部分或全部與像素部一起形成在與該像素部相同的基板上，可以形成系統整合型面板（system-on-panel）。

在圖 8A 中，以圍繞設置在第一基板 4001 上的像素部 4002 的方式設置密封材料 4005，並且，使用第二基板 4006 進行密封。在圖 8A 中，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上的掃描線驅動電路 4004、信號線驅動電路 4003。此外，供給到另行形成的信號線驅動電路 4003、掃描線驅動電路 4004

或者像素部 4002 的各種信號及電位從 FPC (Flexible printed circuit) 4018a、FPC4018b 供給。

在圖 8B 和圖 8C 中，以圍繞設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置密封材料 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002、掃描線驅動電路 4004 與顯示元件一起由第一基板 4001、密封材料 4005 以及第二基板 4006 密封。在圖 8B 和圖 8C 中，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上的信號線驅動電路 4003。在圖 8B 和圖 8C 中，供給到另行形成的信號線驅動電路 4003、掃描線驅動電路 4004 或者像素部 4002 的各種信號及電位從 FPC4018 供給。

此外，實施例模式不侷限於圖 8A 至圖 8C 所示的結構。可以另行僅形成信號線驅動電路的一部分或者掃描線驅動電路的一部分並進行安裝。

注意，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG (Chip On Glass，玻璃上晶片) 方法、引線接合方法或者 TAB (Tape Automated Bonding，卷帶式自動接合) 方法等。圖 8A 是藉由 COG 方法安裝信號線驅動電路 4003、掃描線驅動電路 4004 的例子，圖 8B 是藉由 COG 方法安裝信號線驅動電路 4003 的例子，而圖 8C 是藉由 TAB 方法安裝信號線驅動電路

4003 的例子。

此外，顯示裝置包括密封有顯示元件的面板和在該面板中安裝有包括控制器的 IC 等的模組。

注意，本說明書中的顯示裝置是指影像顯示裝置、顯示裝置或光源（包括照明裝置）。另外，顯示裝置還包括：安裝有連接器諸如 FPC、TAB 膠帶或 TCP 的模組；在 TAB 膠帶或 TCP 的端部上設置有印刷線路板的模組；藉由 COG 方式將 IC（積體電路）直接安裝到顯示元件的模組。

此外，設置在第一基板上的像素部及掃描線驅動電路包括多個電晶體，並且，可以應用在實施例模式 1 至實施例模式 3 中例示的電晶體。

作為設置在顯示裝置中的顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示元件）。發光元件將由電流或電壓控制亮度的元件包括在其範疇內，明確而言，包括無機 EL（Electro Luminescence，電致發光）元件、有機 EL 元件等。此外，也可以應用電子墨水等由於電作用而改變對比度的顯示媒體。

參照圖 9 至圖 11 而說明半導體裝置的一種方式。圖 9 至圖 11 相當於沿著圖 8B 的 M-N 線的截面圖。

如圖 9 至圖 11 所示，半導體裝置包括連接端子電極 4015 及端子電極 4016，並且，連接端子電極 4015 及端子電極 4016 藉由各向異性導電膜 4019 電連接到 FPC4018

所包括的端子。

連接端子電極 4015 由與第一電極層 4030 相同的導電膜形成，並且，端子電極 4016 由與電晶體 4010、電晶體 4011 的源極電極及汲極電極相同的導電膜形成。

此外，設置在第一基板 4001 上的像素部 4002、掃描線驅動電路 4004 包括多個電晶體，並且，在圖 9 至圖 11 中例示像素部 4002 所包括的電晶體 4010、掃描線驅動電路 4004 所包括的電晶體 4011。在圖 10 及圖 11 中，在電晶體 4010、電晶體 4011 上設置有絕緣層 4021。

在本實施例模式中，作為電晶體 4010、電晶體 4011，可以應用在實施例模式 1 至實施例模式 3 中示出的電晶體。電晶體 4010、電晶體 4011 的電特性變動被抑制，所以在電性上是穩定的。因此，作為圖 9 至圖 11 所示的本實施例模式的半導體裝置，可以提供可靠性高的半導體裝置。

設置在像素部 4002 中的電晶體 4010 電連接到顯示元件，構成顯示面板。只要可以進行顯示就對顯示元件沒有特別的限制，而可以使用各種各樣的顯示元件。

圖 9 示出作為顯示元件使用液晶元件的液晶顯示裝置的例子。在圖 9 中，作為顯示元件的液晶元件 4013 包括第一電極層 4030、第二電極層 4031 以及液晶層 4008。注意，以夾持液晶層 4008 的方式設置有用作配向膜的絕緣膜 4032、絕緣膜 4033。第二電極層 4031 設置在第二基板 4006 一側，並且，第一電極層 4030 和第二電極層 4031

夾著液晶層 4008 而層疊。

此外，柱狀間隔物 4035 藉由對絕緣膜選擇性地進行蝕刻而獲得，並且它是為控制液晶層 4008 的厚度（單元間隙）而設置的。另外，間隔物的形狀不侷限於柱狀，例如還可以使用球狀間隔物。

當作為顯示元件使用液晶元件時，可以使用熱致液晶、低分子液晶、高分子液晶、高分子分散型液晶、鐵電液晶、反鐵電液晶等。上述液晶材料根據條件而呈現膽固醇相、近晶相、立方相、手征向列相、均質相等。

另外，還可以使用不使用配向膜的呈現藍相的液晶。藍相是液晶相的一種，是指當使膽固醇相液晶的溫度上升時即將從膽固醇相轉變到均質相之前出現的相。由於藍相只出現在較窄的溫度範圍內，所以為了改善溫度範圍而將混合有幾 wt% 以上的手性試劑的液晶組成物用於液晶層。由於包含呈現藍相的液晶和手性試劑的液晶組成物的回應速度短，即為 1msec 以下，並且其具有光學各向同性，所以不需要配向處理，從而視角依賴性小。另外，由於不需要設置配向膜而不需要摩擦處理，因此可以防止由於摩擦處理而引起的靜電破壞，並可以降低製造製程中的液晶顯示裝置的不良、破損。從而，可以提高液晶顯示裝置的生產率。

此外，液晶材料的固有電阻率為 $1 \times 10^9 \Omega \cdot \text{cm}$ 以上，最好為 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上，更佳的是為 $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上。注意，本說明書中的固有電阻率的值為以 20°C 測量的值。

考慮到配置在像素部中的電晶體的漏電流等而以能夠在指定期間中保持電荷的方式設定設置在液晶顯示裝置中的存儲電容器的大小。藉由使用具有高純度的氧化物半導體膜的電晶體，設置具有各像素中的液晶電容的三分之一以下，最好為五分之一以下的電容的大小的存儲電容器，就足夠了。

在本實施例模式中使用的具有高純度化的氧化物半導體膜的電晶體可以降低截止狀態下的電流值（截止電流值）。因此，可以延長視頻信號等的電信號的保持時間，並且，還可以延長電源導通狀態下的寫入間隔。因此，可以降低刷新工作的頻度，所以可以得到抑制耗電量的效果。

此外，在本實施例模式中使用的具有高純度化的氧化物半導體膜的電晶體可以得到較高的場效應遷移率，所以可以進行高速驅動。因此，藉由將上述電晶體用於液晶顯示裝置的像素部，可以提供高圖像品質的圖像。此外，由於上述電晶體可以在同一基板上分別製造驅動電路部、像素部，所以可以削減液晶顯示裝置的零部件數。

液晶顯示裝置可以採用 TN（Twisted Nematic，扭曲向列）模式、IPS（In-Plane-Switching，平面內轉換）模式、FFS（Fringe Field Switching，邊緣電場轉換）模式、ASM（Axially Symmetric aligned Micro-cell，軸對稱排列微單元）模式、OCB（Optical Compensated Birefringence，光學補償彎曲）模式、FLC（Ferroelectric

Liquid Crystal，鐵電性液晶）模式、以及 AFLC（Anti Ferroelectric Liquid Crystal，反鐵電性液晶）模式等。

此外，也可以使用常黑型液晶顯示裝置，例如採用垂直配向（VA）模式的透過型液晶顯示裝置。在此，垂直配向模式是指控制液晶顯示面板的液晶分子的排列的方式的一種，是當不施加電壓時液晶分子朝向垂直於面板表面的方向的方式。作為垂直配向模式，例如可以使用 MVA（Multi-Domain Vertical Alignment：多象限垂直配向）模式、PVA（Patterned Vertical Alignment：垂直配向構型）模式、ASV（Advanced Super View）模式等。此外，也可以使用將像素（pixel）分成幾個區域（子像素），並且使分子分別倒向不同方向的稱為多疇化或者多域設計的方法。

此外，在顯示裝置中，適當地設置黑矩陣（遮光層）、偏振構件、相位差構件、抗反射構件等的光學構件（光學基板）等。例如，也可以使用利用偏振基板以及相位差基板的圓偏振。此外，作為光源，也可以使用背光燈、側光燈等。

此外，也可以作為背光燈利用多個發光電二極體（LED）來進行分時顯示方式（場序制驅動方式）。藉由應用場序制驅動方式，可以不使用濾光片地進行彩色顯示。

此外，作為像素部中的顯示方式，可以採用逐行掃描方式或隔行掃描方式等。此外，當進行彩色顯示時在像素

中受到控制的顏色因素不侷限於 RGB（R 顯示紅色，G 顯示綠色，B 顯示藍色）的三種顏色。例如，也可以採用 RGBW（W 顯示白色）、或者對 RGB 追加黃色（yellow）、青色（cyan）、品紅色（magenta）等中的一種顏色以上的顏色。注意，也可以按每個顏色因素的點使其顯示區域的大小不同。但是，本發明不侷限於彩色顯示的顯示裝置，而也可以應用於單色顯示的顯示裝置。

此外，作為顯示裝置所包括的顯示元件，可以應用利用電致發光的發光元件。利用電致發光的發光元件根據發光材料是有機化合物還是無機化合物被區別，一般地，前者被稱為有機 EL 元件，而後者被稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，電子及電洞分別從一對電極注入到包括具有發光性的有機化合物的層，以流過電流。並且，這些載子（電子及電洞）重新結合，具有發光性的有機化合物形成激發狀態，當從該激發狀態回到基態時發光。由於這種機理，這種發光元件被稱為電流激發型發光元件。

無機 EL 元件根據其元件結構而分類為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件具有發光層，其中發光材料的粒子分散在黏合劑中，並且其發光機理是利用施主能級和受主能級的施主-受主重新結合型發光。薄膜型無機 EL 元件具有一種結構，其中，發光層夾在介電層之間，並且該夾著發光層的介電層由電極夾住，其發光機理是利用金屬離子的內殼層電子躍遷的定域

型發光。注意，這裏作為發光元件使用有機 EL 元件進行說明。

為了取出發光，使發光元件的一對電極中的至少一個為透明即可。並且，在基板上形成電晶體及發光元件，作為發光元件，有從與基板相反一側的表面取出發光的頂部發射；從基板一側的表面取出發光的底部發射；從基板一側及與基板相反一側的表面取出發光的雙面發射結構的發光元件，可以應用上述任一種發射結構的發光元件。

圖 10 示出作為顯示元件使用發光元件的發光裝置的例子。作為顯示元件的發光元件 4513 電連接到設置在像素部 4002 中的電晶體 4010。注意，發光元件 4513 的結構是由第一電極層 4030、電致發光層 4511、第二電極層 4031 構成的疊層結構，但是，不侷限於該結構。根據從發光元件 4513 取出的光的方向等，可以適當地改變發光元件 4513 的結構。

分隔壁 4510 使用有機絕緣材料或者無機絕緣材料形成。尤其是，使用感光樹脂材料，在第一電極層 4030 上形成開口部，並且最好將該開口部的側壁形成為具有連續曲率的傾斜面。

電致發光層 4511 可以使用一個層構成，也可以使用多個層的疊層構成。

為了防止氧、氫、水分、二氧化碳等侵入發光元件 4513 中，而也可以在第二電極層 4031 及分隔壁 4510 上形成保護膜。作為保護膜，可以形成氮化矽膜、氮氧化矽

膜、DLC (Diamond-Like Carbon) 膜等。此外，在由第一基板 4001、第二基板 4006 以及密封材料 4005 密封的空間中設置有填充材料 4514 並被密封。如此，爲了不暴露於外氣，而最好使用氣密性高且脫氣少的保護薄膜（黏合薄膜、紫外線固化樹脂薄膜等）、覆蓋材料進行封裝（封入）。

作爲填充材料 4514，除了氮或氬等惰性氣體以外，還可以使用紫外線固化樹脂、熱固化樹脂，並且，可以使用 PVC（聚氯乙烯）、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）或者 EVA（乙烯-醋酸乙烯酯）。例如，作爲填充材料而使用氮，即可。

另外，如果需要，則可以在發光元件的射出表面上適當地設置諸如偏光板、圓偏光板（包括橢圓偏光板）、相位差板（ $\lambda/4$ 板， $\lambda/2$ 板）、濾色片等的光學薄膜。此外，也可以在偏光板、圓偏光板上設置防反射膜。例如，可以進行抗眩光處理，該處理是利用表面的凹凸來擴散反射光而可以降低眩光的處理。

此外，作爲顯示裝置，也可以提供使電子墨水驅動的電子紙。電子紙也稱爲電泳顯示裝置（電泳顯示器），並且，具有如下優點：與紙同樣的易讀性；其耗電量比其他顯示裝置的耗電量低；形狀薄且輕。

作爲電泳顯示裝置，有各種各樣的形式，但是它是多個包括具有正電荷的第一粒子和具有負電荷的第二粒子的

微膠囊分散在溶劑或溶質中，並且，藉由對微膠囊施加電場，使微膠囊中的粒子彼此移動到相對方向，以只顯示集合在一方側的粒子的顏色的裝置。注意，第一粒子或者第二粒子包括染料，並且，當沒有電場時不移動。此外，第一粒子的顏色和第二粒子的顏色不同（包括無色）。

如此，電泳顯示裝置是利用介電常數高的物質移動到高電場區域，即所謂的介電泳效應（dielectrophoretic effect）的顯示器。

分散有上述微囊的溶劑被稱為電子墨水，並且該電子墨水可以印刷到玻璃、塑膠、布、紙等的表面上。另外，還可以藉由使用濾色片、具有色素的粒子來進行彩色顯示。

此外，作為微囊中的第一粒子及第二粒子，使用選自導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電性材料、電致發光材料、電致變色材料、磁泳材料中的一種材料或這些的材料複合材料即可。

此外，作為電子紙，還可以應用使用旋轉球顯示方式的顯示裝置。旋轉球顯示方式是如下方法，即將分別塗為白色和黑色的球形粒子配置在用於顯示元件的電極層的第一電極層與第二電極層之間，使第一電極層與第二電極層之間產生電位差來控制球形粒子的方向，以進行顯示。

圖 11 示出半導體裝置的一個方式的主動矩陣型電子紙。圖 11 所示的電子紙是使用旋轉球顯示方式的顯示裝置的例子。

在連接到電晶體 4010 的第一電極層 4030 與設置在第二基板 4006 上的第二電極層 4031 之間設置有具有黑色區域 4615a 及白色區域 4615b 並且在該黑色區域 4615a 及白色區域 4615b 的周圍包括填充有液體的空洞 4612 的球形粒子 4613，並且，球形粒子 4613 的周圍填充有樹脂等填充材料 4614。第二電極層 4031 相當於公共電極（對置電極）。第二電極層 4031 電連接到公共電位線。

注意，在圖 9 至圖 11 中，作為第一基板 4001、第二基板 4006，除了玻璃基板以外，還可以使用具有撓性的基板。例如，可以使用具有透光性的塑膠基板等。作為塑膠基板，可以使用 FRP（Fiberglass-Reinforced Plastics；纖維增強塑膠）板、PVF（聚氟乙烯）薄膜、聚酯薄膜或丙烯酸樹脂薄膜。此外，也可以使用具有由 PVF 薄膜或聚酯薄膜夾住鋁箔的結構的薄片。

絕緣層 4021 可以使用無機絕緣材料或者有機絕緣材料來形成。注意，當使用丙烯酸樹脂、聚醯亞胺、苯並環丁烯類樹脂、聚醯胺、環氧樹脂等具有耐熱性的有機絕緣材料時，適於用作平坦化絕緣膜。此外，除了上述有機絕緣材料以外，還可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等。注意，可以藉由層疊多個由這些材料形成的絕緣膜，來形成絕緣層。

對絕緣層 4021 的形成方法沒有特別的限制，可以根據其材料而利用濺射法、旋塗法、浸漬法、噴塗法、液滴

噴射法（噴墨法）、絲網印刷、膠版印刷、輥塗機、幕式塗布機、刮刀式塗布機等形成絕緣層 4021。

顯示裝置藉由透過來自光源或顯示元件的光來進行顯示。因此，設置在透過光的像素部中的基板、絕緣膜、導電膜等的薄膜全都對可見光的波長區域的光具有透光性。

關於對顯示元件施加電壓的第一電極層及第二電極層（也稱為像素電極層、公共電極層、對置電極層等），根據取出光的方向、設置電極層的地方以及電極層的圖案結構而選擇其透光性、反射性，即可。

作為第一電極層 4030、第二電極層 4031，可以使用包括氧化鎢的氧化銦、包括氧化鎢的氧化銦鋅、包括氧化鈦的氧化銦、包括氧化鈦的氧化銦錫、氧化銦錫（以下表示為 ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫等具有透光性的導電材料。

此外，第一電極層 4030、第二電極層 4031 可以使用鎢（W）、鉬（Mo）、鋯（Zr）、鈦（Hf）、釩（V）、鈮（Nb）、鉭（Ta）、鉻（Cr）、鈷（Co）、鎳（Ni）、鈦（Ti）、鉑（Pt）、鋁（Al）、銅（Cu）、銀（Ag）等的金屬、其合金或者其氮化物中的一種或多種來形成。

此外，由於電晶體容易受到靜電等的破壞，所以最好設置驅動電路保護用的保護電路。保護電路最好使用非線性元件構成。

如上所述，藉由應用在實施例模式 1 至實施例模式 3

中例示的電晶體，可以提供可靠性高的半導體裝置。

本實施例模式可以與其他實施例模式所示的結構適當地組合而實施。

實施例模式 7

藉由使用由實施例模式 1 至實施例模式 3 中的任何一個示出的作為一例的電晶體，可以製造具有讀取物件物的資訊的圖像感測器功能的半導體裝置。

圖 12A 示出具有圖像感測器功能的半導體裝置的一例。圖 12A 示出光電感測器的等效電路，而圖 12B 示出光電感測器的一部分的截面圖。

光電二極體 602 的一個電極電連接到光電二極體重設信號線 658，而光電二極體 602 的另一個電極電連接到電晶體 640 的閘極。電晶體 640 的源極電極和汲極電極中的一個電連接到光電感測器參考信號線 672，而電晶體 640 的源極電極和汲極電極中的另一個電連接到電晶體 656 的源極電極和汲極電極中的一個。電晶體 656 的閘極電連接到閘極信號線 659，電晶體 656 的源極電極和汲極電極中的另一個電連接到光電感測器輸出信號線 671。

注意，在本說明書的電路圖中，為了使使用氧化物半導體膜的電晶體一目了然，將使用氧化物半導體膜的電晶體的符號表示為“OS”。在圖 12A 中，電晶體 640 和電晶體 656 是使用氧化物半導體膜的電晶體。

圖 12B 是示出光電感測器中的光電二極體 602 和電晶

體 640 的截面圖，其中在具有絕緣表面的基板 601（TFT 基板）上設置有用作感測器的光電二極體 602 和電晶體 640。藉由使用黏合層 608，在光電二極體 602 和電晶體 640 上設置有基板 613。另外，在電晶體 640 上設置有絕緣膜 631、第一層間絕緣層 633 以及第二層間絕緣層 634。

另外，以與電晶體 640 的閘極電極電連接的方式在與該閘極電極相同的層中設置閘極電極 645。閘極電極 645 藉由設置在絕緣膜 631 及第一層間絕緣層 633 中的開口電連接到電極層 641。由於電極層 641 與形成在第二層間絕緣層 634 上的導電層 643 電連接，並且電極層 642 藉由電極層 644 與閘極電極 645 電連接，所以光電二極體 602 與電晶體 640 電連接。

光電二極體 602 設置在第一層間絕緣層 633 上，並且光電二極體 602 具有如下結構：在形成在第一層間絕緣層 633 上的電極層 641 和設置在第二層間絕緣層 634 上的電極層 642 之間從第一層間絕緣層 633 一側按順序層疊有第一半導體層 606a、第二半導體層 606b 及第三半導體層 606c。

在本實施例模式中，作為電晶體 640 可以使用實施例模式 1 至實施例模式 3 中任一個所示的電晶體。由於電晶體 640、電晶體 656 的電特性變動得到抑制而在電方面穩定，所以作為圖 12A 和 12B 所示的本實施例模式的半導體裝置可以提供可靠性高的半導體裝置。

在此，例示一種 pin 型的光電二極體，其中層疊用作第一半導體層 606a 的具有 p 型的導電型的半導體層、用作第二半導體層 606b 的高電阻的半導體層（i 型半導體層）、用作第三半導體層 606c 的具有 n 型的導電型的半導體層。

第一半導體層 606a 是 p 型半導體層，而可以由包含賦予 p 型的雜質元素的非晶矽膜形成。使用包含屬於週期表中的第 13 族的雜質元素（例如，硼（B））的半導體材料氣體藉由電漿 CVD 法形成第一半導體層 606a。作為半導體材料氣體，可以使用矽烷（ SiH_4 ）。替代地，可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 或 SiF_4 等。進一步替代地，可以使用如下方法：在形成不包含雜質元素的非晶矽膜之後，使用擴散方法或離子植入方法將雜質元素引入到該非晶矽膜。最好在使用離子植入方法等引入雜質元素之後進行加熱等來使雜質元素擴散。在此情況下，作為形成非晶矽膜的方法，可以使用 LPCVD 方法、氣相沉積方法或濺射方法等。最好將第一半導體層 606a 的厚度設定為 10nm 以上且 50nm 以下。

第二半導體層 606b 是 i 型半導體層（本徵半導體層），而可以由非晶矽膜形成。為了形成第二半導體層 606b，藉由電漿 CVD 法，使用半導體材料氣體形成非晶矽膜。作為半導體材料氣體，可以使用矽烷（ SiH_4 ）。替代地，可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 或 SiF_4 等。也可以藉由 LPCVD 法、氣相沉積法、濺射法等形成

第二半導體層 606b。最好將第二半導體層 606b 的厚度設定為 200nm 以上且 1000nm 以下。

第三半導體層 606c 是 n 型半導體層，而可以由包含賦予 n 型的雜質元素的非晶矽膜形成。使用包含屬於週期表中的第 15 族的雜質元素（例如，磷（P））的半導體材料氣體藉由電漿 CVD 法形成第三半導體層 606c。作為半導體材料氣體，可以使用矽烷（ SiH_4 ）。替代地，可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 或 SiF_4 等。進一步替代地，可以使用如下方法：在形成不包含雜質元素的非晶矽膜之後，使用擴散方法或離子植入方法將雜質元素引入到該非晶矽膜。最好在使用離子植入方法等引入雜質元素之後進行加熱等來使雜質元素擴散。在此情況下，作為形成非晶矽膜的方法，可以使用 LPCVD 方法、氣相沉積方法或濺射方法等。最好將第三半導體層 606c 的厚度設定為 20nm 以上且 200nm 以下。

此外，第一半導體層 606a、第二半導體層 606b 以及第三半導體層 606c 可以不使用非晶半導體形成，而使用多晶半導體或微晶半導體（Semi Amorphous Semiconductor：SAS）形成。

在考慮吉布斯自由能時，微晶半導體屬於介於非晶和單晶之間的中間亞穩態。即，微晶半導體處於熱力學上穩定的第三態，且具有短程有序和晶格畸變。此外，柱狀或針狀晶體在相對於基板表面的法線方向上生長。作為微晶半導體的典型例子的微晶矽，其拉曼光譜向表示單晶矽的

520cm^{-1} 的低波數一側偏移。亦即，微晶矽的拉曼光譜的峰值位於表示單晶矽的 520cm^{-1} 和表示非晶矽的 480cm^{-1} 之間。另外，包含至少 1at.% 或其以上的氫或鹵素，以終結懸空鍵。還有，藉由包含氮、氟、氯、氬等的稀有氣體元素來進一步促進晶格畸變，提高穩定性而得到優良的微晶半導體膜。

該微晶半導體膜可以藉由頻率為幾十 MHz 至幾百 MHz 的高頻電漿 CVD 法或頻率為 1GHz 以上的微波電漿 CVD 設備形成。典型地，可使用用氫稀釋的 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 或 SiF_4 等形成該微晶半導體膜。此外，除了氫化矽和氫之外，還可以使用選自氮、氟、氯、氬中的一種或多種稀有氣體元素進行稀釋來形成微晶半導體膜。在上述情況下，將氫的流量比設定為氫化矽的 5 倍以上且 200 倍以下，最好設定為 50 倍以上且 150 倍以下，更佳的是設定為 100 倍。再者，也可以在含矽的氣體中混入 CH_4 、 C_2H_6 等的碳化物氣體、 GeH_4 、 GeF_4 等的鍺化氣體、 F_2 等。

此外，由於光電效應生成的電洞的遷移率低於電子的遷移率，因此當 p 型半導體層側上的表面用作光接收面時，pin 光電二極體具有較好的特性。這裏示出將光電二極體 602 從形成有 pin 型的光電二極體的基板 601 的面接收的光 622 轉換為電信號的例子。此外，來自其導電型與用作光接收面的半導體層一側相反的半導體層一側的光是干擾光，因此，電極層 642 最好由具有遮光性的導電膜形

成。注意，替代地，可以使用 n 型半導體層側的表面作為光接收面。

作為第一層間絕緣層 633、第二層間絕緣層 634，最好採用用作減少表面凹凸的平坦化絕緣膜的絕緣層。作為第一層間絕緣層 633、第二層間絕緣層 634，例如可以使用聚醯亞胺、丙烯酸樹脂、苯並環丁烯類樹脂、聚醯胺或環氧樹脂等的有機絕緣材料。除了上述有機絕緣材料之外，還可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等的單層或疊層。

可以使用絕緣材料，且根據該材料使用濺射法、旋塗法、浸漬法、噴塗法、液滴噴出法（噴墨法）、絲網印刷、膠版印刷等、輥塗法、簾塗法、刮刀塗佈法等來形成絕緣膜 631、第一層間絕緣層 633、第二層間絕緣層 634。

藉由檢測入射到光電二極體 602 的光 622，可以讀取檢測物件的資訊。另外，在讀取檢測物件的資訊時，可以使用背光燈等的光源。

作為電晶體 640，可以使用實施例模式 1 至實施例模式 3 所示的電晶體。包含如下氧化物半導體膜的電晶體的電特性變動得到抑制而在電方面穩定，該氧化物半導體膜是藉由意圖性地去除氫、水分、羥基或氫化物（也稱為氫化合物）等雜質而被高純度化並藉由氧摻雜處理含有過剩的氧的氧化物半導體膜。因此，可以提供高可靠性的半導

體裝置。

以上，本實施例模式所示的結構、方法等可以與其他實施例模式所示的結構、方法等適當地組合使用。

實施例模式 8

可將本說明書中公開的半導體裝置應用於多種電子設備（包括遊戲機）。作為電子設備，例如可以舉出電視裝置（也稱為電視或電視接收機）、用於電腦等的監視器、數位相機、數碼攝像機等影像拍攝裝置、數碼相框、行動電話機（也稱為手機、行動電話裝置）、可攜式遊戲機、移動資訊終端、聲音再現裝置、彈子機等大型遊戲機等。以下，對具備在上述其他實施例模式中說明的液晶顯示裝置的電子設備的例子進行說明。

圖 13A 示出電子書閱讀器（也稱為 E-book），可以具有框體 9630、顯示部 9631、操作鍵 9632、太陽能電池 9633 以及充放電控制電路 9634。圖 13A 所示的電子書閱讀器可以具有如下功能：顯示各種各樣的資訊（靜態圖像、動態圖像、文字圖像等）；將日曆、日期或時刻等顯示在顯示部上；對顯示在顯示部上的資訊進行操作或編輯；藉由各種各樣的軟體（程式）控制處理等。另外，在圖 13A 中，作為充放電控制電路 9634 的一例，示出具有電池 9635 和 DCDC 轉換器（以下簡稱為轉換器）9636 的結構。藉由將之前的實施例模式所示的半導體裝置應用於顯示部 9631，可以提供高可靠性電子書閱讀器。

藉由採用圖 13A 所示的結構，當將半透過型液晶顯示裝置或反射型液晶顯示裝置用於顯示部 9631 時，可以預料電子書閱讀器在較明亮的情況下也被使用，所以可以高效地進行利用太陽能電池 9633 的發電以及利用電池 9635 的充電，所以是較佳的。另外，太陽能電池 9633 是較佳的，因為它可以適當地設置在框體 9630 的空餘空間（表面或背面）而高效地進行電池 9635 的充電。另外，當作爲電池 9635 使用鋰離子電池時，有可以謀求實現小型化等的優點。

此外，參照圖 13B 所示的方方塊圖而說明圖 13A 所示的充放電控制電路 9634 的結構及工作。圖 13B 示出太陽能電池 9633、電池 9635、轉換器 9636、轉換器 9637、開關 SW1 至開關 SW3、顯示部 9631，並且，電池 9635、轉換器 9636、轉換器 9637、開關 SW1 至開關 SW3 相當於充放電控制電路 9634。

首先，說明在利用外光使太陽能電池 9633 發電時的工作的實例。利用轉換器 9636 對太陽能電池所發的電力進行升壓或降壓，以得到用來對電池 9635 進行充電的電壓。並且，當利用來自太陽能電池 9633 的電力使顯示部 9631 工作時使開關 SW1 導通，並且，利用轉換器 9637 將其升壓或降壓到顯示部 9631 所需要的電壓。此外，當不進行顯示部 9631 上的顯示時，使 SW1 截止並使 SW2 導通，以對電池 9635 進行充電，即可。

接著，說明在不利用外光使太陽能電池 9633 發電時

的工作的實例。藉由使 SW3 導通並且利用轉換器 9637 對電池 9635 所蓄的電力進行升壓或降壓。並且，當使顯示部 9631 工作時，利用來自電池 9635 的電力。

注意，雖然作為充電方法的一例而示出太陽能電池 9633，但是也可以利用其他方法對電池 9635 進行充電。此外，也可以組合其他充電方法進行充電。

圖 14A 示出筆記本個人電腦，由主體 3001、框體 3002、顯示部 3003 以及鍵盤 3004 等構成。藉由將之前的實施例模式所示的半導體裝置應用於顯示部 3003，可以提供高可靠性筆記本個人電腦。

圖 14B 示出可攜式資訊終端（PDA），在主體 3021 中設置有顯示部 3023、外部介面 3025 以及操作按鈕 3024 等。另外，還具備操作可攜式資訊終端的觸屏筆 3022。藉由將之前的實施例模式所示的半導體裝置應用於顯示部 3023，可以提供高可靠性可攜式資訊終端（PDA）。

圖 14C 示出電子書閱讀器的一個例子。例如，電子書閱讀器 2700 由兩個框體，即框體 2701 及框體 2703 構成。框體 2701 及框體 2703 由軸部 2711 形成為一體，且可以以該軸部 2711 為軸進行開閉工作。藉由採用這種結構，可以進行如紙的書籍那樣的工作。

框體 2701 組裝有顯示部 2705，而框體 2703 組裝有顯示部 2707。顯示部 2705 及顯示部 2707 的結構既可以是顯示連屏畫面的結構，又可以是顯示不同的畫面的結構。藉由採用顯示不同的畫面的結構，例如在右邊的顯示

部（圖 14C 中的顯示部 2705）中可以顯示文章，而在左邊的顯示部（圖 14C 中的顯示部 2707）中可以顯示圖像。藉由將之前的實施例模式所示的半導體裝置應用於顯示部 2705 和顯示部 2707，可以提供高可靠性電子書閱讀器 2700。

此外，在圖 14C 中示出框體 2701 具備操作部等的例子。例如，在框體 2701 中具備電源開關 2721、操作鍵 2723、揚聲器 2725 等。利用操作鍵 2723 可以翻頁。注意，在與框體的顯示部相同的平面上可以設置鍵盤、定位裝置等。另外，也可以採用在框體的背面或側面具備外部連接端子（耳機端子、USB 端子等）、記錄媒體插入部等的結構。再者，電子書閱讀器 2700 也可以具有電子詞典的功能。

此外，電子書閱讀器 2700 也可以採用能夠以無線的方式收發資訊的結構。還可以採用以無線的方式從電子書閱讀器伺服器購買所希望的書籍資料等，然後下載的結構。

圖 14D 示出行動電話，由框體 2800 及框體 2801 的兩個框體構成。框體 2801 具備顯示面板 2802、揚聲器 2803、麥克風 2804、定位裝置 2806、影像拍攝用透鏡 2807、外部連接端子 2808 等。此外，框體 2800 具備對行動電話進行充電的太陽能電池單元 2810、外部儲存槽 2811 等。另外，在框體 2801 內組裝有天線。藉由將之前的實施例模式所示的半導體裝置應用於顯示面板 2802，

可以提供高可靠性行動電話。

另外，顯示面板 2802 具備觸摸屏，圖 14D 使用虛線示出作為映射而被顯示出來的多個操作鍵 2805。另外，還安裝有用來將由太陽能電池單元 2810 輸出的電壓升壓到各電路所需的電壓的升壓電路。

顯示面板 2802 根據使用方式適當地改變顯示的方向。另外，由於在與顯示面板 2802 同一面上設置影像拍攝用透鏡 2807，所以可以實現可視電話。揚聲器 2803 及麥克風 2804 不侷限於音頻通話，還可以進行可視通話、錄音、再生等。再者，滑動框體 2800 和框體 2801 而可以處於如圖 14D 那樣的展開狀態和重疊狀態，所以可以實現適於攜帶的小型化。

外部連接端子 2808 可以與 AC 適配器及各種電纜如 USB 電纜等連接，並可以進行充電及與個人電腦等的資料通訊。另外，藉由將記錄媒體插入外部儲存槽 2811 中，可以對應於更大量資料的保存及移動。

另外，也可以是除了上述功能以外還具有紅外線通信功能、電視接收功能等的行動電話。

圖 14E 示出數碼攝像機，其由主體 3051、顯示部 A 3057、取景器 3053、操作開關 3054、顯示部 B 3055 以及電池 3056 等構成。藉由將之前的實施例模式所示的半導體裝置應用於顯示部 A 3057 及顯示部 B 3055，可以提供高可靠性數碼攝像機。

圖 14F 示出電視裝置的一例。在電視裝置 9600 中，

框體 9601 組裝有顯示部 9603。利用顯示部 9603 可以顯示映射。此外，在此示出利用支架 9605 支撐框體 9601 的結構。藉由將之前的實施例模式所示的半導體裝置應用於顯示部 9603，可以提供高可靠性電視裝置 9600。

可以藉由利用框體 9601 所具備的操作開關或另行提供的遙控操作機進行電視裝置 9600 的操作。或者，也可以採用在遙控操作機中設置顯示部的結構，該顯示部顯示從該遙控操作機輸出的資訊。

另外，電視裝置 9600 採用具備接收機、數據機等的結構。可以藉由利用接收機接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，從而也可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間或在接收者之間等）的資訊通信。

以上，本實施例模式所示的結構、方法等可以與其他實施例模式所示的結構、方法等適當地組合使用。

【符號說明】

10：電漿裝置

11：基板供給室

12：裝載閉鎖室

13：傳送室

14：盒式介面

15：真空處理室

16：ICP 線圈

- 17：氣體流道
- 18：第一高頻電源
- 19：基板工作臺
- 20：被處理基板
- 21：第二高頻電源
- 22：自動壓力控制閥
- 23：渦輪分子泵
- 24：乾燥泵
- 100：基板
- 102：絕緣膜
- 102a：絕緣膜
- 102b：絕緣膜
- 103a：掩模
- 103b：掩模
- 104a：源電極
- 104b：漏電極
- 106：氧化物半導體膜
- 108：氧化物半導體膜
- 110：閘極絕緣膜
- 110a：閘極絕緣膜
- 110b：閘極絕緣膜
- 112：閘極電極
- 112a：閘極電極
- 112b：電極

114：絕緣膜

120：電晶體

130：電晶體

140：電晶體

150：電晶體

151：絕緣膜

152：絕緣膜

154：電極

156：佈線

160：電晶體

164：電容元件

180：氧

180a：氧

180b：氧

180c：氧

200：基板

206：元件分離絕緣膜

208：閘極絕緣膜

210：閘極電極

216：通道形成區

220：雜質區域

224：金屬化合物區域

228：絕緣膜

230：絕緣膜

240：電晶體
 601：基板
 602：光電二極體
 606a：半導體層
 606b：半導體層
 606c：半導體層
 608：黏合層
 613：基板
 622：光
 631：絕緣膜
 633：層間絕緣層
 634：層間絕緣層
 640：電晶體
 641：電極層
 642：電極層
 643：導電層
 645：閘極電極
 656：電晶體
 658：光電二極體重設信號線
 659：閘極信號線
 671：光電感測器輸出信號線
 672：光電感測器參考信號線
 2700：電子書閱讀器
 2701：框體

2703：框體

2705：顯示部

2707：顯示部

2711：軸部

2721：電源開關

2723：操作鍵

2725：揚聲器

2800：框體

2801：框體

2802：顯示面板

2803：揚聲器

2804：麥克風

2805：操作鍵

2806：定位裝置

2807：影像拍攝用透鏡

2808：外部連接端子

2810：太陽能電池單元

2811：外部儲存槽

3001：主體

3002：框體

3003：顯示部

3004：鍵盤

3021：主體

3022：觸屏筆

3023：顯示部
3024：操作鍵
3025：外部介面
3051：主體
3053：取景器
3054：操作開關
3055：顯示部(B)
3056：電池
3057：顯示部(A)
4001：基板
4002：像素部
4003：信號線驅動電路
4004：掃描線驅動電路
4005：密封材料
4006：基板
4008：液晶層
4010：電晶體
4011：電晶體
4013：液晶元件
4015：連接端子電極
4016：端子電極
4018：FPC
4018a：FPC
4018b：FPC

4019：各向異性導電膜

4021：絕緣層

4030：電極層

4031：電極層

4032：絕緣膜

4033：絕緣膜

4510：分隔壁

4511：電致發光層

4513：發光元件

4514：填充材料

4612：空洞

4613：球形粒子

4614：填充材料

4615a：黑色區域

4615b：白色區域

9600：電視裝置

9601：框體

9603：顯示部

9605：支架

9630：框體

9631：顯示部

9632：操作鍵

9633：太陽能電池

9634：充放電控制電路

9635：電池

9636：轉換器

9637：轉換器

申請專利範圍

1.一種半導體裝置的製造方法，包含：

形成金屬氧化物膜；

在該金屬氧化物膜上形成包含通道形成區的氧化物半導體膜，該氧化物半導體膜包含氧和金屬元素，該金屬元素包括銦；以及

在該金屬氧化物膜上進行氧摻雜處理，以降低關連於銦和氧間的鍵結的氧空位量，

其中該金屬氧化物膜包含氧和與該氧化物半導體膜的金屬元素相同的金屬元素。

2.一種半導體裝置的製造方法，包含：

形成金屬氧化物膜；

在該金屬氧化物膜上形成包含通道形成區的氧化物半導體膜，該氧化物半導體膜包含氧和金屬元素，該金屬元素包括銦；以及

在該氧化物半導體膜上進行氧摻雜處理，以降低關連於銦和氧間的鍵結的氧空位量，

其中該金屬氧化物膜包含氧和與該氧化物半導體膜的金屬元素相同的金屬元素。

3.一種半導體裝置的製造方法，包含：

形成包含通道形成區的氧化物半導體膜，該氧化物半導體膜包含氧和金屬元素，該金屬元素包括銦；

在該氧化物半導體膜上形成金屬氧化物膜；以及

在該金屬氧化物膜上進行氧摻雜處理，以降低關連於

銦和氧間的鍵結的氧空位量，

其中該金屬氧化物膜包含氧和與該氧化物半導體膜的金屬元素相同的金屬元素。

4.一種半導體裝置的製造方法，包含：

形成金屬氧化物膜；

在該金屬氧化物膜上形成包含通道形成區的氧化物半導體膜，該氧化物半導體膜包含氧和金屬元素，該金屬元素包括銦；以及

在該金屬氧化物膜上進行氧摻雜處理，以降低關連於銦和氧間的鍵結的氧空位量，

其中該金屬氧化物膜包含氧和該氧化物半導體膜的金屬元素中至少一個金屬元素。

5.一種半導體裝置的製造方法，包含：

形成金屬氧化物膜；

在該金屬氧化物膜上形成包含通道形成區的氧化物半導體膜，該氧化物半導體膜包含氧和金屬元素，該金屬元素包括銦；以及

在該氧化物半導體膜上進行氧摻雜處理，以降低關連於銦和氧間的鍵結的氧空位量，

其中該金屬氧化物膜包含氧和該氧化物半導體膜的金屬元素中至少一個金屬元素。

6.如申請專利範圍第 2 或 5 項的半導體裝置的製造方法，更包含：

對該氧化物半導體膜加熱，以降低關連於銦和氧間的

鍵結的氧空位量。

7.一種半導體裝置的製造方法，包含：

形成包含通道形成區的氧化物半導體膜，該氧化物半導體膜包含氧和金屬元素，該金屬元素包括銦；

在該氧化物半導體膜上形成金屬氧化物膜；以及

在該金屬氧化物膜上進行氧摻雜處理，以降低關連於銦和氧間的鍵結的氧空位量，

其中該金屬氧化物膜包含氧和該氧化物半導體膜的金屬元素中至少一個金屬元素。

8.如申請專利範圍第 1 至 5 和 7 項中任一項的半導體裝置的製造方法，其中該金屬氧化物膜是絕緣的。

9.如申請專利範圍第 1 至 5 和 7 項中任一項的半導體裝置的製造方法，更包含：

在該氧化物半導體膜上形成閘極電極。

10.如申請專利範圍第 1 至 5 和 7 項中任一項的半導體裝置的製造方法，其中該金屬氧化物膜包含銻和氧。

11.如申請專利範圍第 1 至 5 和 7 項中任一項的半導體裝置的製造方法，其中該金屬氧化物膜的至少一部份包含氧的濃度高於化學計量比，以降低關連於銦和氧間的鍵結的氧空位量。

12.如申請專利範圍第 1 至 5 和 7 項中任一項的半導體裝置的製造方法，其中該氧化物半導體膜的至少一部份包含氧的濃度高於化學計量比，以降低關連於銦和氧間的鍵結的氧空位量。

13.如申請專利範圍第 1、3、4、和 7 項中任一項的半導體裝置的製造方法，更包含：

對該金屬氧化物膜加熱，以降低關連於銦和氧間的鍵結的氧空位量。

14.一種用以決定是否已進行氧摻雜處理的方法，包含：

測量氧化物半導體膜的第一區的第一濃度，其中在該第一區上未進行氧摻雜處理；

測量氧化物半導體膜的第二區的第二濃度；以及

藉由比較該第一濃度和該第二濃度以決定在該第二區是否已進行氧摻雜處理，

其中該第一濃度和該第二濃度各個為 ^{17}O 和 ^{18}O 之一的濃度。

15.如申請專利範圍第 14 項的用以決定是否已進行氧摻雜處理的方法，其中該第一濃度和該第二濃度各個由二次離子質譜所測量。

16.一種半導體裝置，包含：

包含通道形成區的氧化物半導體層，該氧化物半導體層包含氧和金屬元素，該金屬元素包括銦；

在該氧化物半導體層上且與之接觸的金屬氧化物層；

在該金屬氧化物層上包含矽和氧的絕緣層；以及

接近該氧化物半導體層的閘極電極，

其中該金屬氧化物層包含氧和與該氧化物半導體層的金屬元素相同的金屬元素，以及

其中該金屬氧化物層降低關連於銦和氧間的鍵結的氧空位量。

17.一種半導體裝置，包含：

包含通道形成區的氧化物半導體層，該氧化物半導體層包含氧、銦、鋅、和鎵；

在該氧化物半導體層上且與之接觸的金屬氧化物層；

在該金屬氧化物層上包含矽和氧的絕緣層；以及

接近該氧化物半導體層的閘極電極，

其中該金屬氧化物層包含氧、銦、鋅、和鎵，以及

其中該金屬氧化物層降低關連於銦和氧間的鍵結的氧空位量。

18.一種半導體裝置，包含：

包含通道形成區的氧化物半導體層，該氧化物半導體層包含氧和金屬元素，該金屬元素包括銦；

在該氧化物半導體層上且與之接觸的金屬氧化物層；

在該金屬氧化物層上包含矽和氧的絕緣層；以及

接近該氧化物半導體層的閘極電極，

其中該金屬氧化物層包含氧和該氧化物半導體層的金屬元素中至少一個金屬元素，以及

其中該金屬氧化物層降低關連於銦和氧間的鍵結的氧空位量。

19.一種半導體裝置，包含：

包含通道形成區的氧化物半導體層，該氧化物半導體層包含氧和金屬元素，該金屬元素包括銦；

在該氧化物半導體層上且與之接觸的金屬氧化物層；
 在該金屬氧化物層上包含矽和氧的絕緣層；以及
 接近該氧化物半導體層的閘極電極，
 其中該金屬氧化物層包含氧和鎵，以及
 其中該金屬氧化物層降低關連於銦和氧間的鍵結的氧空位量。

20.一種半導體裝置，包含：

包含通道形成區的氧化物半導體層，該氧化物半導體層包含氧和金屬元素，該金屬元素包括銦；

在該氧化物半導體層上且與之接觸的金屬氧化物層；
 在該金屬氧化物層上包含矽和氧的絕緣層；以及
 接近該氧化物半導體層的閘極電極，

其中該金屬氧化物層包含氧和與該氧化物半導體層的金屬元素相同的金屬元素，以及

其中該氧化物半導體層包含過多的氧以降低關連於銦和氧間的鍵結的氧空位量。

21.一種半導體裝置，包含：

包含通道形成區的氧化物半導體層，該氧化物半導體層包含氧、銦、鋅、和鎵；

在該氧化物半導體層上且與之接觸的金屬氧化物層；
 在該金屬氧化物層上包含矽和氧的絕緣層；以及
 接近該氧化物半導體層的閘極電極，

其中該金屬氧化物層包含氧、銦、鋅、和鎵，以及

其中該氧化物半導體層包含過多的氧以降低關連於銦

和氧間的鍵結的氧空位量。

22.一種半導體裝置，包含：

包含通道形成區的氧化物半導體層，該氧化物半導體層包含氧和金屬元素，該金屬元素包括銦；

在該氧化物半導體層上且與之接觸的金屬氧化物層；

在該金屬氧化物層上包含矽和氧的絕緣層；以及

接近該氧化物半導體層的閘極電極，

其中該金屬氧化物層包含氧和該氧化物半導體層的金屬元素中的至少一個金屬元素，以及

其中該氧化物半導體層包含過多的氧以降低關連於銦和氧間的鍵結的氧空位量。

23.一種半導體裝置，包含：

包含通道形成區的氧化物半導體層，該氧化物半導體層包含氧和金屬元素，該金屬元素包括銦；

在該氧化物半導體層上且與之接觸的金屬氧化物層；

在該金屬氧化物層上包含矽和氧的絕緣層；以及

接近該氧化物半導體層的閘極電極，

其中該金屬氧化物層包含氧和銻，以及

其中該氧化物半導體層包含過多的氧以降低關連於銦和氧間的鍵結的氧空位量。

24.一種半導體裝置，包含：

金屬氧化物層；

在該金屬氧化物層上且與之接觸的包含通道形成區的氧化物半導體層，該氧化物半導體層包含氧和金屬元素，

該金屬元素包括銦；以及

接近該氧化物半導體層的閘極電極，

其中該金屬氧化物層包含氧和與該氧化物半導體層的金屬元素相同的金屬元素，以及

其中該金屬氧化物層降低關連於銦和氧間的鍵結的氧空位量。

25.一種半導體裝置，包含：

金屬氧化物層；

在該金屬氧化物層上且與之接觸的包含通道形成區的氧化物半導體層，該氧化物半導體層包含氧、銦、鋅、和鎵；以及

接近該氧化物半導體層的閘極電極，

其中該金屬氧化物層包含氧、銦、鋅、和鎵，以及

其中該金屬氧化物層降低關連於銦和氧間的鍵結的氧空位量。

26.一種半導體裝置，包含：

金屬氧化物層；

在該金屬氧化物層上且與之接觸的包含通道形成區的氧化物半導體層，該氧化物半導體層包含氧和金屬元素，該金屬元素包括銦；以及

接近該氧化物半導體層的閘極電極，

其中該金屬氧化物層包含氧和該氧化物半導體層的金屬元素中的至少一個金屬元素，以及

其中該金屬氧化物層降低關連於銦和氧間的鍵結的氧

空位量。

27.一種半導體裝置，包含：

金屬氧化物層；

在該金屬氧化物層上且與之接觸的包含通道形成區的氧化物半導體層，該氧化物半導體層包含氧和金屬元素，該金屬元素包括銦；以及

接近該氧化物半導體層的閘極電極，

其中該金屬氧化物層包含氧和鎵，以及

其中該金屬氧化物層降低關連於銦和氧間的鍵結的氧空位量。

28.一種半導體裝置，包含：

金屬氧化物層；

在該金屬氧化物層上且與之接觸的包含通道形成區的氧化物半導體層，該氧化物半導體層包含氧和金屬元素，該金屬元素包括銦；以及

接近該氧化物半導體層的閘極電極，

其中該金屬氧化物層包含氧和與該氧化物半導體層的金屬元素相同的金屬元素，以及

其中該氧化物半導體層包含過多的氧以降低關連於銦和氧間的鍵結的氧空位量。

29.一種半導體裝置，包含：

金屬氧化物層；

在該金屬氧化物層上且與之接觸的包含通道形成區的氧化物半導體層，該氧化物半導體層包含氧、銦、鋅、和

錄；以及

接近該氧化物半導體層的閘極電極，

其中該金屬氧化物層包含氧、銦、鋅、和鎵，以及

其中該氧化物半導體層包含過多的氧以降低關連於銦和氧間的鍵結的氧空位量。

30.一種半導體裝置，包含：

金屬氧化物層；

在該金屬氧化物層上且與之接觸的包含通道形成區的氧化物半導體層，該氧化物半導體層包含氧和金屬元素，該金屬元素包括銦；以及

接近該氧化物半導體層的閘極電極，

其中該金屬氧化物層包含氧和該氧化物半導體層的金屬元素中的至少一個金屬元素，以及

其中該氧化物半導體層包含過多的氧以降低關連於銦和氧間的鍵結的氧空位量。

31.如申請專利範圍第 16、18、20、22、24、26、28、和 30 項中任一項的半導體裝置，其中該金屬氧化物層包含鎵和氧。

32.一種半導體裝置，包含：

金屬氧化物層；

在該金屬氧化物層上且與之接觸的包含通道形成區的氧化物半導體層，該氧化物半導體層包含氧和金屬元素，該金屬元素包括銦；以及

接近該氧化物半導體層的閘極電極，

其中該金屬氧化物層包含氧和鎵，以及

其中該氧化物半導體層包含過多的氧以降低關連於銦和氧間的鍵結的氧空位量。

33.如申請專利範圍第 16 至 30、和 32 項中任一項的半導體裝置，其中該金屬氧化物層是絕緣的。

34.如申請專利範圍第 16 至 30、和 32 項中任一項的半導體裝置，其中該閘極電極位在該氧化物半導體層上。

35.如申請專利範圍第 16 至 30、和 32 項中任一項的半導體裝置，其中該金屬氧化物層的至少一部份包含氧的濃度高於化學計量比，以降低關連於銦和氧間的鍵結的氧空位量。

36.如申請專利範圍第 16 至 30、和 32 項中任一項的半導體裝置，其中該氧化物半導體層的至少一部份包含氧的濃度高於化學計量比，以降低關連於銦和氧間的鍵結的氧空位量。

圖式

圖 1A

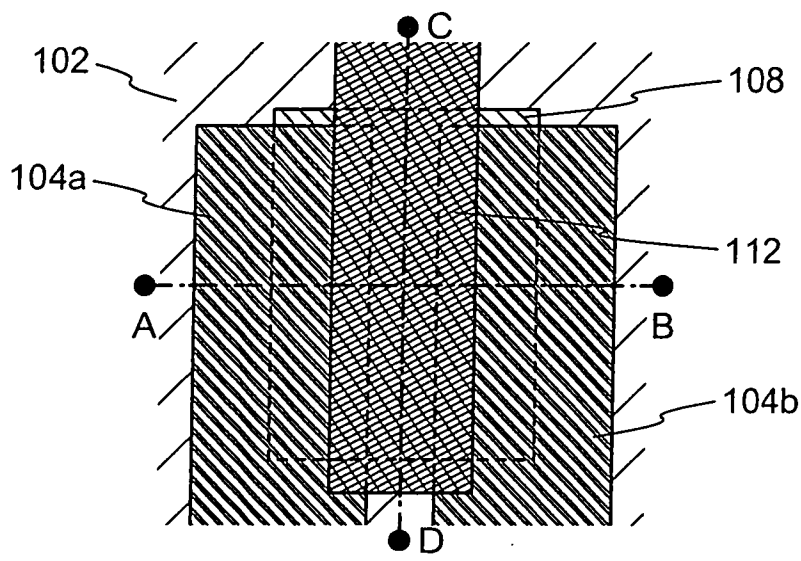


圖 1B

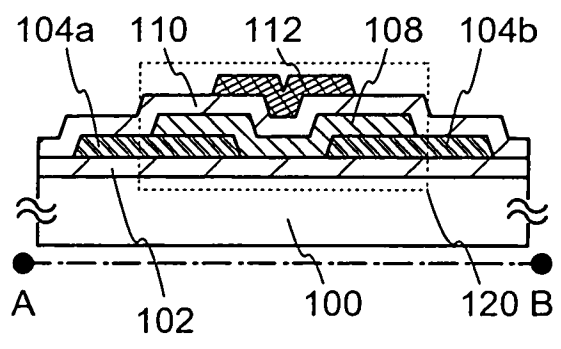


圖 1C

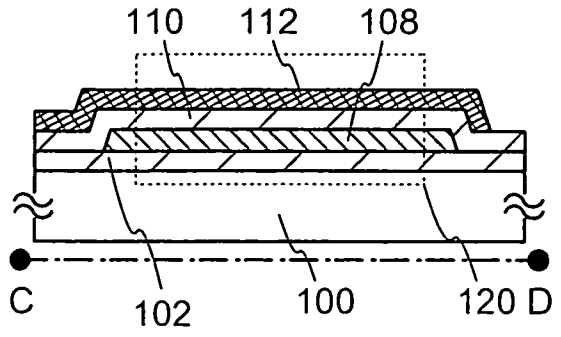


圖 2A

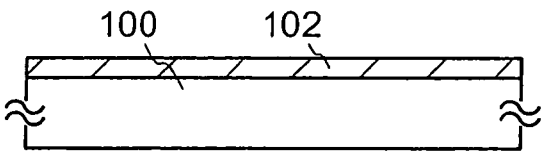


圖 2B

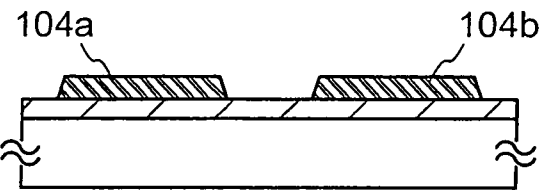


圖 2C

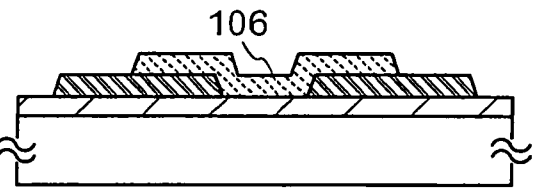


圖 2D

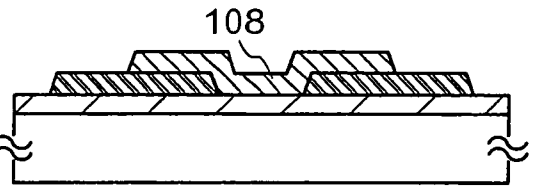


圖 2E

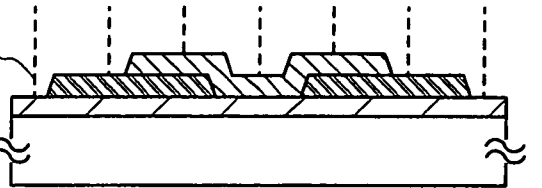


圖 2F

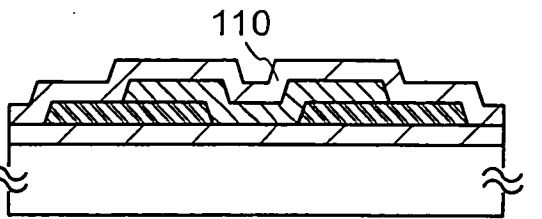


圖 2G

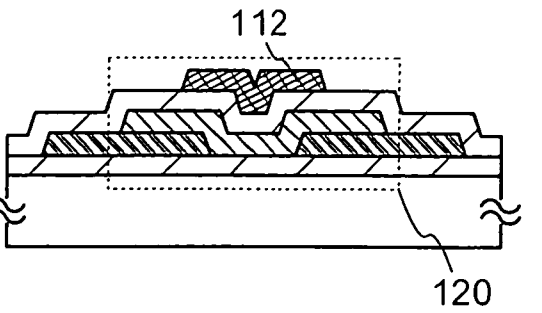


圖 3A

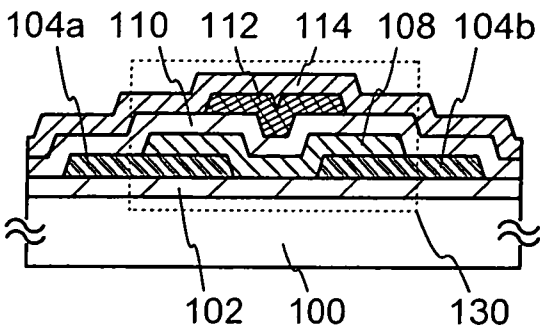


圖 3B

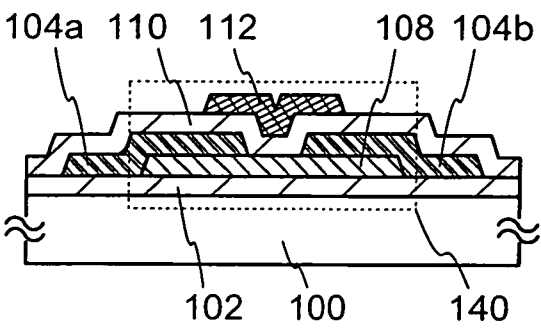


圖 3C

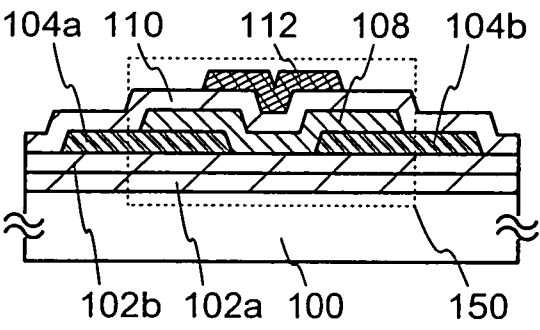


圖 3D

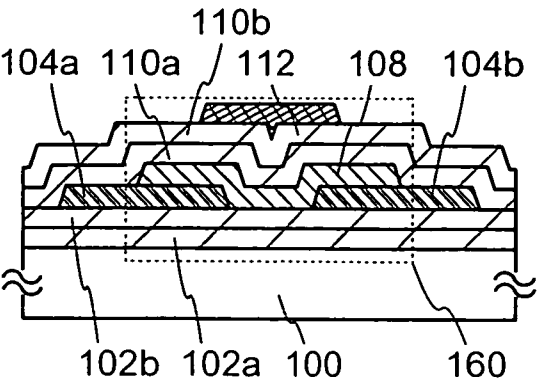


圖 4A

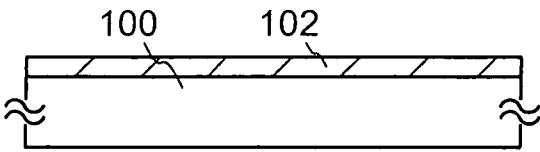


圖 4B

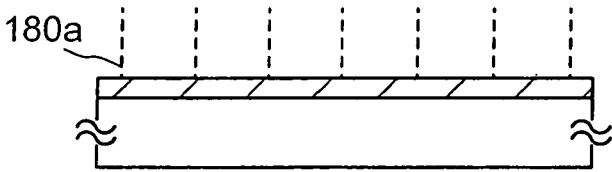


圖 4C

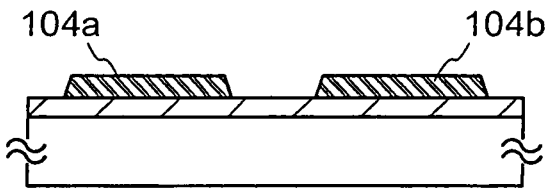


圖 4D

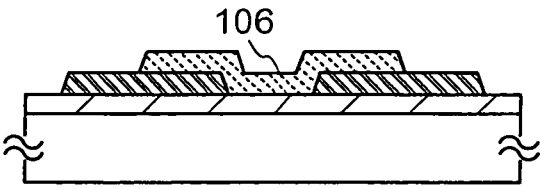


圖 4E

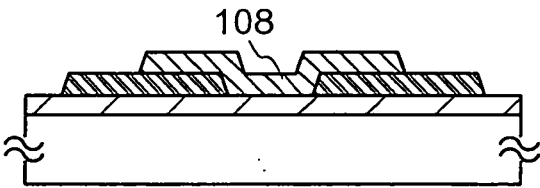


圖 4F

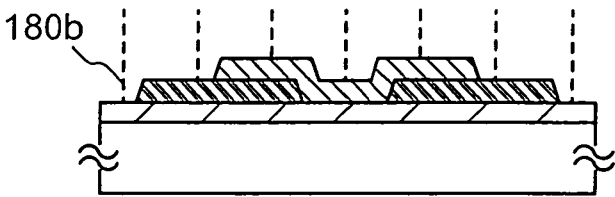


圖 5A

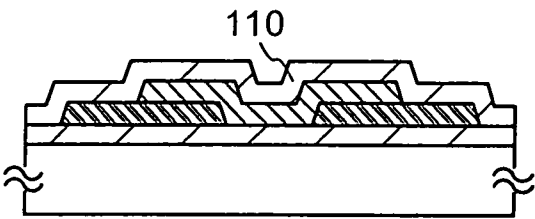


圖 5B

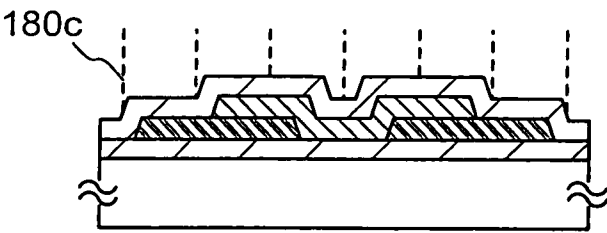


圖 5C

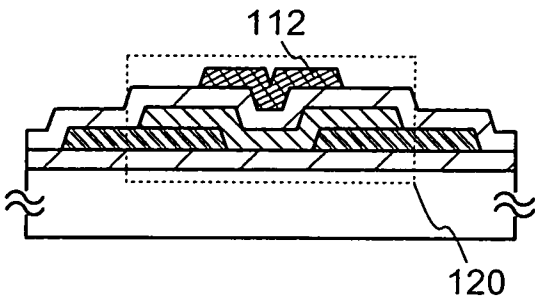


圖 6A

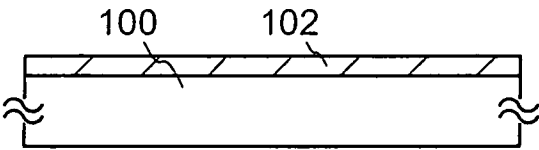


圖 6B

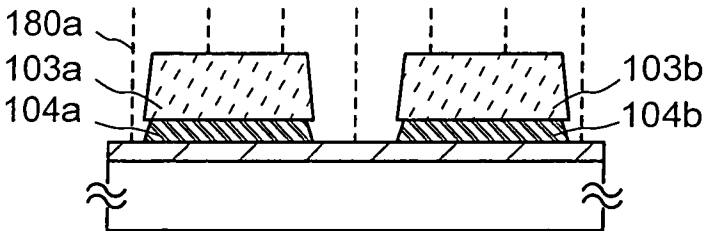


圖 6C

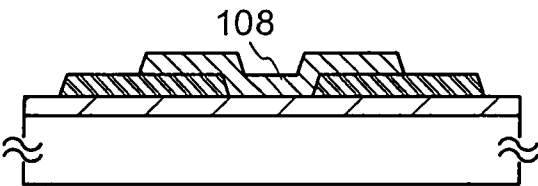


圖 6D

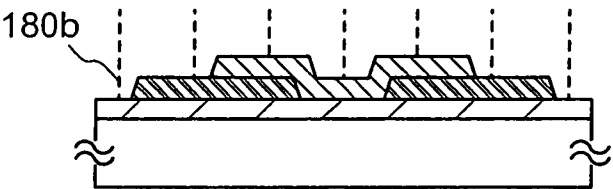


圖 6E

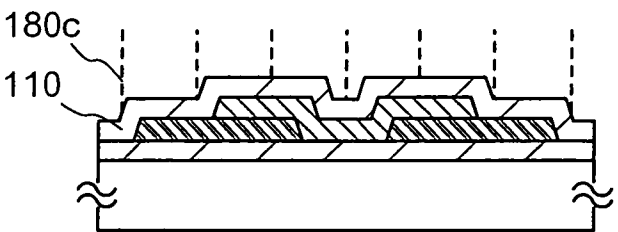
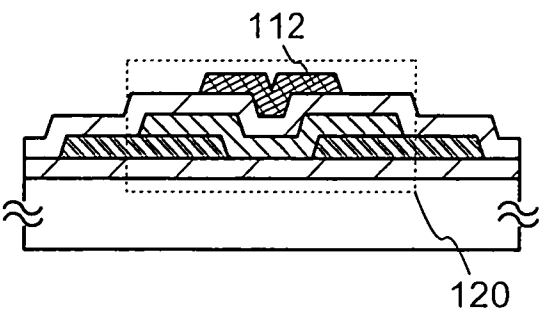


圖 6F



The diagram shows a pixel circuit with five horizontal lines: 5th Line, 4th Line, 3rd Line, 2nd Line, and 1st Line. A central vertical line connects to a floating gate (FG) and an output switch (OS). The circuit is labeled with 164, 120, and 240.

圖 8A

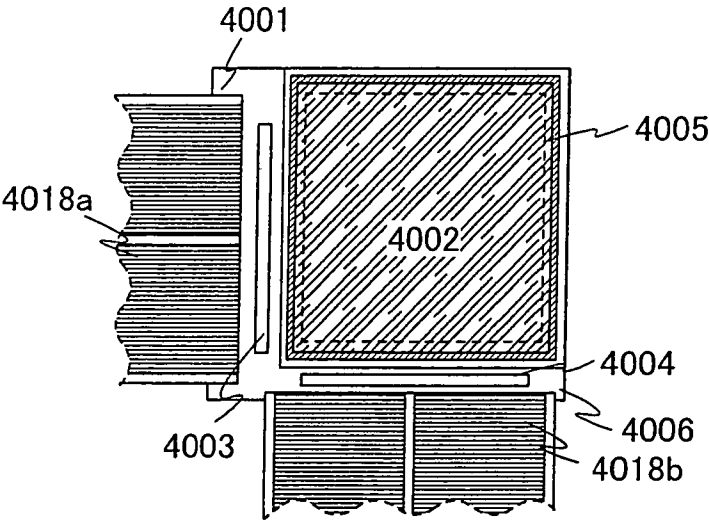


圖 8B

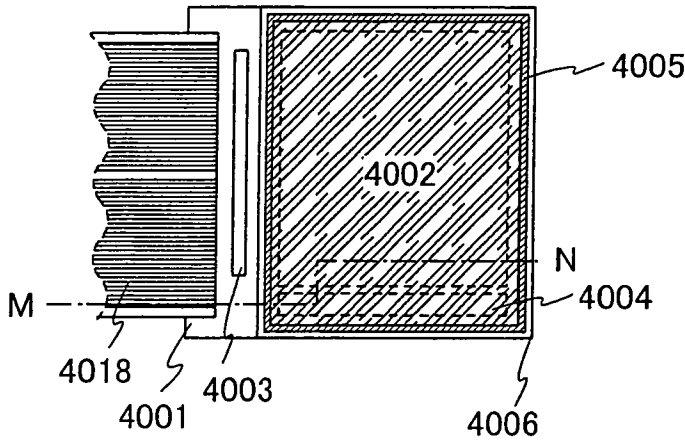


圖 8C

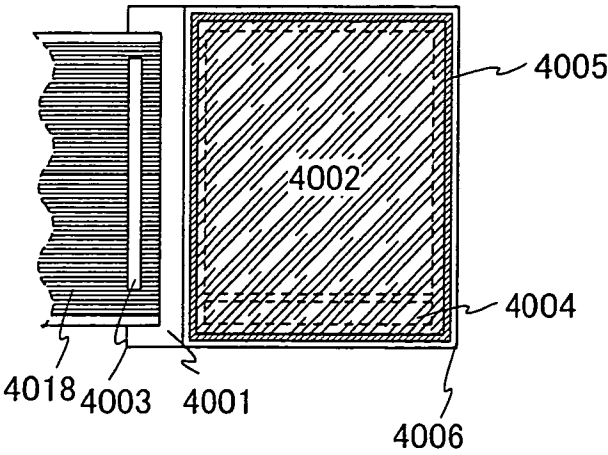


圖 9

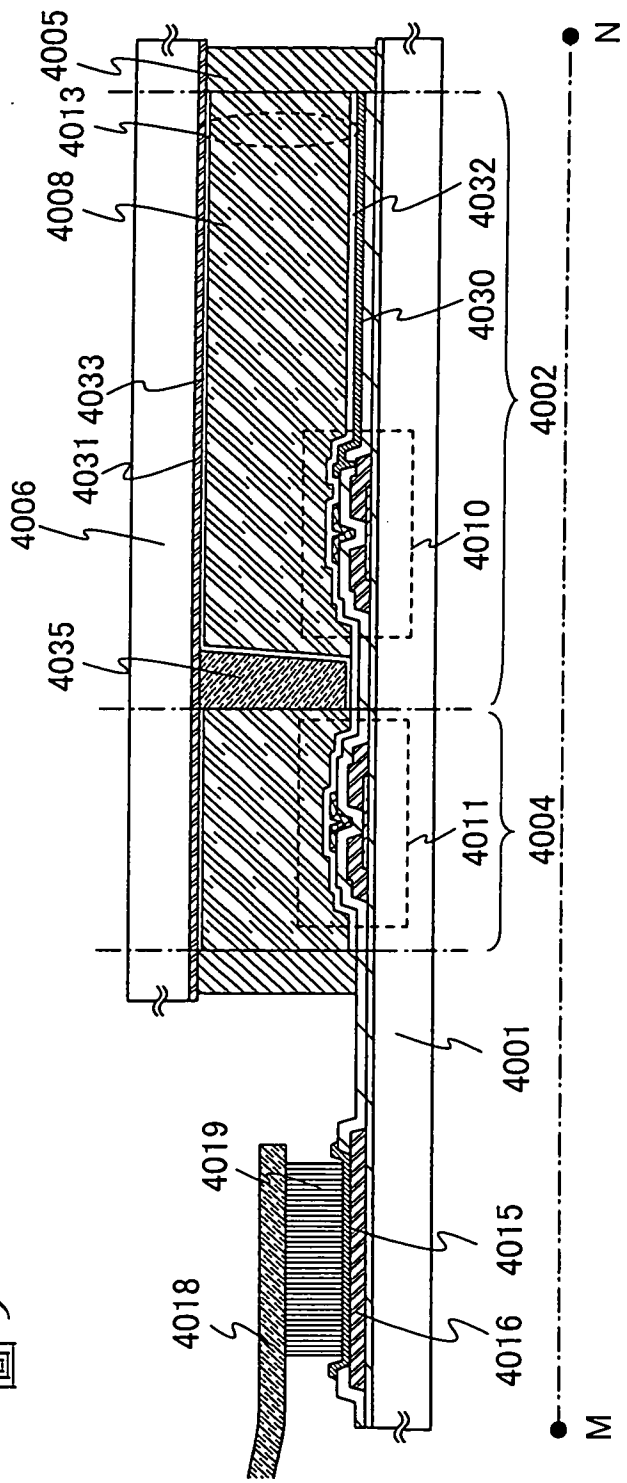


圖 10

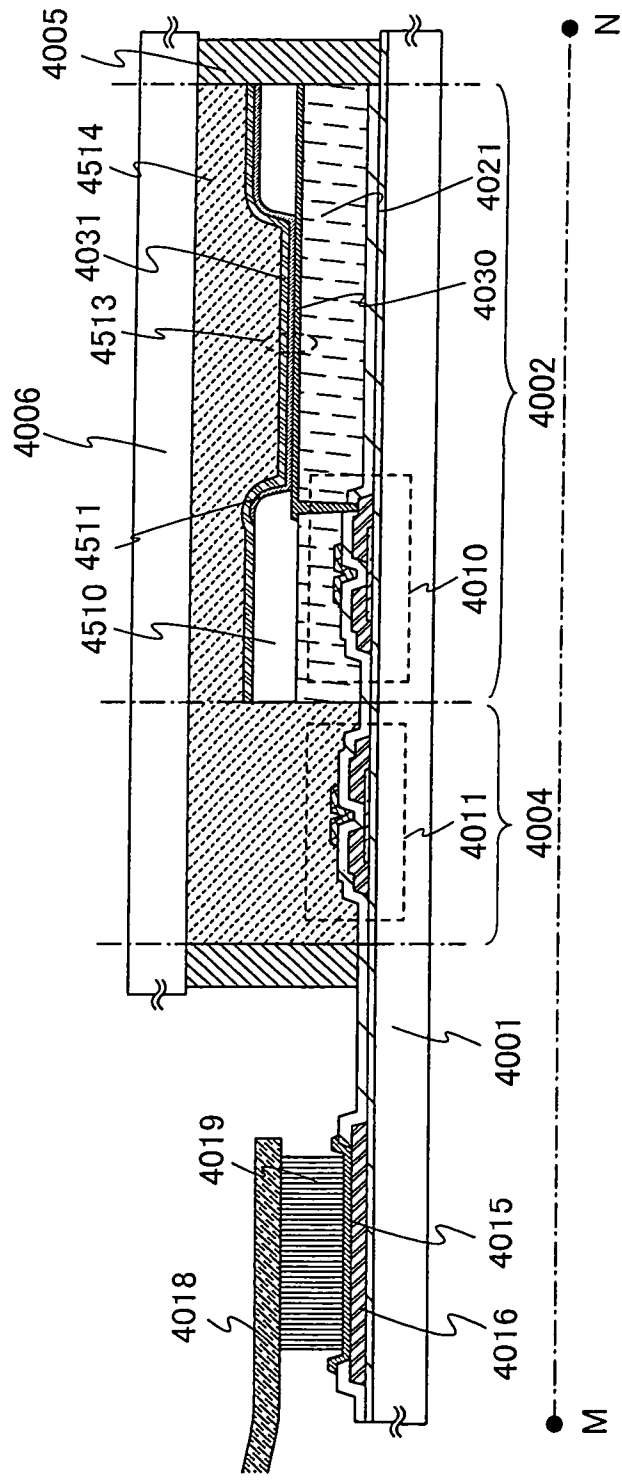


圖 11

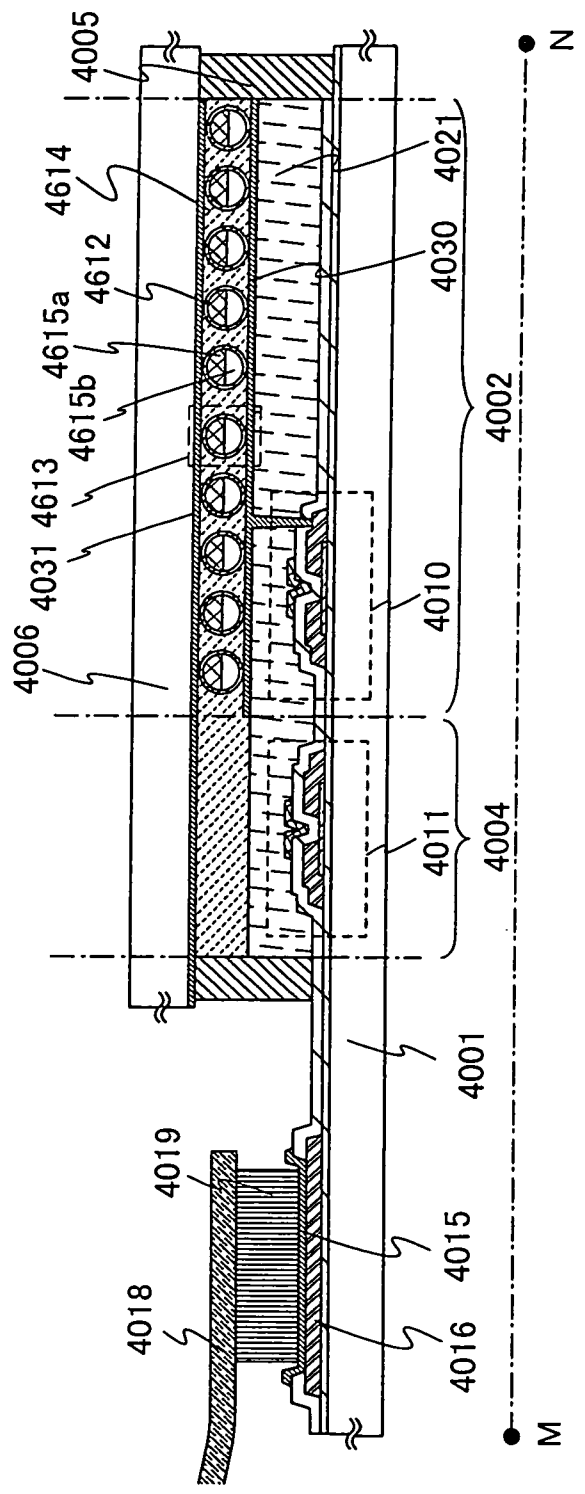


圖 12A

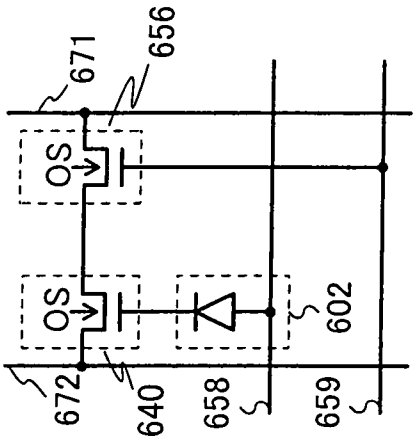


圖 12B

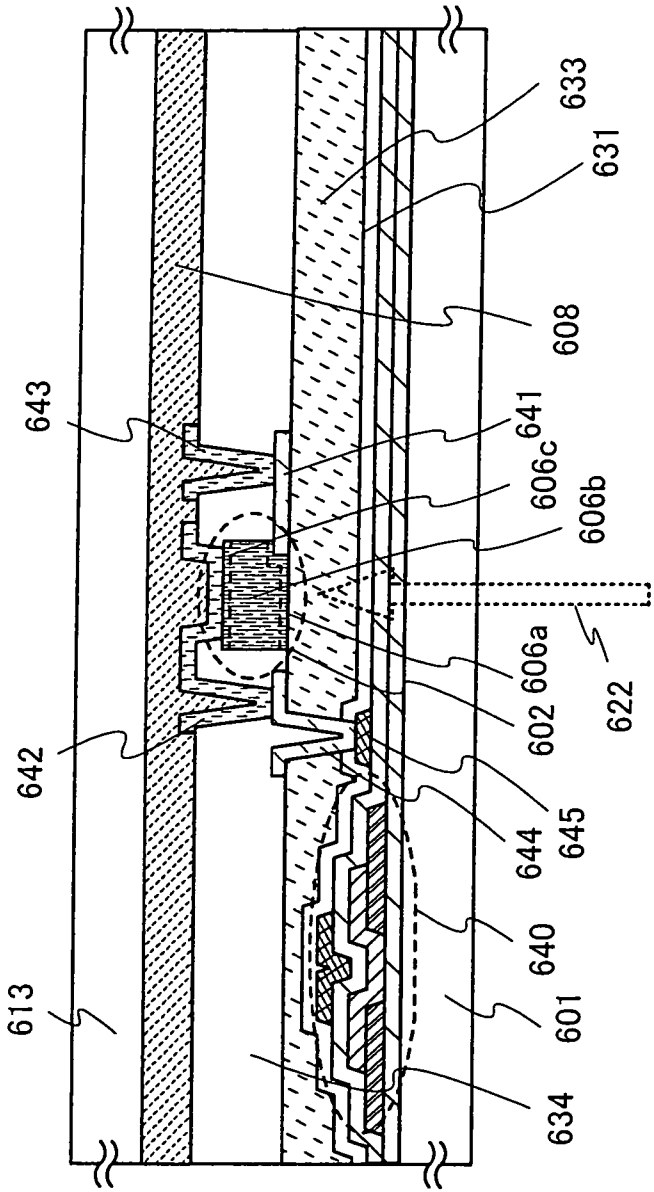


圖 13A

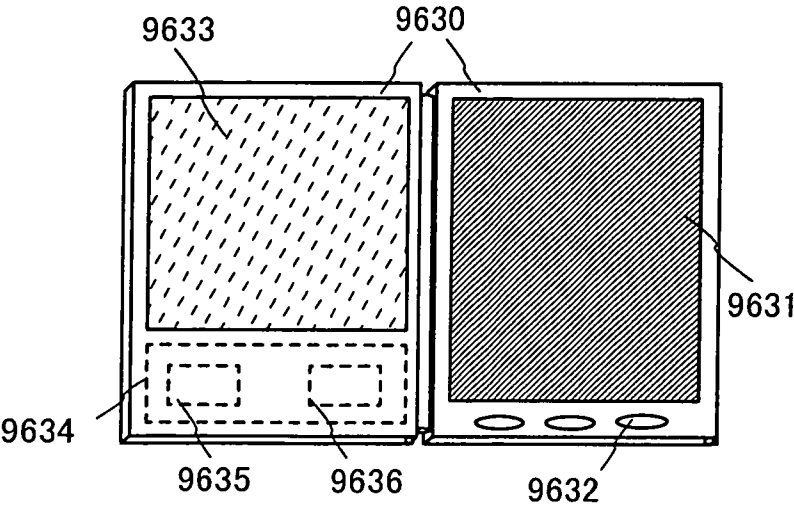


圖 13B

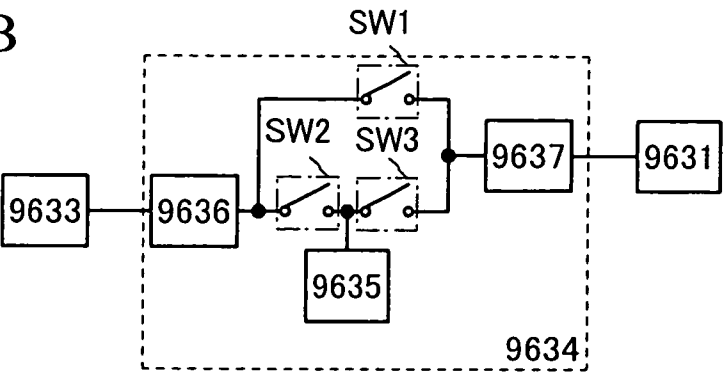


圖 14A

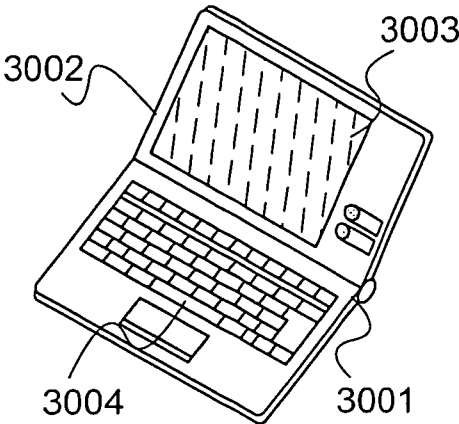


圖 14B

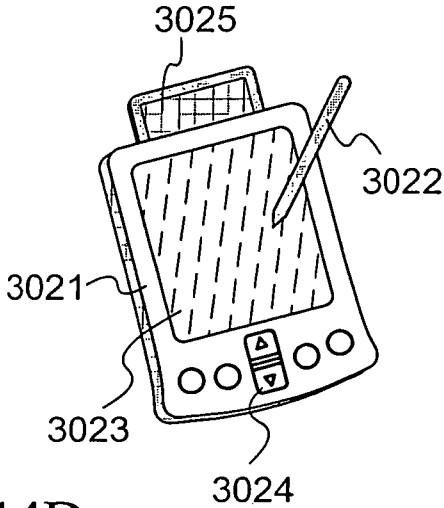


圖 14C

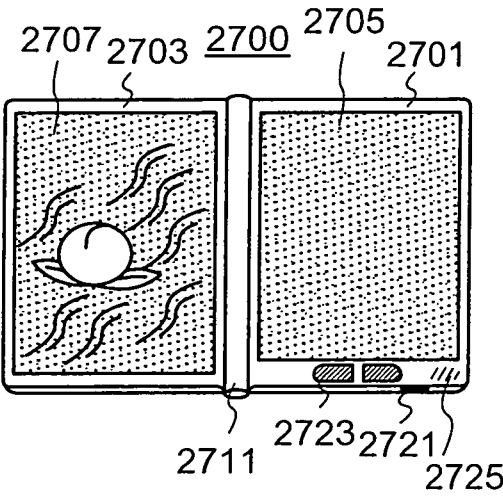


圖 14D

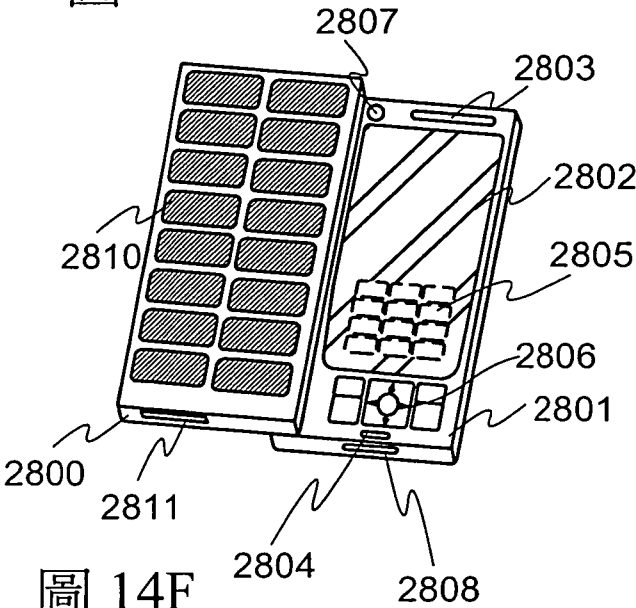


圖 14E

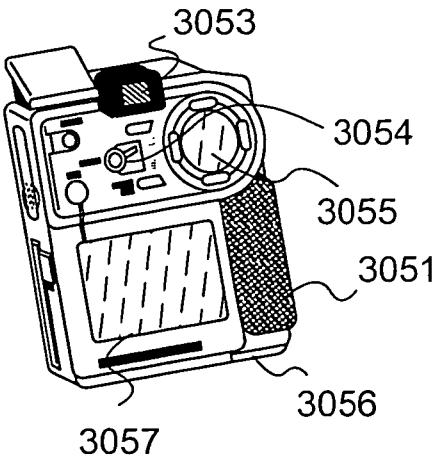


圖 14F

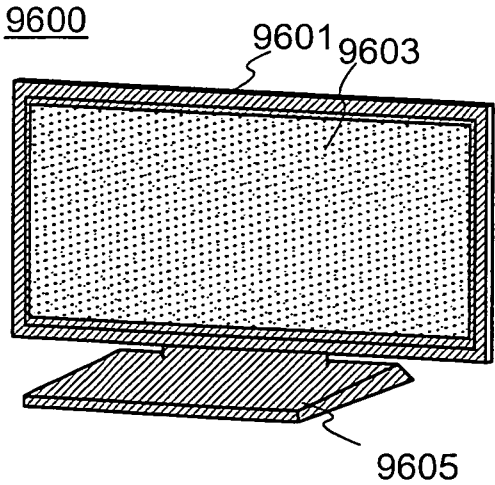


圖 15

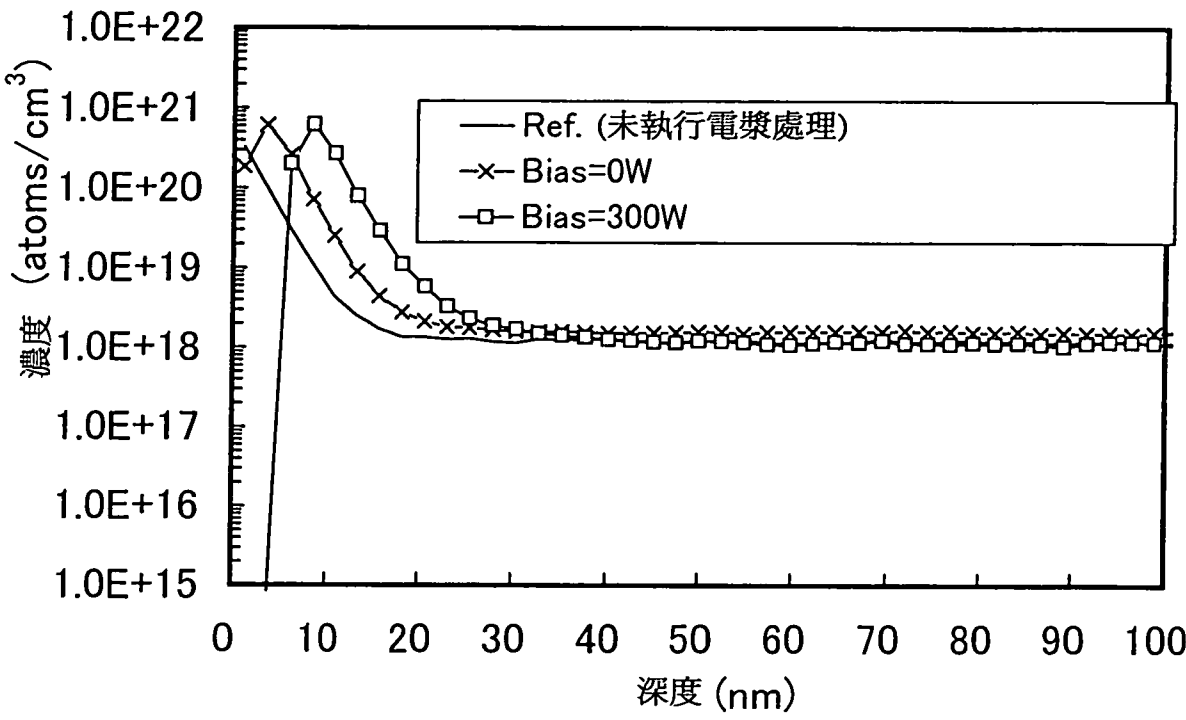


圖 16A

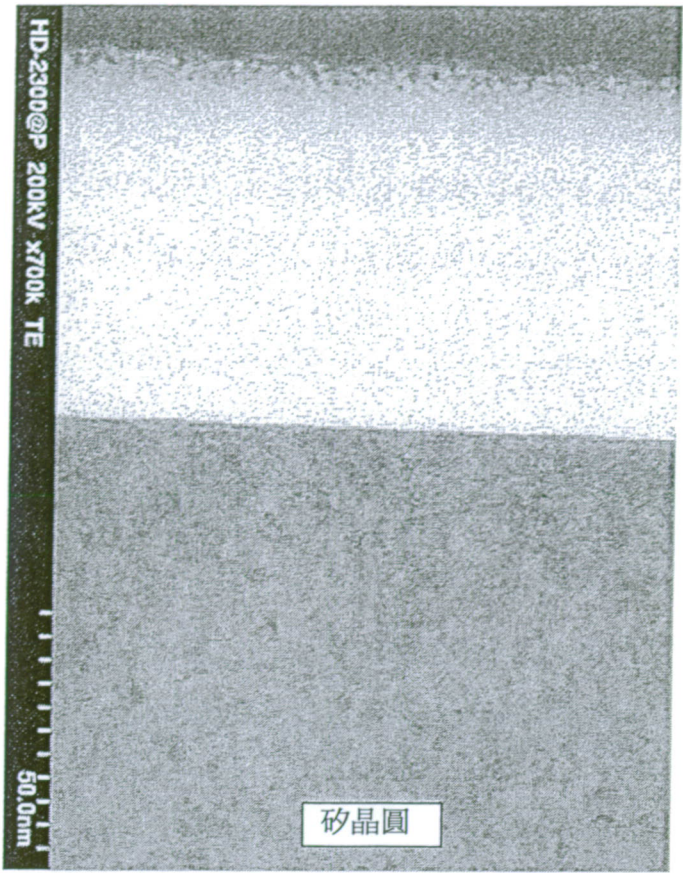


圖 16B

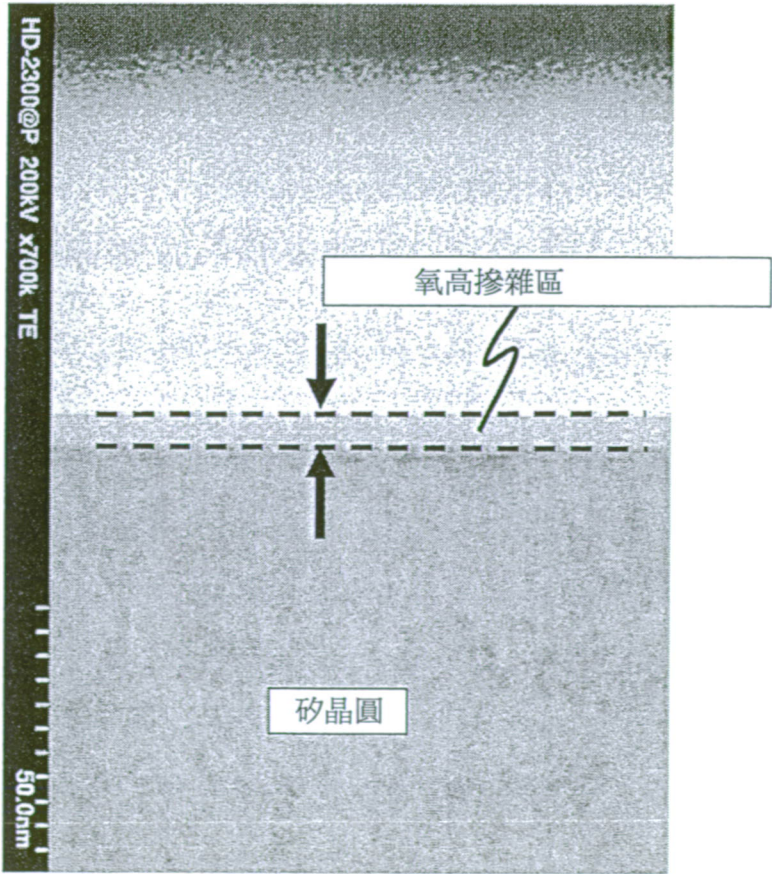


圖 17A

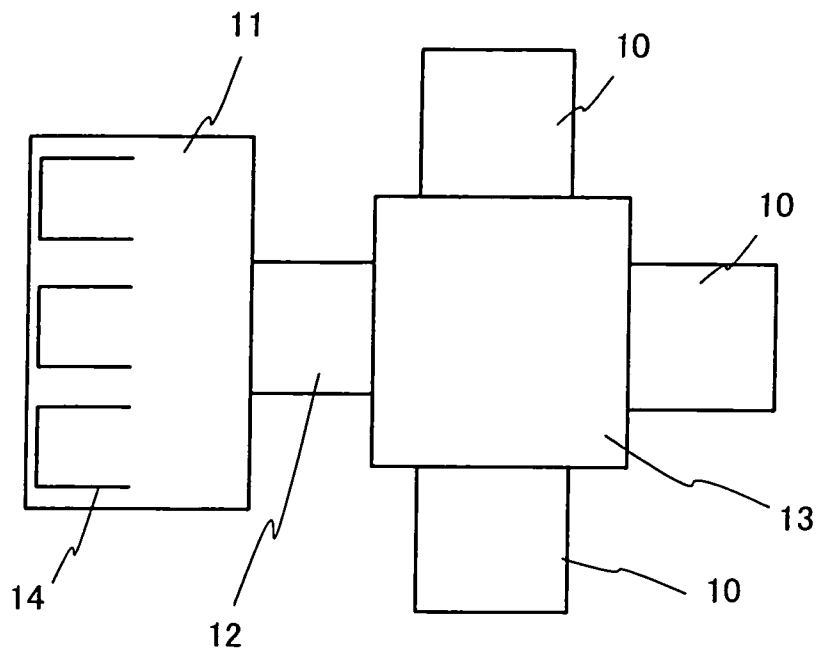


圖 17B

