(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 21/265 (2006.01)

(45) 공고일자 2007년07월13일
(11) 등록번호 10-0739837
(24) 등록일자 2007년07월09일

(21) 출원번호 10-2005-7014878
(22) 출원일자 2005년08월12일
심사청구일자 2005년08월12일
번역문 제출일자 2005년08월12일
(86) 국제출원번호 PCT/JP2004/001473
국제출원일자 2004년02월12일
(65) 공개번호 10-2005-0098923
(43) 공개일자 2005년10월12일
(87) 국제공개번호 WO 2004/075274
국제공개일자 2004년09월02일

(30) 우선권주장 JP-P-2003-00041123 2003년02월19일 일본(JP)

(73) 특허권자 마쯔시다덴기산교 가부시키가이샤
일본국 오사카후 가도마시 오아자 가도마 1006반지

(72) 발명자 사사끼, 유이치로
일본국, 194-0004, 도쿄 아찌다시, 츠루마, 1720-1-304

(74) 대리인 특허법인세신

(56) 선행기술조사문헌
JP06310533 A

심사관 : 이시근

전체 청구항 수 : 총 26 항

(54) 불순물 도입 방법 및 불순물 도입 장치

(57) 요약

본 발명은 반도체 기판의 표면에 비정질층을 형성하는 단계과, 비정질화된 상기 반도체 기판에 얕은 불순물 도입층을 형성하는 단계를 포함하는 불순물 도입 방법 및 그것에 이용하는 장치를 제공하는 것으로, 특히, 비정질층을 형성하는 단계가 상기 반도체 기판의 표면에 플라즈마를 조사하는 단계이고, 얕은 불순물 도입층을 형성하는 단계가 비정질화된 상기 표면에 불순물을 도입하는 단계인 것을 특징으로 한다.

대표도

도 1

특허청구의 범위

청구항 1.

결정인 고체 기체(基體) 표면에 헬륨을 포함하는 플라즈마를 조사함으로써, 상기 고체 기체 표면의 결정을 비정질로 하는 제 1 단계; 및

상기 비정질층이 형성된 상기 고체 기체의 표면에 불순물을 도입하는 제 2 단계를 갖는 것을 특징으로 하는 불순물 도입 방법.

청구항 2.

제 1항에 있어서,

상기 제 2 단계가 상기 불순물을 플라즈마 도핑하는 단계인 것을 특징으로 하는 불순물 도입 방법.

청구항 3.

제 1항에 있어서,

상기 제 2 단계가 상기 불순물을 이온 주입하는 단계인 것을 특징으로 하는 불순물 도입 방법.

청구항 4.

제 1항에 있어서,

상기 제 2 단계가 상기 불순물을 가스 도핑하는 단계인 것을 특징으로 하는 불순물 도입 방법.

청구항 5.

제 1항에 있어서,

상기 제 2 단계 후에 어닐링 단계를 포함하며, 상기 어닐링 단계가 상기 불순물을 활성화시키는 단계인 것을 특징으로 하는 불순물 도입 방법.

청구항 6.

제 1항에 있어서,

상기 제 1 단계는 상기 제 2 단계와 동시에 수행되는 것을 특징으로 하는 불순물 도입 방법.

청구항 7.

제 1항에 있어서,

상기 제 1 단계와 상기 제 2 단계를 같은 프로세스 챔버 내에서 연속의 단계로서 인시츄(in-situ)로 수행하는 것을 특징으로 하는 불순물 도입 방법.

청구항 8.
삭제

청구항 9.

제 1항에 있어서,

상기 고체 기체가 실리콘이고, 상기 제 1 단계가 상기 고체 기체의 표면에 조사하는 플라즈마에 관한 바이어스 전압, 조사 시간, 바이어스 파워, 이온 종류 및 시스 전압 중 적어도 하나의 조건을 변경함으로써 상기 비정질층의 두께를 제어하는 단계를 포함하는 것을 특징으로 하는 불순물 도입 방법.

청구항 10.

제 9항에 있어서,

상기 플라즈마의 조사 시간이 5초 내지 70초인 것을 특징으로 하는 불순물 도입 방법.

청구항 11.
삭제

청구항 12.
삭제

청구항 13.
삭제

청구항 14.
삭제

청구항 15.
삭제

청구항 16.
삭제

청구항 17.
삭제

청구항 18.
삭제

청구항 19.
삭제

청구항 20.
삭제

청구항 21.

삭제

청구항 22.

제 1항에 있어서,

상기 플라즈마는 상기 헬륨을 주성분으로 포함하는 것을 특징으로 하는 불순물 도입 방법.

청구항 23.

제 1항에 있어서,

상기 플라즈마는 상기 헬륨만을 포함하는 것을 특징으로 하는 불순물 도입 방법.

청구항 24.

제 1항에 있어서,

상기 제 1 단계는 플라즈마화된 헬륨에 의해 상기 비정질층을 형성하는 것을 특징으로 하는 불순물 도입 방법.

청구항 25.

제 1항에 있어서,

상기 플라즈마를 조사할 때의 바이어스 전압은 30V 내지 310V인 것을 특징으로 하는 불순물 도입 방법.

청구항 26.

결정인 고체 기체의 표면에 수소를 포함하는 플라즈마를 조사함으로써, 상기 고체 기체 표면의 결정을 비정질로 하는 제 1 단계; 및

상기 비정질층이 형성된 상기 고체 기체의 표면에 불순물을 도입하는 제 2 단계를 갖는 것을 특징으로 하는 불순물 도입 방법.

청구항 27.

제 26항에 있어서,

상기 플라즈마는 상기 수소를 주성분으로 포함하는 것을 특징으로 하는 불순물 도입 방법.

청구항 28.

제 26항에 있어서,

상기 플라즈마는 상기 수소만을 포함하는 것을 특징으로 하는 불순물 도입 방법.

청구항 29.

제 26항에 있어서,

상기 제 1 단계는 플라즈마화된 수소에 의해 상기 비정질층을 형성하는 것을 특징으로 하는 불순물 도입 방법.

청구항 30.

제 26항에 있어서,

상기 플라즈마를 조사할 때의 바이어스 전압은 30V 내지 310V인 것을 특징으로 하는 불순물 도입 방법.

청구항 31.

제 26항에 있어서,

상기 제 2 단계가 상기 불순물을 플라즈마 도핑하는 단계인 것을 특징으로 하는 불순물 도입 방법.

청구항 32.

제 26항에 있어서,

상기 제 2 단계가 상기 불순물을 이온 주입하는 단계인 것을 특징으로 하는 불순물 도입 방법.

청구항 33.

제 26항에 있어서,

상기 제 2 단계가 상기 불순물을 가스 도핑하는 단계인 것을 특징으로 하는 불순물 도입 방법.

청구항 34.

제 26항에 있어서,

상기 제 2 단계 후에 어닐링 단계를 포함하며, 상기 어닐링 단계가 상기 불순물을 활성화시키는 단계인 것을 특징으로 하는 불순물 도입 방법.

청구항 35.

제 26항에 있어서,

상기 제 1 단계는 상기 제 2 단계와 동시에 수행되는 것을 특징으로 하는 불순물 도입 방법.

청구항 36.

제 26항에 있어서,

상기 제 1 단계와 상기 제 2 단계를 같은 프로세스 챔버 내에서 연속의 단계로서 인시츄(in-situ)로 수행하는 것을 특징으로 하는 불순물 도입 방법.

청구항 37.

제 26항에 있어서,

상기 고체 기체가 실리콘이고, 상기 제 1 단계가 상기 고체 기체의 표면에 조사하는 플라즈마에 관한 바이어스 전압, 조사 시간, 바이어스 파워, 이온 종류 및 시스 전압 중 적어도 하나의 조건을 변경함으로써 상기 비정질층의 두께를 제어하는 단계를 포함하는 것을 특징으로 하는 불순물 도입 방법.

청구항 38.

제 37항에 있어서,

상기 플라즈마의 조사 시간이 5초 내지 70초인 것을 특징으로 하는 불순물 도입 방법.

명세서

기술분야

본 발명은 반도체 등의 제조 공정에 있어서 불순물을 도입하는 불순물 도입 방법에 관한 것이다.

배경기술

고체 기체(基體) 표면 혹은 박막의 표면에는 일반적으로 고체 기체를 구성하는 원자가 공기 중의 산소와 결합한 산화물의 막이나 수소로 종단된 막이 형성되어 있다. 그 막은 상당히 얇아 통상적으로 1nm 이하이다. 종래에는 산화물 등의 막 위로 이온 주입 등의 수단에 의해 불순물을 물리적으로 도입하고 있었다. 즉, 불순물이 되는 이온에 전계 등으로 에너지를 부여하여 표면에 조사함으로써 고체 기체 내부에 불순물을 도입하고 있었다.

그런데 최근 디바이스의 미세화에 따라 얕은 접합을 형성하는 기술이 요구되고 있다. 여기에서 종래의 얕은 접합의 형성 기술로는 저에너지 이온 주입 기술을 들 수 있다. 저에너지 이온 주입 기술은, 이온원으로부터 어느 정도 높은 전압으로 이온을 끌어낸 후에 후단에서 감속시키는 방법으로서, 빔 전류값을 어느 정도 크게 가지며, 저에너지의 주입을 가능하게 하는 등의 연구가 진행되어 왔다. 이러한 연구 결과, 수십nm 정도의 얕은 불순물층의 형성이 가능하게 되어, 공업적으로 반도체의 제조에 적용되고 있다.

또한 얕은 접합 형성을 위하여, 최근 주목받고 있는 기술로서 플라즈마 도핑 기술을 들 수 있다. 플라즈마 도핑 기술이라 함은, 원하는 입자를 포함한 플라즈마를 반도체 기판 등의 피처리체의 표면에 접촉시켜, 피처리체 표면에 불순물을 도입하는 기술이다. 여기에서, 플라즈마는 기껏해야 수백V의 저에너지이기 때문에 얕은 불순물층의 형성에 적당하며, 십수nm부터 수십nm 정도의 얕은 접합을 형성한 실험이 보고되어 있다.

또한, 현재 가장 얕은 P형의 접합을 달성한 실험이 「테크니컬 다이제스트 오브 심포지움 온 브이엘에스아이 테크놀로지」(Technical Digest of Symposium on VLSI Technology, Honolulu, P. 110(2000))에 개시되어 있다. 이에 따르면 접합의 깊이는 7nm이라고 설명되어 있다.

또한, 가스 소스를 이용한 기상 도핑법이, (1) International Workshop on Junction Technology(IWJT), p.19(2000), (2) J. Vac. Sci. Technol. A16, P.1, (1998), (3) 실리콘 테크놀로지 No. 39, 18th June, 2002 등에 제안되어 있다. 이것은 정

상 압력 수소 분위기에서 반도체 기판을 가열하고, B_2H_6나 PH_3를 공급함으로써 P형 및 N형의 불순물 확산층을 형성할 수 있는 방법이다. 여기에서 수소 캐리어 가스는 실리콘 위의 자연 산화막을 제거하여 청정 표면을 가짐으로써 불순물 특히 붕소의 표면 편석을 억제하는 효과가 있다.

또한 가스를 분해하기 위해서는, 일반적으로 600℃ 이상의 온도가 필요하다. 예를 들면 「실리콘 테크놀로지」(No. 39, 18th June, 2002)에는 반도체 기판을 900℃로 가열하고, 1ppm의 B_2H_6 가스를 40초 공급함으로써 고농도의 얕은 접합을 형성한 실험 결과가 개시되어 있다. 이에 따르면, 붕소 농도가 $1\times10^{18}㎝^{-3}$이 되는 깊이를 접합 깊이로 하며 접합 깊이는 상기와 같은 정도인 약 7nm이다.

또한, International Workshop on Junction Technology(IWJT), p.39~40(2002)에는, 기상 도핑법을 실온에서 실현하는 기술이 개시되어 있다. 이들은, 표면에 산화물 등의 막이 부착되어 있는 고체 기체에 물질을 도입할 때에, 산화물 등의 막을 제거한 후에 원하는 입자를 부착 혹은 도입하는 방법이다. 그 보고에 따르면 불순물 도입층의 깊이는 3~4nm이다.

이상 설명한 바와 같이, 플라즈마 도핑이나 저에너지 이온 주입 등의 방법에 의해, 최근에는 십수 nm 내지 수십 nm 정도의 얕은 접합을 형성한 실험이 보고되고 있다. 현재 가장 얕은 P 형의 접합을 달성한 실험에서는 7nm 정도의 얕은 불순물층을 형성하고 있다. 그러나, 디바이스의 한층 더한 미세화가 진행됨에 따라 보다 얕은 불순물층을 보다 간단하게, 그리고 저저항으로 형성하는 방법의 제공이 요구되고 있다.

이러한 요구에 대응하는 기술로서, 플라즈마 도핑 기술은 작은 가속 에너지로 입자를 반도체 기판에 도입할 수 있기 때문에 이온 주입보다는 얕은 도입층이 가능하다. 그러나, 작은 에너지라고는 해도 가속 에너지를 갖기 때문에 얕게 하는데는 한계가 있다. 또한, 플라즈마 도핑에서는 라디컬이 도펀트로서 기판에 공급되는 것이 알려져 있다. 라디컬은 전하를 갖지 않기 때문에 시스(sheath) 간에서 가속되어 기판으로 뛰어드는 일은 없지만, 활성이기 때문에 기판 표면과 반응하여 기판에 도입되는 것으로 생각된다. 가스 소스를 이용한 기상 도핑법은 가속 에너지를 갖지 않는 도펀트를 기판에 공급하여 표면 반응에 의해 불순물 확산층을 형성하는 기술이다. 이들은 에너지를 갖는 이온을 기판에 조사하는 방법의 한계를 뛰어넘는 기술로 자리매김 하고 있다.

그러나, 상기와 같이 가스 소스를 이용한 기상 도핑의 방법은 가스를 분해하기 위하여 일반적으로 600℃ 이상의 온도를 필요로 하고 있었다. 이와 같은 고온도에서는 마스크 재료로서 포토레지스트를 이용하는 것은 불가능하다. 그 때문에 CVD에 의해 SiO_2 등을 형성하여 패터닝할 필요가 있어, 트랜지스터 형성 프로세스의 공정이 증가하게 되는 과제가 있었다.

또한, 플라즈마 도핑이나 기상 도핑법 등에서의 라디컬이나 가스 분자 등의 가속 에너지를 갖지 않는 도펀트, 또는 상당히 가속 에너지가 작은 도펀트를 기판에 도입하는 경우에는, 단시간에 고농도의 불순물층을 형성하는 것이 어렵다는 과제가 있었다.

또한, 산화물 등의 막을 제거한 후에 원하는 입자를 부착 또는 도입하는 방법을 채용한 기상 도핑법은 실온에서 고농도의 불순물층을 형성할 수 있지만, 도입량의 제어 방법이 제안되어 있지 않다는 과제가 있었다.

반도체 기판인 결정 실리콘을 비정질화하는 기술로는 게르마늄이나 실리콘을 이온 주입하는 방법이 종래부터 알려져 있다. 게르마늄이나 실리콘을 실리콘 기판에 이온 주입하여 표면을 비정질화한 후에 붕소 등의 불순물을 이온 주입하고, 그 후 어닐링하는 공정이 널리 검토되고 있다. 불순물을 이온 주입하기 전에 비정질화해 두는 이점으로서 다음과 같은 것이 알려져 있다. (1) 붕소 등의 작은 불순물이 이온 주입시에 깊이까지 도입되기 어렵게 된다는 점. (2) 비정질 실리콘은 결정 실리콘과 비교하여 광의 흡수 계수가 높기 때문에, 어닐링시에 효율 좋게 불순물을 활성화시킬 수 있다는 점.

그러나, 이온 주입에 의한 비정질화는 얕은 비정질층을 만드는 효율이 불충분하다는 과제가 있었다.

발명의 상세한 설명

본 발명의 불순물 도입 방법은 고체 기판의 표면에 비정질층을 형성하는 공정과, 비정질화된 상기 반도체 기판에 얕은 불순물 도입층을 형성하는 공정을 포함하며, 비정질층을 형성하는 공정이 상기 반도체 기판의 표면에 플라즈마를 조사하는 공정이고, 얕은 불순물 도입층을 형성하는 공정이 비정질화된 상기 표면에 불순물을 도입하는 공정인 것을 특징으로 한다. 본 발명은 또한, 불순물을 도입 후, 불순물을 전기적으로 활성화시키기 위하여 어닐링하는 공정을 더 포함하는 것을 특징으로 한다.

또한, 본 발명의 불순물 도입 장치는 고체 기체(基體) 표면을 비정질화하는 장치와, 불순물이 될 원하는 입자를 도입하는 장치와, 도입한 불순물을 활성화시키는 어닐링 장치의 장치 그룹을 적어도 갖는 것이다.

실시예

본 발명의 불순물 도입 방법은 고체 기체 표면에 플라즈마를 조사하여 비정질층을 형성 후에, 또는 고체 기체 표면에 비정질층을 형성하면서, 불순물이 될 원하는 입자를 침투, 부착 혹은 도입하는(이하, '도입'이라 칭한다) 것을 특징으로 한다. 그 이유는 비정질층을 형성함으로써 원하는 입자를 고체 기체에 도입하기 쉬워지기 때문이다. 또한, 고체 기체의 하나인 실리콘 기판에 적용하는 경우, 비정질 실리콘은 결정 실리콘과 비교하여 광의 흡수 계수가 높기 때문에, 표면에 비정질 층을 형성함으로써 어닐링시에 효율 좋게 불순물을 활성화할 수 있어, 극히 얕은 접합(Ultra-Shallow Junction)의 저저항화를 실현할 수 있기 때문이다.

고체 기체 표면에 극히 얕은 비정질층을 형성하는 경우에는, 플라즈마를 고체 표면에 조사하는 수단을 선택하는 것이 바람직하다. 그 이유는 종래의 이온 주입에 의한 비정질화에 비하여 저 에너지의 플라즈마를 이용하기 때문에, 얕은 비정질층을 보다 효율 좋게 작성할 수 있기 때문이다. 비정질층이 갖는 효과 중, 불순물을 가스나 라디컬 등의 극도의 저에너지 상태에서 도입하기 쉽다는 효과만을 이용하고자 하는 경우에는, 비정질층의 형성을, 플라즈마를 고체 표면에 조사하는 수단, 고체 표면에 이온 주입하는 수단, 고체 표면에 비정질층을 부가하는 수단으로 이루어지는 군으로부터 선택되는 적어도 하나의 수단에 의해 수행함으로써 실현할 수 있다. 플라즈마를 고체 표면에 조사하는 시간은 70초 미만으로 하는 것이 양호한 처리율을 실현하기 위하여 바람직하다. 또한, 이온 주입은 Ge 이온을 주입하는 것이 전기적 특성의 향상을 기대할 수 있으므로 바람직하다.

불순물을 도입하는 방법은 해당 비정질화한 고체 기체 표면에 원하는 입자를 포함하는 가스, 또는 플라즈마를 접촉시켜 고체 기체 표면 혹은 그 근방에 침투, 부착 혹은 도입하는 것이 바람직하다. 그 이유는 가스, 또는 플라즈마와 같이 가속 에너지를 갖지 않는, 또는 상당히 가속 에너지가 작은 상태의 입자를 접촉시키는 것이 얕은 불순물층을 형성할 수 있기 때문이다. 구체적인 상태로는, 플라즈마, 라디컬, 가스, 극도의 저에너지 이온 등을 들 수 있다. 불순물 도입 방법의 구체적 명칭으로는, 가스의 상태로 도입하는 경우에는 가스 도핑, 플라즈마를 고체 기체 표면에 접촉시키는 경우에는 플라즈마 도핑이라고 불린다. 또한, 비정질화를 이온 주입으로 수행하는 경우에는, 효율 좋게 어닐링할 수 있는 것과 더불어, 불순물을 극도의 저에너지로 도입할 수 있는 것을 이용함으로써 신규성이 발휘된다. 구체적으로는 비정질화를 이온 주입으로 수행하는 경우에는 불순물의 도입은 가스를 고체 기체 표면에 접촉시키는 방법을 이용한다. 이 방법에 의해, 상당히 얕은 불순물 도입층을 만들 수 있다.

비정질화할 고체 기체 표면의 두께, 비정질화의 정도를 제어, 조정함으로써, 도입량과 접합 깊이를 제어, 조정하여 불순물을 도입하는 방법은 면적 저항값을 제어하기 쉽고, 또한 디바이스 특성도 제어하기 쉽기 때문에 바람직하다. 비정질화할 고체 기체 표면의 깊이, 비정질화의 정도의 제어 및 조정은 구체적으로는, 고체 표면에 조사하는 플라즈마에 관한 바이어스 전압, 조사 시간, 바이어스 파워, 이온 종류, 시스 전압을 변경함으로써 수행할 수 있다.

플라즈마는 아르곤, 헬륨 등의 희 가스, 또는 수소를 포함하는 것이 바람직하다. 그 이유는, 희 가스는 화학적으로 안정하여 고체 기체 표면과의 화학적 반응이 일어나기 어렵기 때문에, 원하는 입자와 고체 기체 표면과의 표면 흡착을 제어하는 비율이 작다고 생각된다. 그 결과, 비정질화에 의한 불순물 도입과 더불어 표면 흡착에 의한 불순물의 도입도 기대할 수 있기 때문이다. 또한 헬륨, 수소는 고온에서의 확산 계수가 커 어닐링 후에 표면에 남는 양이 적기 때문에 전기적으로 거의 악영향을 미치지 않기 때문에 바람직하다. 헬륨은 화학적으로 안정하며, 고온에서의 확산 계수가 크다고 하는 양 쪽 모두의 특성을 겸비하고 있기 때문에 바람직하다.

본 발명의 불순물 도입 장치는, 고체 기체 표면을 비정질화하는 장치와, 원하는 입자를 도입하는 장치와, 도입한 입자를 활성화시키는 어닐링 장치의 장치군을 적어도 갖는 것으로서, 그로 인해 본 발명에 따른 프로세스를 실현할 수 있다.

또한, 고체 기체 표면을 비정질화하는 장치와, 원하는 입자를 도입하는 장치와, 도입한 입자를 활성화시키는 어닐링 장치의 장치군을 2개 이상 조합시키는 것, 또는 일체화하는 것이 장치를 소형화할 수 있다는, 생산성을 향상시킬 수 있다는 등의 이유에서 바람직하다.

또한, 단시간에 고농도의 상당히 얕은 불순물층을 형성할 수 있으며, 도입량의 제어가 종래보다도 용이하고, 어닐링 후의 면적 저항을 저 저항화할 수 있는 불순물층의 형성방법을 제공할 수 있다.

이하, 본 발명의 실시예를 도면을 참조하면서 설명한다. 단, 본 발명은 이하의 실시예에 한정되지 않는다.

도 1은 본 발명의 일실시예에서 이용한 장치(100)를 설명한다. 장치(100)는 고주파 전원(1), 매칭 박스(2), 코일 및 안테나(3), 매스플로우 제어기(4, 5), 터보 분자 펌프(6), 컨덕턴스 밸브(7), 드라이 펌프(8), 서큘레이터(9), DC 전원(10), 매칭 박스(11), 고주파 전원(12) 및 하부 전극(14)을 갖는다. 실리콘 기판 등의 피처리체(13)는 하부 전극 위에 위치한다.

도 1에서는 실리콘 기판(13)을 프로세스 챔버(15) 내에 반송한 후, 하부 전극(14) 위에 설치하였다. 프로세스 챔버(15)에는 희 가스의 도입관(16)과 디보란 가스의 도입관(17)을 따로따로 접속하였다. 또한, 희 가스는 희 가스 플라즈마를 표면에 조사함으로써 실리콘 기판 표면을 비정질화시키기 위하여 이용한다. 디보란 가스는 플라즈마화되어 플라즈마 도핑하기 위하여 이용되거나, 가스인 채로 프로세스 챔버(15)에 도입되어 가스 도핑에 이용되거나 한다. 가스 유량은 매스플로우 제어기(4, 5)로 따로따로 제어할 수 있는 구성이다.

이하의 실시예에서는, 고체 기체 자체의 표면의 비정질화를 설명한다. 단 본 발명은 이에 한정되는 것이 아니라, 고체 기체상에 형성된 박막의 표면에도 적용할 수 있다.

(실시예 1)

실시예 1에서는 플라즈마를 조사하여 비정질층을 형성하는 공정에 대하여 상세하게 설명한다.

프로세스 챔버(15) 내에서, 피처리체(13)로서의 실리콘 기판에 플라즈마를 조사하였다.

이용한 가스는 아르곤, 헬륨 또는 99.975용량%의 헬륨에 0.025용량%의 디보란을 혼합한 가스이다.

가장 먼저, 실리콘 기판에 아르곤 플라즈마를 조사하였다. 플라즈마 조사 조건은, 플라즈마 조사 시간 5초 내지 60초, 바이어스 전압 30V 내지 310V로 수행하였다. 플라즈마 조사를 멈추고, 프로세스 챔버(15) 내부를 최초로 진공으로 한 후, 질소 가스로 퍼지하고 기판을 프로세스 챔버(15)로부터 꺼냈다. 꺼낸 기판의 단면을 TEM 관찰하였다. 도 2는 바이어스 전압 180V, 플라즈마 조사 시간 5초간의 아르곤 플라즈마 조사 후의 단면 TEM 사진이다. 실리콘 기판(21) 위에, 4.3nm 두께의 비정질층(22)이 형성되어 있는 것을 알 수 있다.

또한, 헬륨 플라즈마를 이용한 경우에서도 비정질층의 형성을 확인할 수 있었다. 또한, 헬륨 플라즈마를 이용한 경우에 대해서는 실시예 2에서 설명한다.

또한, 99.975용량%의 헬륨 가스와 0.025용량%의 디보란 가스의 혼합 가스의 플라즈마를 이용하여, 100V의 바이어스 전압으로 60초간 플라즈마 조사를 수행하였다. 비정질층의 두께는 10nm이었다. 또한, SIMS로 측정한 붕소의 도입량은 $7.3\times10^{14}㎝^{-2}$였다. 이상 설명한 바와 같이, 비정질층의 형성과 불순물의 도입을 동시에 수행할 수 있었다.

(실시예 2)

실시예 2에서는 비정질화를 위한 플라즈마 조사에 있어서 비정질층의 두께의 제어에 대하여 설명한다.

프로세스 챔버(15) 내에서, 피처리체(13)로서의 실리콘 기판에 헬륨 가스 농도가 100%인 헬륨 가스의 플라즈마를 조사하였다. 플라즈마 조사 시간을 7초와 30초, 바이어스 전압을 30V 내지 310V의 범위에서 변화시킨 조건으로 각각 수행하였다. 프로세스 챔버(15)로부터 꺼낸 기판의 비정질층의 두께를 타원 편광법으로 측정하였다. 도 3은 바이어스 전압과 비정질층 두께의 관계이다. 플라즈마 조사로 2nm 내지 22nm 범위의 비정질층을 30초 이하의 단시간에 형성할 수 있는 것을 알 수 있다. 또한, 바이어스 전압을 변화시킴으로써, 비정질층의 두께를 제어할 수 있었다. 또한 플라즈마를 조사하는 시간을 변경함으로써 비정질층의 두께를 변화시킬 수 있었다.

(실시예 3)

실시예 3에서는 본 발명의 불순물 도입 방법을 가스 도핑에 적용한 예를 나타낸다. 가스 도핑으로 불순물을 도입한 경우에 있어서, 비정질층의 유무에 의한 면적 저항값의 차이의 검토를 수행하였다. 비정질화에 의해 불순물이 극도의 저에너지로 도입되기 쉽다는 것과, 어닐링 후에 저저항화할 수 있다는 것에 대해 설명한다.

프로세스 챔버(15) 내에서, 피처리체(13)로서의 실리콘 기판에 아르곤 가스의 플라즈마를 조사하였다. 플라즈마 조사는, 플라즈마 조사 시간 5초, 바이어스 전압 160V의 조건으로 수행하였다. 플라즈마 조사를 멈추고, 프로세스 챔버(15) 내부를 진공으로 한 후, B_2H_6 가스를 기판 표면에 70초간 접착시켰다. 70초 후에 B_2H_6 가스의 공급을 멈추고 진공으로 한 후, 질소 가스로 퍼지를 하고 기판을 프로세스 챔버(15)에서 꺼냈다.

꺼낸 기판을 1100℃, 3분간 어닐링한 후, 4심침법을 이용하여 면적 저항값을 측정하였다. 또한, 플라즈마 조사만 된 기판에 대하여, RHEED에 의한 관찰과, 타원편광법에 의한 막두께 등의 측정을 수행하였다. 여기에서, RHEED라 함은 반사 고속 전자 회절(Reflection High-Energy Electron Diffraction)을 말한다.

도 4에 RHEED에 의한 표면 관찰의 결과를 나타낸다. 도 4가 나타내는 바와 같이 결정에 특유의 휘점이 보이지 않아, 플라즈마 조사함으로써 기판의 표면이 비정질화되어 있다는 것을 알 수 있다. 또한, 면적 저항값은 5.1E3 ohm/sq였다.

또한, 플라즈마 조사 시간을 5초 내지 70초의 범위에서, 바이어스 전압을 45V 내지 210V의 범위에서 변경하여 동일한 실험을 수행하였다. 모든 조건에서 기판 표면이 비정질화되고 있었다. 이 때, 면적 저항값은 6.5E2 ohm/sq 이상, 5.1 E3 ohm/sq 이하의 범위로 분포하였다.

도 6은 비정질층의 유무에 의한 면적 저항값(Sheet resistance)의 차이를 나타내는 것이다. 비정질화를 수행한 본 실시예의 면적 저항값 측정 결과를 흰 동그라미(○)로 나타낸다. 동시에 비정질화를 수행하지 않은 비교예 1의 결과를 검은 동그라미(●)로 나타내었다. 실시예의 면적 저항값은 비교예의 면적 저항값에 비하여 1자리 내지 2자리 작은 값으로 분포하였다. 비정질층을 형성함으로써, B_2H_6 가스가 가속 에너지를 부여하지 않아도 기판에 도입되기 쉬워진 것 및 어닐링에 이용한 광을 효율 좋게 흡수한 것을 보면, 비교예와 비교하여 면적 저항값이 크게 감소한 것으로 생각된다.

(실시예 4)

실시예 4에서는, 불순물의 도입 방법을 플라즈마 도핑으로 수행한 경우의 비정질층의 유무에 의한 면적 저항값 차의 검토를 수행하였다. 비정질화에 의해, 어닐링 후의 접합 깊이가 같음에도 불구하고 저저항화가 가능한 것에 대해 설명한다.

실리콘 기판 표면을 비정질화하기 위하여, 프로세스 챔버(15) 내에서 피처리체(13)로서의 실리콘 기판에 헬륨 가스 농도가 100%인 헬륨 가스의 플라즈마를 조사하였다. 플라즈마 조사는 플라즈마 조사 시간 7초, 바이어스 전압 150V의 조건으로 수행하였다. 플라즈마 조사를 멈추고, 프로세스 챔버(15) 내부를 진공으로 하였다. 그 후, 플라즈마 도핑을 위하여, 헬륨 가스로 5용량%로 희석한 B_2H_6 가스의 플라즈마를 바이어스 전압 200V로 7초간 조사하였다. 플라즈마 조사를 멈추고 진공으로 한 후, 질소 가스로 퍼지를 하여 기판을 프로세스 챔버(15)로부터 꺼냈다. 그 후, 불순물을 전기적으로 활성화하기 위하여, 승온 속도 200℃/초, 온도 하강 속도 50℃/초, 최고 도달 온도 1000℃의 스파이크 고속열 어닐(spike RTA)로 어닐링하였다. 이렇게 작성한 시료의 면적 저항과 SIMS 프로파일을 측정하였다.

이 시료의 면적 저항값은 635 ohm/sq였다. SIMS 프로파일에서 붕소 농도가 $1\times10^{18}㎝^{-3}$이 되는 깊이를 접합 깊이로 하면, 그 접합 깊이는 27.2nm였다. 한편, 비교예 2에서 상세히 설명하겠지만, 비정질화를 하지 않고 다른 조건은 같게 하여 작성한 시료의 면적 저항값은 923 ohm/sq이고, 접합 깊이는 28.1nm였다. 즉, 헬륨 플라즈마 조사에 의한 비정질화를 함으로써, 거의 같은 접합 깊이라도 30% 이상 저 저항화할 수 있었다.

(실시예 5)

실시예 5에서는 플라즈마 조사 시간과 면적 저항값의 관계를 검토하였다. 결과를 도 7에 나타낸다.

프로세스 챔버(15) 내에서, 피처리체(13)로서의 실리콘 기판에 아르곤 가스의 플라즈마를 조사하였다. 아르곤 플라즈마 조사는 플라즈마 조사 시간을 5 초 내지 70 초의 범위로 변화시켰다. 바이어스 전압은 45V(×로 나타낸다)와 160V(■로 나타낸다) 두 가지 조건으로 수행하였다. 플라즈마 조사 후의 처리는 모두 같은 조건에서 수행하였다. 즉, 플라즈마 조사를 멈추고, 프로세스 챔버(15) 내부를 진공으로 한 후, B_2H_6 가스를 기판 표면에 70초간 접촉시켰다. 70초 후에 B_2H_6 가스의 공급을 멈추고 진공으로 한 후, 질소 가스로 퍼지를 하고 기판을 프로세스 챔버(15)에서 꺼냈다. 꺼낸 기판은 1100℃, 3분간 어닐링된 후, 4 심침법을 이용하여 면적 저항값이 측정되었다.

바이어스 전압이 45V와 160V 중 어느 경우에도, 플라즈마 조사 시간이 길어짐에 따라 면적 저항값은 저하하였다. 이 결과로부터 플라즈마 조사 시간을 변경함으로써 면적 저항값을 제어할 수 있다는 것을 알 수 있다.

또한, 상기의 실험 결과는 플라즈마 조사 시간이 길수록 높은 도입량인 것을 나타내고 있다. 플라즈마 조사 시간이 길수록, 실리콘 기판 표면의 비정질화의 정도가 진행하여 B_2H_6 가스의 기판으로의 도입량이 증가한 것으로 생각된다.

(실시예 6)

실시예 6에서는 바이어스 전압과 면적 저항값의 관계를 검토하였다. 그 결과를 도 8에 나타낸다. 아르곤 플라즈마 조사 시간은 70초로 하고, 그 외의 조건은 모두 같게 하고, 바이어스 전압을 45V(샘플 1), 160V(샘플 2), 210V(샘플 3)로 변화시켜 샘플을 작성하였다. 특별히 명기하고 있지 않은 조건은 실시예 5와 같다.

도 8이 나타내는 바와 같이, 면적 저항값은 바이어스 전압의 절대값이 커짐에 따라 저하하였다. 그 결과, 샘플 2 및 샘플 3의 면적 저항값은 1.0E3 ohm/sq 이하로 저하하였다.

이로 인해, 바이어스 전압을 변경함으로써 면적 저항값을 제어할 수 있다는 것을 알 수 있다.

또한, 상기의 실험 결과는 바이어스 전압의 절대값이 클수록 고도입량인 것을 나타내고 있다. 바이어스 전압의 절대값이 클수록, 실리콘 기판 표면의 비정질화의 정도가 진행하여 B_2H_6 가스의 기판으로의 도입양이 증가한 것으로 생각된다.

(실시예 7)

실시예 7에서는 비정질층의 두께와 면적 저항값의 관계를 검토하였다. 그 결과를 도 9에 나타낸다. 가로축의 비정질층의 두께는 실시예 6에서 작성한 샘플 1~3의 기판 표면에 형성된 비정질층의 두께를 타원 편광법으로 측정한 값이다. 또한, 비정질층의 두께가 제로인 데이터는 비교예로서 실리콘 기판을 측정한 경우의 측정 결과이다.

도 9에 나타내는 바와 같이, 비정질층의 두께는 샘플 1에서 약 2nm이고, 샘플 2 및 3에서는 약 3nm이다. 또한, 비정질층의 두께가 증가함에 따라, 면적 저항값은 저하하고 있다는 것을 알 수 있다. 이 결과로부터 면적 저항값은 비정질층의 두께를 변경함으로써 제어할 수 있다는 것을 알 수 있다. 또한, 실시예 5 및 6에서 설명한 비정질화의 정도는 비정질층의 두께로서 표현할 수 있다는 것을 알 수 있다.

또한, 상기의 실험 결과는 비정질층의 두께가 클수록 고도입량인 것을 나타내고 있다. 이것은 비정질층의 두께가 클수록 B_2H_6 가스의 기판으로의 도입량이 증가한 것을 나타내고 있다.

(비교예 1)

플라즈마 조사에 의한 비정질화를 하고 있지 않은 것을 제외하고, 그 외에는 본 발명의 실시의 형태를 나타내는 실시예 3, 5, 6, 7과 같은 조건으로 실험을 수행하였다. 비교예 1은 가스 도핑에 관한 것으로 실시예 3에 대응한다. 프로세스 챔버(15)에 실리콘 기판을 도입하고, 프로세스 챔버(15) 내를 진공으로 한 후, B_2H_6 가스를 기판 표면에 70초간 접촉시켰다.

70초 후에 B_2H_6 가스의 공급을 멈추고 진공으로 한 후, 질소 퍼지를 하여 기판을 프로세스 챔버(15)에서 꺼냈다. 꺼낸 기판은 1100℃, 3분간 어닐링 한 후, 4심침법으로 면적 저항값을 측정하였다. 또한, 이차 이온 질량 분석법(Secondary Ion Mass Spectrometry; 이하 SIMS라 함)로 붕소의 도우즈(dose) 양을 측정하였다. 또한, 프로세스 챔버(15)에 도입하기 전의 실리콘 기판 표면을 RHEED, 타원 편광법으로 관찰, 측정하였다.

도 5는 비교예의 실리콘 기판의 RHEED에 의한 표면 관찰 결과이다. 도 5에 나타내는 사진의 상부에 휘점이 관찰되고 있어, 결정인 것을 확인할 수 있었다. 또한, 타원편광법에 의한 측정에서도 표면의 비정질층은 확인할 수 없었다.

또한, 면적 저항값은 1.7E5 ohm/sq였다. 이것은 비정질층을 형성한 본 실시예의 면적 저항값과 비교하여 1자리 이상 크다. SIMS의 측정 결과로부터 붕소의 도입량은 2E12㎝-2였다. 불순물이 거의 도입되지 않은 것을 알 수 있다.

(비교예 2)

플라즈마 조사에 의한 비정질화를 하고 있지 않은 것을 제외하고, 그 외에는 발명의 실시예 4와 동일한 조건으로 실험을 수행하였다. 즉, 프로세스 챔버(15) 내에 피처리체(13)로서의 실리콘 기판을 반송하였다. 그 후, 플라즈마 도핑을 위하여, 헬륨 가스로 5용량%로 희석한 B_2H_6 가스의 플라즈마를 바이어스 전압 200V로 7초간 조사하였다. 플라즈마 조사를 멈추고 진공으로 한 후, 질소 가스로 퍼지를 하여 기판을 프로세스 챔버(15)로부터 꺼냈다. 그 후, 불순물을 전기적으로 활성화하기 위하여, 승온 속도 200℃/초, 온도 하강 속도 50℃/초, 최고 도달 온도 1000℃의 스파이크 고속열 어닐(spike RTA)로 어닐링하였다. 이렇게 작성한 시료의 면적 저항과 SIMS 프로파일을 측정하였다.

이 시료의 면적 저항은 923 ohm/sq, 접합 깊이는 28.1nm였다. 이것은 실시예 3의 비정질화한 시료와 비교하여, 30% 이상 면적 저항이 높다.

실시의 형태에서는 고체 기체 표면 자체의 비정질화를 설명하였으나, 본 발명의 고체 기체 표면에는 기체 자체의 표면과 더불어 기판 위에 형성된 박막의 표면도 포함한다. 따라서, 고체 기체 위에 형성된 박막 표면의 비정질화도 본 발명에 포함된다.

이와 같이, 본 실시예의 불순물 도입 방법은 실온에서 단시간에 상당히 얕은 불순물층을 형성할 수 있어, 반도체, 액정, 바이오칩 등의 능동 소자, 및 저항, 코일, 콘덴서 등의 수동 소자를 용이하게 제조할 수 있다.

산업상 이용 가능성

이상과 같이 본 발명은 실온에서 단시간에 고농도의 상당히 얕은 불순물층을 형성할 수 있으며, 도입량의 제어가 용이하고 어닐링 후의 면적 저항을 저저항화할 수 있는 불순물층을 형성할 수 있는 불순물 도입 방법을 제공하는 것이다.

도면의 간단한 설명

도 1은 본 발명의 일실시예에 따른 장치의 주요부 단면도.

도 2는 본 발명의 일실시예에 따른 기판의 단면 TEM 관찰 결과를 나타내는 도면.

도 3은 본 발명의 일실시예에 따른 비정질층 두께의 플라즈마 조사 바이어스 의존성을 나타내는 도면.

도 4는 본 발명에 따른 RHEED 관찰 결과를 나타내는 도면.

도 5는 비교예에 따른 RHEED 관찰 결과를 나타내는 도면.

도 6은 본 발명의 일실시예와 비교예에 대하여 면적 저항값을 비교한 도면.

도 7은 본 발명의 일실시예에서의 면적 저항값의 플라즈마 조사 시간 의존성을 나타내는 도면.

도 8은 본 발명의 일실시예에서의 면적 저항값의 바이어스 전압 의존성을 나타내는 도면.

도 9는 본 발명의 일실시예에서의 면적 저항값과 비정질층 두께의 관계를 나타내는 도면.

(도면의 주요 부분에 대한 부호의 설명)

1 고주파 전원

2 매칭 박스

3 코일 및 안테나

4 매스플로우 제어기

5 매스플로우 제어기

6 터보 분자 펌프

7 컨덕턴스 밸브

8 드라이 펌프

9 서큘레이터

10 DC 전원

11 매칭 박스

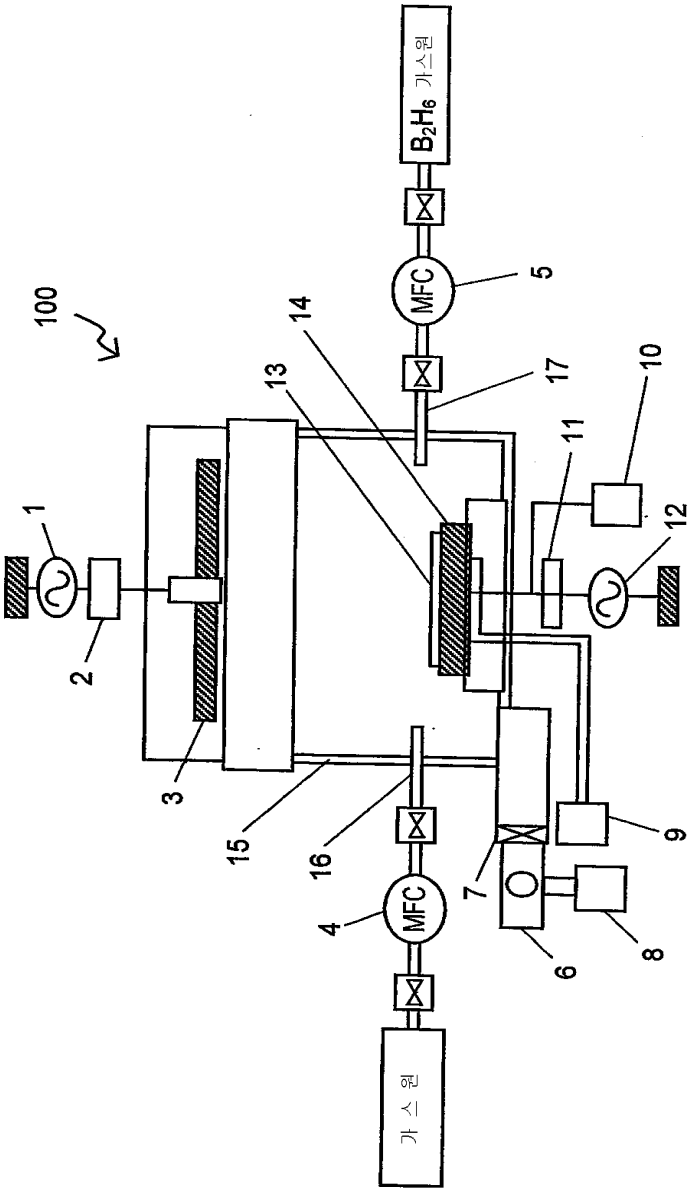
12 고주파 전원

13 피처리체

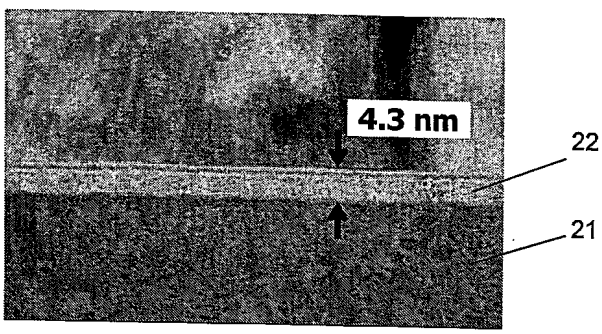
14 하부전극

도면

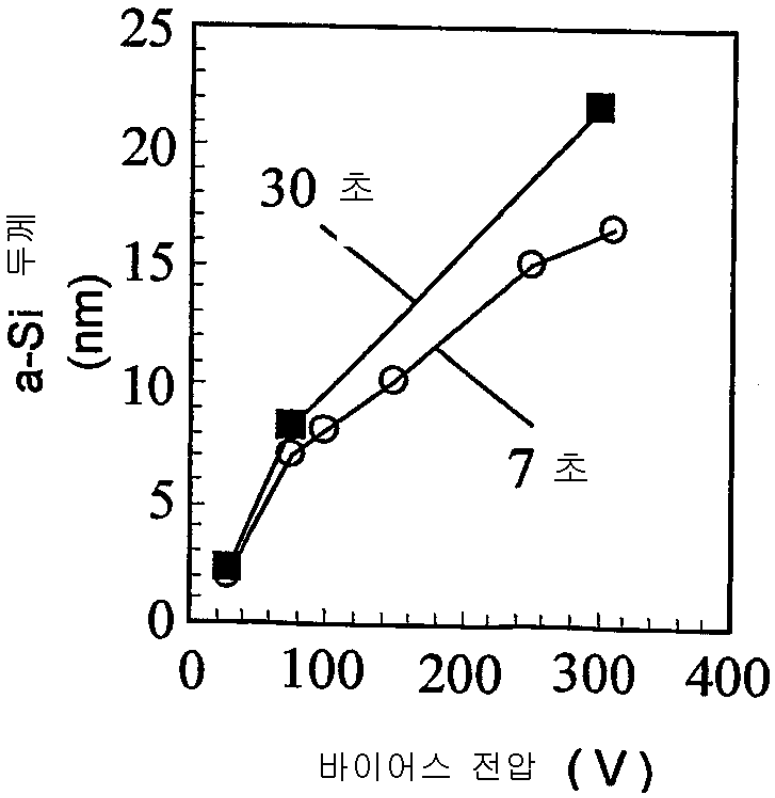
도면1


B_2H_6 가스원
MFC
5
100
14
13
17
10
11
12
1
2
3
15
16
9
7
4
MFC
6
8
가 스 원

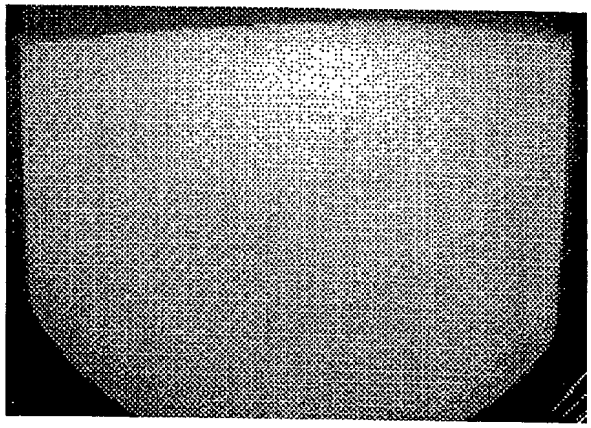
도면2


4.3 nm
22
21

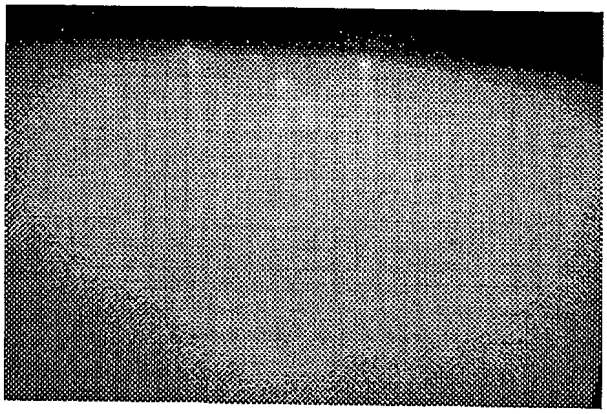
도면3



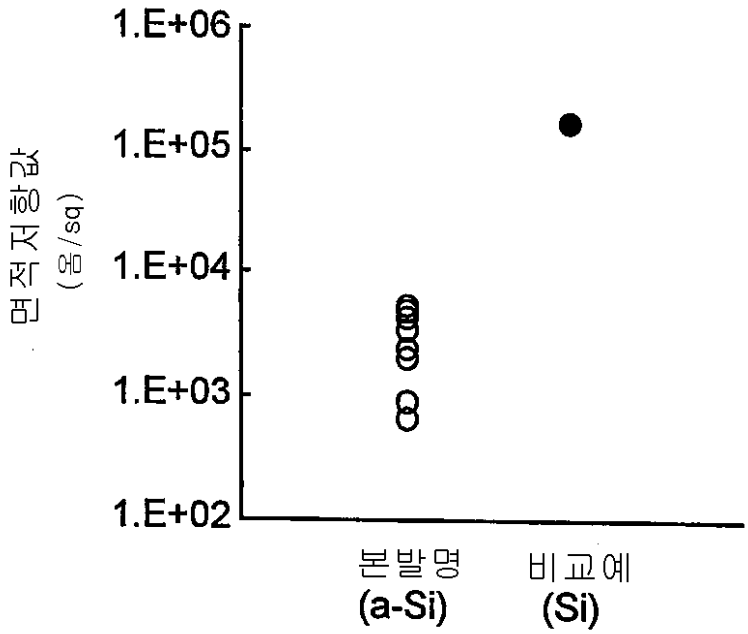
도면4



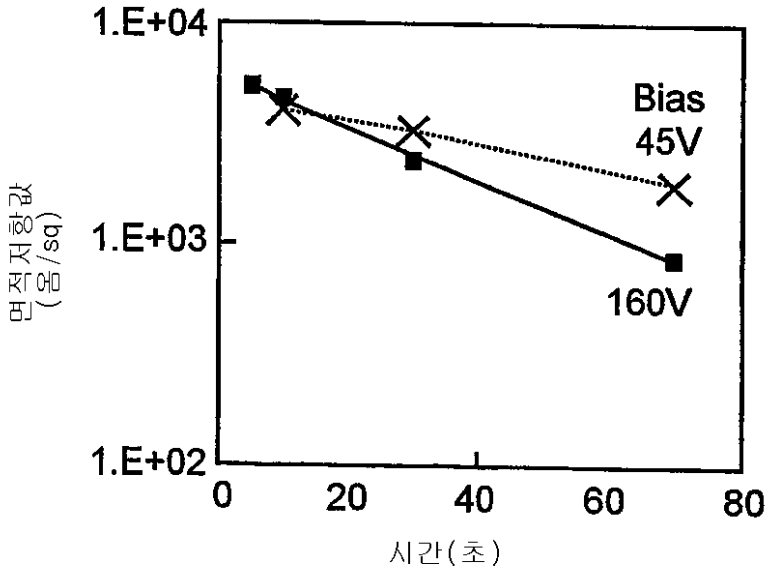
도면5



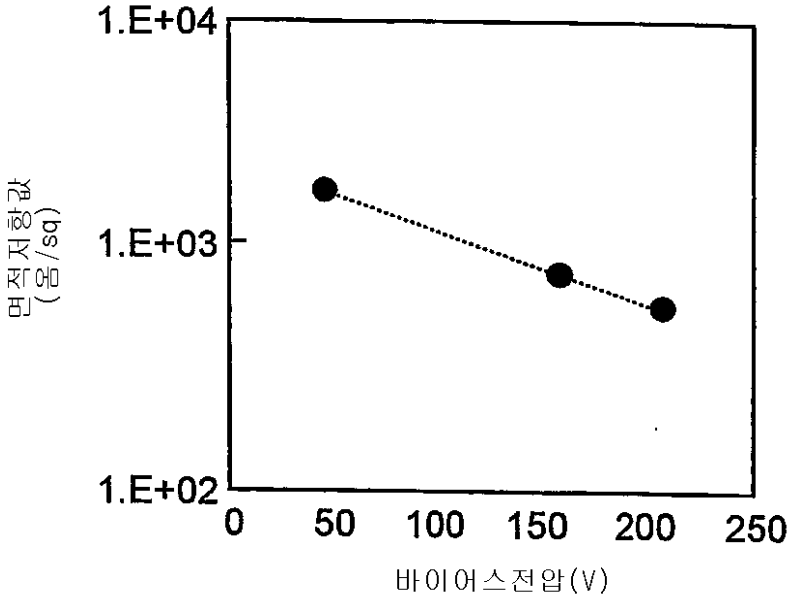
도면6



도면7


1.E+04
1.E+03
1.E+02
면적저항값 (옴/sq)
Bias
45V
160V
0
20
40
60
80
시간(초)

도면8


1.E+04
1.E+03
1.E+02
면적저항값 (옴/sq)
0
50
100
150
200
250
바이어스전압(V)

도면9

