



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I559539 B

(45) 公告日：中華民國 105 (2016) 年 11 月 21 日

(21) 申請案號：101135302 (22) 申請日：中華民國 101 (2012) 年 09 月 26 日
 (51) Int. Cl. : H01L29/78 (2006.01) H01L29/40 (2006.01)
 (30) 優先權：2011/09/30 日本 2011-217872
 (71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
 LABORATORY CO., LTD. (JP)
 日本
 (72) 發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；磯部敦生 ISOBE, ATSUO (JP)；佐佐木俊
 成 SASAKI, TOSHINARI (JP)
 (74) 代理人：林志剛
 (56) 參考文獻：
 US 2006/0263576A1 US 2010/0159639A1
 WO 2011/111503A1
 審查人員：李秋峰
 申請專利範圍項數：19 項 圖式數：12 共 75 頁

(54) 名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57) 摘要

本發明的一個方式是當藉由提高電晶體的導通特性來實現半導體裝置的高速驅動時提供可靠性高的結構。藉由使源極電極及汲極電極的端部與閘極電極的端部重疊，並使成為氧化物半導體層的通道形成區的區域與閘極電極確實重疊，提高電晶體的導通特性。此外，藉由在絕緣層中形成嵌入導電層，來獲得嵌入導電層與源極電極及汲極電極的大接觸面積，降低電晶體的接觸電阻。藉由抑制閘極絕緣層的覆蓋故障，可以使氧化物半導體層薄膜化，從而實現電晶體的微型化。

A highly reliable structure is provided when high-speed driving of a semiconductor device is achieved by improving on-state characteristics of the transistor. The on-state characteristics of the transistor are improved as follows: an end portion of a source electrode and an end portion of a drain electrode overlap with end portions of a gate electrode, and the gate electrode surely overlaps with a region serving as a channel formation region of an oxide semiconductor layer. Further, embedded conductive layers are formed in an insulating layer so that large contact areas are obtained between the embedded conductive layers and the source and drain electrodes; thus, the contact resistance of the transistor can be reduced. Prevention of coverage failure with a gate insulating layer enables the oxide semiconductor layer to be thin; thus, the transistor is miniaturized.

指定代表圖：

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101135302

※申請日：101年09月26日

※IPC分類：

H01L 29/178 2006.01

一、發明名稱：(中文/英文)

半導體裝置

H01L 29/142 2006.01

Semiconductor device

二、中文發明摘要：

本發明的一個方式是當藉由提高電晶體的導通特性來實現半導體裝置的高速驅動時提供可靠性高的結構。藉由使源極電極及汲極電極的端部與閘極電極的端部重疊，並使成爲氧化物半導體層的通道形成區的區域與閘極電極確實重疊，提高電晶體的導通特性。此外，藉由在絕緣層中形成嵌入導電層，來獲得嵌入導電層與源極電極及汲極電極的大接觸面積，降低電晶體的接觸電阻。藉由抑制閘極絕緣層的覆蓋故障，可以使氧化物半導體層薄膜化，從而實現電晶體的微型化。

三、英文發明摘要：

A highly reliable structure is provided when high-speed driving of a semiconductor device is achieved by improving on-state characteristics of the transistor. The on-state characteristics of the transistor are improved as follows: an end portion of a source electrode and an end portion of a drain electrode overlap with end portions of a gate electrode, and the gate electrode surely overlaps with a region serving as a channel formation region of an oxide semiconductor layer. Further, embedded conductive layers are formed in an insulating layer so that large contact areas are obtained between the embedded conductive layers and the source and drain electrodes; thus, the contact resistance of the transistor can be reduced. Prevention of coverage failure with a gate insulating layer enables the oxide semiconductor layer to be thin; thus, the transistor is miniaturized.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件代表符號簡單說明：

400：基板

401：閘極電極

402：閘極絕緣層

403：氧化物半導體層

405a：導電層

405b：導電層

408：層間絕緣層

420：電晶體

465a：導電層

465b：導電層

481a：導電層

481b：導電層

491：絕緣層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置及半導體裝置的製造方法。

注意，在本說明書中，半導體裝置是指能夠藉由利用半導體特性工作的所有裝置，因此，電光裝置、半導體電路及電子裝置都是半導體裝置。

【先前技術】

使用形成在具有絕緣表面的基板上的半導體薄膜構成電晶體（也稱為薄膜電晶體(TFT)）的技術受到關注。該電晶體被廣泛地應用於如積體電路（IC）或影像顯示裝置（顯示裝置）等電子裝置。作為可以應用於電晶體的半導體薄膜用材料，矽類半導體材料被廣泛地周知。但是，作為其他材料，氧化物半導體受到關注。

例如，公開了作為電晶體的半導體層使用包含銦（In）、鎵（Ga）和鋅（Zn）的非晶氧化物的頂閘極型共面型（Coplanar Type）電晶體（參照專利文獻1）。

[專利文獻1] 日本專利申請公開第2006-165528號公報

為了提高電晶體的導通特性（例如，導通電流或場效應遷移率）來實現半導體裝置的高速驅動，較佳為採用使成為半導體層的通道形成區的區域與閘極電極確實重疊的結構。藉由採用該結構，可以將閘極電壓確實施加到源極

電極與汲極電極之間的通道形成區，從而可以降低源極電極與汲極電極之間的電阻。

在共面型電晶體中在電晶體的閘極電極兩側分開設置源極電極及汲極電極的情況下，當看其上表面或剖面時，在閘極電極與源極電極及汲極電極之間形成有空隙。該空隙當使電晶體工作時成爲電阻。

由此，當使用矽類半導體材料時，藉由對成爲上述空隙的半導體區注入雜質，實現該空隙的區域的低電阻化，來使成爲半導體層的通道形成區的區域與閘極電極確實重疊而提高導通特性。另一方面，當使用氧化物半導體作爲半導體材料時，爲了實現該區域的低電阻化，較佳的是在成爲半導體層的通道形成區的區域中使源極電極及汲極電極的端部與閘極電極的端部一致或重疊。

然而，在電晶體的源極電極及汲極電極的端部與閘極電極的端部一致或重疊的結構中，有該電極間的短路的問題。該電極間的短路起因於閘極絕緣層的覆蓋故障。尤其是當伴隨電晶體的微型化的閘極絕緣層的薄膜化時，有覆蓋故障的問題。

形成在源極電極及汲極電極上以及氧化物半導體層上的閘極絕緣層尤其是在與氧化物半導體層的通道形成區接觸的區域因覆蓋故障等而容易導致短路。爲了實現導通特性的提高，在很多情況下，將源極電極及汲極電極設置爲比閘極絕緣層厚。由此，當使閘極絕緣層薄膜化時，伴隨較厚的源極電極及汲極電極而覆蓋故障進一步增加。其結

果是，容易產生電極間的短路，而導致可靠性降低。

【發明內容】

鑒於上述問題，本發明的一個方式的課題之一是當藉由提高電晶體的導通特性來實現半導體裝置的高速驅動時提供可靠性高的結構。

使源極電極及汲極電極的端部與閘極電極重疊，並使成爲半導體層的通道形成區的區域與閘極電極確實重疊。此外，藉由將嵌入導電層設置在絕緣層中，且在與用作源極電極及汲極電極的導電層接觸的位置上設置嵌入導電層，增加嵌入導電層與源極電極及汲極電極的接觸面積。藉由採用上述結構，可以降低電晶體的接觸電阻，而可以提高導通特性。

本發明的一個方式是一種半導體裝置，包括：絕緣層；嵌入在絕緣層中且其上表面從該絕緣層露出的第一嵌入導電層及第二嵌入導電層；接觸於第一嵌入導電層與第二嵌入導電層之間的絕緣層的上表面的一部分且以接觸於第一嵌入導電層的露出的上表面的方式設置的第一導電層；接觸於第一嵌入導電層與第二嵌入導電層之間的絕緣層的上表面的一部分且以接觸於第二嵌入導電層的露出的上表面的方式設置的第二導電層；以接觸於第一導電層的一部分及第一嵌入導電層的露出的上表面的一部分的方式設置的第三導電層；以接觸於第二導電層的一部分及第二嵌入導電層的露出的上表面的一部分的方式設置的第四導

電層；設置在第一導電層上、第二導電層上、第三導電層上以及第四導電層上且以接觸於第一嵌入導電層與第二嵌入導電層之間的絕緣層的上表面的一部分的方式設置的氧化物半導體層；設置在氧化物半導體層上的閘極絕緣層；以及以接觸於閘極絕緣層的上表面的一部分的方式設置的閘極電極，其中，閘極電極隔著氧化物半導體層及閘極絕緣層重疊於第一導電層的一部分，隔著氧化物半導體層及閘極絕緣層重疊於第二導電層的一部分，並隔著氧化物半導體層及閘極絕緣層重疊於第一嵌入導電層與第二嵌入導電層之間的絕緣層的上表面的一部分。

在上述半導體裝置中，閘極電極隔著氧化物半導體層及閘極絕緣層設置在以覆蓋第一導電層的一部分的方式形成的第三導電層的端部與以覆蓋第二導電層的一部分的方式形成的第四導電層的端部之間，並且在所述閘極電極與每個端部之間有間隔。

本發明的一個方式是一種半導體裝置，包括：絕緣層；嵌入在絕緣層中且其上表面從該絕緣層露出的第一嵌入導電層及第二嵌入導電層；接觸於第一嵌入導電層與第二嵌入導電層之間的絕緣層的上表面的一部分且以接觸於第一嵌入導電層的露出的上表面的一部分的方式設置的第一導電層；接觸於第一嵌入導電層與第二嵌入導電層之間的絕緣層的上表面的一部分且以接觸於第二嵌入導電層的露出的上表面的一部分的方式設置的第二導電層；以接觸於第一嵌入導電層的露出的上表面的一部分的方式設置的

第三導電層；以接觸於第二嵌入導電層的露出的上表面的一部分的方式設置的第四導電層；以接觸於第一導電層的一部分及第三導電層的一部分的方式設置且在形成在第一導電層與第三導電層之間的第一開口部中，以接觸於第一嵌入導電層的露出的上表面的一部分的方式設置的第五導電層；以接觸於第二導電層的一部分及第四導電層的一部分的方式設置且在形成在第二導電層與第四導電層之間的第二開口部中，以接觸於第二嵌入導電層的露出的上表面的一部分的方式設置的第六導電層；設置在第一導電層上、第二導電層上、第三導電層上、第四導電層上、第五導電層上以及第六導電層上且以接觸於第一嵌入導電層與第二嵌入導電層之間的絕緣層的上表面的一部分的方式設置的氧化物半導體層；設置在氧化物半導體層上的閘極絕緣層；以及以接觸於閘極絕緣層的上表面的一部分的方式設置的閘極電極，其中，閘極電極隔著氧化物半導體層及閘極絕緣層重疊於第一導電層的一部分，隔著氧化物半導體層及閘極絕緣層重疊於第二導電層的一部分，並隔著氧化物半導體層及閘極絕緣層重疊於第一嵌入導電層與第二嵌入導電層之間的絕緣層的上表面的一部分。

在上述半導體裝置中，閘極電極隔著氧化物半導體層及閘極絕緣層設置在以覆蓋第一導電層的一部分的方式形成的第五導電層的端部與以覆蓋第二導電層的一部分的方式形成的第六導電層的端部之間，並且在所述閘極電極與每個端部之間有間隔。

本發明的一個方式是一種半導體裝置，包括：絕緣層；嵌入在絕緣層中且其上表面從該絕緣層露出的第一嵌入導電層及第二嵌入導電層；接觸於第一嵌入導電層與第二嵌入導電層之間的絕緣層的上表面的一部分且以接觸於第一嵌入導電層的露出的上表面的方式設置的第一導電層；接觸於第一嵌入導電層與第二嵌入導電層之間的絕緣層的上表面的一部分且以接觸於第二嵌入導電層的露出的上表面的方式設置的第二導電層；以接觸於第一導電層的一部分及第一嵌入導電層的露出的上表面的一部分的方式設置的第一氧化物半導體層；以接觸於第二導電層的一部分及第二嵌入導電層的露出的上表面的一部分的方式設置的第二氧化物半導體層；設置在第一導電層上、第二導電層上、第一氧化物半導體層上以及第二氧化物半導體層上且以接觸於第一嵌入導電層與第二嵌入導電層之間的絕緣層的上表面的一部分的方式設置的第三氧化物半導體層；設置在第三氧化物半導體層上的閘極絕緣層；以及以接觸於閘極絕緣層的上表面的一部分的方式設置的閘極電極，其中，閘極電極隔著第三氧化物半導體層及閘極絕緣層重疊於第一導電層的一部分，隔著第三氧化物半導體層及閘極絕緣層重疊於第二導電層的一部分，並隔著第三氧化物半導體層及閘極絕緣層重疊於第一嵌入導電層與第二嵌入導電層之間的絕緣層的上表面的一部分。

本發明的一個方式是一種半導體裝置，包括：絕緣層；嵌入在絕緣層中且其上表面從該絕緣層露出的第一嵌

入導電層及第二嵌入導電層；接觸於第一嵌入導電層與第二嵌入導電層之間的絕緣層的上表面的一部分且以接觸於第一嵌入導電層的露出的上表面的一部分的方式設置的第一導電層；接觸於第一嵌入導電層與第二嵌入導電層之間的絕緣層的上表面的一部分且以接觸於第二嵌入導電層的露出的上表面的一部分的方式設置的第二導電層；以接觸於第一嵌入導電層的露出的上表面的一部分的方式設置的第三導電層；以接觸於第二嵌入導電層的露出的上表面的一部分的方式設置的第四導電層；以接觸於第一導電層的一部分及第三導電層的一部分的方式設置且在形成在第一導電層與第三導電層之間的第一開口部中，以接觸於第一嵌入導電層的露出的上表面的一部分的方式設置的第一氧化物半導體層；以接觸於第二導電層的一部分及第四導電層的一部分的方式設置且在形成在第二導電層與第四導電層之間的第二開口部中，以接觸於第二嵌入導電層的露出的上表面的一部分的方式設置的第二氧化物半導體層；設置在第一導電層上、第二導電層上、第三導電層上、第四導電層上、第一氧化物半導體層上以及第二氧化物半導體層上且以接觸於第一嵌入導電層與第二嵌入導電層之間的絕緣層的上表面的一部分的方式設置的第三氧化物半導體層；設置在第三氧化物半導體層上的閘極絕緣層；以及以接觸於閘極絕緣層的上表面的一部分的方式設置的閘極電極，其中，閘極電極隔著第三氧化物半導體層及閘極絕緣層重疊於第一導電層的一部分，隔著第三氧化物半導體層

及閘極絕緣層重疊於第二導電層的一部分，並隔著第三氧化物半導體層及閘極絕緣層重疊於第一嵌入導電層與第二嵌入導電層之間的絕緣層的上表面的一部分。

在上述半導體裝置中，第一導電層及第二導電層的厚度也可以為 5nm 以上且 20nm 以下。

在本發明的一個方式的半導體裝置中，閘極絕緣層的厚度較佳為 10nm 以上且 20nm 以下。

在本發明的一個方式的半導體裝置中，氧化物半導體層的厚度較佳為 5nm 以上且 20nm 以下。

在本發明的一個方式的半導體裝置中，氧化物半導體層較佳為包含 c 軸配向的結晶。

爲了實現更高功能的半導體裝置，藉由使源極電極及汲極電極的端部與閘極電極重疊，並使成爲半導體層的通道形成區的區域與閘極電極確實重疊，提高電晶體的導通特性。另外，藉由將嵌入導電層設置在絕緣層中，且在與源極電極及汲極電極接觸的位置上設置嵌入導電層，增加嵌入導電層與源極電極及汲極電極的接觸面積，從而降低電晶體的接觸電阻。

【實施方式】

以下，參照圖式對實施方式進行詳細說明。但是，本發明不侷限於以下說明，而所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換爲各種各樣

的形式。因此，本發明不應該被解釋為僅侷限在以下所示的實施方式所記載的內容中。注意，在下面說明的發明結構中，在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略反復說明。

有時為了明確起見，誇大表示各實施方式的圖式等所示的各結構的大小、層的厚度或區域。因此，本發明並不一定限定於上述尺寸。

在本說明書中使用的第一、第二、第三至第 N (N 為自然數) 的序數詞是為避免結構要素的混淆而附記的，而不是用於在數目方面上進行限制。

實施方式 1

在本實施方式中，參照圖 1 至圖 3 說明所公開的發明的一個方式的半導體裝置及半導體裝置的製造方法。

圖 1 是半導體裝置的結構的一個例子的電晶體 420 的剖面圖。另外，作為電晶體 420 採用形成有一個通道形成區的單閘極結構，但也可以採用形成有兩個通道形成區的雙閘極結構或形成有三個通道形成區的三閘極結構。

電晶體 420 在具有絕緣表面的基板 400 上包括設置有第一嵌入導電層 481a 及第二嵌入導電層 481b 的絕緣層 491、氧化物半導體層 403、第一導電層 405a、405b、第二導電層 465a、465b、閘極絕緣層 402、閘極電極 401 以及層間絕緣層 408 (參照圖 1)。

在本實施方式所公開的圖 1 的結構中，閘極電極 401

以隔著氧化物半導體層 403 及閘極絕緣層 402 重疊於第一導電層 405a 的一部分及第一導電層 405b 的一部分的方式設置。再者，閘極電極 401 以隔著氧化物半導體層 403 及閘極絕緣層 402 重疊於第一嵌入導電層 481a 與第二嵌入導電層 481b 之間的絕緣層 491 的上表面的一部分的方式設置。因此，閘極電極 401 以與成爲氧化物半導體層 403 的通道形成區的區域重疊的方式設置。

另外，在以覆蓋第一導電層 405a 的一部分的方式形成的第二導電層 465a 的端部與以覆蓋第一導電層 405b 的一部分的方式形成的第二導電層 465b 的端部之間設置閘極電極 401，氧化物半導體層 403 及閘極絕緣層 402 介於閘極電極 401 與第二導電層 465a 及 465b 的端部之間，並且在閘極電極 401 與第二導電層 465a 及 465b 的每個端部之間有間隔。

另外，第一嵌入導電層 481a 以接觸於第一導電層 405a 的一部分及第二導電層 465a 的一部分的方式設置。同樣地，第二嵌入導電層 481b 以接觸於第一導電層 405b 的一部分及第二導電層 465b 的一部分的方式設置。

在本實施方式所公開的圖 1 的結構中，藉由採用在電晶體 420 的下部設置第一嵌入導電層 481a 及第二嵌入導電層 481b 的結構，不需要在閘極絕緣層 402 及層間絕緣層 408 中設置接觸孔。由於可以獲得源極電極或汲極電極與第一嵌入導電層 481a 的大接觸面積以及源極電極或汲極電極與第二嵌入導電層 481b 的大接觸面積，所以可以

降低接觸電阻。此外，藉由獲得大接觸面積，可以縮短閘極電極 401 的端部與第一嵌入導電層 481a 及第二嵌入導電層 481b 之間的距離。

藉由使用作電晶體 420 的源極電極及汲極電極的第一導電層 405a、405b 的端部與閘極電極 401 的端部重疊，並使成爲氧化物半導體層 403 的通道形成區的區域與閘極電極 401 確實重疊，可以提高電晶體的導通特性（例如，導通電流或場效應遷移率），並可以實現半導體裝置的高速驅動。

此外，在本實施方式所公開的圖 1 的結構中，使用作電晶體的源極電極及汲極電極的第一導電層 405a、405b 薄膜化，尤其是在氧化物半導體層 403 的通道形成區附近可以減小形成閘極絕緣層 402 時的表面的臺階。因此，可以實現閘極絕緣層 402 的良好覆蓋率。

另外，藉由使第一導電層 405a、405b 薄膜化，可以縮短藉由進行蝕刻等的製程加工第一導電層 405a、405b 時所需要的時間。

另外，在本實施方式所公開的圖 1 的結構中，可以使閘極絕緣層 402 及氧化物半導體層 403 薄膜化。因此，在可以提高導通特性的同時，藉由使電晶體作爲全耗盡型進行工作，可以實現高集體化、高速驅動化及低耗電量化。

再者，在本實施方式所公開的圖 1 的結構中，由於用作電晶體的源極電極及汲極電極的第二導電層 465a、465b 的端部不重疊於閘極電極 401 的端部，所以即使使第二導

電層 465a、465b 比第一導電層 405a、405b 厚，也不發生電極間的短路。因此，藉由使第二導電層 465a、465b 薄膜化，可以增加流過源極電極及汲極電極中的電流，而不發生電極間的短路。

如上所述，在本實施方式所公開的圖 1 的結構中，藉由使第一導電層 405a、405b 的端部與閘極電極 401 重疊，並使成爲氧化物半導體層 403 的通道形成區的區域與閘極電極 401 確實重疊，可以提高電晶體的導通特性。此外，藉由增大第一嵌入導電層 481a 及第二嵌入導電層 481b 與源極電極及汲極電極的接觸面積，可以降低接觸電阻。

另外，在本實施方式所公開的圖 1 的結構中，藉由減少閘極絕緣層 402 的覆蓋故障，可以使閘極絕緣層 402 及氧化物半導體層 403 薄膜化。藉由採用上述結構，可以使電晶體 420 進一步微型化。

接著，在圖 2A 至圖 2D 中示出圖 1 所示的電晶體 420 的製造方法的一個例子。

首先，在具有絕緣表面的基板 400 上形成絕緣層 491。

對能夠用於具有絕緣表面的基板 400 的基板沒有特別的限制，但是基板 400 需要至少具有能夠承受後面進行的熱處理的程度的耐熱性。例如，可以使用玻璃基板如硼矽酸鋇玻璃和硼矽酸鋁玻璃等、陶瓷基板、石英基板、藍寶石基板等。另外，作爲基板 400，也可以採用使用矽、碳

化矽等形成的單晶半導體基板或多晶半導體基板、使用矽鍺等形成的化合物半導體基板、SOI 基板等，並且也可以在這些基板上設置有半導體元件。

絕緣層 491 可以利用 CVD 法或濺射法等形成。此外，絕緣層 491 可以為單層結構或者疊層結構。另外，絕緣層 491 是與氧化物半導體層 403 接觸的層，所以較佳為使用由與氧化物半導體層 403 相同種類成分構成的氧化物。明確而言，較佳的是，採用包含選自鋁 (Al)、鎵 (Ga)、銩 (Zr)、鈦 (Hf) 等氧化物半導體層 403 的構成元素或與鋁、鎵等同一族元素的稀土元素中的一種以上的元素的氧化物的層。另外，更佳為使用這些元素的氧化物中的 3 族元素的鋁、鎵或稀土元素的氧化物。另外，作為稀土元素，較佳為使用鈦 (Sc)、釔 (Y)、鈰 (Ce)、釷 (Sm) 或釷 (Gd)。這些材料與氧化物半導體層 403 的匹配性良好，由此藉由將其用於絕緣層 491，可以得到與氧化物半導體層 403 的良好的介面狀態。另外，可以提高氧化物半導體層 403 的結晶性。

另外，由於將氧化物半導體層 403 用作電晶體 420 的半導體層，所以較佳的是絕緣層 491 的能隙大於氧化物半導體層 403 的能隙。

接著，在形成絕緣層 491 之後設置開口部，以嵌入該開口部的方式形成第一嵌入導電層 481a 及第二嵌入導電層 481b。然後，對包括第一嵌入導電層 481a 及第二嵌入導電層 481b 的絕緣層 491 表面進行利用 CMP 法的拋光。

作為第一嵌入導電層 481a 及第二嵌入導電層 481b，例如，可以使用含有選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素的金屬膜或以上述元素為成分的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）等。

另外，當將 Al、Cu 等的金屬膜用作第一嵌入導電層 481a 及第二嵌入導電層 481b 時，較佳的是在該金屬膜的下側和上側中的一者或兩者層疊 Ti、Mo、W 等高熔點金屬膜或它們的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）。

另外，第一嵌入導電層 481a 及第二嵌入導電層 481b 也可以使用導電金屬氧化物形成。作為導電金屬氧化物，可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦氧化錫（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，簡稱為 ITO）、氧化銦氧化鋅（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或者在這些金屬氧化物材料中含有氧化矽的材料。

接著，在第一嵌入導電層 481a 上、第二嵌入導電層 481b 上及絕緣層 491 上形成第一導電層。

作為第一導電層的材料，使用能夠承受後面進行的加熱處理的材料。作為用於用作源極電極及汲極電極的第一導電層的材料，例如可以使用含有選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素的金屬膜或以上述元素為成分的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）等。

此外，當 Al、Cu 等的金屬膜用作第一導電層時，較佳為採用在該金屬膜的下側和上側中的一者或兩者層疊

Ti、Mo、W 等的高熔點金屬膜或它們的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）的結構。

另外，第一導電層也可以使用導電金屬氧化物形成。作為導電金屬氧化物，可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦氧化錫（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，簡稱為 ITO）、氧化銦氧化鋅（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或者在這些金屬氧化物材料中含有氧化矽的材料。

較佳的是使上述第一導電層比後面形成的第二導電層 465 薄。明確而言，較佳的是在後面形成的閘極絕緣層 402 不發生覆蓋故障的範圍內使第一導電層薄膜化，以 1nm 以上且 30nm 以下（較佳為 10nm 以上且 20nm 以下）的厚度形成第一導電層即可。

接著，藉由光微影製程在第一導電層上形成光阻掩罩，部分地進行蝕刻處理形成第一導電層 405a、405b（包括使用與該導電層相同的層形成的佈線），然後去除光阻掩罩。藉由上述蝕刻處理，第一導電層被分離。被分離的第一導電層 405a、405b 用作電晶體 420 的源極電極及汲極電極。

接著，在第一導電層 405a、405b 上形成第二導電層 465。

作為上述第二導電層 465 的材料，使用能夠承受後面進行的加熱處理的材料。作為第二導電層 465，例如可以使用含有選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素的金屬膜或以上述元素為成分的金屬氮化物膜（氮化鈦膜、

105年4月18日修正
對線頁(本)

氮化鉬膜、氮化鎢膜)等。

此外，也可以採用在 Al、Cu 等的金屬膜的下側和上側中的一者或兩者層疊 Ti、Mo、W 等的高熔點金屬膜或它們的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）的結構。

另外，第二導電層 465 也可以使用導電金屬氧化物形成。作為導電金屬氧化物，可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦氧化錫（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，簡稱為 ITO）、氧化銦氧化鋅（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或者在這些金屬氧化物材料中含有氧化矽的材料。

另外，當作第二導電層 465 使用單層的 Al、Cu 的金屬膜時，尤其是較佳為採用作為第一導電層使用 Ti、Mo、W 等的高熔點金屬膜或它們的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）的結構。藉由採用上述結構，在作為第二導電層 465 的材料使用 Al、Cu 來可以降低佈線電阻的同時，可以減少如下缺陷，即當氧化物半導體層 403 與 Al、Cu 直接接觸時 Al、Cu 被氧化，而增加電阻。作為第一導電層的材料較佳為選擇如下材料，即當在後面的製程中進行蝕刻時選擇比相對於第二導電層 465 高的材料。

較佳為使上述第二導電層 465 比第一導電層厚。明確而言，在當將第二導電層 465 用作源極電極或汲極電極時佈線電阻不大的範圍內形成第二導電層 465 即可，對其厚度沒有特別的限制。

以上說明是到圖 2A 為止的製程的說明。

接著，藉由光微影製程在第二導電層 465 上形成光阻掩罩，部分地進行蝕刻處理形成第二導電層 465a、465b，然後去除光阻掩罩。藉由上述蝕刻處理，第二導電層被分離。

接著，在第一導電層 405a、405b 上、第二導電層 465a、465b 上及絕緣層 491 上形成氧化物半導體層 403。

當形成氧化物半導體層 403 時，較佳的是盡可能地降低氧化物半導體層 403 所包含的氫濃度。為了降低氫濃度，例如當利用濺射法進行成膜時，作為供應到濺射裝置的處理室內的氛圍氣體，適當地使用去除了氫、水、羥基或氫化物等雜質的高純度稀有氣體（典型地是氬）、氧、以及稀有氣體和氧的混合氣體。

另外，較佳的是以不暴露於大氣的方式連續形成氧化物半導體層 403 及後面形成的閘極絕緣層 402。藉由以不暴露於大氣的方式連續形成氧化物半導體層 403 及閘極絕緣層 402，可以防止氫或水分等雜質附著於它們的介面。

另外，藉由在將基板 400 保持為高溫的狀態下形成氧化物半導體層 403，也可以降低包含在氧化物半導體層 403 中的雜質濃度。將基板 400 的加熱溫度設定為 150℃ 以上且 450℃ 以下即可，基板溫度較佳為 200℃ 以上且 350℃ 以下。此外，藉由當形成氧化物半導體層 403 時以高溫加熱基板 400，可以形成具有結晶性的氧化物半導體層 403。

用於氧化物半導體層 403 的氧化物半導體較佳的是至少包含銦 (In) 或鋅 (Zn)。尤其是，較佳為包含 In 和 Zn。另外，除了上述元素以外，較佳的是還具有鎵 (Ga) 作為穩定劑 (stabilizer)，該穩定劑用來減小上述使用氧化物半導體的電晶體的電特性偏差。另外，作為穩定劑較佳為具有錫 (Sn)。另外，作為穩定劑較佳為具有鉿 (Hf)。此外，作為穩定劑較佳為具有鋁 (Al)。另外，作為穩定劑較佳為具有銩 (Zr)。

另外，作為其他穩定劑，可以具有鑷系元素的鑷 (La)、鈾 (Ce)、鐳 (Pr)、釹 (Nd)、釷 (Sm)、鈾 (Eu)、釷 (Gd)、鉕 (Tb)、鐳 (Dy)、釷 (Ho)、鉕 (Er)、鈾 (Tm)、鐳 (Yb)、鐳 (Lu) 中的一種或多種。

例如，作為氧化物半導體可以使用氧化銦；氧化錫；氧化鋅；二元金屬氧化物如 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；三元金屬氧化物如 In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物（也稱為 ITZO（在日本註冊的商標））、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-

Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；以及四元金屬氧化物如 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

另外，在此，例如，“In-Ga-Zn 類氧化物”是指包含 In、Ga 及 Zn 的氧化物，對 In、Ga、Zn 的比率沒有限制。此外，也可以包含 In、Ga 及 Zn 以外的金屬元素。

此外，較佳的是在當形成時包含多量的氧的條件（例如，在氧 100% 的氛圍下利用濺射法形成等）下形成氧化物半導體層 403，來使氧化物半導體層 403 包含多量的氧（較佳為包括與氧化物半導體處於結晶狀態時的化學計量組成相比氧含量過剩的區域）。

另外，作為當形成氧化物半導體層 403 時使用的濺射氣體，較佳為使用去除了氫、水、羥基或氫化物等雜質的高純度氣體。

另外，藉由減少成為電子給體（施體）的水分或氫等雜質且減少氧缺損被高度純化的氧化物半導體（purified Oxide Semiconductor）成為 i 型（本質半導體）或無限趨近於 i 型。因此，使用上述氧化物半導體的電晶體具有截止電流顯著低的特性。另外，氧化物半導體的能隙為 2eV 以上，較佳為 2.5eV 以上，更佳為 3eV 以上。藉由使用充分減少水分或氫等的雜質濃度並減少氧缺損而被高度純化的氧化物半導體層，可以降低電晶體的截止電流。

此外，在沒有特別的說明的情況下，本說明書中的截止電流在 n 通道型電晶體中是指：在使汲極端子的電位高於源極端子及閘極的電位的狀態下，當以源極端子的電位為標準時的閘極的電位為 0 以下時，流過源極端子與汲極端子之間的電流。

另外，氧化物半導體可以採用單晶、多晶（也稱為多晶體）或非晶等的狀態。尤其是用作氧化物半導體層 403 的氧化物半導體為包含結晶區及非晶區的混合層，較佳為具有結晶性的氧化物半導體。

具有結晶性的氧化物半導體可以進一步降低塊體內缺陷，藉由提高表面的平坦性，可以得到更高的遷移率。為提高表面的平坦性，較佳的是在平坦的表面上形成氧化物半導體，明確而言，在平均面粗糙度（Ra）為 1nm 以下，較佳為 0.3nm 以下，更佳為 0.1nm 以下的表面上形成氧化物半導體。

注意，Ra 是將 JIS B 0601：2001(ISO4287：1997)中定義的算術平均粗糙度擴大為三維以使其能夠應用於曲面，可以以“將從基準面到指定面的偏差的絕對值平均而得的值”表示，以如下算式定義。

[公式 1]

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

在此，指定面是指成為測量粗糙度對象的面，並且是

以座標 $(x_1, y_1, f(x_1, y_1))$ 、 $(x_1, y_2, f(x_1, y_2))$ 、 $(x_2, y_1, f(x_2, y_1))$ 、 $(x_2, y_2, f(x_2, y_2))$ 的四點表示的四角形的區域，指定面投影在 xy 平面的長方形的面積為 S_0 ，基準面的高度（指定面的平均高度）為 Z_0 。可以利用原子力顯微鏡（AFM：Atomic Force Microscope）測量 R_a 。

具有結晶性的氧化物半導體較佳的是 CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor：C 軸配向結晶氧化物半導體）。

CAAC-OS 不是完全的單晶也不是完全的非晶。CAAC-OS 是在非晶相中具有幾 nm 至幾十 nm 的結晶部的結晶-非晶混相結構的氧化物半導體。另外，在使用透射電子顯微鏡（TEM：Transmission Electron Microscope）觀察時，包括在 CAAC-OS 中的非晶部與結晶部的邊界不明確。並且，在 CAAC-OS 中觀察不到晶界（也稱為晶粒邊界（grain boundary））。由於 CAAC-OS 沒有晶界，所以不容易發生起因於晶界的電子遷移率的降低。

在包括在 CAAC-OS 中的結晶部中， c 軸在垂直於 CAAC-OS 的被形成面或表面的方向上一致，在從垂直於 ab 面的方向看時具有三角形或六角形的原子排列，且在從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，不同結晶部的 a 軸及 b 軸的方向也可以彼此不同。

另外，CAAC-OS 中的非晶部及結晶部所占的比率也

可以不均勻。例如，當從 CAAC-OS 的表面一側進行結晶生長時，有時在 CAAC-OS 的表面近旁結晶部所占的比率高，而在被形成面的近旁非晶部所占的比率高。

包括在 CAAC-OS 中的結晶部的 c 軸由於在垂直於 CAAC-OS 的被形成面或表面的方向上一致，所以有時根據 CAAC-OS 形狀（被形成面的剖面形狀或表面的剖面形狀）而不同結晶部的 c 軸的方向彼此不同。另外，結晶部的 c 軸的方向成爲垂直於形成 CAAC-OS 時的被形成面或表面的方向。在成膜後形成結晶部或者藉由在成膜後進行的加熱處理等的晶化處理形成結晶部。

藉由使用 CAAC-OS，減少因可見光或紫外光的照射導致的電晶體的電特性的變動，所以可以得到可靠性高的電晶體。

作爲上述氧化物半導體層 403 的一個例子，可以舉出藉由使用包含 In（銦）、Ga（鎵）及 Zn（鋅）的靶材的濺射法形成的 In-Ga-Zn 類氧化物。可以以 1nm 以上且 30nm 以下（較佳爲 5nm 以上且 20nm 以下）的厚度形成氧化物半導體層 403。

在藉由濺射法形成 In-Ga-Zn 類氧化物的情況下，較佳爲使用原子數比爲 In : Ga : Zn = 1:1:1、4:2:3、3:1:2、1:1:2、2:1:3 或 3:1:4 的 In-Ga-Zn 類氧化物的靶材。藉由使用具有上述原子數比的 In-Ga-Zn 類氧化物的靶材形成氧化物半導體層，容易形成多晶或 CAAC。另外，包含 In、Ga 及 Zn 的靶材的填充率爲 90% 以上且 100% 以下，較

佳為 95%以上且低於 100%。藉由採用填充率高的靶材，可以形成緻密的氧化物半導體層。

可以將基板放置在保持為減壓狀態的處理室內，去除殘留在處理室內的水分並引入氫及水分被去除了的濺射氣體，使用上述靶材來形成氧化物半導體層。當形成時，也可以將基板溫度設定為 100°C 以上且 600°C 以下，較佳為 200°C 以上且 400°C 以下。藉由邊加熱基板邊形成氧化物半導體層，可以降低包含在所形成的氧化物半導體層中的雜質濃度。另外，可以減輕由於濺射帶來的損傷。為了去除殘留在處理室中的水分，較佳為使用吸附型真空泵。例如，較佳為使用低溫泵、離子泵、鈦昇華泵。另外，作為排氣單元，也可以使用配備有冷阱的渦輪泵。在採用低溫泵來處理室進行排氣時，例如排出氫原子、水（ H_2O ）等包含氫原子的化合物（更佳地，還有包含碳原子的化合物）等，由此可以降低在該處理室中形成的氧化物半導體層所包含的雜質濃度。

另外，有時在藉由濺射法等形成的氧化物半導體層中包含多量的作為雜質的水分或氫（包括羥基）。因此，為了減少氧化物半導體層中的水分或氫等雜質（實現脫水化或脫氫化），在減壓氛圍、氮或稀有氣體等惰性氣體氛圍、氧氣體氛圍或超乾燥空氣（使用 CRDS（cavity ring-down laser spectroscopy：光腔衰蕩光譜法）方式的露點計進行測量時的水分量是 20ppm（露點換算，-55°C）以下，較佳的是 1ppm 以下，更佳的是 10ppb 以下的空氣）

氛圍下對氧化物半導體層進行加熱處理。

藉由對氧化物半導體層進行加熱處理，可以使氧化物半導體層中的水分或氫脫離。明確而言，加熱處理可以在 250°C 以上且 750°C 以下的溫度下進行，較佳的是在 400°C 以上且低於基板的應變點的溫度下進行。例如，可以在 500°C 的溫度下進行 3 分鐘以上且 6 分鐘以下左右的加熱處理。藉由使用 RTA 法作為加熱處理，可以在短時間內進行脫水化或脫氫化，由此也可以以超過玻璃基板的應變點的溫度進行處理。

另外，用來使氧化物半導體層中的水分或氫脫離的熱處理只要在形成氧化物半導體層 403 之後且在形成後面形成的層間絕緣層 408 之前，就可以在電晶體 420 的製程中的任何時序進行。此外，用來脫水化或脫氫化的熱處理也可以進行多次，也可以兼作其他加熱處理進行。

另外，有時由於上述加熱處理，從氧化物半導體層氧脫離而在氧化物半導體層內形成氧缺損。由此，作為在後面的製程中接觸於氧化物半導體層的閘極絕緣層，較佳為使用包含氧的閘極絕緣層。並且，藉由在形成包含氧的閘極絕緣層之後進行加熱處理，從上述閘極絕緣層將氧供應到氧化物半導體層。藉由採用上述結構，可以降低成為施體的氧缺損，而滿足包括在氧化物半導體層中的氧化物半導體的化學計量組成。其結果是，可以使氧化物半導體層趨近於 i 型，減輕因氧缺損而導致的電晶體的電特性偏差，從而可以實現電特性的提高。

在氮、超乾燥空氣或稀有氣體（氬、氦等）的氛圍下較佳的是以 200℃ 以上且 400℃ 以下，例如以 250℃ 以上且 350℃ 以下進行用來將氧供應到氧化物半導體層的加熱處理。上述氣體的含水量為 20ppm 以下，較佳為 1ppm 以下，更佳為 10ppb 以下。

此外，也可以在進行了脫水化或脫氫化處理的氧化物半導體層中引入氧（至少包含氧自由基、氧原子和氧離子中的任一種）而向層中供應氧。

藉由對進行了脫水化或脫氫化處理的氧化物半導體層 403 引入氧而在層中引入氧，可以使氧化物半導體層 403 高度純化且 i 型化。具有高度純化且 i 型化的氧化物半導體層 403 的電晶體的電特性變動被抑制，所以該電晶體在電性上穩定。

作為氧的引入方法，可以使用離子植入法、離子摻雜法、電漿浸沒離子植入法、電漿處理等。

藉由光微影製程將層狀的氧化物半導體層加工為島狀的氧化物半導體層 403 來可以形成氧化物半導體層 403。

另外，作為氧化物半導體層 403 的蝕刻，可以採用乾蝕刻和濕蝕刻中的一者或兩者。例如，作為用於氧化物半導體層 403 的濕蝕刻的蝕刻劑，可以使用混合有磷酸、醋酸及硝酸的溶液等。另外，也可以使用 ITO-07N（日本關東化學公司製造）。

接著，在氧化物半導體層 403 上形成閘極絕緣層 402。

將閘極絕緣層 402 的厚度設定為 1nm 以上且 20nm 以下，較佳為 10nm 以上且 20nm 以下，並可以適當地利用濺射法、MBE 法、CVD 法、脈衝雷射沉積法、ALD 法等形成閘極絕緣層 402。此外，也可以使用在以大致垂直於濺射靶材表面的方式設置有多個基板表面的狀態下進行成膜的濺射裝置來形成閘極絕緣層 402。

閘極絕緣層 402 可以使用氧化矽膜、氧化鎵膜、氧化鋁膜、氮化矽膜、氧氮化矽膜、氧氮化鋁膜或氮氧化矽膜形成。

閘極絕緣層 402 較佳的是在接觸於氧化物半導體層 403 的部分含有氧。尤其是，閘極絕緣層 402 較佳的是在層中（塊體中）存在其含量至少超過化學計量組成的氧，例如，當作爲閘極絕緣層 402 使用氧化矽時，其組成式爲 $\text{SiO}_{2+\alpha}$ （注意， $\alpha > 0$ ）。

在本實施方式中，作為閘極絕緣層 402，使用 $\text{SiO}_{2+\alpha}$ （注意， $\alpha > 0$ ）的氧化矽。藉由將這種氧化矽用作閘極絕緣層 402，可以對氧化物半導體層 403 供應氧，從而可以提高特性。

此外，藉由作為閘極絕緣層 402 的材料使用氧化鈣、氧化釷、矽酸鈣（ HfSi_xO_y （ $x > 0$ ， $y > 0$ ））、添加有氮的矽酸鈣（ HfSiO_xN_y （ $x > 0$ ， $y > 0$ ））、鋁酸鈣（ HfAl_xO_y （ $x > 0$ ， $y > 0$ ））以及氧化鑷等 high-k 材料，可以降低閘極漏電流。而且，閘極絕緣層 402 既可以是單層結構，又可以是疊層結構。

以上說明是到圖 2B 爲止的製程的說明。

接著，在閘極絕緣層 402 上藉由電漿 CVD 法或濺射法等形成導電層。接著，藉由光微影製程在導電層上形成光阻掩罩，部分地進行蝕刻處理形成閘極電極 401，然後去除光阻掩罩。

閘極電極 401 可以使用諸如鉬、鈦、鉕、鎢、鋁、銅、鉻、鈹、鈳等的金屬材料或以這些材料爲主要成分的合金材料形成。此外，作爲閘極電極 401，可以使用以摻雜有磷等雜質元素的多晶矽膜爲代表的半導體膜、鎳矽化物等矽化物膜。閘極電極 401 既可以是單層結構，又可以是疊層結構。

另外，作爲閘極電極 401 的材料也可以應用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物以及添加有氧化矽的銦錫氧化物等導電材料。此外，也可以採用上述導電材料與上述金屬材料的疊層結構。

此外，作爲與閘極絕緣層 402 接觸的閘極電極 401 中的一層，可以使用包含氮的金屬氧化物，明確而言，包含氮的 In-Ga-Zn-O 膜、包含氮的 In-Sn-O 膜、包含氮的 In-Ga-O 膜、包含氮的 In-Zn-O 膜、包含氮的 Sn-O 膜、包含氮的 In-O 膜以及金屬氮化膜（InN、SnN 等）。這些膜具有 5eV（電子伏特），較佳爲具有 5.5eV（電子伏特）以上的功函數且當將它們用作閘極電極時，可以使電晶體的

電特性的臨界電壓成爲正值，而可以實現所謂的常關閉型（normally off）的切換元件。

以上說明是到圖 2C 爲止的製程的說明。

接著，在閘極絕緣層 402、閘極電極 401 上形成層間絕緣層 408（參照圖 2D）。

層間絕緣層 408 可以藉由電漿 CVD 法、濺射法或蒸鍍法等形成。作爲層間絕緣層 408，典型地可以使用氧化矽層、氧氮化矽層、氧氮化鋁層或氧化鎵層等的無機絕緣層等。

此外，作爲用於層間絕緣層 408 的材料，可以舉出氧化鋁、氧化鉛、氧化鎂、氧化鋯、氧化釧、氧化鋇或金屬氮化物（例如，氮化鋁）等。

層間絕緣層 408 可以爲單層或疊層結構，例如可以採用氧化矽膜及氧化鋁膜的疊層結構。

層間絕緣層 408 較佳的是適當地使用濺射法等的不使水、氫等雜質混入到層間絕緣層 408 中的方法來形成。

在本實施方式中，作爲層間絕緣層 408 藉由濺射法形成厚度爲 100nm 的氧化矽膜。可以在稀有氣體（典型的是氬）氛圍下、氧氛圍下或稀有氣體和氧的混合氛圍下，藉由濺射法形成氧化矽膜。

與形成氧化物半導體層時同樣，爲了去除殘留在層間絕緣層 408 的沉積室內的水分，較佳爲使用吸附型的真空泵（低溫泵等）。可以降低在使用低溫泵排氣的沉積室中形成的層間絕緣層 408 所包含的雜質的濃度。此外，作爲

用來去除殘留在層間絕緣層 408 的沉積室內的水分的排氣單元，也可以採用配備有冷阱的渦輪分子泵。

作為當形成層間絕緣層 408 時使用的濺射氣體，較佳為使用去除了氫、水、羥基或氫化物等雜質的高純度氣體。

可以用作設置在氧化物半導體層 403 上的層間絕緣層 408 的氧化鋁膜具有高遮斷效果（阻擋效果），即不使氫、水分等雜質和氧的兩者透過膜的效果。

因此，氧化鋁膜用作保護膜，而防止在製程中及製造之後成為變動原因的氫、水分等雜質混入到氧化物半導體層 403，並防止從氧化物半導體層 403 釋放作為構成氧化物半導體的主要成分材料的氧。

此外，為了降低起因於電晶體的表面凹凸，也可以形成平坦化絕緣膜。作為平坦化絕緣膜，可以使用聚醯亞胺樹脂、丙烯酸樹脂、苯並環丁烯樹脂等的有機材料。此外，除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）等。另外，也可以層疊多個由上述材料形成的絕緣膜形成平坦化絕緣膜。

藉由上述製程形成本實施方式的電晶體 420。藉由使用至少包含銮、鋅及氧的氧化物半導體層 403，使用作源極電極及汲極電極的導電層的端部與閘極電極 401 重疊，並使成為氧化物半導體層 403 的通道形成區的區域與閘極電極 401 確實重疊，可以提高電晶體的導通特性。此外，藉由減低接觸電阻，可以實現半導體裝置的高速驅動，並

可以提供可靠性高的結構。

圖 6A 是圖 1 的電晶體 420 的平面圖，而圖 6B 是沿著圖 6A 的 X-Y 的剖面圖。

在圖 6A 及圖 6B 的結構中，藉由使用作電晶體 420 的源極電極及汲極電極的第一導電層 405a、405b 的端部與成爲閘極電極的閘極電極 401 的端部重疊，並使成爲氧化物半導體層 403 的通道形成區的區域與閘極電極 401 確實重疊，可以提高電晶體的導通特性。因此，可以實現半導體裝置的高速驅動。

另外，在本實施方式所公開的圖 6A 及圖 6B 的結構中，可以使第一導電層 405a、405b 薄膜化。藉由使第一導電層 405a、405b 的厚度薄，尤其是在氧化物半導體層 403 的通道形成區附近可以減少形成閘極絕緣層 402 時的表面的臺階。由此，藉由減少閘極絕緣層 402 的覆蓋故障，可以減少電極間的短路，並可以提高可靠性。

另外，在本實施方式所公開的圖 6A 及圖 6B 的結構中，可以在使閘極絕緣層 402 薄膜化的同時，使氧化物半導體層 403 薄膜化。藉由使閘極絕緣層 402 及氧化物半導體層 403 薄膜化，在可以提高導通特性的同時，可以使電晶體作爲全耗盡型進行工作。藉由使電晶體作爲全耗盡型進行工作，可以實現高集體化、高速驅動化及低耗電量化。

並且，在本實施方式所公開的圖 6A 及圖 6B 的結構中，藉由採用在電晶體 420 的下部設置第一嵌入導電層

481a 及第二嵌入導電層 481b 的結構，不需要在閘極絕緣層 402 及層間絕緣層 408 中設置接觸。由於可以獲得源極電極或汲極電極與第一嵌入導電層 481a 的大接觸面積以及源極電極或汲極電極與第二嵌入導電層 481b 的大接觸面積，所以可以降低接觸電阻。此外，藉由獲得大接觸面積，可以縮短閘極電極 401 的端部與接觸之間的距離。

如上所述，在電晶體 420 的結構中可以提高導通特性，而不減少流過電晶體的源極電極及汲極電極中的電流。再者，藉由在使氧化物半導體層及閘極絕緣層薄膜化的同時減少閘極絕緣層的覆蓋故障，可以使將氧化物半導體層 403 設置在通道形成區中的電晶體 420 微型化，所以是較佳的。

在此，參照圖 3 說明圖 1 所示的電晶體 420 的變形例子。在圖 3 的說明中，省略與圖 1 相同的部分或具有相同功能的部分的重複說明。此外，省略相同部分的詳細說明。

電晶體 430 在具有絕緣表面的基板 400 上包括設置有第一嵌入導電層 481a 及第二嵌入導電層 481b 的絕緣層 491、氧化物半導體層 403、第一導電層 405a、405b、405c、405d、第二導電層 465a、465b、閘極絕緣層 402、閘極電極 401 以及層間絕緣層 408（參照圖 3）。

圖 3 所示的電晶體 430 的結構是在第一導電層中設置開口部的結構，而與不在第一導電層中設置開口部的圖 1 的電晶體 420 的結構不同。

在本實施方式所公開的圖 3 的結構中，在第一導電層中設置開口部 485a，形成第一導電層 405a 及第一導電層 405c。此外，在第一導電層中設置開口部 485b，形成第一導電層 405b 及第一導電層 405d。因此，與圖 1 的電晶體 420 的結構相比，在圖 3 的電晶體 430 的結構中，第一嵌入導電層 481a 與第一導電層的接觸面積以及第二嵌入導電層 481b 與第一導電層的接觸面積大。

藉由採用在電晶體 430 的下部設置第一嵌入導電層 481a 及第二嵌入導電層 481b 的結構，不需要在閘極絕緣層 402 及層間絕緣層 408 中設置接觸。因此，可以獲得第一嵌入導電層 481a 及第二嵌入導電層 481b 與源極電極及汲極電極的大接觸面積，從而可以降低接觸電阻。

另外，本實施方式所公開的圖 3 的結構是如下結構：在第一導電層中設置開口部 485a，使第一導電層 405a、第一導電層 405c 及第二導電層 465a 與第一嵌入導電層 481a 直接連接，還在第一導電層中設置開口部 485b，使第一導電層 405b、第一導電層 405d 及第二導電層 465b 與第二嵌入導電層 481b 直接連接。藉由採用上述結構，可以增加流過第一導電層、第二導電層、嵌入導電層中的電流。

如上所述，在上述圖 1 所示的電晶體 420、上述圖 3 所示的電晶體 430 的結構中可以提高導通特性，而不減少流過電晶體的源極電極及汲極電極中的電流。再者，藉由在使氧化物半導體層及閘極絕緣層薄膜化的同時減少閘極

絕緣層的覆蓋故障，可以使將氧化物半導體設置在通道形成區中的電晶體微型化。此外，藉由設置嵌入導電層，可以降低與電晶體的接觸電阻。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 2

在本實施方式中，參照圖 4 及圖 5 說明半導體裝置的其他方式。與上述實施方式相同的部分或者具有與上述實施方式類似的功能的部分可以用上述實施方式類似的方法形成。與上述實施方式相同或類似的製程可以用上述實施方式類似的方法進行。因此，省略其反復說明。此外，省略相同部分的詳細說明。

圖 4 是具有與實施方式 1 所示的半導體裝置不同的結構的電晶體 440 的剖面圖。

電晶體 440 在具有絕緣表面的基板 400 上包括設置有第一嵌入導電層 481a 及第二嵌入導電層 481b 的絕緣層 491、第一氧化物半導體層 466a、466b、第二氧化物半導體層 413、第一導電層 405a、405b、閘極絕緣層 402、閘極電極 401 以及層間絕緣層 408（參照圖 4）。

在本實施方式所公開的圖 4 的結構中，閘極電極 401 以隔著第二氧化物半導體層 413 及閘極絕緣層 402 重疊於第一導電層 405a 及第一導電層 405b 的方式設置。再者，閘極電極 401 以隔著第二氧化物半導體層 413 及閘極絕緣層 402 重疊於第一嵌入導電層 481a 與第二嵌入導電層

481b 之間的絕緣層 491 的上表面的一部分的方式設置。因此，閘極電極 401 以與成爲第二氧化物半導體層 413 的通道形成區的區域重疊的方式設置。

另外，在以覆蓋第一導電層 405a 的一部分的方式形成的第一氧化物半導體層 466a 的端部與以覆蓋第一導電層 405b 的一部分的方式形成的第一氧化物半導體層 466b 的端部之間設置閘極電極 401，並且在閘極電極 401 與每個端部之間有間隔。

另外，第一嵌入導電層 481a 以接觸於第一導電層 405a 的一部分及第一氧化物半導體層 466a 的一部分的方式設置。同樣地，第二嵌入導電層 481b 以接觸於第一導電層 405b 的一部分及第一氧化物半導體層 466b 的一部分的方式設置。

在本實施方式所公開的圖 4 的結構中，藉由採用在電晶體 440 的下部設置第一嵌入導電層 481a 及第二嵌入導電層 481b 的結構，不需要在閘極絕緣層 402 及層間絕緣層 408 中設置接觸。因此，由於可以獲得源極電極或汲極電極與第一嵌入導電層 481a 的大接觸面積以及源極電極或汲極電極與第二嵌入導電層 481b 的大接觸面積，所以可以降低接觸電阻。此外，藉由獲得大接觸面積，可以縮短閘極電極 401 的端部與接觸之間的距離。

藉由使用作電晶體 440 的源極電極及汲極電極的第一導電層 405a、405b 的端部與閘極電極 401 的端部重疊，並使成爲第二氧化物半導體層 413 的通道形成區的區域與

閘極電極 401 確實重疊，可以提高電晶體的導通特性，而可以實現半導體裝置的高速驅動。

此外，在本實施方式所公開的圖 4 的結構中，使用作電晶體的源極電極及汲極電極的第一導電層 405a、405b 薄膜化，尤其是在第二氧化物半導體層 413 的通道形成區附近可以減少形成閘極絕緣層 402 時的表面的臺階。因此，可以實現閘極絕緣層 402 的良好的覆蓋率。

另外，藉由使第一導電層 405a、405b 薄膜化，可以縮短藉由進行蝕刻等的製程加工第一導電層 405a、405b 時所需要的時間。

另外，在本實施方式所公開的圖 4 的結構中，可以在使閘極絕緣層 402 薄膜化的同時，使第二氧化物半導體層 413 薄膜化。因此，在可以提高導通特性的同時，藉由使電晶體作為全耗盡型進行工作，可以實現高集體化、高速驅動化及低耗電量化。

如上所述，在本實施方式所公開的圖 4 的結構中，藉由使第一導電層 405a、405b 的端部與閘極電極 401 重疊，並使成為第二氧化物半導體層 413 的通道形成區的區域與閘極電極 401 確實重疊，可以提高電晶體的導通特性。此外，藉由增大第一嵌入導電層 481a 及第二嵌入導電層 481b 與源極電極及汲極電極的接觸面積，可以降低接觸電阻。

在此，參照圖 5 說明圖 4 所示的電晶體 440 的變形例子。在圖 5 的說明中，省略與圖 4 相同的部分或具有相同

功能的部份的重複說明。此外，省略相同部份的詳細說明。

電晶體 450 在具有絕緣表面的基板 400 上包括設置有第一嵌入導電層 481a 及第二嵌入導電層 481b 的絕緣層 491、第一氧化物半導體層 466a、466b、第二氧化物半導體層 413、第一導電層 405a、405b、405c、405d、閘極絕緣層 402、閘極電極 401 以及層間絕緣層 408（參照圖 5）。

圖 5 所示的電晶體 450 的結構是在第一導電層中設置開口部的結構，而與不在第一導電層中設置開口部的圖 4 的電晶體 440 的結構不同。

在本實施方式所公開的圖 5 的結構中，在第一導電層中設置開口部 486a，形成第一導電層 405a 及第一導電層 405c。此外，在第一導電層中設置開口部 486b，形成第一導電層 405b 及第一導電層 405d。因此，與圖 4 的電晶體 440 的結構相比，在圖 5 的電晶體 450 的結構中，第一嵌入導電層 481a 與第一導電層的接觸面積以及第二嵌入導電層 481b 與第一導電層的接觸面積大。

藉由採用在電晶體 450 的下部設置第一嵌入導電層 481a 及第二嵌入導電層 481b 的結構，不需要在閘極絕緣層 402 及層間絕緣層 408 中設置接觸。因此，可以獲得第一嵌入導電層 481a 及第二嵌入導電層 481b 與源極電極及汲極電極的大接觸面積，從而可以降低接觸電阻。

另外，本實施方式所公開的圖 5 的結構是如下結構：

在第一導電層中設置開口部 486a，使第一導電層 405a、第一導電層 405c 及第一氧化物半導體層 466a 與第一嵌入導電層 481a 直接連接，還在第一導電層中設置開口部 486b，使第一導電層 405b、第一導電層 405d 及第一氧化物半導體層 466b 與第二嵌入導電層 481b 直接連接。藉由採用上述結構，可以增加流過第一導電層、第一氧化物半導體層、嵌入導電層中的電流。

如上所述，在上述圖 4 所示的電晶體 440、上述圖 5 所示的電晶體 450 的結構中可以提高導通特性，而不減少流過電晶體的源極電極及汲極電極中的電流。再者，藉由在使氧化物半導體層及閘極絕緣層薄膜化的同時減少閘極絕緣層的覆蓋故障，可以使將氧化物半導體設置在通道形成區中的電晶體微型化。此外，藉由設置嵌入導電層，可以降低與電晶體的接觸電阻。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 3

在本實施方式中，參照圖 7A 及圖 7B 對如下半導體裝置進行說明，即使用實施方式 1 及實施方式 2 所示的電晶體，在沒有電力供應的情況下也能夠保持儲存資料，且對寫入次數也沒有限制的半導體裝置。此外，在本實施方式的半導體裝置中，作為電晶體 162 應用實施方式 1 及實施方式 2 所記載的電晶體。

圖 7A 示出半導體裝置的電路結構的一個例子，而圖

7B 是示出半導體裝置的一個例子的示意圖。首先，對圖 7A 所示的半導體裝置進行說明，接著對圖 7B 所示的半導體裝置進行說明。

在圖 7A 所示的半導體裝置中，位元線 BL 連接到成爲電晶體 162 的源極電極和汲極電極中的一方的電極。字線 WL 與電晶體 162 的閘極電極連接。成爲電晶體 162 的源極電極和汲極電極中的另一方的電極連接到電容元件 254 的一方的電極。

使用氧化物半導體的電晶體 162 具有截止電流極小的特徵。因此，藉由使電晶體 162 成爲截止狀態，能夠在極長時間內儲存電容元件 254 的一方的電極的電位（或積累在電容元件 254 中的電荷）。

接著，說明對圖 7A 所示的半導體裝置（記憶單元 250）進行資訊的寫入及保持的情況。

首先，藉由將字線 WL 的電位設定爲使電晶體 162 成爲導通狀態的電位，來使電晶體 162 成爲導通狀態。由此，將位元線 BL 的電位施加到電容元件 254 的一方的電極（寫入）。然後，藉由將字線 WL 的電位設定爲使電晶體 162 成爲截止狀態的電位，來使電晶體 162 成爲截止狀態，由此儲存電容元件 254 的一方的電極的電位（保持）。

由於電晶體 162 的截止電流極小，所以能夠在長時間內儲存電容元件 254 的一方的電極的電位（或積累在電容元件中的電荷）。

接著，對資訊的讀出進行說明。當電晶體 162 成爲導通狀態時，處於浮動狀態的位元線 BL 與電容元件 254 的一方的電極導通，在位元線 BL 與電容元件 254 的一方的電極之間電荷被再次分配。其結果，位元線 BL 的電位發生變化。位元線 BL 的電位的變化量根據電容元件 254 的一方的電極的電位（或積累在電容元件 254 中的電荷）而取不同的值。

例如，當以 V 表示電容元件 254 的一方的電極的電位，以 C 表示電容元件 254 的靜電電容，以 C_B 表示位元線 BL 所具有的靜電電容（以下也稱爲位元線電容），並且以 V_{B0} 表示電荷被再次分配之前的位元線 BL 的電位時，電荷被再次分配之後的位元線 BL 的電位成爲 $(C_B \times V_{B0} + C \times V) / (C_B + C)$ 。因此，假設記憶單元 250 的狀態是電容元件 254 的一方的電極的電位爲 V_1 和 V_0 ($V_1 > V_0$) 的兩個狀態，保持電位 V_1 時的位元線 BL 的電位 ($= C_B \times V_{B0} + C \times V_1) / (C_B + C)$) 高於保持電位 V_0 時的位元線 BL 的電位 ($= C_B \times V_{B0} + C \times V_0) / (C_B + C)$)。

並且，藉由比較位元線 BL 的電位與指定的電位，可以讀出資訊。

如此，圖 7A 所示的半導體裝置利用電晶體 162 的截止電流極小的特徵長時間能夠保持積累在電容元件 254 中的電荷。換言之，因爲不需要進行更新工作，或者，可以使更新工作的頻率極低，所以可以充分降低耗電量。另外，即使在沒有電力供應的情況下也可以長期保持儲存資

料。

接著，說明圖 7B 所示的半導體裝置。

圖 7B 所示的半導體裝置在其上部具備作為儲存電路的具有多個圖 7A 所示的記憶單元 250 的記憶單元陣列 251a 及記憶單元陣列 251b，在其下部具備為了使記憶單元陣列 251a 及記憶單元陣列 251b 工作所需的週邊電路 253。另外，週邊電路 253 與記憶單元陣列 251a 及記憶單元陣列 251b 連接。

藉由採用圖 7B 所示的結構，可以將週邊電路 253 設置在記憶單元陣列 251a 及記憶單元陣列 251b 的正下方，從而可以實現半導體裝置的小型化。

作為設置在週邊電路 253 中的電晶體，更佳為使用與電晶體 162 不同的半導體材料。例如，可以使用矽、銻、矽銻、碳化矽或砷化鎵等，較佳為使用單晶半導體。另外，還可以使用有機半導體材料等。使用這種半導體材料的電晶體能夠進行充分的高速工作。從而，藉由利用該電晶體，能夠順利實現被要求高速工作的各種電路（邏輯電路、驅動電路等）。

另外，圖 7B 所示的半導體裝置例示層疊有兩個記憶單元陣列（記憶單元陣列 251a、記憶單元陣列 251b）的結構，但是所層疊的記憶單元陣列的個數不侷限於此。也可以採用層疊有三個以上的記憶單元陣列的結構。

如上所述，藉由將上述實施方式 1 及實施方式 2 所示的電晶體應用於安裝在記憶單元 250 中的電晶體 162，可

以提高導通特性，而不減少流過電晶體 162 的源極電極及汲極電極中的電流。另外，由於在電晶體 162 中設置有嵌入導電層，所以可以降低接觸電阻。再者，藉由在使氧化物半導體層及閘極絕緣層薄膜化的同時減少閘極絕緣層的覆蓋故障，可以使電晶體 162 微型化。因此，可以實現一體地具備記憶單元陣列 251a、251b 及週邊電路 253 的半導體裝置的高集體化、高速驅動化。

另外，由於使用至少包含銮、第 3 族元素、鋅及氧的非單晶氧化物半導體的電晶體 162 的截止電流小，因此藉由使用這種電晶體，能夠長期保持儲存資料。換言之，由於可以使更新工作的頻率極低，所以可以充分降低半導體裝置的耗電量。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 4

在本實施方式中，參照圖 8A 至圖 11 對將上述實施方式所示的半導體裝置應用於行動電話、智慧手機、電子書閱讀器等移動設備的例子進行說明。

在行動電話、智慧手機、電子書閱讀器等移動設備中，爲了暫時儲存影像資料而使用 SRAM 或 DRAM。這是因爲閃速記憶體的回應速度較慢，因而閃速記憶體不適合於影像處理。另一方面，當將 SRAM 或 DRAM 用於影像資料的暫時儲存時，有如下特徵。

如圖 8A 所示，在一般的 SRAM 中，一個記憶單元由

電晶體 801 至電晶體 806 的六個電晶體構成，並且該電晶體 801 至電晶體 806 被 X 解碼器 807 和 Y 解碼器 808 驅動。電晶體 803 和電晶體 805 以及電晶體 804 和電晶體 806 分別構成反相器，能夠實現高速驅動。然而，由於一個記憶單元由六個電晶體構成，所以有記憶單元面積大的缺點。在設計規則的最小尺寸為 F 時，SRAM 的記憶單元面積通常為 $100F^2$ 至 $150F^2$ 。因此，SRAM 是各種記憶體中每比特位的單價最高的。

另一方面，在 DRAM 中，如圖 8B 所示，記憶單元由電晶體 811 和儲存電容器 812 構成，並且該電晶體 811 和儲存電容器 812 被 X 解碼器 813 和 Y 解碼器 814 驅動。由於一個單元由一個電晶體和一個電容器構成，所以所占的面積小。DRAM 的記憶單元面積一般為 $10F^2$ 以下。但是，DRAM 需要定期性地進行更新工作，因此即使在不進行改寫的情況下也消耗電力。

相對於此，上述實施方式所說明的半導體裝置的記憶單元面積為 $10F^2$ 左右，並且不需要頻繁的更新工作。從而，能夠縮小記憶單元面積，還能夠降低耗電量。

圖 9 示出移動設備的方塊圖。圖 9 所示的移動設備包括 RF 電路 901、類比基帶電路 902、數位基帶電路 903、電池 904、電源電路 905、應用處理器 906、快閃記憶體 910、顯示器控制器 911、儲存電路 912、顯示器 913、觸控感應器 919、音頻電路 917 以及鍵盤 918 等。顯示器 913 具有顯示部 914、源極驅動器 915 以及閘極驅動器

916。應用處理器 906 包括：CPU (Central Processing Unit : 中央處理器) 907 ; DSP (Digital Signal Processor : 數位信號處理器) 908 ; 以及介面 909 (IF909) 。儲存電路 912 一般由 SRAM 或 DRAM 構成，藉由將上述實施方式所說明的半導體裝置用於該部分，能夠以高速進行資訊的寫入和讀出，能夠長期保持儲存資料，還能夠充分降低耗電量。

圖 10 示出將上述實施方式所說明的半導體裝置用於顯示器的儲存電路 950 的例子。圖 10 所示的儲存電路 950 包括記憶體 952、記憶體 953、開關 954、開關 955 以及記憶體控制器 951。另外，儲存電路 950 連接於顯示器控制器 956 及顯示器 957，該顯示器控制器 956 對從信號線輸入的影像資料（輸入影像資料）及儲存於記憶體 952 及記憶體 953 中的資料（儲存影像資料）進行讀出及控制，並且該顯示器 957 根據來自顯示器控制器 956 的信號來進行顯示。

首先，藉由應用處理器（未圖示）形成某個影像資料（輸入影像資料 A）。該輸入影像資料 A 藉由開關 954 被儲存在記憶體 952 中。然後，將儲存在記憶體 952 中的影像資料（儲存影像資料 A）藉由開關 955 及顯示器控制器 956 發送到顯示器 957 而進行顯示。

在輸入影像資料 A 沒有變化時，儲存影像資料 A 一般以 30Hz 至 60Hz 左右的週期從記憶體 952 藉由開關 955 由顯示器控制器 956 讀出。

另外，例如在使用者進行了改寫畫面的操作時（即在輸入影像資料 A 有變化時），應用處理器形成新的影像資料（輸入影像資料 B）。該輸入影像資料 B 藉由開關 954 被儲存在記憶體 953 中。在該期間儲存影像資料 A 也繼續定期性地藉由開關 955 從記憶體 952 被讀出。當在記憶體 953 中儲存完新的影像（儲存影像資料 B）時，由顯示器 957 的下一個圖框開始讀出儲存影像資料 B，並且將該儲存影像資料 B 藉由開關 955 及顯示器控制器 956 發送到顯示器 957 而進行顯示。該讀出一直持續直到下一個新的影像資料儲存到記憶體 952 中。

如上所述，藉由由記憶體 952 及記憶體 953 交替進行影像資料的寫入和影像資料的讀出，來進行顯示器 957 的顯示。另外，記憶體 952、記憶體 953 不侷限於兩個不同的記憶體，也可以將一個記憶體分割而使用。藉由將上述實施方式所說明的半導體裝置用於記憶體 952 及記憶體 953，能夠以高速進行資訊的寫入和讀出，能夠長期保持儲存資料，還能夠充分降低耗電量。

圖 11 示出電子書閱讀器的方塊圖。圖 11 所示的電子書閱讀器包括電池 1001、電源電路 1002、微處理器 1003、快閃記憶體 1004、音頻電路 1005、鍵盤 1006、儲存電路 1007、觸摸屏 1008、顯示器 1009 以及顯示器控制器 1010。

在此，可以將上述實施方式所說明的半導體裝置用於圖 11 的儲存電路 1007。儲存電路 1007 具有暫時保持書籍

內容的功能。作為該功能的例子，例如有使用者使用高亮功能的情況等。當使用者看電子書閱讀器時，有要在特定部分打標的情況。將該打標功能稱為高亮功能，是指：藉由改變顯示的顏色，添加下劃線，加粗文本，或改變文本字體類型，來示出與周圍的文本的差異。也是指：儲存且保持使用者所指定的部分的資訊的功能。當將該資訊長期保持時，也可以將該資訊拷貝到快閃記憶體 1004。即使在此情況下，藉由採用上述實施方式所說明的半導體裝置，也能夠以高速進行資訊的寫入和讀出，能夠長期保持儲存資料，還能夠充分降低耗電量。

如上所述，本實施方式所示的移動設備安裝有根據上述實施方式的半導體裝置。因此，能夠實現以高速進行資訊的讀出、長期保持儲存資料且充分降低耗電量的移動設備。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 5

在本實施方式中，說明具備具有觸摸輸入功能的顯示部（觸摸屏）的電子裝置的一個例子，其中將上述實施方式所說明的電晶體應用於顯示部。

圖 12A 及圖 12B 是能夠進行翻蓋的平板終端。圖 12A 是打開的狀態，並且平板終端包括外殼 9630、顯示部 9631a、顯示部 9631b、切換開關 9034、電源開關 9035、鍵盤顯示開關 9036、顯示幕的區域 9632a、顯示幕的區域

9632b、操作鍵 9640、鉤子 9033、開關 9038 以及觸摸屏的鍵盤用操作鍵 9639。此外，作為一個例子，顯示部 9631a 的一半隻具有顯示的功能，並且另一半具有觸摸屏的功能，但是不侷限於該結構。也可以採用顯示部 9631a 的整個區域具有觸摸屏的功能的結構。在顯示部 9631b 中也同樣。

圖 12B 是合上的狀態，並且平板終端包括外殼 9630、太陽能電池 9633、充放電控制電路 9634、電池 9635 以及 DCDC 轉換器 9636。此外，在圖 12B 中，作為充放電控制電路 9634 的一個例子示出具有電池 9635 和 DCDC 轉換器 9636 的結構。

此外，平板終端能夠進行翻蓋，因此不使用時可以合上外殼 9630。因此，可以保護顯示部 9631a 和顯示部 9631b，而可以提供一種具有良好的耐久性且從長期使用的觀點來看良好的平板終端。

此外，圖 12A 和圖 12B 所示的平板終端還可以具有如下功能：顯示各種各樣的資訊（靜態影像、動態影像、文字影像等）；將日曆、日期或時刻等顯示在顯示部上；對顯示在顯示部上的資訊進行操作或編輯的觸摸輸入；藉由各種各樣的軟體（程式）控制處理等。

藉由利用安裝在平板終端的表面上的太陽能電池 9633，可以將電力供應到觸摸屏或影像信號處理部等。注意，太陽能電池 9633 可以設置在外殼 9630 的一面或雙面，所以可以高效地對電池 9635 充電。另外，當作爲電

池 9635 使用鋰離子電池時，有可以實現小型化等的優點。

另外，參照圖 12C 所示的方塊圖而對圖 12B 所示的充放電控制電路 9634 的結構和工作進行說明。圖 12C 示出太陽能電池 9633、電池 9635、DCDC 轉換器 9636、轉換器 9637、開關 SW1 至 SW3 以及顯示部 9631，電池 9635、DCDC 轉換器 9636、轉換器 9637、開關 SW1 至 SW3 對應圖 12B 所示的充放電控制電路 9634。

首先，說明在利用外光使太陽能電池 9633 發電時的工作的例子。使用 DCDC 轉換器 9636 對太陽能電池 9633 所產生的電力進行升壓或降壓以使它成爲用來對電池 9635 進行充電的電壓。並且，當利用來自太陽能電池 9633 的電力使顯示部 9631 工作時使開關 SW1 導通，並且，利用轉換器 9637 將其升壓或降壓到顯示部 9631 所需要的電壓。另外，可以採用當不進行顯示部 9631 中的顯示時，使 SW1 成爲截止且使 SW2 成爲導通來對電池 9635 進行充電的結構。

注意，作爲充電單元的一個例子示出太陽能電池 9633，也可以使用其他單元使電池 9635 充電。此外，也可以組合其他充電單元進行充電。

如上述實施方式所說明，藉由將提高了導通特性並降低了接觸電阻的電晶體應用於具有觸摸輸入功能的顯示部（觸摸屏），可以實現圖 12A 至圖 12C 所示的電子裝置的高速驅動化、低耗電量化。此外，只要在顯示部（觸摸

屏) 中具備上述實施方式所說明的電晶體，就不侷限於圖 12A 至圖 12C 所示的電子裝置。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

【圖式簡單說明】

在圖式中：

圖 1 是說明半導體裝置的一個方式的圖；

圖 2A 至圖 2D 是說明半導體裝置的製造方法的一個方式的圖；

圖 3 是說明半導體裝置的一個方式的圖；

圖 4 是說明半導體裝置的一個方式的圖；

圖 5 是說明半導體裝置的一個方式的圖；

圖 6A 和圖 6B 是示出半導體裝置的一個方式的剖面圖及平面圖；

圖 7A 和圖 7B 是示出半導體裝置的一個方式的電路圖及立體圖；

圖 8A 和圖 8B 是示出半導體裝置的一個方式的電路圖；

圖 9 是示出半導體裝置的一個方式的方塊圖；

圖 10 是示出半導體裝置的一個方式的方塊圖；

圖 11 是示出半導體裝置的一個方式的方塊圖；

圖 12A 至圖 12C 是示出電子裝置的一個方式的圖。

【 主要元件符號說明 】

- 162 : 電晶體
- 250 : 記憶單元
- 251a : 記憶單元陣列
- 251b : 記憶單元陣列
- 253 : 週邊電路
- 254 : 電容元件
- 400 : 基板
- 401 : 閘極電極
- 402 : 閘極絕緣層
- 403 : 氧化物半導體層
- 405 : 導電層
- 405a : 導電層
- 405b : 導電層
- 405c : 導電層
- 405d : 導電層
- 408 : 層間絕緣層
- 413 : 氧化物半導體層
- 420 : 電晶體
- 430 : 電晶體
- 440 : 電晶體
- 450 : 電晶體
- 465 : 導電層
- 465a : 導電層

105年4月18日修正 對線頁(本)

- 465b : 導電層
- 466a : 氧化物半導體層
- 466b : 氧化物半導體層
- 481a : 導電層
- 481b : 導電層
- 485a : 開口部
- 485b : 開口部
- 491 : 絕緣層
- 801 : 電晶體
- 803 : 電晶體
- 804 : 電晶體
- 805 : 電晶體
- 806 : 電晶體
- 807 : X 解碼器
- 808 : Y 解碼器
- 811 : 電晶體
- 812 : 儲存電容器
- 813 : X 解碼器
- 814 : Y 解碼器
- 901 : RF 電路
- 902 : 類比基帶電路
- 903 : 數位基帶電路
- 904 : 電池
- 905 : 電源電路

- 906 : 應用處理器
- 907 : CPU
- 908 : DSP
- 909 : 介面
- 910 : 快閃記憶體
- 911 : 顯示器控制器
- 912 : 儲存電路
- 913 : 顯示器
- 914 : 顯示部
- 915 : 源極驅動器
- 916 : 閘極驅動器
- 917 : 音頻電路
- 918 : 鍵盤
- 919 : 觸控感應器
- 950 : 儲存電路
- 951 : 記憶體控制器
- 952 : 記憶體
- 953 : 記憶體
- 954 : 開關
- 955 : 開關
- 956 : 顯示器控制器
- 957 : 顯示器
- 1001 : 電池
- 1002 : 電源電路

- 1003 : 微處理器
- 1004 : 快閃記憶體
- 1005 : 音頻電路
- 1006 : 鍵盤
- 1007 : 儲存電路
- 1008 : 觸摸屏
- 1009 : 顯示器
- 1010 : 顯示器控制器
- 9033 : 鉤子
- 9034 : 開關
- 9035 : 電源開關
- 9036 : 鍵盤顯示開關
- 9038 : 開關
- 9630 : 外殼
- 9631 : 顯示部
- 9631a : 顯示部
- 9631b : 顯示部
- 9632a : 區域
- 9632b : 區域
- 9633 : 太陽能電池
- 9634 : 充放電控制電路
- 9635 : 電池
- 9636 : DCDC 轉換器
- 9637 : 轉換器

9038 : 開關

9639 : 鍵盤用操作鍵

9640 : 操作鍵

空白頁

七、申請專利範圍：

1. 一種半導體裝置，包括：

具有第一開口及第二開口的第一絕緣層；

該第一開口中的第一導電層；

該第二開口中的第二導電層；

接觸於該第一導電層的上表面的第三導電層；

接觸於該第二導電層的上表面的第四導電層；

覆蓋該第三導電層的端部且接觸於該第一導電層的上表面的第一氧化物半導體層；

覆蓋該第四導電層的端部且接觸於該第二導電層的上表面的第二氧化物半導體層；

該第三導電層、該第四導電層、該第一氧化物半導體層及該第二氧化物半導體層上的第三氧化物半導體層；

該第三氧化物半導體層上的第二絕緣層；以及

該第三導電層與該第四導電層之間的該第二絕緣層上的第五導電層。

2. 根據申請專利範圍第 1 項之半導體裝置，

其中該第一氧化物半導體層接觸於該第三導電層的上表面及側表面，

並且該第二氧化物半導體層接觸於該第四導電層的上表面及側表面。

3. 根據申請專利範圍第 1 項之半導體裝置，

其中該第三導電層薄於該第一氧化物半導體層，

並且該第四導電層薄於該第二氧化物半導體層。

4. 根據申請專利範圍第 1 項之半導體裝置，其中該第一絕緣層的上表面、該第一導電層的上表面及該第二導電層的上表面都設置在同一面上。

5. 根據申請專利範圍第 1 項之半導體裝置，其中該第五導電層重疊於該第三導電層及該第四導電層。

6. 根據申請專利範圍第 1 項之半導體裝置，其中該第五導電層不重疊於該第一氧化物半導體層及該第二氧化物半導體層。

7. 一種半導體裝置，包括：

具有第一開口及第二開口的第一絕緣層；

該第一開口中的第一導電層；

該第二開口中的第二導電層；

接觸於該第一導電層的上表面的第三導電層；

接觸於該第二導電層的上表面的第四導電層；

覆蓋該第三導電層的端部且接觸於該第一導電層的上表面的第五導電層；

覆蓋該第四導電層的端部且接觸於該第二導電層的上表面的第六導電層；

該第三導電層、該第四導電層、該第五導電層及該第六導電層上的氧化物半導體層；

該氧化物半導體層上的第二絕緣層；以及

該第三導電層與該第四導電層之間的該第二絕緣層上的第七導電層。

8. 根據申請專利範圍第 7 項之半導體裝置，還包

括：

接觸於該第一導電層的上表面的第八導電層，其中第三開口設置在該第三導電層與該第八導電層之間；以及

接觸於該第二導電層的上表面的第九導電層，其中第四開口設置在該第四導電層與該第九導電層之間，

其中該第五導電層接觸於該第三開口中的該第一導電層的上表面，

並且該第六導電層接觸於該第四開口中的該第二導電層的上表面。

9. 根據申請專利範圍第 7 項之半導體裝置，

其中該第五導電層接觸於該第三導電層的上表面及側表面，

並且該第六導電層接觸於該第四導電層的上表面及側表面。

10. 根據申請專利範圍第 7 項之半導體裝置，

其中該第三導電層薄於該第五導電層，

並且該第四導電層薄於該第六導電層。

11. 根據申請專利範圍第 7 項之半導體裝置，其中該第一絕緣層的上表面、該第一導電層的上表面及該第二導電層的上表面都設置在同一面上。

12. 根據申請專利範圍第 7 項之半導體裝置，其中該第七導電層重疊於該第三導電層及該第四導電層。

13. 根據申請專利範圍第 7 項之半導體裝置，其中該第七導電層不重疊於該第五導電層及該第六導電層。

14. 一種半導體裝置，包括：
- 具有第一開口及第二開口的第一絕緣層；
 - 該第一開口中的第一導電層；
 - 該第二開口中的第二導電層；
 - 接觸於該第一導電層的上表面的第三導電層；
 - 接觸於該第二導電層的上表面的第四導電層；
 - 覆蓋該第三導電層的端部且接觸於該第一導電層的上表面的第一氧化物半導體層；
 - 覆蓋該第四導電層的端部且接觸於該第二導電層的上表面的第二氧化物半導體層；
 - 該第三導電層、該第四導電層、該第一氧化物半導體層及該第二氧化物半導體層上的第三氧化物半導體層；
 - 該第三氧化物半導體層上的第二絕緣層；
 - 該第三導電層與該第四導電層之間的該第二絕緣層上的第五導電層；
 - 接觸於該第一導電層的上表面的第六導電層，其中第三開口設置在該第三導電層與該第六導電層之間；以及
 - 接觸於該第二導電層的上表面的第七導電層，其中第四開口設置在該第四導電層與該第七導電層之間，
 - 其中該第一氧化物半導體層接觸於該第三開口中的該第一導電層的上表面，
 - 並且該第二氧化物半導體層接觸於該第四開口中的該第二導電層的上表面。
15. 根據申請專利範圍第 14 項之半導體裝置，

其中該第一氧化物半導體層接觸於該第三導電層的上表面及側表面，

並且該第二氧化物半導體層接觸於該第四導電層的上表面及側表面。

16. 根據申請專利範圍第 14 項之半導體裝置，
其中該第三導電層薄於該第一氧化物半導體層，
並且該第四導電層薄於該第二氧化物半導體層。

17. 根據申請專利範圍第 14 項之半導體裝置，其中
該第一絕緣層的上表面、該第一導電層的上表面及該第二
導電層的上表面都設置在同一面上。

18. 根據申請專利範圍第 14 項之半導體裝置，其中
該第五導電層重疊於該第三導電層及該第四導電層。

19. 根據申請專利範圍第 14 項之半導體裝置，其中
該第五導電層不重疊於該第一氧化物半導體層或該第二氧
化物半導體層。

圖 1

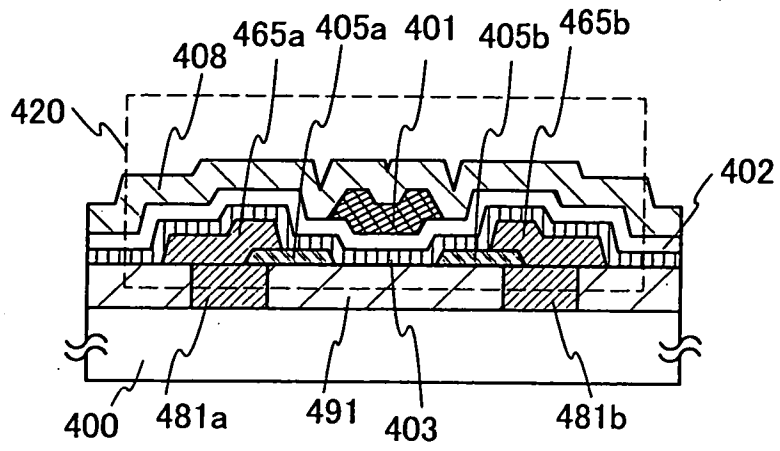


圖 2A

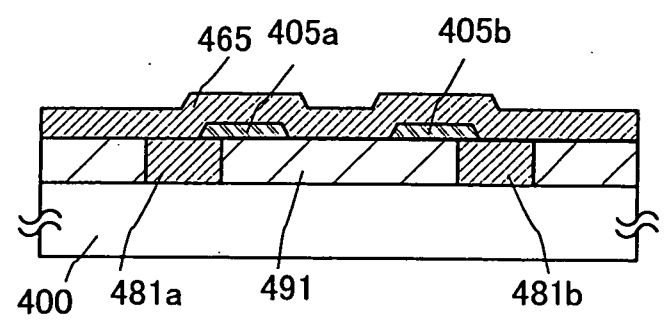


圖 2B

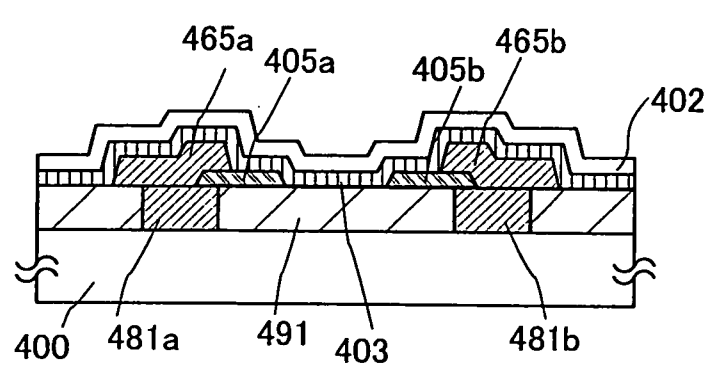


圖 2C

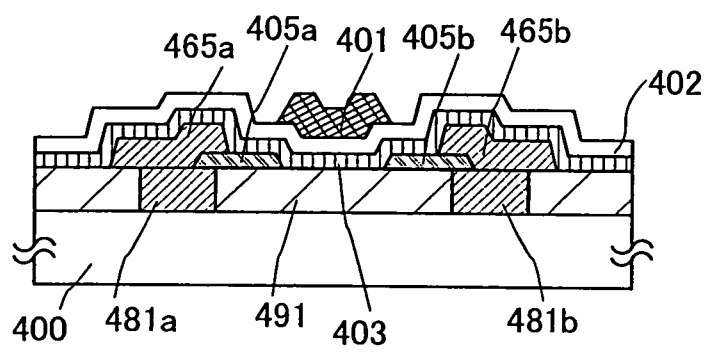


圖 2D

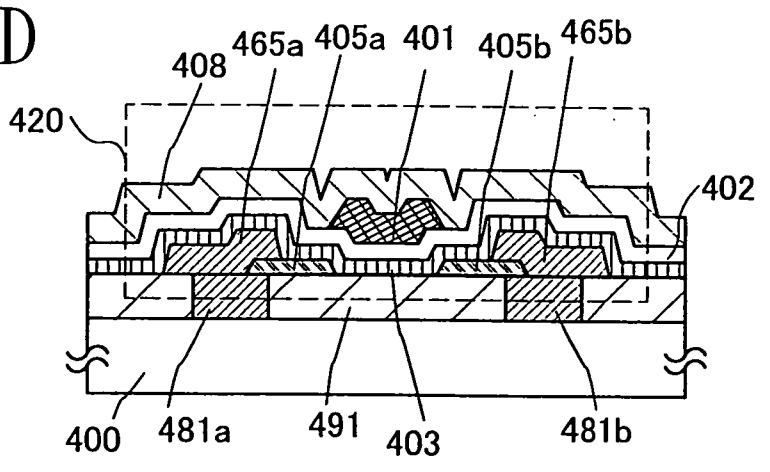


圖3

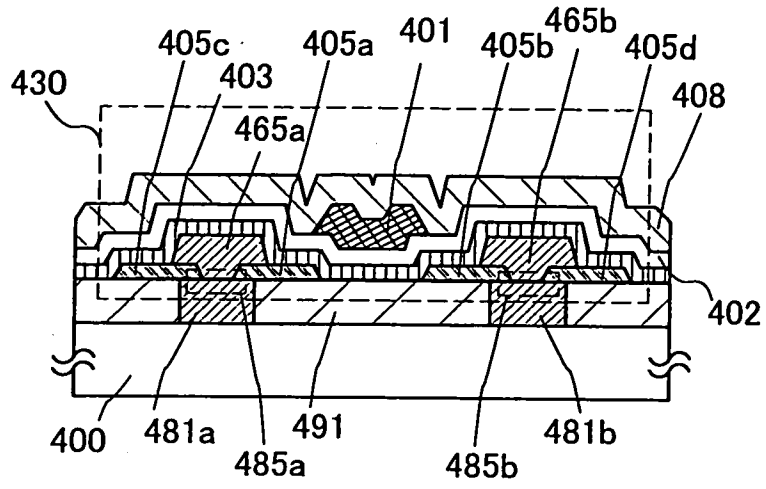


圖 4

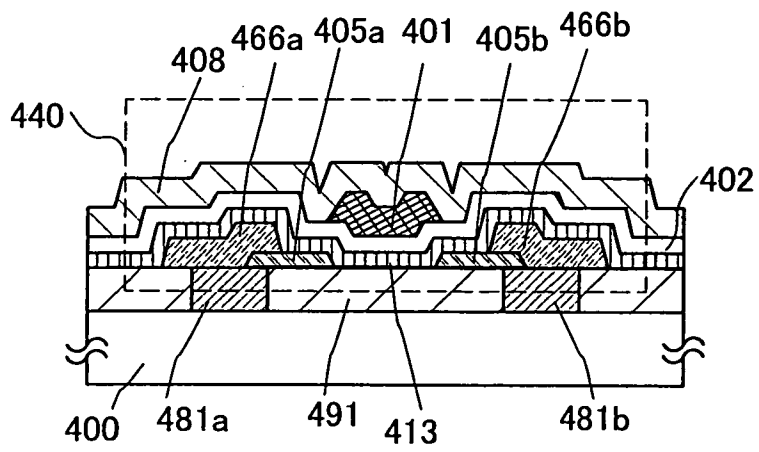


圖5

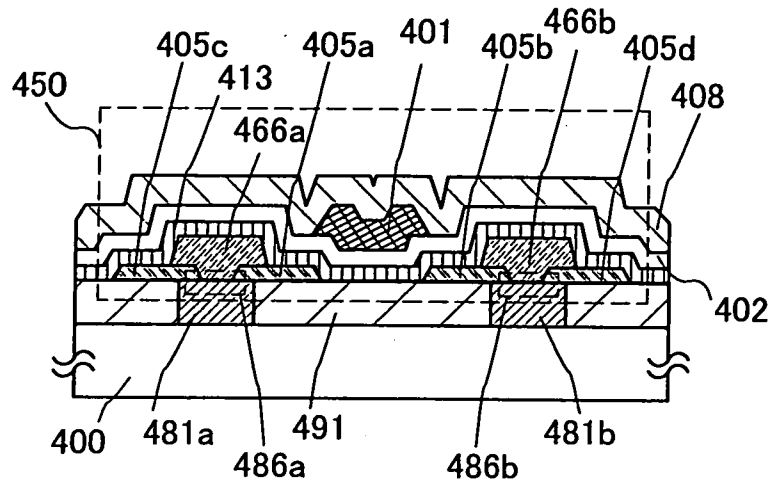


圖 6A

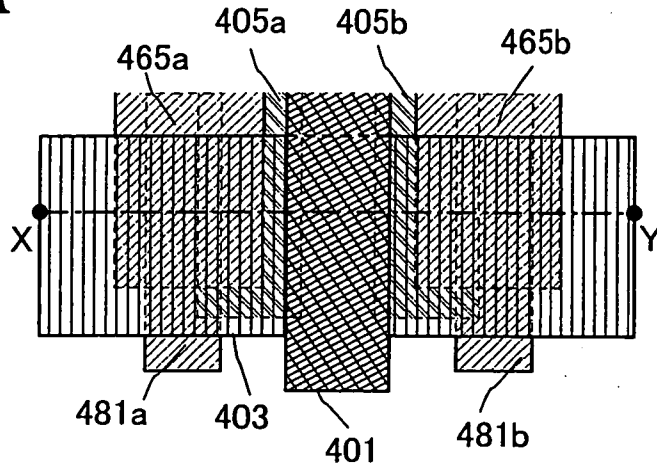


圖 6B

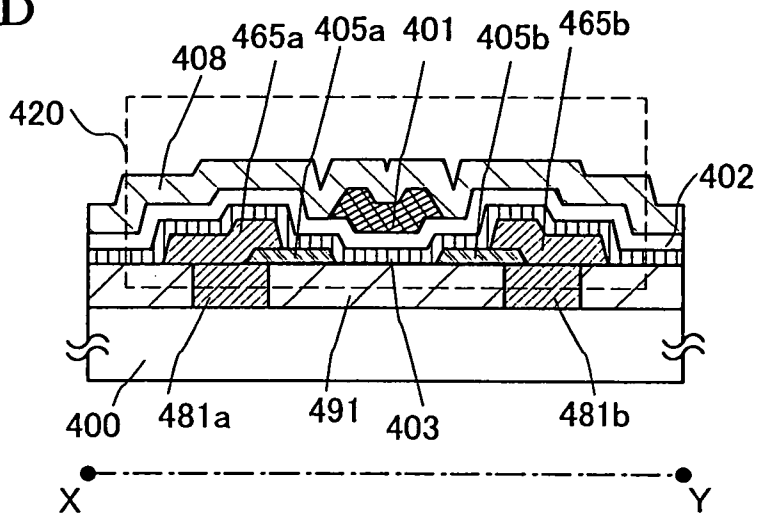


圖7A

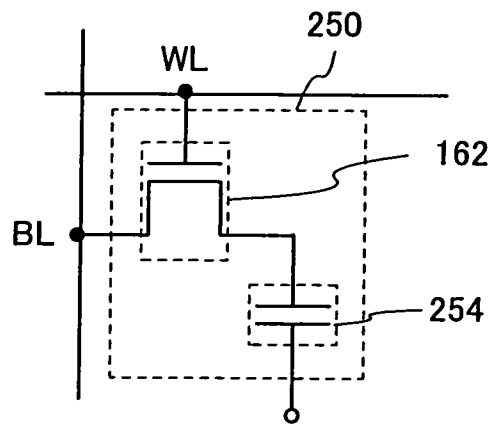


圖7B

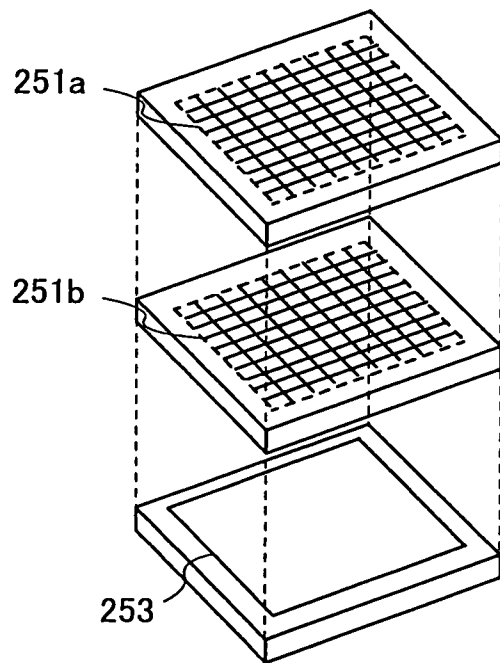


圖 8A

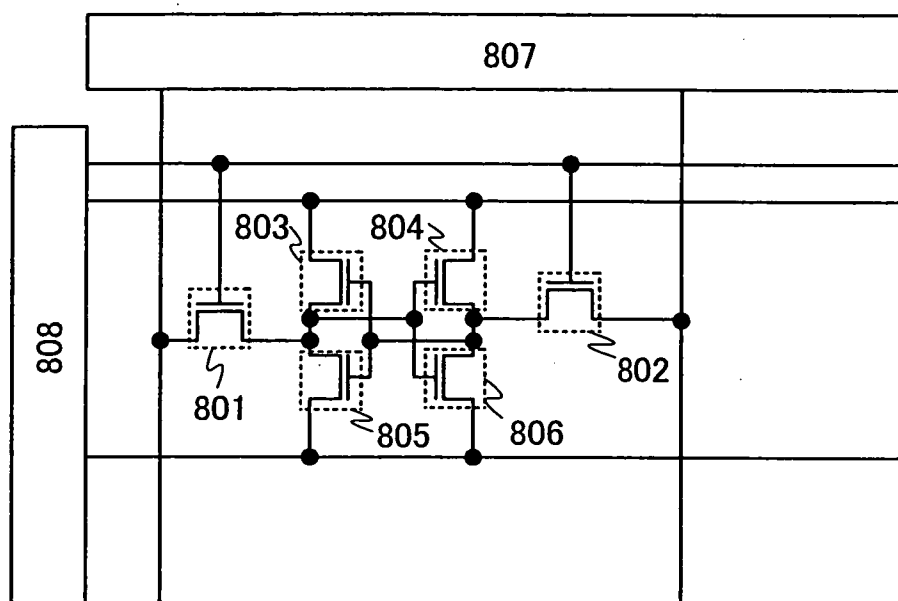


圖 8B

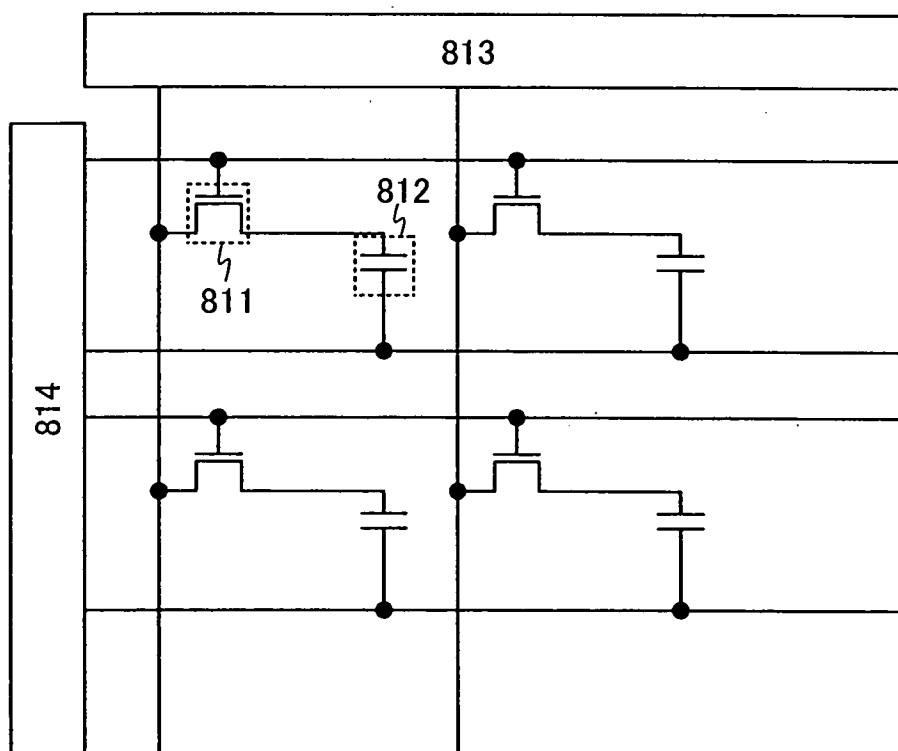


圖 9

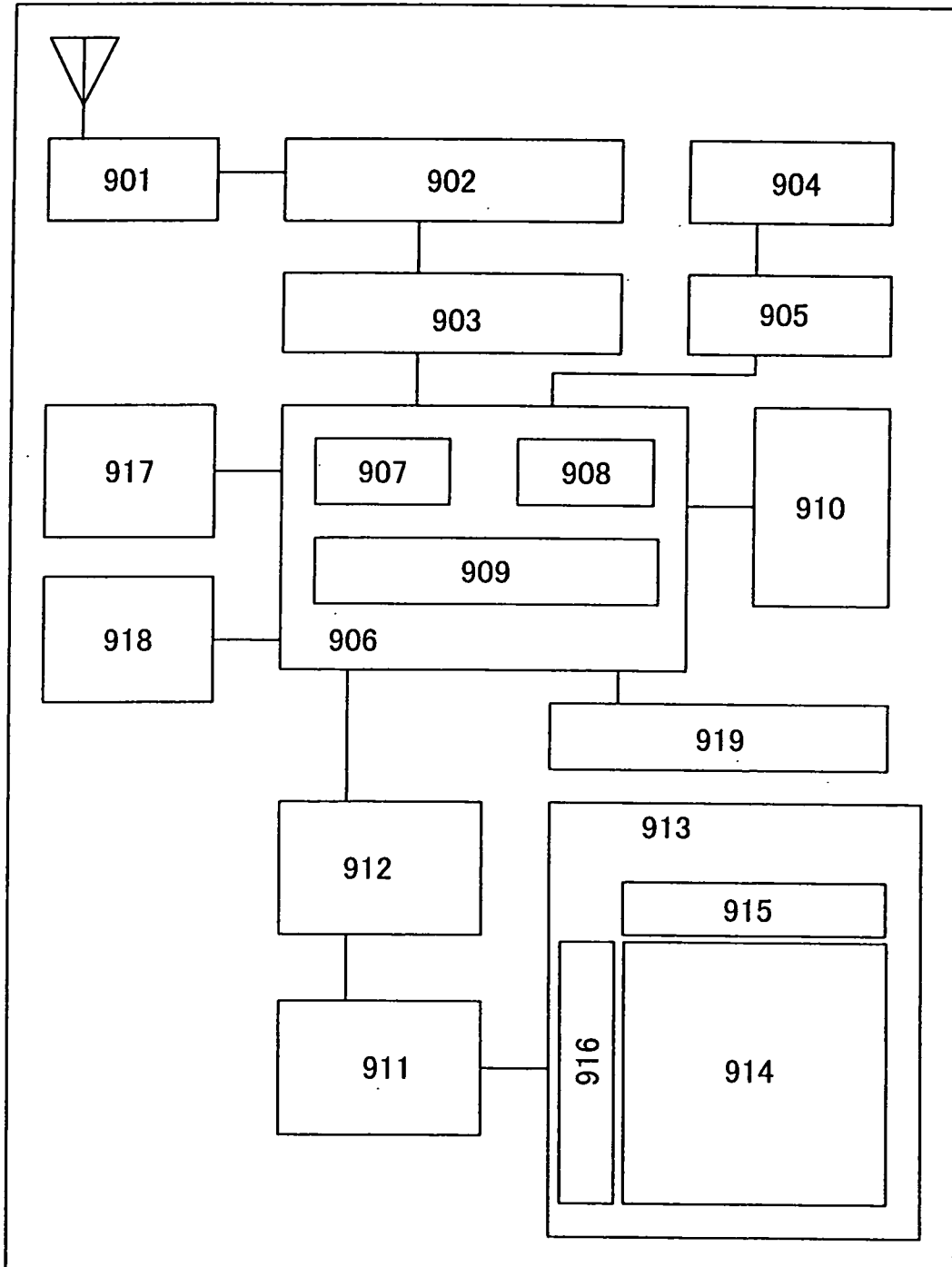


圖 10

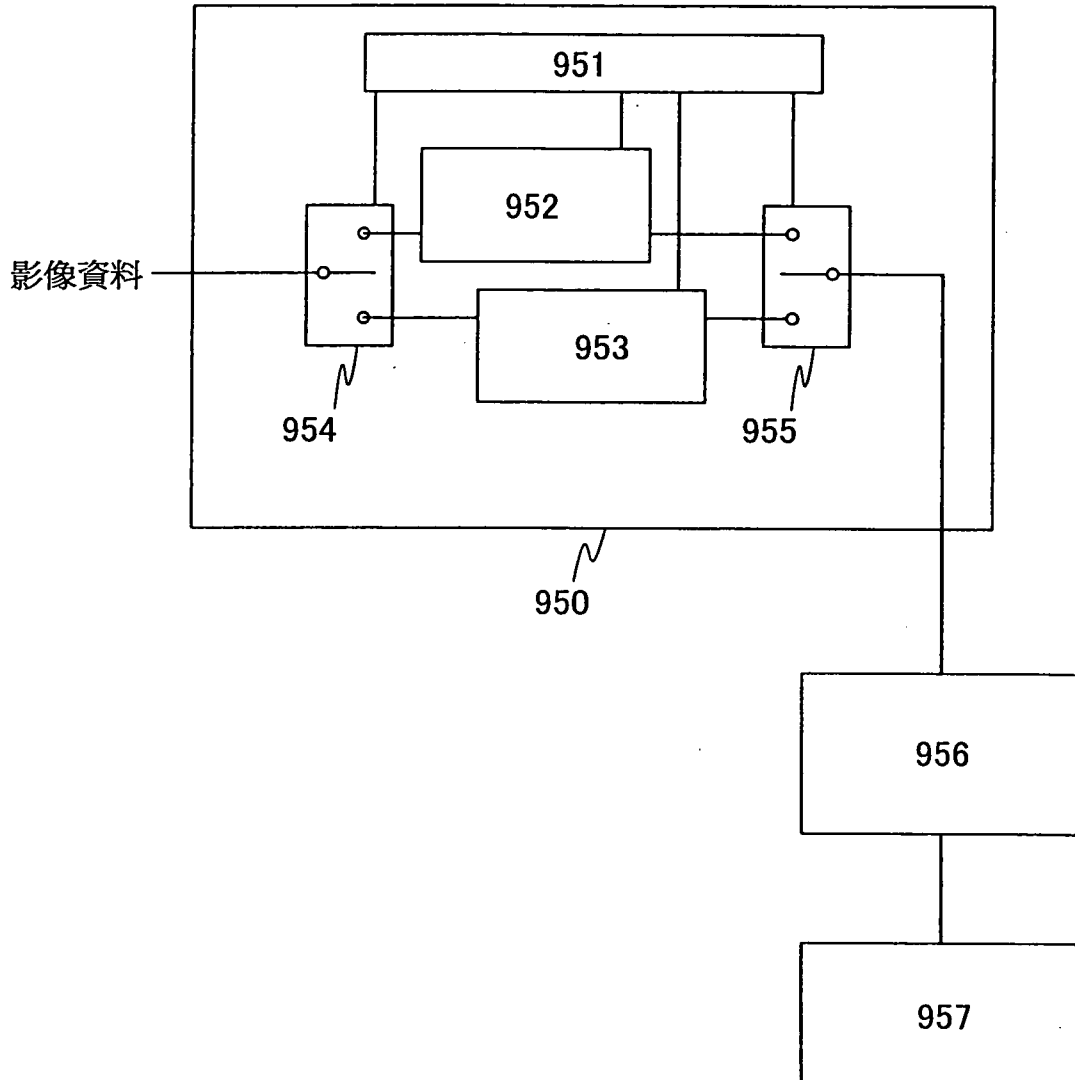


圖 11

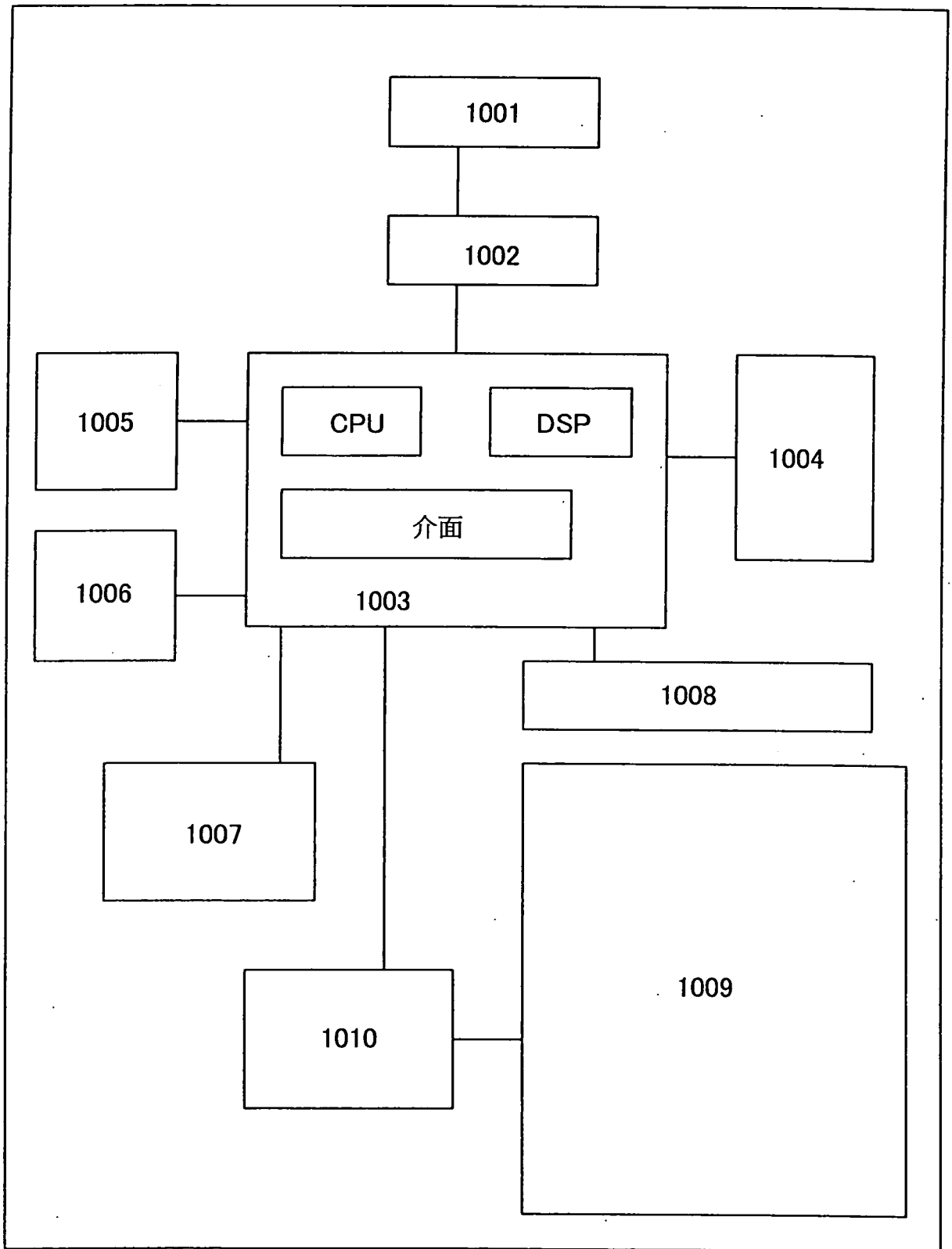


圖 12A

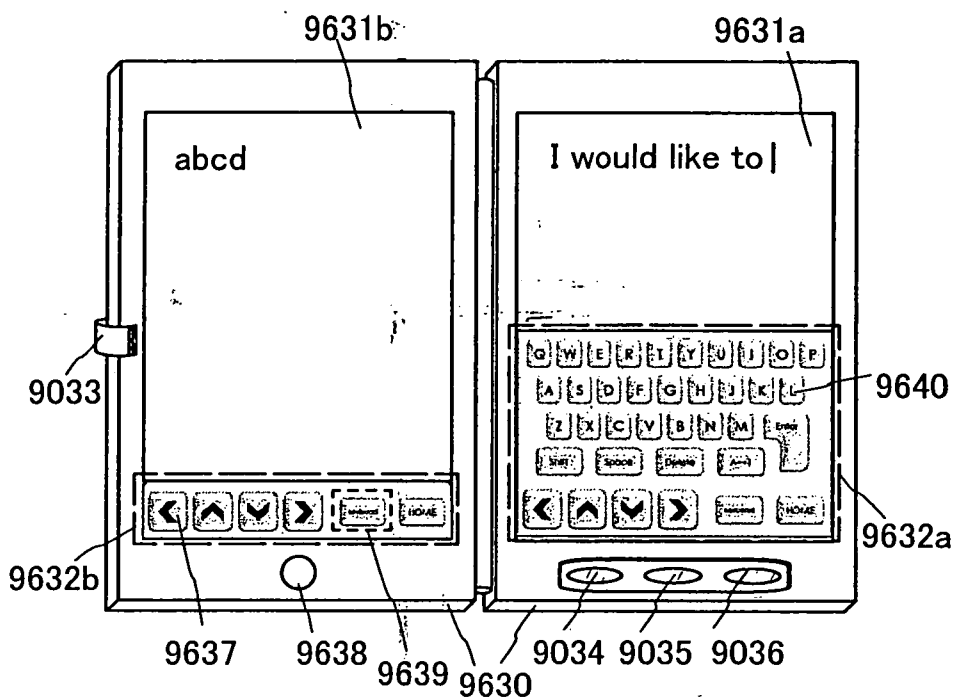


圖 12B

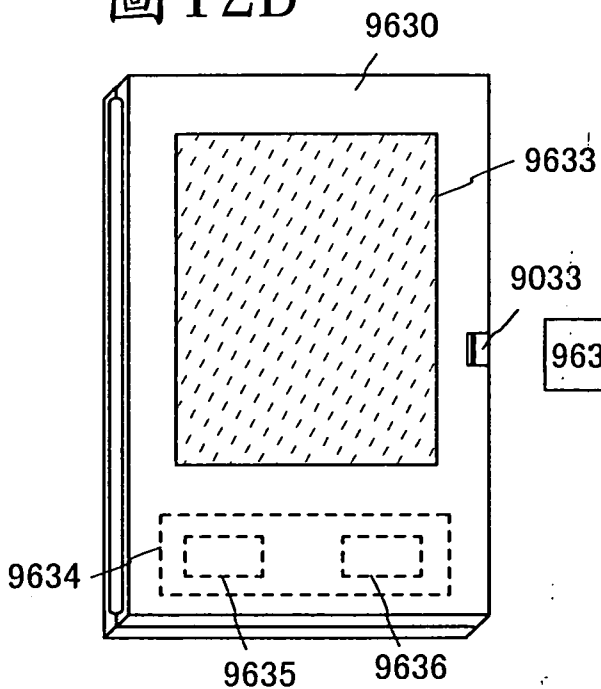


圖 12C

