

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年7月9日(09.07.2020)



(10) 国際公開番号

WO 2020/141597 A1

(51) 国際特許分類:
G11C 13/00 (2006.01) *G06N 3/063* (2006.01)

(21) 国際出願番号: PCT/JP2019/050971

(22) 国際出願日: 2019年12月25日(25.12.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-000307 2019年1月4日(04.01.2019) JP

(71) 出願人: 学校法人慶應義塾(**KEIO UNIVERSITY**)
[JP/JP]; 〒1088345 東京都港区三田二丁目
1 5 番 4 5 号 Tokyo (JP).

(72) 発明者: 金 成 主 (**KIM Song-Ju**); 〒2528520 神
奈川県藤沢市遠藤 5 3 2 2 慶應義塾大学

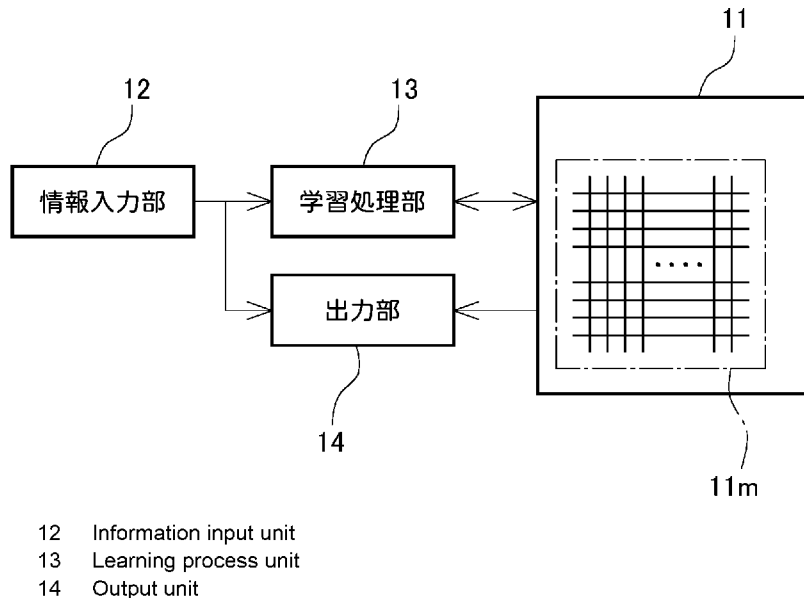
湘南藤沢キャンパス内 Kanagawa (JP). 青野
真士 (**AONO Masashi**); 〒2528520 神奈川県藤
沢市遠藤 5 3 2 2 慶應義塾大学 湘南藤
沢キャンパス内 Kanagawa (JP).

(74) 代理人: 竹 居 信 利 (**TAKEI Nobutoshi**);
〒1600022 東京都新宿区新宿 6 丁目 7 - 1 エ
ルブリメント新宿 3 0 8 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) **Title:** MACHINE LEARNING DEVICE AND METHOD FOR CONTROLLING SAME

(54) 発明の名称: 機械学習デバイス、及びその制御方法



(57) **Abstract:** Disclosed is a machine learning device that holds, by variable resistance memory elements, interlayer connection weight information of a neural network including an input layer, a hidden layer, and an output layer, wherein: input data including a plurality of data elements is received; output data including a plurality of data elements is calculated by using the connection weight information of the neural network; and during learning, a learning process is executed wherein, to a variable resistance memory element holding the connection weight information related to the calculation of a data element, among the output data, that has not reached a target value, an electric signal that brings the data element close to the target value is applied.

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 入力層と隠れ層と出力層とを含むニューラルネットワークの層間の結合重みの情報を抵抗変化型メモリ素子により保持する機械学習デバイスであって、複数のデータ要素を含む入力データを受け入れ、ニューラルネットワークの結合重みの情報を用いて、複数のデータ要素を含む出力データを演算し、学習中は、当該出力データのうち、目的の値に達していないデータ要素の演算に係る結合重みの情報を保持する抵抗変化型メモリ素子に対し、目的の値に近接させる電氣的信号を印加する学習処理を実行する。

明 細 書

発明の名称：機械学習デバイス、及びその制御方法

技術分野

[0001] 本発明は、機械学習デバイス及びその制御方法に関する。

背景技術

[0002] 近年、ニューラルネットワーク等の機械学習装置が広く開発され、組合せ最適化問題および意思決定問題等の最適化問題の解の探索をはじめ、機械制御等の分野に至るまで、種々の応用研究も行われている。

[0003] 一例として特許文献1には、最適解探索問題の解を量子ドットからなるナノスケールの回路を利用して探索する量子ドットによる解探索システムが開示されている。また、特許文献2には、フィードバック制御を行って高速かつ効率的に充足可能性問題 (Satisfiability Problem, SAT) を解くことが可能な解探索システムが開示されている。

[0004] また一方、ニューラルネットワークに対する応用を念頭に、抵抗変化型メモリ素子の研究を行っている例もある。

先行技術文献

特許文献

[0005] 特許文献1：特開2013-242477号公報

特許文献2：特開2014-85733号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、上記従来例の技術では、ニューラルネットワークの各層の結合重みの学習過程は、いわゆるバックプロパゲーションの処理により行われるため、演算が比較的複雑なものとなり、GPU (Graphics Processing Unit) 等、ベクトルや行列演算に適したハードウェアを用いているのが現状である。このために現実には、ニューラルネットワークの応用可能な現場は制限されており、学習処理のためのハードウェアを設置できる場所か、当該ハ

ードウェアとの間で通信が可能な場所でなければならない。

[0007] 本発明は上記実情に鑑みて為されたもので、学習処理の負荷を軽減して小規模なハードウェアによる学習を可能とし、ニューラルネットワークの利用場面を拡大できる機械学習デバイス、及びその制御方法を提供することを、その目的の一つとする。

課題を解決するための手段

[0008] 上記従来例の問題点を解決する本発明の一態様は、入力層と隠れ層と出力層とを含むニューラルネットワークの層間の結合重みの情報を抵抗変化型メモリ素子により保持する機械学習デバイスであって、複数のデータ要素を含む入力データを受け入れ、前記ニューラルネットワークの前記結合重みの情報を用いて、複数のデータ要素を含む出力データを演算する演算手段と、学習中は、前記出力データのうち、目的の値に達していないデータ要素の演算に係る前記結合重みの情報を保持する抵抗変化型メモリ素子に対し、目的の値に近接させる電気的信号を印加する学習処理を実行する学習手段と、を含むこととしたものである。

発明の効果

[0009] 本発明によれば、基本的に、目的の値に達しているか否かという判断で学習処理を行うため、その負荷を軽減して小規模なハードウェアによる学習を可能とし、ニューラルネットワークの利用場面を拡大できる。

図面の簡単な説明

[0010] [図1]本発明の実施の形態に係る機械学習デバイスの例を表す構成ブロック図である。

[図2]本発明の実施の形態に係る機械学習デバイスにおいて利用されるニューラルネットワークの構造例を表す説明図である。

[図3]本発明の実施の形態に係る機械学習デバイスが用いる抵抗変化型のメモリ素子の構成の概要例を表す説明図である。

[図4]本発明の実施の形態に係る機械学習デバイスが用いる抵抗変化型のメモリ素子におけるコンダクタンスの時間変化の例を表す説明図である。

[図5]本発明の実施の形態に係る機械学習デバイスに入力される学習用のデータセットの例を表す説明図である。

[図6]本発明の実施の形態に係る機械学習デバイスの機械学習の際の処理例を表すフローチャート図である。

[図7]本発明の実施の形態に係る機械学習デバイスにおける機械学習処理の内容例を表すフローチャート図である。

[図8]本発明の実施の形態に係る機械学習デバイスにおける抵抗変化型のメモリ素子の利用例を表す説明図である。

[図9]本発明の実施の形態に係る機械学習デバイスにおける抵抗変化型のメモリ素子の別の例を表す概略説明図である。

[図10]本発明の実施の形態に係る機械学習デバイスにおける抵抗変化型のメモリ素子の別の例を表すもう一つの概略説明図である。

発明を実施するための形態

[0011] 以下、本発明の実施の形態に係る機械学習デバイスについて、図面を参照しながら説明する。本実施の形態の機械学習デバイスは、図1に例示するように、記憶部11と、情報入力部12と、学習処理部13と、出力部14とを含んで構成されている。

[0012] 記憶部11は、抵抗変化型メモリ11mを含んで構成され、ニューラルネットワークの情報として、ニューラルネットワークの結合重みの情報を保持する。

[0013] 本実施の形態の例のニューラルネットワークは、図2にその概要を例示するように、入力層と、1層の隠れ層と、出力層とを含む。入力層と出力層とはいずれもN個（Nは2以上の自然数）のノード $I_1, I_2, \dots, I_N$ 、 $O_1, O_2, \dots, O_N$ を備え、隠れ層はNより少ない数のノード $H_1, H_2, \dots, H_M$ を備えている。また、入力層のj番目のノード I_j と隠れ層のi番目のノード H_i との間の結合重みを $W_{i,j}$ とする。また隠れ層のi番目のノード H_i と、出力層のj番目のノード O_j との間の結合重みを、 $W_{j,i}$ とする。

[0014] つまり、入力層のj番目のノード I_j と隠れ層のi番目のノード H_i との間

の結合重み W を $W = [W_{i,j}]$ と行列で表現すると、隠れ層の i 番目のノード H_i と、出力層の j 番目のノード O_j との間の結合重みは行列 W の転置行列 W^T となっている。

[0015] また、このニューラルネットワークの結合重みの情報を保持する、本実施の形態の抵抗変化型メモリ11mは、図3にその概略構成を示すように、複数の下部電極ライン111と、複数の上部電極ライン112と、抵抗変化層113とを含んで構成される。なお、図3では、図示の都合上、抵抗変化層113をその概略の外形として示し、内部を透過して示している。

[0016] ここで複数の下部電極ライン111は、平面内（この平面の法線方向を Z 軸とする）に互いに平行に（以下、この下部電極ライン111の長手方向を X 軸方向とする）所定の間隔をおいて配されている。また複数の上部電極ライン112は、下部電極ライン111が配されている面と実質的に平行な（交わらない）面内に、互いに平行に、所定の間隔をおいて配される。この上部電極ライン112の長手方向は X 軸に対して交わる方向となっており、ここでは一例として X 軸に直交する Y 軸方向に上部電極ライン112の長手方向が配されて、いわゆるクロスバー構造をなしているものとする。

[0017] ここで下部電極ライン111が配される面と、上部電極ライン112が配される面との間隔は50nm程度以下、好ましくは10nm以下となっている。また各電極ラインは金属材料で構成され、例えば、Pt、Cu、Au、Ti、Ag等が好適に使用される。

[0018] また少なくとも、上部電極ライン112と下部電極ライン111とが平面視で交差している箇所（個々の抵抗変化型メモリ素子を構成し、メモリセルとなる箇所、図3中では破線で示す）においては下部電極ライン111と上部電極ライン112との間に、抵抗変化層113が配される。この抵抗変化層113は、印加電圧によって抵抗値を変化させる（従ってそのコンダクタンスも変化する）材料を含んでなる。このような材料としては固体電解質として、例えばAg、Cu、Li、Na、Mg、Fe、Ni、Ta、Zrなどといった金属の硫化物材料（ Ag_2S 、 Cu_2S 等）や、酸化物材料（ Ta_2O_5

、 ZrO_2 ）、あるいは上記金属のイオン（1価のAg, Cu, Li, Na, Mgの各イオンや、2価のFe, Niのイオン等）を含むポリエチレンオキシドなどの高分子系材料がある。

- [0019] 上部電極ライン112と下部電極ライン111とが平面視で交差している箇所は、メモリセルとなり、このメモリセルにおいて上部電極ライン112と下部電極ライン111との間に印加する電圧を制御することで、当該メモリセルが保持する値（以下、保持値と呼ぶ。この保持値は実数値となる。以下の説明では保持可能な最大の保持値を「1」、最小の保持値を「0」と規格化したものとして説明する）を変化させ（データの書き込みを行い）、あるいはその保持値を維持させる。
- [0020] このため本実施の形態では、メモリセルにおいて上部電極ライン112と下部電極ライン111との間に印加する電圧が所定の電位差 V_{th} を下回るように印加電圧を制御すると（図4では時刻0において制御を行うと）、図4（a）に示すように、保持値に相当するコンダクタンスは時間経過とともに成長に比べると迅速に減衰して「0」に近づき、当初の保持値が「1」であったときでも、上記電圧が上記電位差 V_{th} を下回ることとなってから時刻 T_r が経過したときには記憶している保持値は「0」となる。
- [0021] また印加する電圧 V が所定の電位差 V_{th} を超えて、この V_{th} から所定の範囲（ $V_{th} < V < V_{th}'$ ）であるよう制御すると、電圧 V を印加する前の保持値が維持される。さらに印加する電圧 V を、この所定の電位差 V_{th} から上記所定の範囲を超え、 $V_0 + \Delta V$ 以上となる（ $V_0 + \Delta V > V_{th}'$ ）よう制御すると、図4（b）に例示するように、保持値であるコンダクタンスは時間経過とともに指数関数的に最大値に近づき、当初の保持値が「0」であっても、上記電圧が上記電位差 $V_0 + \Delta V$ 以上となってから時間 T_s が経過したときには、保持値は「1」となる。
- [0022] このように印加電圧に応じてコンダクタンスが変化する現象は、上部電極ライン112と下部電極ライン111との間にある抵抗変化層において、上部電極ライン112と下部電極ライン111との間に上記 $V_0 + \Delta V$ 以上の電

圧が印加されると、下部電極ライン111側から金属が析出して金属フィラメントとして成長して抵抗変化層の抵抗値が減少し（コンダクタンスは上昇し）、一方、上部電極ライン112と下部電極ライン111との間の電位差が V_{th} を下回ると金属フィラメントが再度イオン化して抵抗変化層の抵抗値が上昇する（コンダクタンスは低下する）ことから生じると考えられる。

[0023] なお、抵抗変化層の材質によっては、金属フィラメントが抵抗変化層の下部電極ライン111側の端から上部電極ライン112側の端まで成長すると、上部電極ライン112と下部電極ライン111との間の電位差が V_{th} を下回っても金属フィラメントの再イオン化が生じず、抵抗変化層の抵抗値が維持されるものがある。この場合は、再イオン化のために、保持値を「0」とするべく、一時的にリセット電圧（例えば $-(V_0 + \Delta V)$ ）を印加して再イオン化を促す。

[0024] この記憶部11の抵抗変化型メモリ11mには、各メモリセルを選択する選択ラインが別途設けられていてもよい。またこのような抵抗変化型メモリ11mに対してデータを書き込み・読み出しを行う方法は広く知られているので、ここでは簡単のために、その説明を省略する。

[0025] なお、この例に係る抵抗変化型メモリ11mに対する印加電圧は、1mVから高々1Vほどであり、一般的には10～500mV程度であるため、その消費電力は比較的強く抑えられている。また上述のような、いわゆるクロスバー型の構造を有する抵抗変化型メモリは、広く知られている微細加工技術を用いて製造できる。

[0026] また本実施の形態の一例では、一对のメモリセルにより、一つの結合重みの情報が保持されるものとする。すなわち、本実施の形態の例では、一つの結合重みの情報 $W_{i,j}$ は、正の結合重み $W_{i,j,+}$ と負の結合重み $W_{i,j,-}$ との2つの値の差 $W_{i,j} = (W_{i,j,+}) - (W_{i,j,-})$ として表され、一つのメモリセルは、いずれかの結合重みの情報に係る、正の結合重みまたは負の結合重みの一方の値を保持値として保持する。これにより抵抗変化型メモリの各メモリセルにおいて保持値を二値化して用いる場合であっても、正の値と負の値

とを含む多値の表現が可能となる。

[0027] もっとも、本実施の形態はこの例に限られるものではなく、第1の電極ライン、第1の抵抗変化層、第2の電極ライン、第2の抵抗変化層、第3の電極ラインをこの順に積層したものをを用いてもよい。この例の抵抗変化型メモリ11mを用いると、第1の電極ラインと第2の電極ラインとの間に電圧を印加するか、あるいは第2の電極ラインと第3の電極ラインとの間に電圧を印加するかにより、第2の電極ラインを挟んで、第1の電極ラインと第3の電極ラインのうち一方の電極ライン側に新たな金属フィラメントが成長し、他方の金属フィラメントは収縮する、いわゆる綱引き型の動作をする原子スイッチとなる。この綱引き型の原子スイッチを用いる場合、第1の抵抗変化層の抵抗値と、第2の抵抗変化層の抵抗値とによりそれぞれ正の結合重み $W_{i,j,+}$ と負の結合重み $W_{i,j,-}$ との2つの値を表し、その差 $W_{i,j} = (W_{i,j,+}) - (W_{i,j,-})$ として結合重みの情報 $W_{i,j}$ を表すこととしてもよい。

[0028] 情報入力部12は、ニューラルネットワークに対して入力する入力データを生成する。具体的に本実施の形態では、ニューラルネットワークへの入力データ及びニューラルネットワークの出力データはいずれもベクトルデータであり、入力層及び出力層の各ノードに対応する、複数のデータ要素を含んでいる。

[0029] そこで情報入力部12は、例えば画像データを学習あるいは推論させる場合、入力データとしては、当該2値の画像データの画素の画素値を所定の順序（ラスタスキャン順でよい）で配列して、複数のデータ要素を含むベクトルデータとする。

[0030] 学習処理部13は、論理回路等により構成され、学習時（学習を行うか推論を行うかは外部から指示されるものとする）に、情報入力部12から入力される情報を用いて、記憶部11に格納したニューラルネットの結合重みの情報を更新する。なお、本実施の形態のここでの例では、抵抗変化型メモリ11mの各メモリセルには、定常的に電圧 V_0 が印加されているものとする。ここでの例では、この電圧 V_0 は、メモリセルが保持している値を維持させる

のに十分な電圧 ($V_{th} \leq V_0 \leq V_{th}'$) であるものとする。

[0031] なお、この定常的に印加する電圧 V_0 は、常に一定でなくてもよく、メモリセルごとに、当該メモリセルに電圧を印加する時点での金属フィラメントの成長の状態（すなわち当該メモリセルの抵抗値）に応じて変化するように制御されてもよい。具体的には、メモリセルの抵抗値が小さいほど（金属フィラメントが成長しているほど）、 V_0 の値を小さくすると、単位時間あたりの金属フィラメントの成長の度合いを、その時点での成長の状態によらず、実質的に均一にできる。

[0032] 本実施の形態において、この結合重みの情報の更新は次のようにして行われる。学習処理部 13 は、当初、結合重みの情報を予め定めた方法で初期化する。この初期化の方法は Xavier の方法など、広く知られた種々の方法を採用できるので、ここでの詳しい説明は省略する。

[0033] そして学習処理部 13 は、学習用に用意されたデータセットに含まれる、複数の入力データを逐次的に情報入力部 12 から受け入れ、それぞれの入力データを、記憶部 11 に格納したニューラルネットワークに入力したときの、当該ニューラルネットワークの出力データを演算する。

[0034] 具体的に、ここでは入力データ及び出力データはいずれも、各データ要素が「0」または「1」となるバイナリ（2値）である（各ノードの値 I_j 、 O_j が、 $I_j, O_j \in \{0, 1\}$ である）とする。このとき学習処理部 13 は、隠れ層の各ノード H_i の値を、記憶部 11 が保持する保持値に基づいて得られる $W_{i,j}$ を用いて、

$$H_i = f \left(\sum_j W_{i,j} \cdot I_j + b \right)$$

として演算する。ここで $\sum_j$ は、 j について総和することを意味し、 b は予め定められたバイアス値（スカラー値）である。また、関数 $f(X)$ は、 $X > 0$ のとき「1」となり、そうでない場合は「0」となる二値化の関数である（以下の説明において同じ）。

[0035] 学習処理部 13 は、さらに、出力層の各ノード O_j の値を、記憶部 11 が保持する保持値に基づいて得られる $W_{i,j}$ を用いて、

$$O_j = f \left(\sum_i W_{j,i} \cdot H_i + b \right)$$

として演算する。ここで $\sum_i$ は、 i について総和することを意味する。その他の部分は隠れ層のノードの演算に用いたものと同様である（バイアスの値は隠れ層を演算する際の値と同じであっても、異なってもよい）。

[0036] 次に学習処理部13は、出力データのデータ要素のうち、目的の値（教師データの対応するデータ要素の値）に達していないデータ要素の演算に係る結合重みの情報を保持する抵抗変化型メモリ11mのメモリセルに対して、目的の値に近接させる電氣的信号を印加するよう制御して、メモリセルの保持値を更新する。本実施の形態の一例では、ニューラルネットワークはオートエンコーダであり、この場合、入力データが教師データとなるので、出力データの各データ要素の目的の値は、入力データの対応するデータ要素の値となる。

[0037] 具体的にこの学習処理部13は、出力データの j 番目のデータ要素の値（ノード O_j の値）が、入力データにおいて対応する j 番目のデータ要素の値（ノード I_j の値）と等しくないとき（ $O_j \neq I_j$ のとき）に、隠れ層の各ノード H_i （ $i = 1, 2, \dots$ ）を順次参照し、隠れ層の i 番目のノードの値が「1」（ $H_i = 1$ ）であるときに、次の動作を行う。

[0038] 学習処理部13は、 $O_j \neq I_j$ であるとき、 $H_i = 1$ であるならば、さらに、 $I_j = 0$ であるか否かを調べ、 $I_j = 0$ であれば、 $W_{i,j,+}$ の値を保持する抵抗変化型メモリ11mのメモリセルに印加する電圧を、予め定めた時間 ΔT （以下、 $\Delta T > T_s$ 、かつ $\Delta T > T_r$ とする）だけ、定常的に印加されている電圧 V_0 から ΔV だけ上昇させ、当該メモリセルに $V_0 + \Delta V$ の電位のパルス状の電圧を印加するよう制御する。このとき、 $W_{i,j,-}$ の値を保持する抵抗変化型メモリ11mのメモリセルに印加する電圧は、予め定めた時間 ΔT だけ V_{th} を下回るよう制御する。

[0039] また、学習処理部13は、 $O_j \neq I_j$ であるとき、 $H_i = 1$ であり、さらに、 $I_j = 1$ であるならば、 $W_{i,j,-}$ の値を保持する抵抗変化型メモリ11mのメモリセルに印加する電圧を、予め定めた時間 ΔT だけ、定常的に印加されて

いる電圧 V_0 から ΔV だけ上昇させ、当該メモリセルに $V_0 + \Delta V$ の電位のパルス状の電圧を印加するよう制御する。このとき、 $W_{i,j,+}$ の値を保持する抵抗変化型メモリ 11 m のメモリセルに印加する電圧は、 ΔT の時間だけ、 V_{th} を下回るよう制御する。

[0040] さらに学習処理部 13 は、 $O_j = I_j$ であるか、または $H_i = 0$ であるならば各メモリセルに印加する電圧を制御しない ($W_{i,j,+}$ 、及び $W_{i,j,-}$ の値を保持する抵抗変化型メモリ 11 m のメモリセルに印加する電圧を V_0 に維持する)。

[0041] ここで隠れ層、出力層の各ノードの値の演算は、論理回路と加算器、並びにコンパレータ回路を用いて実現できる (関数 f は値「0」と比較するコンパレータ回路で実現できる)。また学習の処理についても、各ノードの値の比較は、いずれも AND 回路等を用いて行うことができ、条件分岐は AND 回路または OR 回路で実現でき、さらに電圧制御は、一般的な電圧制御回路によって実現できる。つまり、この学習処理部 13 は、必ずしもプログラム実行モジュールであるプロセッサ等を必要としない、比較的簡便な回路によって実現できる。また、プログラム実行モジュールを用いる場合も、比較的簡単な、比較及び条件分岐によって処理が実現できるため、そのプログラムも簡便で処理負荷の低いものとなっている。このように本実施の形態によれば、小規模なハードウェアによる学習を可能とし、ニューラルネットワークの利用場面を拡大できる。

[0042] 出力部 14 は、論理回路等により構成され、推論時に、情報入力部 12 から入力される情報と、記憶部 11 に格納したニューラルネットワークの結合重みの情報とを用いて、推論を行う。

[0043] 具体的に、この出力部 14 は、まず隠れ層の各ノード H_i の値を、記憶部 11 が保持する保持値に基づいて得られる $W_{i,j}$ を用いて、

$$H_i = f \left(\sum_j W_{i,j} \cdot I_j + b \right)$$

として演算する。そして出力部 14 は、さらに、出力層の各ノード O_j の値を、記憶部 11 が保持する保持値に基づいて得られる $W_{i,j}$ を用いて、

$$O_j = f \left(\sum_i W_{j,i} \cdot H_i + b \right)$$

として演算する。これらの演算は、学習処理部 13 において出力データを得る際の演算と同様であるので、繰り返しての説明を省略する。

[0044] 出力部 14 は、ここで得られた出力層の各ノードの値から、出力データを生成して推論の結果として出力する。例えば推論の結果として画像データを得る場合、出力データの各データ要素の値を所定のサイズ（入力データが画像データの場合、同じサイズでよい）の平面的画像データの各画素値として、所定の順序（ラスタスキャン順でよい）で配列して画像データとする。

[0045] [動作]

本発明の実施の形態に係る機械学習デバイスは、基本的に上記の構成を有し、次のように動作する。以下の例では、図 5 に例示するようなグレイスケール画像データを学習する例について述べる。

[0046] 本実施の形態の機械学習デバイスの学習処理部 13 は、学習処理の開始指示（初期化して開始する指示）を受けて、図 6（a）に例示する処理を開始する。学習処理部 13 は、まず図 2 に例示したニューラルネットワークの結合重みを初期化する（S1）。

[0047] 具体的には、学習処理部 13 は、予め定めた方法で、結合重みの情報を表す、 $W_{i,j}$ （ $i = 1, 2, \dots, N$ 、 $j = 1, 2, \dots, M$ 、ただし N は入力層と出力層とのノードの数、 M は隠れ層のノードの数）のそれぞれの初期値を決定し、これらのうち「0」とすると決定した結合重みを保持する記憶部 11 のメモリセル（結合重み $W_{i,j,+}$ 、 $W_{i,j,-}$ のそれぞれの値を保持するメモリセル）には保持値が「0」となるのに十分な時間だけ電位 V_0 を下回る電圧が印加されるよう制御する。これにより対応するメモリセルにおいて金属フィラメントがイオン化した状態となって（あるいはその状態を維持することとなる）、これらのメモリセルの保持値が「0」に設定される。

[0048] また学習処理部 13 は、初期値を決定した結合重みのうち、「1」とすると決定した結合重みの、正の値 $W_{i,j,+}$ を保持する記憶部 11 のメモリセルには $V_0 + \Delta V$ を超える電圧が印加され、負の値 $W_{i,j,-}$ を保持する記憶部 11

のメモリセルには電位 V_0 を下回る電圧が印加されるよう制御する。なお、この電圧の印加時間は、少なくとも正の値 $W_{i,j,+}$ を保持するメモリセルの保持値が「1」となるのに十分な時間としておく。このようにすると、正の値 $W_{i,j,+}$ を保持する記憶部 11 のメモリセルでは金属フィラメントが成長し、当該メモリセルの保持値が「1」まで増大する。また、負の値 $W_{i,j,-}$ を保持する記憶部 11 のメモリセルでは金属フィラメントがイオン化した状態となって（あるいはその状態を維持することとなって）、このメモリセルの保持値が「0」まで減少する。これにより結合重み $W_{i,j}$ が、 $W_{i,j} = (W_{i,j,+}) - (W_{i,j,-}) = 1$ と設定される。

[0049] さらに学習処理部 13 は、初期値を決定した結合重みのうち、「-1」とすると決定した結合重みの、正の値 $W_{i,j,+}$ を保持する記憶部 11 のメモリセルには電位 V_0 を下回る電圧が印加され、負の値 $W_{i,j,-}$ を保持する記憶部 11 のメモリセルには $V_0 + \Delta V$ を超える電圧が印加されるよう制御する。ここでも、この電圧の印加時間は、少なくとも負の値 $W_{i,j,-}$ を保持するメモリセルの保持値が「1」となるのに十分な時間としておく。このようにすると、正の値 $W_{i,j,+}$ を保持する記憶部 11 のメモリセルでは金属フィラメントがイオン化した状態となって（あるいはその状態を維持することとなって）、このメモリセルの保持値が「0」まで減少する。また負の値 $W_{i,j,-}$ を保持する記憶部 11 のメモリセルでは金属フィラメントが成長して、当該メモリセルの保持値が「1」まで増大する。これにより、 $W_{i,j}$ が、 $W_{i,j} = (W_{i,j,+}) - (W_{i,j,-}) = -1$ と設定される。

[0050] 次に学習処理部 13 は、図 7 に示す機械学習処理を開始する（S2）。この機械学習処理により学習を行わせるときには、ニューラルネットワークに対して入力する入力データとして、図 5 に例示したようなグレースケール画像データを複数用意してデータセットとする。情報入力部 12 は、用意されたデータセットに含まれるグレースケール画像データの各々について、その各画素の画素値をラスタスキャン順に配列したベクトルデータ I_j ($j = 1, 2, \dots, N$) を生成する。

[0051] 学習処理部 13 は、図 7 に例示するように、情報入力部 12 が各グレースケール画像データについて生成したベクトルデータを受け入れ、それを逐次的に選択する (S 11)。学習処理部 13 は、選択したベクトルデータをニューラルネットワークに入力し、ニューラルネットワークの出力データを演算する (S 12)。

[0052] 具体的に学習処理部 13 は、記憶部 11 に含まれる各メモリセルの保持値である結合重み $W_{i,j,+}$ 及び $W_{i,j,-}$ を参照し、結合重みの情報 $W_{i,j} = (W_{i,j,+}) - (W_{i,j,-})$ を得る。そして、隠れ層の各ノード H_i の値を、
$$H_i = f \left(\sum_j W_{i,j} \cdot I_j + b \right)$$
として演算する。そして学習処理部 13 はさらに、出力層の各ノード O_j の値を、
$$O_j = f \left(\sum_i W_{j,i} \cdot H_i + b \right)$$
として演算する。ここで $W_{j,i}$ は、 $W_{i,j}$ を要素とする行列 $[W_{i,j}]$ の転置行列 $[W_{i,j}]^T$ の j 行 i 列目の要素である。

[0053] この間、記憶部 11 に保持されている結合重みの情報はそのまま保持する。学習処理部 13 は、演算で求めた出力データの各データ要素 O_j ($j = 1, 2, \dots, N$) を参照し、対応する入力データのデータ要素 I_j と異なる値となっている ($O_j \neq I_j$ である) 出力データのデータ要素 O_j を抽出する (S 13)。

[0054] 学習処理部 13 は、隠れ層の各ノード H_i ($i = 1, 2, \dots, M$) を順次参照し (S 14)、隠れ層の i 番目のノード H_i の値が「1」であるか否かを調べる (S 15)。ここで、 H_i の値が「1」であれば (S 15: Yes)、処理 S 13 で抽出したデータ要素 O_j のそれぞれについて (S 16)、当該データ要素 O_j に対応する入力データのデータ要素 I_j が「0」であるか否かを調べ (S 17)、 $I_j = 0$ であれば (S 17: Yes)、 $W_{i,j,+}$ の値を増大させるよう制御し、 $W_{i,j,-}$ の値を減少させるよう制御する。つまり、 $O_j \neq I_j$ かつ、 $H_i = \text{「1」}$ 、かつ $I_j = \text{「0」}$ ならば、学習処理部 13 は、結合重み $W_{i,j}$ を増大させる (S 18)。

- [0055] また学習処理部13は、処理S17において、 $l_j = 「1」$ であれば（S17 : No）、 $W_{i,j,-}$ の値を増大させるよう制御し、 $W_{i,j,+}$ の値を減少させるよう制御する。つまり、 $O_j \neq l_j$ かつ、 $H_i = 「1」$ 、かつ $l_j = 「1」$ ならば、学習処理部13は、結合重み $W_{i,j}$ を減少させる（S19）。
- [0056] この処理S18、S19において $W_{i,j,+}$ や、 $W_{i,j,-}$ の値を増大させる制御は、当該増大させようとする値を保持値として保持するメモリセルに対して印加する電圧を、予め定めた時間 ΔT_p だけ、定常的に印加されている電圧 V_0 から ΔV だけ上昇させ、当該メモリセルに $V_0 + \Delta V > V_{th}'$ の電位の電圧を印加するよう制御することによって行われる。
- [0057] また処理S18、S19において $W_{i,j,+}$ や、 $W_{i,j,-}$ の値を減少させるよう制御させる際には、当該減少させようとする値を保持値として保持するメモリセルに対して印加する電圧を、予め定めた時間 ΔT_m だけ、電位差 V_{th} を下回る電圧とする。
- [0058] ここで保持値を増大させるための時間 ΔT_p と保持値を減少させるための時間 ΔT_m は互いに異なってもよい。これらの時間 ΔT_p 、 ΔT_m は、例えばそれぞれ、保持値を「1」、「0」とするのに十分な時間としてもよい。またこれらの時間 ΔT_p 、 ΔT_m は、保持値をそれぞれ「0」から所定の値だけ増大または「1」から所定の値だけ減少させるのに十分な時間だけとしてもよい。
- [0059] 学習処理部13は、処理S17、S18またはS19の処理を、処理S13で抽出したデータ要素 O_j の数だけ繰り返し、さらに処理S15以降の処理を、隠れ層のノードの数だけ繰り返す。なお、学習処理部13は、処理S15において、 H_i の値が「0」であれば（S15 : No）、処理S16からS19までの処理を行わずに、繰り返しの処理を続ける（次の隠れ層のノードについて処理S15以下の処理を実行する）。
- [0060] 学習処理部13は、処理S11に戻って、次に入力すべきベクトルデータがあれば、当該ベクトルデータについて処理S12以下の処理を繰り返して実行する。また、次に入力すべきベクトルデータがなければ（受け入れ

たすべてのベクトルデータについて処理を終了したならば）、図7の機械学習処理を終了する。

[0061] この図6（a）、図7に例示した学習処理部13の処理は、マイクロコンピュータ等を用いても実現できる。この場合も、マイクロコンピュータが行う処理としては、バイナリの比較処理と繰り返しの処理、そして電圧制御の処理のみとなっているので、処理負荷は一般的なバックプロパゲーションの処理を行う場合に比べて軽減されている。

[0062] また、この学習処理部13は、既に述べたように、論理回路を用いたハードウェアとしても実現できる。この場合、処理S14、S16に例示するような逐次的な選択動作を実現する方法としては、例えばマルチプレクサ及びクロック回路等の回路を用いる方法など、種々の広く知られた方法を採用できる。

[0063] [学習処理の他の例]

なお、ここでは学習処理の方法として、入力層、出力層の各ノードの値と、隠れ層の各ノードの値とを参照することとしていたが、本実施の形態はこれに限られず、より簡便に、隠れ層のノードの値を参照することなく、入力層と出力層の各ノードの値のみを参照して学習処理を行ってもよい。

[0064] すなわち本実施の形態のもう一つの例に係る学習処理部13は、出力データのうち、目的の値に達していないデータ要素の演算に係る結合重みの情報を保持する抵抗変化型メモリ11mのメモリセルに対して、目的の値に近接させる電氣的信号を印加するよう制御する点で既に説明した例と同じ動作を行うが、具体的な処理の内容が異なる。

[0065] すなわち、この学習処理部13は、出力データのj番目のデータ要素の値（ノードO_jの値）が、入力データにおいて対応するj番目のデータ要素の値（ノードI_jの値）と等しくないとき（O_j≠I_jのとき）に、入力層の各ノードI_i（i=1, 2, …N、ただしi≠j）を順次参照し、隠れ層のi番目（iはjとは異なる）のノードの値が「1」（I_i=1）であるときに、次の動作を行う。

- [0066] 学習処理部13は、 $O_j \neq I_j$ であるとき、 $I_i = 1$ ($j \neq i$)であるならば、さらに、 $O_j = 0$ であるか否かを調べる。ここで $O_j = 0$ であれば、 $W_{i,j,+}$ の値を保持する抵抗変化型メモリ11mのメモリセルに印加する電圧を、予め定めた時間 ΔT_p だけ、定常的に印加されている電圧 V_0 から ΔV だけ上昇させ、当該メモリセルに $V_0 + \Delta V$ の電位の電圧を印加するよう制御する。このとき、 $W_{i,j,-}$ の値を保持する抵抗変化型メモリ11mのメモリセルに印加する電圧は、予め定めた時間 ΔT_m に亘り、 V_{th} を下回るよう制御する。
- [0067] また、学習処理部13は、 $O_j \neq I_j$ であるとき、 $O_i = 1$ ($j \neq i$)であり、さらに、 $O_j = 1$ であるならば、 $W_{i,j,-}$ の値を保持する抵抗変化型メモリ11mのメモリセルに印加する電圧を、予め定めた時間 ΔT_p だけ、定常的に印加されている電圧 V_0 から ΔV だけ上昇させ、当該メモリセルに $V_0 + \Delta V$ の電位の電圧を印加するよう制御する。このとき、 $W_{i,j,+}$ の値を保持する抵抗変化型メモリ11mのメモリセルに印加する電圧は、 ΔT_m の時間だけ V_{th} を下回るよう制御する。
- [0068] さらに学習処理部13は、 $O_j = I_j$ であるか、または $I_i = 0$ であるならば各メモリセルに印加する電圧を制御しない ($W_{i,j,+}$ 、及び $W_{i,j,-}$ の値を保持する抵抗変化型メモリ11mのメモリセルに印加する電圧を V_0 に維持する)。
- [0069] この例の学習の処理においても、各ノードの値の比較は、いずれもAND回路等を用いて行うことができ、条件分岐はAND回路またはOR回路で実現でき、さらに電圧制御は、一般的な電圧制御回路によって実現できる。つまり、この学習処理部13は、必ずしもプログラム実行モジュールであるプロセッサ等を必要としない、比較的簡便な回路によって実現できる。また、プログラム実行モジュールを用いる場合も、比較的簡単な、比較及び条件分岐によって処理が実現できるため、そのプログラムも簡便で処理負荷の低いものとなっている。このように本実施の形態によれば、小規模なハードウェアによる学習を可能とし、ニューラルネットワークの利用場面を拡大できる。

[0070] [減衰を利用する例]

また、本実施の形態では、記憶部 11 の抵抗変化型メモリ 11 m のメモリセルに定常的に印加する電位 V_0 を電位 V_{th} から所定の電位 V_m だけ下回る値に設定して、時間的にフィラメントを減衰させて用いてもよい。このようにすると、学習内容を時間経過とともに減衰させるメモリとして用いることが可能となり、自然な忘却処理が実現できる。ここで所定の電位 V_m の値を制御することで、忘却の速度も制御できる (V_m を小さくすると減衰が起こりにくいため忘却速度は遅くなり、大きくすると減衰が迅速に進むため忘却速度が速まる)。

[0071] さらに、このように金属フィラメントの減衰による忘却処理を用いる場合は、学習処理部 13 は、一つのデータセットを用いた学習処理を複数回繰り返して行ってもよい。すなわち、本実施の形態の一例では、学習処理部 13 は、図 6 (b) に例示するように、図 2 に例示したニューラルネットワークの結合重みを初期化 (S1) した後、ループを開始し (S3)、図 7 に示した機械学習処理を実行する (S2)。そして図 7 の機械学習処理が終了するごとに、ループの終了条件を満足したか (例えば予め定めた繰り返し回数だけ機械学習処理を実行したか) 否かを調べ (S4)、予め定めた繰り返し回数の機械学習処理を行っていないなど、ループの終了条件を満足していない場合には、処理 S2 に戻って処理を繰り返す。また、予め定めた繰り返し回数の機械学習処理が行われたなど、ループの終了条件が満足されているならば、機械学習に係る処理を終了する。この場合に、処理 S2 の機械学習処理では、繰り返しの各回ごとに同じデータセットを利用した機械学習処理を行う。

[0072] また、この場合の機械学習処理 (処理 S2) では、各メモリセルが保持する値の更新 (メモリセルに印加する電圧の制御) を行う時間の間隔が、メモリセルに対して定常的に印加する電圧 V_0 を印加したときに当該メモリセルのコンダクタンスが最大の状態から最小の状態まで減衰するのに要する時間 T_r より短い時間となるように上記電位 V_m を設定するか、学習の処理を行うよう

にしてもよい。

[0073] このようにすると、メモリセルの金属フィラメントが減衰しきらずに残存している状況で次の学習が行われるため、図8に例示するように、例えば当初「1」の値を保持しているメモリセル（金属フィラメントが十分成長して、コンダクタンスが十分大きいメモリセル）において、次の入力データに対する学習処理で、値の更新が行われたときに記憶内容が維持されることとなると、電圧 V_0 が印加されて、徐々にコンダクタンスが減衰する（A）。

[0074] そしてさらに次の入力データに対する学習処理で、このメモリセルに対して保持値の更新が行われたときに、保持値が増大するように、このメモリセルの金属フィラメントを成長させるだけの電圧 $V_0 + \Delta V$ が ΔT_p の時間だけ印加されると、減衰中の状態（保持値を表すコンダクタンスが「0」となっていない状態）で再度、 ΔT_p の時間だけ金属フィラメントが成長して保持値が増大する（B）。

[0075] このように本実施の形態のこの例（減衰を利用する例）では、確率的にメモリセルの状態が制御されてニューラルネットワークの結合重みの情報が更新されることとなり、入力データにノイズが含まれている場合に過学習してしまうことなどを防止できる。

[0076] [多値メモリの例]

また本実施の形態のここまでの説明では、記憶部11の抵抗変化型メモリ11mが保持する保持値は電圧を印加しない状態では、「0」または「1」に維持されるものとしたが、本実施の形態で用いる記憶部11を実現する抵抗変化型メモリは、この例の抵抗変化型メモリに限られない。

[0077] 本実施の形態のもう一つの例に係る機械学習デバイスの記憶部11を実現する抵抗変化型メモリ11mは、図9にその構造を例示するように、下部電極ライン111と、上部電極ライン112との間にある抵抗変化層113内に、下部電極ライン111及び上部電極ライン112に対してそれぞれ平行に配された（従って互いに平行に配された状態にある）複数の抵抗保持層114a, b, ... nを備える。なお、下部電極ライン111と上部電極ライン

1 1 2とはそれぞれ複数本ずつ平行して互いに異なる面内（この面の法線方向をZ軸とする）に配され、下部電極ライン1 1 1と上部電極ライン1 1 2とのそれぞれの長手方向の角度は平面視では交差するように配される。具体的には下部電極ライン1 1 1の長手方向はX軸方向に配され、上部電極ライン1 1 2の長手方向はX軸方向に対して直交するY軸方向に配されるものとする（つまりここでもクロスバー構造を有する）。

[0078] 本実施の形態の一例では、この抵抗保持層1 1 4は、抵抗変化層1 1 3内に析出する金属フィラメントの金属と同じ素材の金属を用いて形成するものとする。この抵抗保持層1 1 4が本発明の疑似電極に相当する。またこの抵抗保持層1 1 4は平面視では、ひとつのメモリセルに含まれる抵抗変化層1 1 3に内包される程度の大きさを有するものとする（図10）。

[0079] このように抵抗保持層1 1 4を備えたメモリセルにおいて上部電極ライン1 1 2と下部電極ライン1 1 1との間に印加する電圧を制御すると、当該メモリセルが保持する値が次のように変化する。なお、以下の例において、下部電極ライン1 1 1に最も近い側にある抵抗保持層1 1 4 aを、第1の抵抗保持層1 1 4 aと呼び、以下下部電極ライン1 1 1に近い順に、各抵抗保持層1 1 4 b, c...nを、第2の抵抗保持層1 1 4 b, 第3の抵抗保持層1 1 4 c...と呼ぶ。

[0080] このメモリセルにおいて当初、金属フィラメントが抵抗変化層1 1 3の下部電極ライン1 1 1側の端（以下、下端と呼ぶ）から第kの抵抗保持層1 1 4 kまで成長した状態にあるとすると、上部電極ライン1 1 2と下部電極ライン1 1 1との間に印加する電圧が所定の電位差 V_{th} を下回るよう制御すると、図4（a）に示した例と同様、コンダクタンスは時間経過とともに成長に比べると迅速に減衰して、所定の時間（時間 T_r ）が経過した後、下端から金属フィラメントが第（k - 1）番目の抵抗保持層1 1 4（k - 1）まで成長した状態となる。この状態でさらに上部電極ライン1 1 2と下部電極ライン1 1 1との間に印加する電圧が所定の電位差 V_{th} を下回るよう制御すると、コンダクタンスは時間経過とともにさらに減衰して、さらに所定の時間

(時間 T_r) が経過した後は、下端から金属フィラメントが第 $(k - 2)$ 番目の抵抗保持層 114 $(k - 2)$ まで成長した状態となる。以下、上記印加する電圧が所定の電位差 V_{th} を下回るよう制御している間、次々とコンダクタンスが減少していく。このような印加電圧の制御を以下では「減衰制御」と呼ぶ。

[0081] また、このメモリセルにおいて、上部電極ライン 112 と下部電極ライン 111 との間に印加する電圧がこの所定の電位 V_{th} から所定の範囲 (V_{th} を超え、 $V_{th} + V_{th}'$ までの範囲とする) となるよう制御すると、金属フィラメントは成長も減衰もせず、その時点で金属フィラメントが抵抗変化層 113 の下部電極ライン 111 側の端 (以下、下端と呼ぶ) から第 k の抵抗保持層 114 k まで成長した状態にあったときには、その状態が維持される。この印加電圧の制御を、以下では「維持制御」と呼ぶ

[0082] なお、抵抗変化層の材質によっては、金属フィラメントがいずれかの抵抗保持層 114 まで成長した状態にあるときには、上部電極ライン 112 と下部電極ライン 111 との間の電位差が V_{th} を下回るよう制御されても、下端からその時点で金属フィラメントが接触している抵抗保持層 114 (直近の下部電極ライン 111 に近い側の抵抗保持層) まで成長した状態が維持される。つまり、抵抗保持層 114 により、金属フィラメントの減衰が規制される。この場合に、記憶している値を「0」に近接させる際には、減衰制御を行う前に、印加電圧を、一時的にリセット電圧 (例えば $-(V_0 + \Delta V)$) とするよう制御してもよい。なお、学習処理を行っている間は、リセット電圧の印加を行わないこととしてもよい。

[0083] また金属フィラメントが抵抗変化層 113 の下部電極ライン 111 側の端 (以下、下端と呼ぶ) から第 k の抵抗保持層 114 k まで成長した状態にあるときに、上部電極ライン 112 と下部電極ライン 111 との間に印加する電圧 V が所定の電位差 V_{th} を超えて、 $V_0 + \Delta V$ 以上となる ($V_0 + \Delta V > V_{th} + V_{th}'$) よう制御すると、図 4 (b) に例示したように、コンダクタンスは時間経過とともに指数関数的に増大して、所定の時間 (時間 T_s) が経過した後、

金属フィラメントが、下端から次の（上部電極ライン 1 1 2 に近い側の）第（ $k + 1$ ）番目の抵抗保持層 1 1 4（ $k + 1$ ）まで成長した状態となる。

[0084] この状態でさらに上部電極ライン 1 1 2 と下部電極ライン 1 1 1 との間に印加する電圧が $V_0 + \Delta V$ 以上となるよう制御し続けると、コンダクタンスは時間経過とともにさらに指数関数的に増大して、また所定の時間（時間 T_s ）が経過した後は、下端から金属フィラメントが第（ $k + 2$ ）番目の抵抗保持層 1 1 4（ $k + 2$ ）まで成長した状態となる。以下、上記印加する電圧が $V_0 + \Delta V$ 以上であるよう制御されている間、次々とコンダクタンスが増大していく。この印加電圧の制御を、以下では「成長制御」と呼ぶ。

[0085] そしてこの例では、金属フィラメントが下端からどの抵抗保持層 1 1 4 a, b, ... n（あるいは抵抗変化層 1 1 3 の上部電極ライン 1 1 2 側端部、以下「上端」という）まで成長しているかに対応する状態 G_k （ $k = 1, 2, \dots$ ）により、抵抗変化層 1 1 3 のコンダクタンスが、複数の状態 G_k に対応する複数段階の保持値（コンダクタンス）のいずれかとなり、この段階のいずれかであれば、電圧を印加しない状態でも保持値であるコンダクタンスは維持される。

[0086] つまり、この抵抗変化層 1 1 3 を含むメモリセルは、電圧を印加しない状態で、単体で多値の情報を保持可能となる。なお、ここでの例でも最大のコンダクタンスの値を表す保持値を「1」、最小のコンダクタンスの値を表す保持値を「0」と規格化したものとして説明する。

[0087] このような多値の情報を保持可能な抵抗変化型メモリ 1 1 m を用いる場合、学習処理部 1 3 は次のように動作する。

[0088] この例における学習処理部 1 3 は、学習用に用意された複数の入力データを逐次的に情報入力部 1 2 から受け入れて、それぞれの入力データを、記憶部 1 1 に格納したニューラルネットワークに入力したときの、当該ニューラルネットワークの出力データを演算する。

[0089] この例においても入力データ及び出力データはいずれも、各データ要素が「0」または「1」となるバイナリ（2 値）であるものとする（各ノードの

値 I_j , O_j が、 $I_j, O_j \in \{0, 1\}$ である) とする。このとき学習処理部 13 は、隠れ層の各ノード H_i の値を、

$$H_i = f \left(\sum_j W_{i,j} \cdot I_j + b \right)$$

として演算する。ここで $\sum_j$ は、 j について総和することを意味し、 b は予め定められたバイアス値 (スカラー値) である。また、関数 $f(X)$ は、既に述べた通り、 $X > 0$ のとき「1」となり、そうでない場合は「0」となる二値化の関数である。

[0090] またこの例においても、一つの結合重みの情報 $W_{i,j}$ あたり一対のメモリセルを用い、各メモリセルがそれぞれ正の結合重み $W_{i,j,+}$ または負の結合重み $W_{i,j,-}$ の値を保持するものとする。そして結合重みの情報 $W_{i,j}$ は、これら 2 つの値の差 $W_{i,j} = (W_{i,j,+}) - (W_{i,j,-})$ として表すものとする。本実施の形態のここでの例では、抵抗変化型メモリの各メモリセルにおいて多値の情報 ($0, G, 2G, \dots, nG$ のいずれかの値、ここで n は正の整数) が保持されているため、 $-nG$ から $+nG$ までの間の多値の表現が可能となる (ただし $-1 \leq -nG < 0 < nG \leq 1$)。

[0091] 学習処理部 13 は、さらに、出力層の各ノード O_j の値を、

$$O_j = f \left(\sum_i W_{j,i} \cdot H_i + b \right)$$

として演算する。ここで $\sum_i$ は、 i について総和することを意味する。その他の部分は隠れ層のノードの演算に用いたものと同様である (バイアスの値は隠れ層を演算する際の値と同じであっても、異なってもよい)。

[0092] 次に学習処理部 13 は、出力データのうち、目的の値に達していないデータ要素の演算に係る結合重みの情報を保持する抵抗変化型メモリ 11m のメモリセルに対して、目的の値に近接させる電氣的信号を印加するよう制御する。ここでニューラルネットワークがオートエンコーダであるとする、出力データの各データ要素の目的の値は、入力データの対応するデータ要素の値となる。

[0093] この学習処理部 13 は、出力データの j 番目のデータ要素の値 (ノード O_j の値) が、入力データにおいて対応する j 番目のデータ要素の値 (ノード I_j

の値)と等しくないとき ($O_j \neq I_j$ のとき) に、隠れ層の各ノード H_i ($i = 1, 2, \dots$) を順次参照し、隠れ層の i 番目のノードの値が「1」 ($H_i = 1$) であるときに、次の動作を行う。

[0094] 学習処理部 13 は、 $O_j \neq I_j$ であるとき、 $H_i = 1$ であるならば、さらに、 $I_j = 0$ であるか否かを調べ、 $I_j = 0$ であれば、 $W_{i,j,+}$ の値を保持する抵抗変化型メモリ 11m のメモリセルに印加する電圧を、予め定めた時間 ΔT_p (以下、 $\Delta T > T_s$ 、かつ $\Delta T > T_r$ とする) だけ、定常的に印加されている電圧 V_0 から ΔV だけ上昇させ、当該メモリセルに $V_0 + \Delta V$ の電位の電圧を印加するよう制御する (成長制御)。このとき学習処理部 13 は、 $W_{i,j,-}$ の値を保持する抵抗変化型メモリ 11m のメモリセルに印加する電圧を、予め定めた時間 ΔT_m だけ、 V_{th} を下回るよう制御する (減衰制御)。ここで ΔT_p 、 ΔT_m は、既に説明した例と同様に定められる (以下同様)。

[0095] また学習処理部 13 は、 $O_j \neq I_j$ であるとき、 $H_i = 1$ であり、さらに、 $I_j = 1$ であるならば、 $W_{i,j,-}$ の値を保持する抵抗変化型メモリ 11m のメモリセルに印加する電圧を、予め定めた時間 ΔT_p だけ、定常的に印加されている電圧 V_0 から ΔV だけ上昇させ、当該メモリセルに $V_0 + \Delta V$ の電位の電圧を印加するよう制御する (成長制御)。このとき学習処理部 13 は、 $W_{i,j,+}$ の値を保持する抵抗変化型メモリ 11m のメモリセルに印加する電圧を、 ΔT_m の時間だけ、 V_{th} を下回るよう制御する (減衰制御)。

[0096] さらに学習処理部 13 は、 $O_j = I_j$ であるか、または $H_i = 0$ であるならば各メモリセルに印加する電圧を変化させないように制御する ($W_{i,j,+}$ 、及び $W_{i,j,-}$ の値を保持する抵抗変化型メモリ 11m のメモリセルに印加する電圧を V_0 に維持する：維持制御)。

[0097] またここでの例でも、学習処理部 13 が入力層、出力層の各ノードの値と、隠れ層の各ノードの値とを参照する代わりに、より簡便に、隠れ層のノードの値を参照することなく、入力層と出力層の各ノードの値のみを参照して学習処理を行ってもよい。

[0098] 多値の結合重みの情報を保持するメモリセルを用いた場合の、この例に係

る学習処理部13は、それぞれの入力データを、記憶部11に格納したニューラルネットワークに入力したときの、当該ニューラルネットワークの出力データを演算する処理までは上述と同様に動作する。

[0099] そして学習処理部13は、出力データの j 番目のデータ要素の値（ノード O_j の値）が、入力データにおいて対応する j 番目のデータ要素の値（ノード I_j の値）と等しくないとき（ $O_j \neq I_j$ のとき）に、入力層の各ノード I_i （ $i = 1, 2, \dots, N$ 、ただし $i \neq j$ ）を順次参照し、隠れ層の i 番目（ i は j とは異なる）のノードの値が「1」（ $I_i = 1$ ）であるときに、次の動作を行う。

[0100] 学習処理部13は、 $O_j \neq I_j$ であるとき、 $I_i = 1$ （ $j \neq i$ ）であるならば、さらに、 $O_j = 0$ であるか否かを調べる。ここで $O_j = 0$ であれば、 $W_{i,j,+}$ の値を保持する抵抗変化型メモリ11mのメモリセルに印加する電圧を、予め定めた時間 ΔT_p だけ、定常的に印加されている電圧 V_0 から ΔV だけ上昇させ、当該メモリセルに $V_0 + \Delta V$ の電位の電圧を印加するよう制御する（成長制御）。このとき、 $W_{i,j,-}$ の値を保持する抵抗変化型メモリ11mのメモリセルに印加する電圧は、予め定めた時間 ΔT_m に亘り、 V_{th} を下回るよう制御する（減衰制御）。

[0101] また、学習処理部13は、 $O_j \neq I_j$ であるとき、 $O_i = 1$ （ $j \neq i$ ）であり、さらに、 $O_j = 1$ であるならば、 $W_{i,j,-}$ の値を保持する抵抗変化型メモリ11mのメモリセルに印加する電圧を、予め定めた時間 ΔT_p だけ、定常的に印加されている電圧 V_0 から ΔV だけ上昇させ、当該メモリセルに $V_0 + \Delta V$ の電位の電圧を印加するよう制御する（成長制御）。このとき、 $W_{i,j,+}$ の値を保持する抵抗変化型メモリ11mのメモリセルに印加する電圧は、 ΔT_m の時間だけ V_{th} を下回るよう制御する（減衰制御）。

[0102] さらに学習処理部13は、 $O_j = I_j$ であるか、または $I_i = 0$ であるならば各メモリセルに印加する電圧を変化させないよう制御する（ $W_{i,j,+}$ 、及び $W_{i,j,-}$ の値を保持する抵抗変化型メモリ11mのメモリセルに印加する電圧を V_0 に維持する：維持制御）。

[0103] これらの例の学習の処理においても、各ノードの値の比較は、いずれもAND回路等を用いて行うことができ、条件分岐はAND回路またはOR回路で実現でき、さらに電圧制御は、一般的な電圧制御回路によって実現できる。つまり、この学習処理部13は、必ずしもプログラム実行モジュールであるプロセッサ等を必要としない、比較的簡便な回路によって実現できる。また、プログラム実行モジュールを用いる場合も、比較的簡単な、比較及び条件分岐によって処理が実現できるため、そのプログラムも簡便で処理負荷の低いものとなっている。このように本実施の形態によれば、小規模なハードウェアによる学習を可能とし、ニューラルネットワークの利用場面を拡大できる。

[0104] [繰り返し学習]

さらに、このように多値の情報を保持可能な抵抗変化型メモリ11mを用いる場合も、維持制御の際の電位 V_0 を V_{th} から所定の電位 V_m だけ下回る値に設定して、時間的にフィラメントを減衰させて用いてもよい。このようにすると、学習内容が時間経過とともに減衰して、自然な忘却処理が実現できる。

[0105] さらに、このように金属フィラメントの減衰による忘却処理を用いる場合も、図6(b)に例示したように、学習処理部13が一つのデータセットを用いた学習処理を複数回繰り返して行ってもよい。

[0106] また、この場合の機械学習処理（図6の処理S2，図7の処理）でも、各メモリセルが保持する値の更新（メモリセルに印加する電圧の制御）を行う時間の間隔が、メモリセルに対して定常的に印加する電圧 V_0 を印加したときに当該メモリセルのコンダクタンスが最大の状態から最小の状態まで減衰するのに要する時間 T_r より短い時間となるように上記電位 V_m を設定するか、学習の処理を行うようにしてもよい。

[0107] [収束を学習の終了条件とする場合]

ここまでの説明において、同じデータセットを用いて繰り返して機械学習を行うときに、当該繰り返しを終了する条件は、繰り返し回数によって定め

るものとしていたが、本実施の形態はこれに限られない。

[0108] 例えば機械学習処理（図6の処理S2，図7の処理）を行う際に、値を変更したメモリセルの数をカウントし、このカウント値が予め定めた閾値を下回ったときに、学習の内容が収束したものとして、機械学習処理の繰り返しを終了してもよい。

[0109] [チップ化]

また本実施の形態の機械学習デバイスは、記憶部11と、情報入力部12と、学習処理部13と、出力部14とを一つのチップとしてパッケージしたものとしてもよい。学習処理部13が既に述べたように、論理回路等、比較的簡易な回路で構成されるため、これらを一つのチップとしてパッケージしても回路が大規模化することがない。

[0110] [推論動作]

次に、以上のように機械学習を行った機械学習デバイスを用いて推論処理（例えば画像データの想起処理）を行う方法について説明する。この例では、推論のもととなる入力データを受け入れた機械学習デバイスの情報入力部12が、当該入力データに基づいて、記憶部11が結合重みの情報を保持するニューラルネットワークへ入力するためのベクトルデータを生成する。

[0111] そして出力部14が記憶部11に保持されている結合重み $W_{i,j,+}$ 及び $W_{i,j,-}$ とを用い、結合重みの情報 $W_{i,j} = (W_{i,j,+}) - (W_{i,j,-})$ を得る。出力部14は、情報入力部12が生成したベクトルデータ I_j （ $j = 1, 2, \dots, N$ ）を用い、

隠れ層の各ノード H_i の値を、

$$H_i = f \left(\sum_j W_{i,j} \cdot I_j + b \right)$$

として演算する。そして出力部14はさらに、出力層の各ノード O_j の値を、

$$O_j = f \left(\sum_i W_{j,i} \cdot H_i + b \right)$$

として演算する。ここで $W_{j,i}$ は、入力層の j 番目のノード I_j と隠れ層の i 番目のノード H_i との間の結合重み W を $W = [W_{i,j}]$ と行列で表現したときの、隠れ層の i 番目のノード H_i と、出力層の j 番目のノード O_j との間の結

合重みである行列 W の転置行列 W^T の j 行 i 列目の要素である。

[0112] すなわち、出力部 1 4 は、学習処理部 1 3 が出力層の各ノードの値を生成するのと同じ方法で推論処理を行う。そして出力部 1 4 は、当該出力層の各ノードの値を配列したベクトルデータを推論の結果として出力する。

請求の範囲

- [請求項1] 入力層と隠れ層と出力層とを含むニューラルネットワークの層間の結合重みの情報を抵抗変化型メモリ素子により保持する機械学習デバイスであって、
- 複数のデータ要素を含む入力データを受け入れ、前記ニューラルネットワークの前記結合重みの情報を用いて、複数のデータ要素を含む出力データを演算する演算手段と、
- 学習中は、前記出力データのうち、目的の値に達していないデータ要素の演算に係る前記結合重みの情報を保持する抵抗変化型メモリ素子に対し、目的の値に近接させる電気的信号を印加する学習処理を実行する学習手段と、
- を含む機械学習デバイス。
- [請求項2] 請求項1記載の機械学習デバイスであって、
- 前記学習手段は、前記学習処理では、前記出力データの i 番目（ i は自然数）のデータ要素の値の目的の値を、前記入力データの、対応する i 番目のデータ要素の値として、前記出力データのうち、当該目的の値に達していないデータ要素の演算に係る前記結合重みの情報を保持する抵抗変化型メモリ素子に対し、前記目的の値に近接させる電気的信号を印加する機械学習デバイス。
- [請求項3] 請求項1または2に記載の機械学習デバイスであって、
- 前記学習手段は、前記学習処理では、前記出力データの i 番目のデータ要素の値の目的の値を、前記入力データの、対応する i 番目のデータ要素の値として、
- 前記入力データの j 番目（ j は、 $i \neq j$ なる自然数）の値が予め定めた条件を満足する値となっているときに、前記出力データのうち、当該目的の値に達していないデータ要素の演算に係る前記結合重みの情報を保持する抵抗変化型メモリ素子に対し、前記目的の値に近接させる電気的信号を印加する機械学習デバイス。

- [請求項4] 請求項1または2に記載の機械学習デバイスであって、
前記学習手段は、前記学習処理では、前記出力データの i 番目のデータ要素の値の目的の値を、前記入力データの、対応する i 番目のデータ要素の値として、
前記隠れ層の j （ j は自然数）番目の要素が予め定めた値となっておりときに、前記出力データのうち、当該目的の値に達していないデータ要素の演算に係り、前記 j 番目の隠れ層に関わる前記結合重みの情報を保持する抵抗変化型メモリ素子に対し、前記目的の値に近接させる電気的信号を印加する機械学習デバイス。
- [請求項5] 請求項1から4のいずれか一項に記載の機械学習デバイスであって、
、
前記入力層と隠れ層と出力層とにおける各データ要素の値はバイナリ値である機械学習デバイス。
- [請求項6] 請求項1から4のいずれか一項に記載の機械学習デバイスであって、
、
前記入力層と隠れ層と出力層とにおける各データ要素の値は離散的に定められたいずれかの値である機械学習デバイス。
- [請求項7] 請求項1から6のいずれか一項に記載の機械学習デバイスであって、
、
前記抵抗変化型メモリ素子の結合重みのそれぞれを保持する各セルは、定常状態では互いにコンダクタンスの異なる、 G_k （ $k = 0, 1, \dots$ ）の複数の状態のいずれかをとり、状態を変化させる電気的信号が印加されている間、変化状態となって、前記定常状態にて取り得る状態の間で変化し、当該所定の電気的信号の印加が終了した時点から前記定常状態のいずれかの状態に時間減衰して遷移する抵抗変化型メモリ素子であり、
前記学習手段は、複数の入力データを入力データセットとして受け入れて、当該入力データセットに含まれる入力データを順次用いて前

記学習処理を実行し、当該学習処理の間に前記学習手段が目的の値に近接させる電氣的信号を印加するときには、当該電氣的信号の印加を予め定めた時間だけ続けて印加し、

前記学習手段は、一つの入力データセットに含まれる入力データを用いた学習処理を、予め定めた回数だけ繰り返し行う機械学習デバイス。

[請求項8] 請求項7記載の機械学習デバイスであって、

前記抵抗変化型メモリ素子のセルの各々は、互いに実質的に平行に配された上部電極と下部電極との間に、抵抗変化層を配してなり、前記抵抗変化層内には、フィラメントの減衰を規制する平板状の疑似電極が少なくとも一つ、前記上部電極または下部電極に実質的に平行に配されてなる機械学習デバイス。

[請求項9] 請求項8に記載の機械学習デバイスであって、

前記抵抗変化型メモリ素子のセルは二次元的な仮想的なX Y平面に配列され、各セルの前記上部電極は前記X Y平面を張るX軸またはY軸のいずれか一方の方向に隣接するセルの上部電極に互いに接続されてなり、

前記セルの前記下部電極は、前記X Y平面を張るX軸またはY軸のいずれか他方の方向に隣接するセルの下部電極に互いに接続されてなる機械学習デバイス。

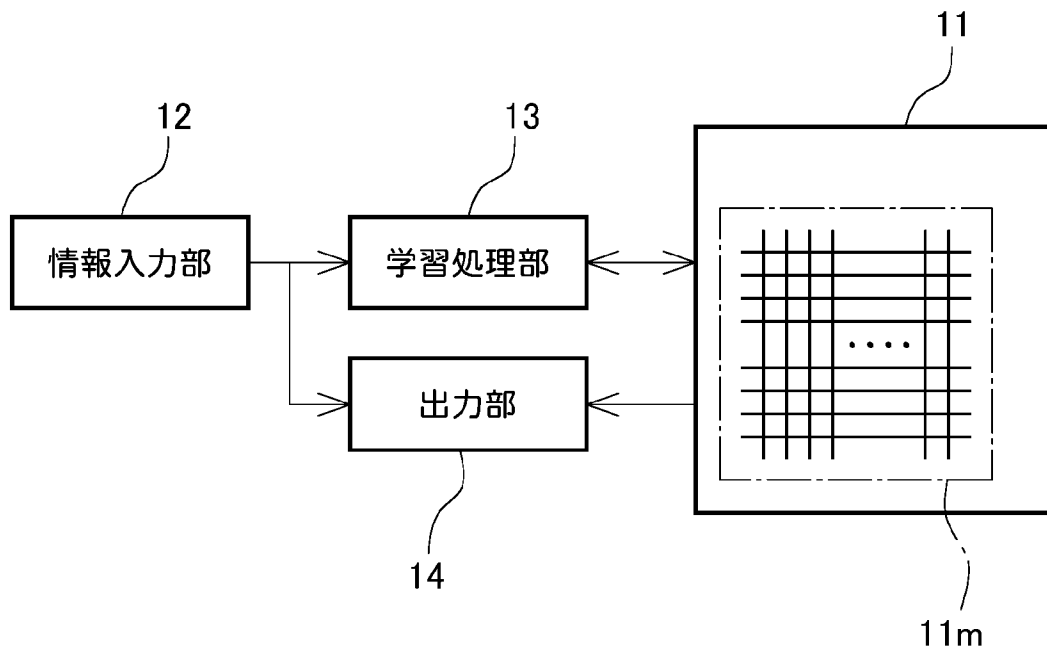
[請求項10] 入力層と隠れ層と出力層とを含むニューラルネットワークの層間の結合重みの情報を抵抗変化型メモリ素子により保持する機械学習デバイスの制御方法であって、

演算手段が、複数のデータ要素を含む入力データを受け入れ、前記ニューラルネットワークの前記結合重みの情報を用いて、複数のデータ要素を含む出力データを演算する工程と、

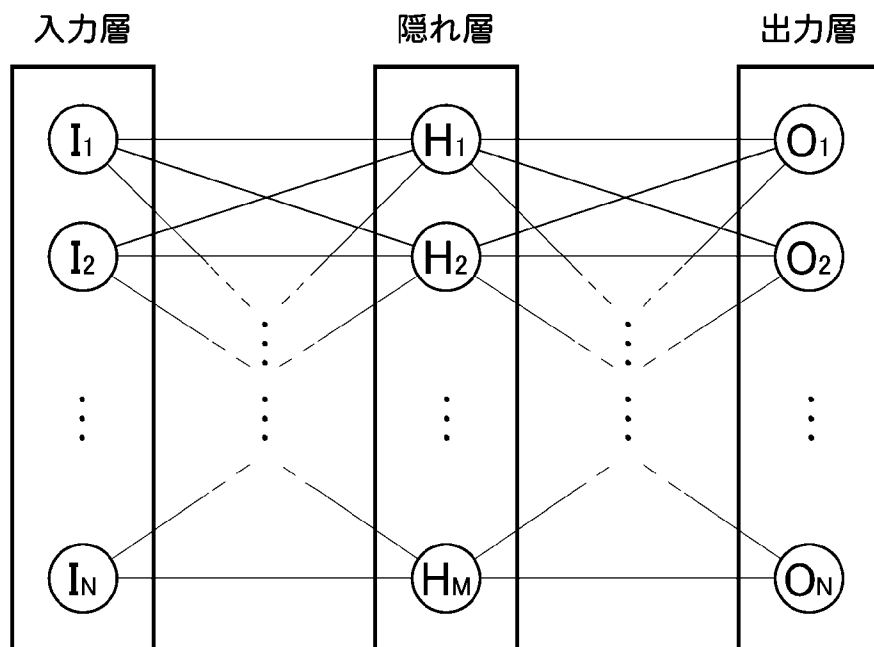
学習手段が、学習中は、前記出力データのうち、目的の値に達していないデータ要素の演算に係る前記結合重みの情報を保持する抵抗変

化型メモリ素子に対し、目的の値に近接させる電氣的信号を印加する
学習処理を実行する工程と、
を含む機械学習デバイスの制御方法。

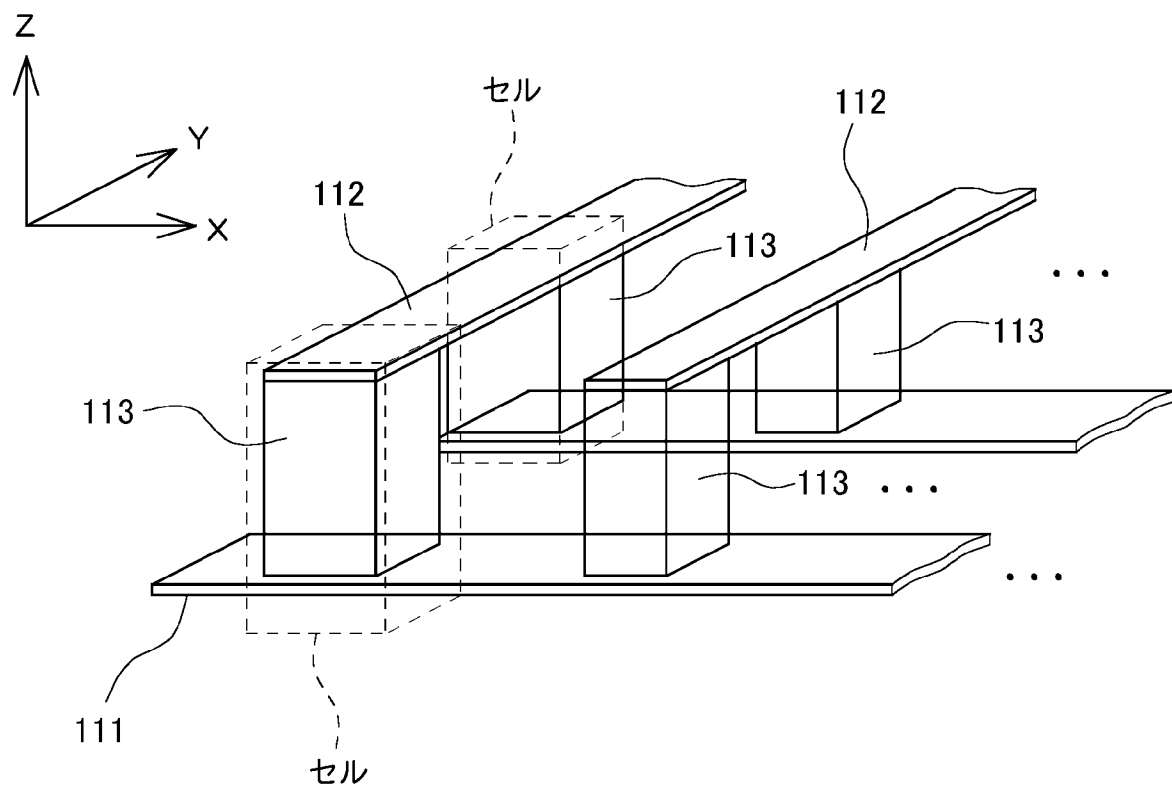
[図1]



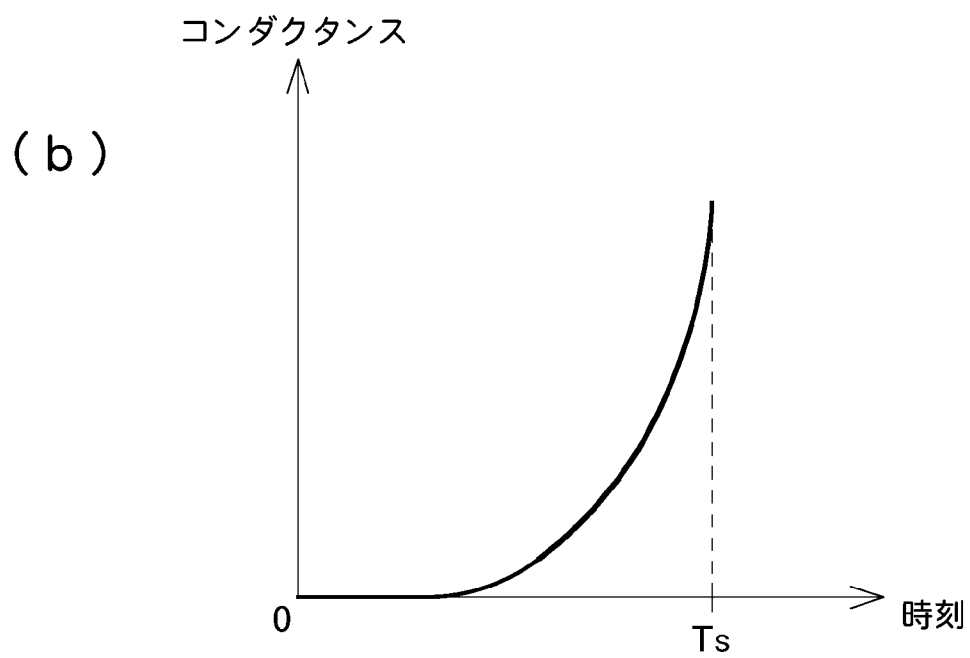
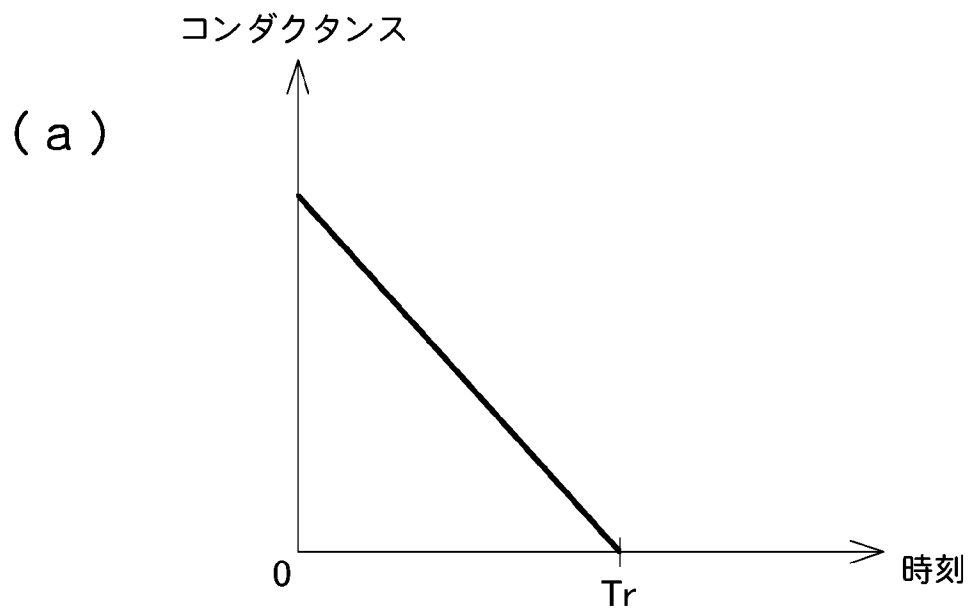
[図2]



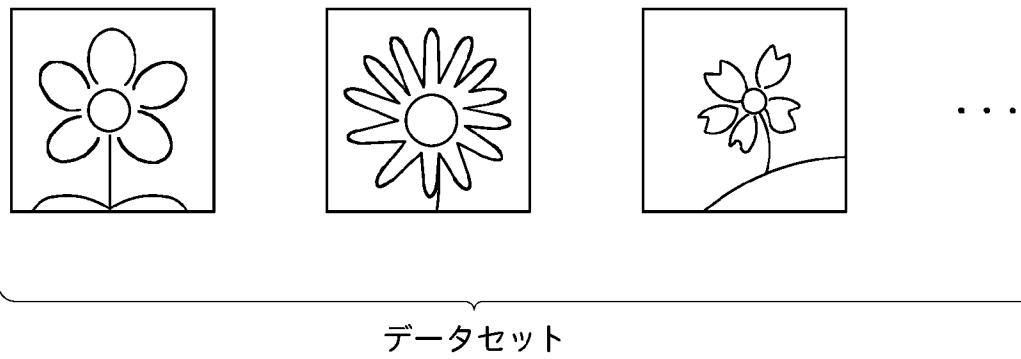
[図3]



[図4]

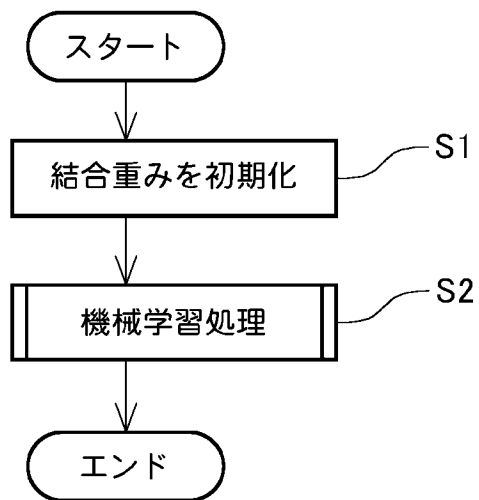


[図5]

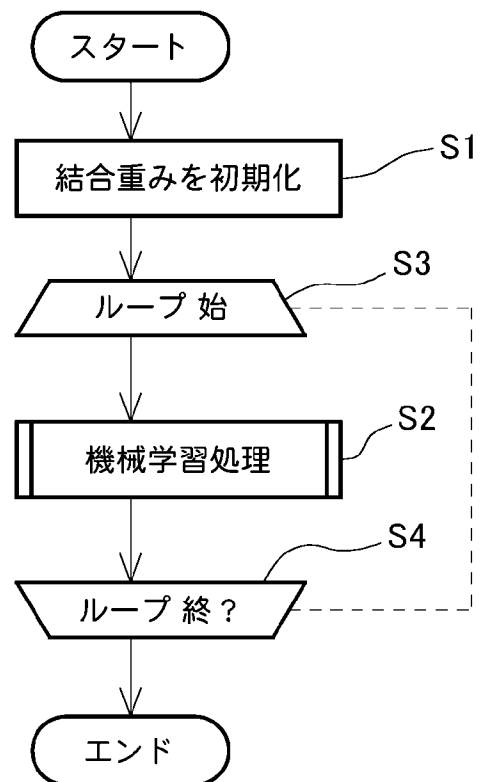


[図6]

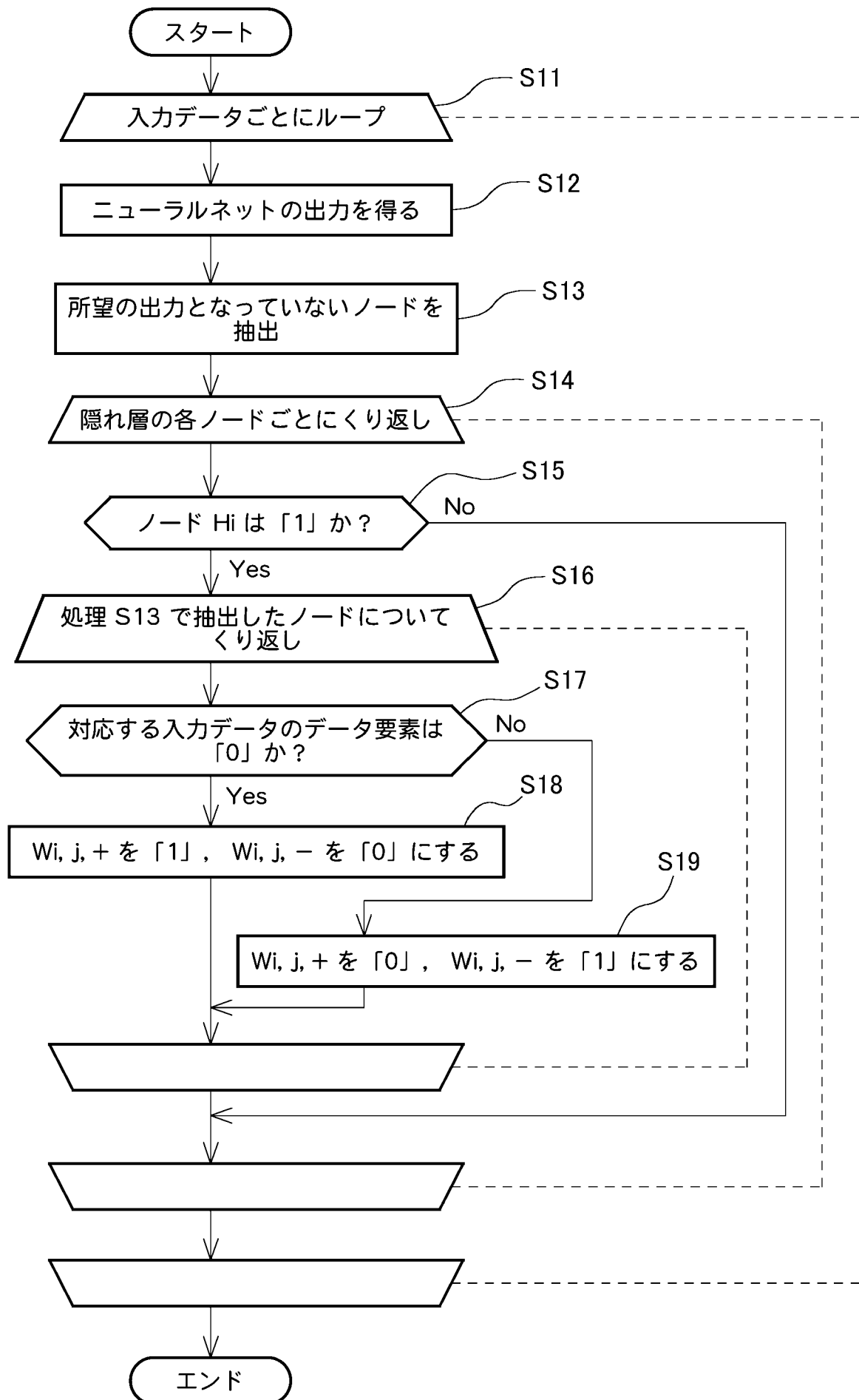
(a)



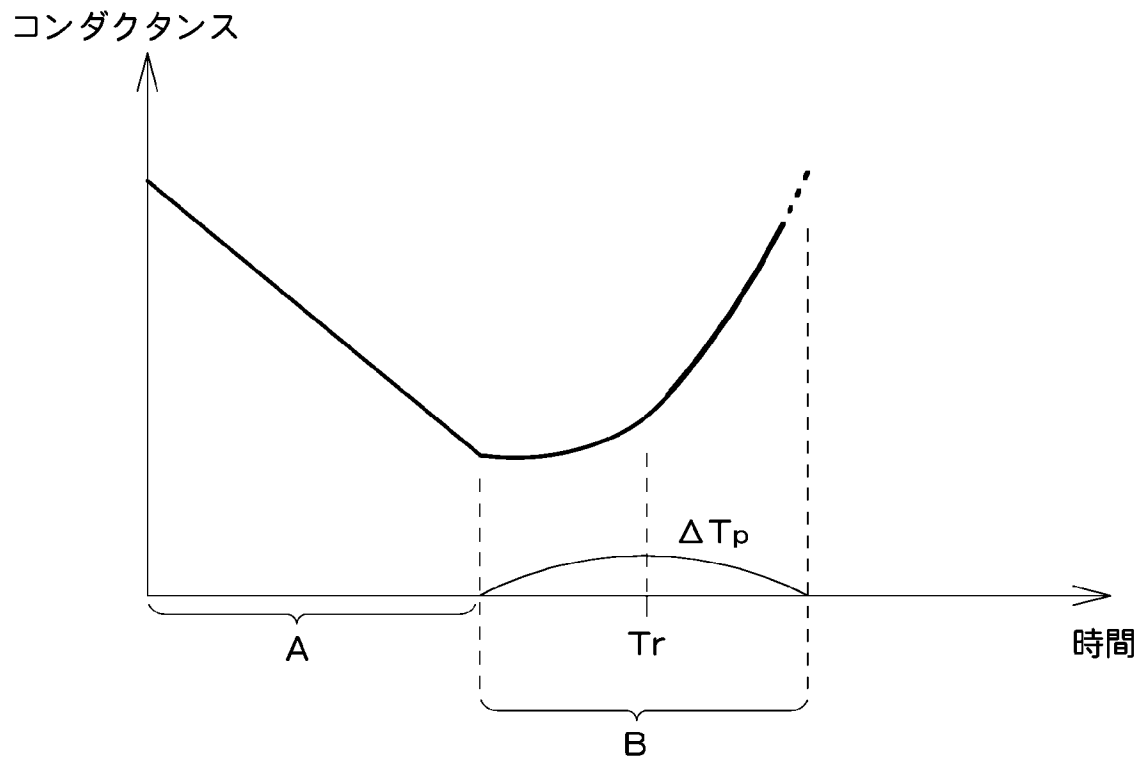
(b)



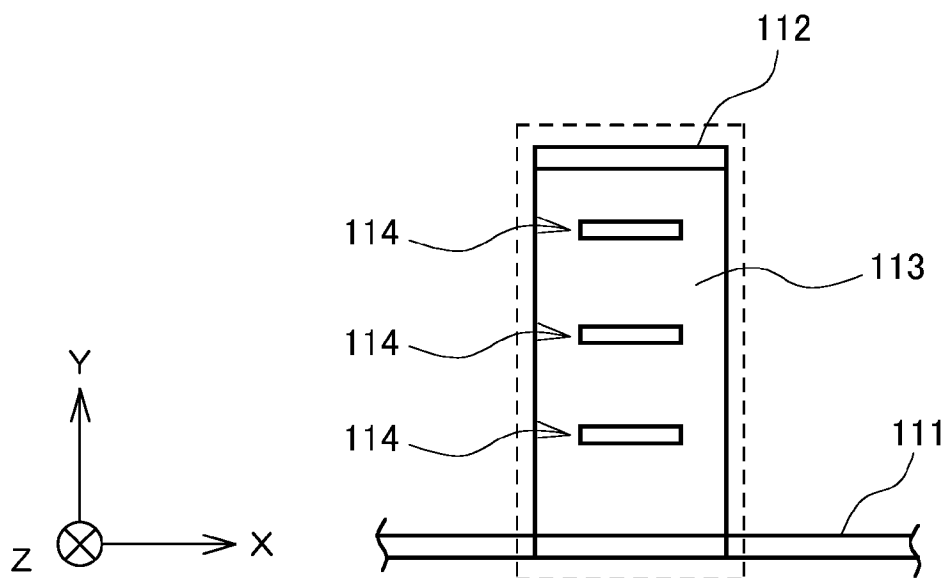
[図7]



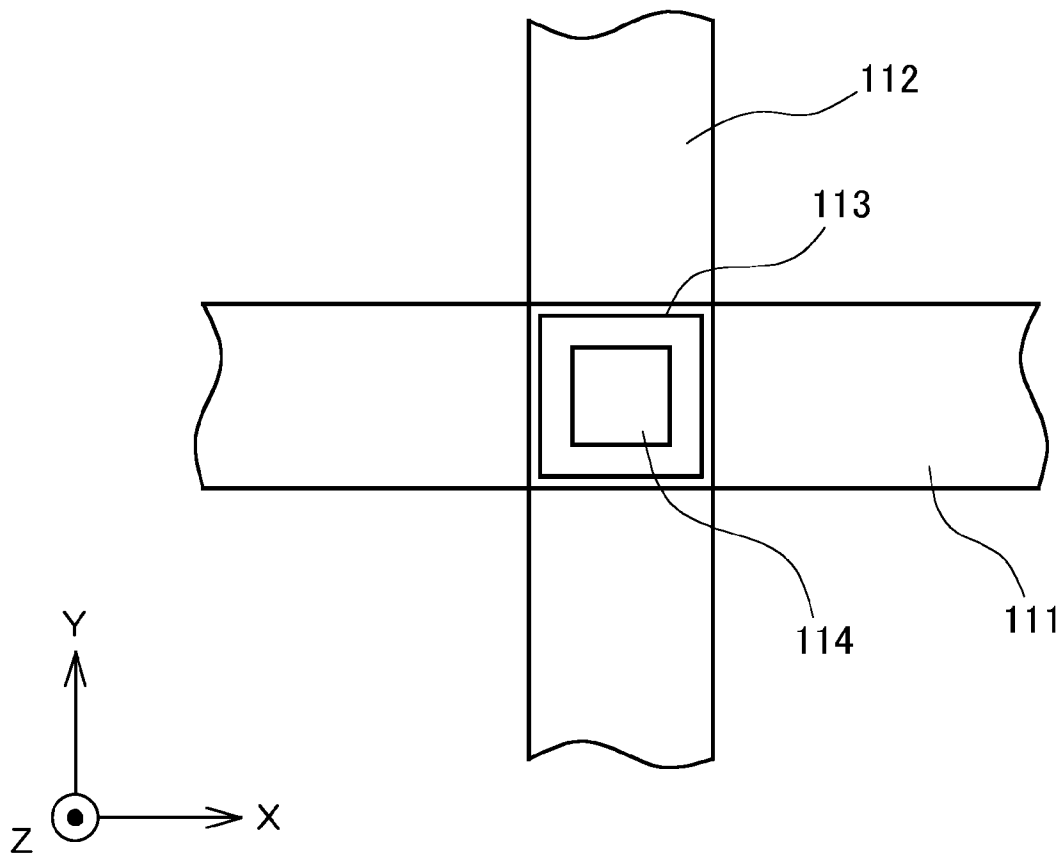
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/050971

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G11C13/00 (2006.01) i, G06N3/063 (2006.01) i
FI: G06N3/063, G11C13/00 480J, G11C13/00 200

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G11C13/00, G06N3/063

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2018-166194 A (KEIO UNIVERSITY) 25 October	1-2, 4-6, 10
Y	2018, paragraphs [0047]-[0061], [0047]-[0061]	7-9
Y	JP 2003-163332 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 06 June 2003, paragraphs [0155]-[0171], [0202], [0235], [0263]-[0267]	7-9
A	WO 2018/081600 A1 (UNIVERSITY OF FLORIDA RESEARCH FOUNDATION INC.) 03 May 2018, paragraphs [0028]-[0038], [0055]	1-10
A	WO 2018/235449 A1 (DENSO CORP.) 27 December 2018, abstract	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
04.03.2020

Date of mailing of the international search report
17.03.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/050971

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	岡田将, 杉戸泰雅, 疋田亘, 浅井哲也, 桑原裕司, 赤井恵, PEDOT:PSS ワイヤーを利用したオートエンコードシステムの作製, 2018 年第 65 回応用物理学会春季学術講演会[講演予稿集], Japan Society of Applied Physics, 05 March 2018, 11-240 (18a-F104-12), ISBN:978-4-86348-661-4, entire text, all drawings (OKADA Masaru, SUGITO, Yasumasa, HIKITA, Wataru, ASAI, Tetsuya, KUWAHARA, Yuji, AKAI-KASAYA, Megumi. Autoencoder system fabricated with PEDOT:PSS wire. Extended Abstracts of the 65th JSAP Spring Meeting, 2018.)	1-10
A	石坂守, 新谷道広, 井上美智子, 重み推定によるメモリスタニューラルネット ワークの信頼性向上の試み, 電子情報通信学会技術研究報告, 28 November 2018, vol. 118, no. 334, pp. 83-88, ISSN:0913-5685, in particular, p. 85, "2.2 Crossbar Array" (ISHIZAKA, Mamoru, SHINTANI, Michihiro, INOUE, Michiko. An Approach for Reliability Improvement of Memristor-based Neural Network through Weight Prediction. IEICE Technical Report.)	1-10

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2019/050971

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2018-166194 A	25.10.2018	(Family: none)	
JP 2003-163332 A	06.06.2003	US 2003/0142533 A1 paragraphs [0213]- [0229], [0262], [0295], [0326]-[0331] WO 2003/001599 A1 CN 1491441 A	
WO 2018/081600 A1	03.05.2018	US 2019/0318242 A1 paragraphs [0028]- [0038], [0055] KR 10-2019-0069552 A CN 110121720 A	
WO 2018/235449 A1	27.12.2018	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G11C 13/00(2006.01)i; G06N 3/063(2006.01)i FI: G06N3/063; G11C13/00 480J; G11C13/00 200		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G11C13/00; G06N3/063		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2018-166194 A（学校法人慶應義塾）25.10.2018（2018-10-25） 段落[0047]-[0061]	1-2, 4-6, 10
Y	段落[0047]-[0061]	7-9
Y	JP 2003-163332 A（松下電器産業株式会社）06.06.2003（2003-06-06） 段落[0155]-[0171], [0202], [0235]及び[0263]-[0267]	7-9
A	WO 2018/081600 A1（UNIVERSITY OF FLORIDA RESEARCH FOUNDATION INC.） 03.05.2018（2018-05-03） 段落[0028]-[0038]及び[0055]	1-10
A	WO 2018/235449 A1（株式会社デンソー）27.12.2018（2018-12-27） 要約欄	1-10
A	岡田 将, 杉戸泰雅, 疋田 亘, 浅井哲也, 桑原裕司, 赤井 恵, PEDOT:PSS ワイヤーを利用したオートエンコーダシステムの作製, 2018年 第65回応用 物理学会春季学術講演会〔講演予稿集〕, 公益社団法人応用物理学会, 2018.03.05, 11-240 (18a-F104-12), ISBN:978-4-86348-661-4 全文, 全文	1-10
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの		
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）		
“O” 口頭による開示、使用、展示等に言及する文献		
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献		
国際調査を完了した日 04.03.2020	国際調査報告の発送日 17.03.2020	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 坂庭 剛史 5B 9288 電話番号 03-3581-1101 内線 3545	

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	石坂 守，新谷道広，井上美智子，重み推定によるメモリスタニューラルネットワークの信頼性向上の試み，電子情報通信学会技術研究報告，2018.11.28，V o 1． 1 1 8，N o． 3 3 4，pp.83-88，ISSN 0913-5685 特にp.85の「2.2 クロスパーアレイ」の項。	1-10

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/050971

引用文献			公表日	パテントファミリー文献	公表日
JP	2018-166194	A	25.10.2018	(ファミリーなし)	
JP	2003-163332	A	06.06.2003	US 2003/0142533 A1 段落[0213]-[0229], [0262], [0295]及び[0326]- [0331]	
				WO 2003/001599 A1	
				CN 1491441 A	
WO	2018/081600	A1	03.05.2018	US 2019/0318242 A1 段落[0028]-[0038]及び [0055]	
				KR 10-2019-0069552 A	
				CN 110121720 A	
WO	2018/235449	A1	27.12.2018	(ファミリーなし)	