

DOMANDA DI INVENZIONE NUMERO	101989900087150
Data Deposito	31/10/1989
Data Pubblicazione	01/05/1991

Classifiche IPC

Titolo

PROCESSO PER LA FABBRICAZIONE DI UN COMPONENTE LIMITATORE DELLA TENSIONE DI PROGRAMMAZIONE E STABILIZZATORE DI TENSIONE INCORPORATO IN UN DISPOSITIVO ELETTRICO CON CELLE DI MEMORIA EEPROM

DESCRIZIONE

dell'invenzione industriale dal titolo:

"Processo per la fabbricazione di un componente limitatore della tensione di programmazione e stabilizzatore di tensione incorporato in un dispositivo elettrico con celle di memoria EEPROM".

a nome: SGS-THOMSON MICROELECTRONICS s.r.l.

con sede in: AGRATE BRIANZA (Milano)

nazionalità: italiana

inventori: Paolo CAPPELLETTI, Giuseppe CORDA, Paolo GHEZZI,

Carlo RIVA e Bruno VAJANA

depositata il 31 OTT. 1989 No.

2222 8A/89

RIASSUNTO

Il processo di fabbricazione comprende una prima fase di formazione di un pozzetto (2) di tipo N su un substrato (1) di silicio monocristallino, una seconda fase di formazione di un'area attiva (14) sulla superficie di detto pozzetto (2), una terza fase di impiantazione di drogante N- in una regione superficiale (4) del pozzetto (2) all'interno di detta area attiva (14), una quarta fase di crescita di uno strato (5) di ossido di gate sopra detta regione con drogante N-, una quinta fase di impiantazione N+ (6; 9) all'interno di detta regione N-, una sesta fase di impiantazione P+ (7; 12) in posizione lateralmente distanziata rispetto a detta regione N+ e una settima fase di formazione di contatti esterni (8, 18; 13, 23, 33) per dette

regioni N+ e P+. Si ottiene così un limitatore a diodo zener, che ha una tensione di taglio stabile nel tempo e scarsamente dipendente dalla temperatura e non richiede l'aggiunta di fasi di processo rispetto a quelle usualmente necessarie per la realizzazione di celle di memoria EEPROM. (Fig.7).

DESCRIZIONE

La presente invenzione riguarda un processo per la fabbricazione di un componente limitatore della tensione di programmazione e stabilizzatore di tensione incorporato in un dispositivo MOS con celle di memoria EEPROM.

Tali celle di memoria, elettricamente cancellabili, sono realizzate in tecnologia integrata, assieme a transistori a canale N e a canale P della relativa circuiteria di controllo, attraverso successive fasi di processo.

Una prima fase provvede alla definizione di aree attive sovrapposte a un substrato di tipo P, quelle relative a transistori di tipo P essendo munite di pozzetti di tipo N.

In una seconda fase si procede all'impianto di condensatori N- e alla definizione di zone di ossido sottile all'interno delle aree attive delle celle EEPROM.

Una terza fase prevede la deposizione di polisilicio di gate sia per le celle EEPROM che per i transistori ed una quarta fase prevede l'impiantazione N+ di source e drain nelle aree relative alle celle EEPROM e ai transistori a canale N.

Una quinta fase prevede poi la riossidazione di source e

drain relativamente alle celle EEPROM ed una sesta fase prevede infine l'impiantazione P+ di source e drain nelle aree relative ai transistori a canale P.

Nelle memorie EEPROM così realizzate la tensione necessaria per programmare le celle è di solito generata internamente da un generatore di tensione (survoltage).

Il generatore di tensione può in generale generare una tensione notevolmente superiore a quella necessaria per il corretto funzionamento della cella di memoria e tale sovratensione contrasta con la necessità di fornire alla singola cella una tensione di programmazione stabile indipendentemente dalle variazioni di processo e di operatività.

Per ovviare a questo inconveniente generalmente si utilizzano limitatori di tensione costituiti da catenelle di transistori (sia a canale N che P) in connessione a diodo, transistori di campo sempre in connessione a diodo, diodi N (P) su substrato polarizzati in inversa.

L'uso come limitatori delle catenelle di transistori in connessione a diodo comporta una pesante dipendenza della tensione di taglio dalle variazioni di processo e dalle temperature di funzionamento.

L'uso di diodi consente di avere una tensione di taglio poco dipendente dalla temperatura di lavoro del dispositivo e dalle variazioni di processo ma degrada nel tempo.

E' pure noto il concetto di utilizzare come limitatori diodi

zener i quali presentano il vantaggio di avere una tensione di taglio stabile nel tempo e scarsamente dipendente dalla temperatura.

Un problema legato all'impiego dei limitatori a diodo zener è però costituito dalla necessità di non complicare eccessivamente il processo di fabbricazione del dispositivo MOS a cui i limitatori sono associati.

Scopo della presente invenzione è quello di realizzare un processo per la fabbricazione di un componente limitatore della tensione di programmazione e stabilizzatore di tensione con tensione di taglio stabile nel tempo e scarsamente dipendente dalla temperatura, associabile ad un dispositivo MOS con celle di memoria EEPROM, che non complichino e prolunghino nel tempo l'usuale processo per la realizzazione delle celle di memoria.

In accordo con l'invenzione tale scopo è raggiunto con un processo per la fabbricazione di un componente limitatore della tensione di programmazione e stabilizzatore di tensione, caratterizzato dal fatto di comprendere una prima fase di formazione di un pozzetto di tipo N su un substrato di silicio monocristallino, una seconda fase di formazione di un'area attiva sulla superficie di detto pozzetto, una terza fase di impiantazione di drogante N⁻ in una regione superficiale del pozzetto all'interno di detta area attiva, una quarta fase di crescita di uno strato di ossido di gate sopra detta regione con drogante N⁻, una quinta fase di impiantazione N⁺ all'interno di detta

regione N-, una sesta fase di impiantazione P+ in posizione lateralmente distanziata rispetto a detta regione N+ e una settima fase di formazione di contatti esterni per dette regioni N+ e P+.

Un processo di questo genere, da cui ha origine un limitatore a diodo zener con zone di rottura (breakdown) realizzate in profondità tra le regioni N+ e P+, ed ha quindi una tensione di taglio stabile nel tempo e scarsamente dipendente dalla temperatura, si integra perfettamente nel normale processo di fabbricazione di una cella di memoria EEPROM e nella associata circuiteria di controllo, dato che ognuna delle fasi di processo sopra elencate è eseguibile contemporaneamente ad una corrispondente fase del processo di fabbricazione delle celle EEPROM e dei relativi transistori. In particolare la fase di realizzazione del pozzetto N è combinabile con quella di realizzazione degli analoghi pozzetti dei transistori a canale P, la fase di impiantazione di drogante N- è equivalente alla fase di impianto di condensatori delle celle EEPROM, la fase di impiantazione N+ equivale alla fase di impiantazione N+ di source e drain nelle aree relative alle celle EEPROM e ai transistori a canale N e la fase di impiantazione P+ di source e drain nelle aree relative ai transistori a canale P.

Non aggiungendo fasi di processo, la realizzazione del limitatore di tensione di programmazione, che può essere usato anche come stabilizzatore della tensione di alimentazione del di-

spositivo MOS, risulta evidentemente semplice e di basso costo e si integra perfettamente con le usuali problematiche e normative di fabbricazione delle celle EEPROM e relativa circuiteria.

Le caratteristiche della presente invenzione saranno rese maggiormente evidenti dalla seguente descrizione dettagliata di sue forme di realizzazione pratica illustrate a titolo di esempio non limitativo nei disegni allegati, in cui:

le figure 1-7 illustrano una successione di fasi di processo per la realizzazione di un componente limitatore in accordo con la presente invenzione;

la figura 8 illustra una vista in pianta del componente limitatore illustrato nelle figure 1-7, realizzata a livello di superficie del substrato;

le figure 9-12 illustrano una successione alternativa di fasi di processo per la realizzazione di un altro componente limitatore in accordo con la presente invenzione;

la figura 13 illustra una vista in pianta del componente limitatore illustrato nelle figure 9-12;

Con riferimento alle figure 1-7, una prima fase illustrata in figura 1 prevede la creazione di un pozzetto 2 di tipo N all'interno di un substrato 1 di silicio monocristallino con drogaggio di tipo P.

Una seconda fase, illustrata in figura 2, prevede la creazione di due regioni di ossido di campo 3 per la definizione di

un'area attiva 14 compresa tra di esse.

Una terza fase, illustrata in figura 3, prevede un impiantazione di drogante N- in una regione superficiale 4 del pozzetto 2, sfruttando l'analogo impianto di condensatori (fosforo con dose di qualche $1E14=10^{14}$ atomi/cm²) delle celle EEPROM.

Una quarta fase, illustrata in figura 4, prevede la crescita di uno strato di ossido di gate sopra la regione 4.

Una quinta fase, illustrata in figura 5, prevede una impiantazione N+ in una regione anulare 6 previa operazione di mascheratura. L'impianto è lo stesso delle regioni di source e drain delle celle EEPROM (arsenico con dose di qualche $1E15=10^{15}$ atomi/cm²).

Una sesta fase, illustrata in figura 6, prevede, ancora previa mascheratura, una impiantazione P+ in una regione centrale 7, utilizzando lo stesso impianto di source e drain dei transistori a canale P (boro con dose di qualche $1E15$).

Le maschere suddette sono scelte in modo da mantenere tra le regioni 6 e 7 una distanza pari alla somma delle tolleranze di allineamento delle maschere P+ ed N+ di source e drain più la somma delle diffusioni laterali dei relativi impianti P+ e N+. Inoltre la maschera P+ deve essere rientrata rispetto al bordo dell'area attiva, in modo da consentire, come subito dopo descritto, la formazione di contatti di polarizzazione di pozzetto ben distanziati dalla zona 7 di tipo P+.

Una settima fase, illustrata in figura 7, prevede la forma-

zione convenzionale di contatti 8, 18, rispettivamente collegabili a massa e all'alimentazione di tensione HV del dispositivo MOS. Un dielettrico 15 è sovrapposto all'intero componente, fatta eccezione per i contatti suddetti.

E' così ottenuto il limitatore a diodo zener illustrato nelle figure 7 e 8, che, avendo le zone di breakdown tra le regioni 4 e 7 ben lontane dalle aree di ossido 3, ha conseguentemente una tensione di taglio stabile nel tempo e scarsamente dipendente dalla temperatura.

Con riferimento alle figure 9-12 un procedimento alternativo prevede quattro fasi analoghe a quelle già illustrate secondo il precedente procedimento nelle figure 1-4. Una quinta fase, illustrata in figura 9, prevede successivamente la deposizione, il drogaggio N⁺ e la definizione di uno strato di polisilicio 11, che ha una parte 11' sovrapposta ad una parte centrale della regione 4 ed opportunamente distanziata dall'ossido di campo 3 in modo da permettere, come si vedrà più avanti, l'apertura di contatti di polarizzazione del pozzetto 2. Inoltre lo strato di polisilicio 11 deve essere sufficientemente largo, considerate le tolleranze di allineamento delle maschere di source e drain N⁺ e P⁺, da consentire l'apertura di tali maschere su di esso senza debordamenti.

Con riferimento alla figura 10 una sesta fase prevede previa mascheratura una impiantazione N⁺ in una regione 9 tra la parte di polisilicio 11' e l'adiacente ossido di campo 3. L'impianto

è lo stesso delle regioni di source e drain delle celle EEPROM.

Con riferimento alla figura 11, una settima fase prevede una riossidazione di source e drain 10 del polisilicio 11, 11' e poi previa mascheratura una impiantazione P+ in una regione centrale 12 tra la striscia di polisilicio 11 e la sua parte 11'.

Con riferimento alla figura 12 una ottava fase prevede la creazione di contatti metallici 13, 23, 33, rispettivamente per il collegamento a massa della regione P+ 12 e del polisilicio 11 e per il collegamento alla tensione di alimentazione HV della regione N+ 9. E' ancora sovrapposto un dielettrico 15.

E' così ottenuto il limitatore a diodo zener illustrato nelle figure 12 e 13, che mantiene le caratteristiche di quello delle figure 7 e 8 ma è migliorativo rispetto ad esso, in termini di prestazioni, perchè lo strato di polisilicio 11', cortocircuitato con la regione P+ 12, rilassa il campo elettrico superficiale, facendo sì che la rottura avvenga più in profondità, migliorando la stabilità.

E' da considerare che, con i dosaggi prima indicati, il limitatore ha, in entrambe le versioni, una tensione di rottura tra il pozzetto 2 e la regione P+ di circa 5V. Tre di questi limitatori posti in serie consentono quindi di avere una tensione di taglio di circa 15V a 25°C, e comunque la loro combinazione con transistori in connessione a diodo permette di definire in maniera fine la desiderata tensione di intervento.

Lo stesso componente, opportunamente dimensionato, può d'altra parte essere utilizzato anche come stabilizzatore di tensione e protezione d'ingresso per il dispositivo MOS con celle EEPROM.

RIVENDICAZIONI

1. Processo per la fabbricazione di un componente limitatore della tensione di programmazione e stabilizzatore di tensione, caratterizzato dal fatto di comprendere una prima fase di formazione di un pozzetto (2) di tipo N su un substrato (1) di silicio monocristallino, una seconda fase di formazione di un'area attiva (14) sulla superficie di detto pozzetto (2), una terza fase di impiantazione di drogante N⁻ in una regione superficiale (4) superficiale del pozzetto (2) all'interno di detta area attiva (14), una quarta fase di crescita di uno strato (5) di ossido di gate una quinta fase di impiantazione N⁺ (6; 9) all'interno di detta regione N⁻ (4), una sesta fase di impiantazione P⁺ (7; 12) in posizione lateralmente distanziata rispetto a detta regione N⁺ e una settima fase di formazione di contatti esterni (8, 18; 13, 23, 33) per dette regioni N⁺ (6; 9) e P⁺ (7; 12).

2. Processo secondo la rivendicazione 1, caratterizzato dal fatto che tra detta quarta e quinta fase è eseguita la deposizione e la definizione di uno strato di polisilicio N⁺ (11) avente una parte (11') sovrapposta all'area attiva (14) in una zona intermedia tra le regioni (9, 12) successivamente destina-

Lo stesso componente, opportunamente dimensionato, può d'altra parte essere utilizzato anche come stabilizzatore di tensione e protezione d'ingresso per il dispositivo MOS con celle EEPROM.

RIVENDICAZIONI

1. Processo per la fabbricazione di un componente limitatore della tensione di programmazione e stabilizzatore di tensione, caratterizzato dal fatto di comprendere una prima fase di formazione di un pozzetto (2) di tipo N su un substrato (1) di silicio monocristallino, una seconda fase di formazione di un'area attiva (14) sulla superficie di detto pozzetto (2), una terza fase di impiantazione di drogante N⁻ in una regione superficiale (4) superficiale del pozzetto (2) all'interno di detta area attiva (14), una quarta fase di crescita di uno strato (5) di ossido di gate una quinta fase di impiantazione N⁺ (6; 9) all'interno di detta regione N⁻ (4), una sesta fase di impiantazione P⁺ (7; 12) in posizione lateralmente distanziata rispetto a detta regione N⁺ e una settima fase di formazione di contatti esterni (8, 18; 13, 23, 33) per dette regioni N⁺ (6; 9) e P⁺ (7; 12).

2. Processo secondo la rivendicazione 1, caratterizzato dal fatto che tra detta quarta e quinta fase è eseguita la deposizione e la definizione di uno strato di polisilicio N⁺ (11) avente una parte (11') sovrapposta all'area attiva (14) in una zona intermedia tra le regioni (9, 12) successivamente destina-

te a ricevere le impiantazioni N+ e P+.

3. Processo secondo la rivendicazione 1, caratterizzato dal fatto che tra detta quinta e sesta fase è eseguita la riossidazione di detto strato di polisilicio (11, 11').


Dr. Ing. Enrico MITTLER

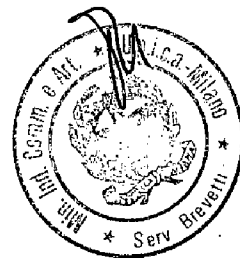


Fig. 1

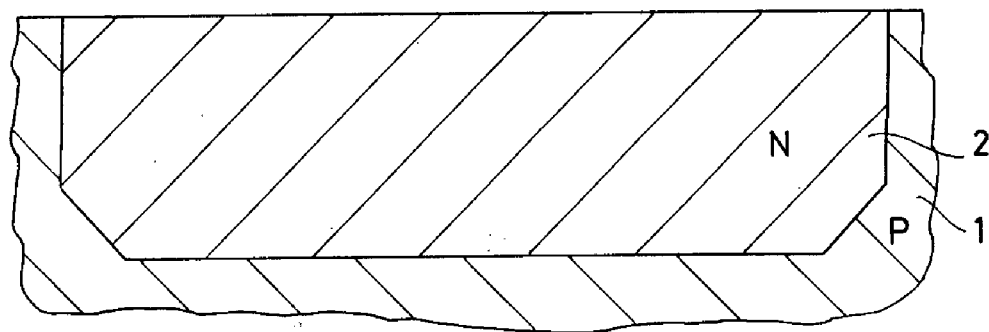


Fig. 2

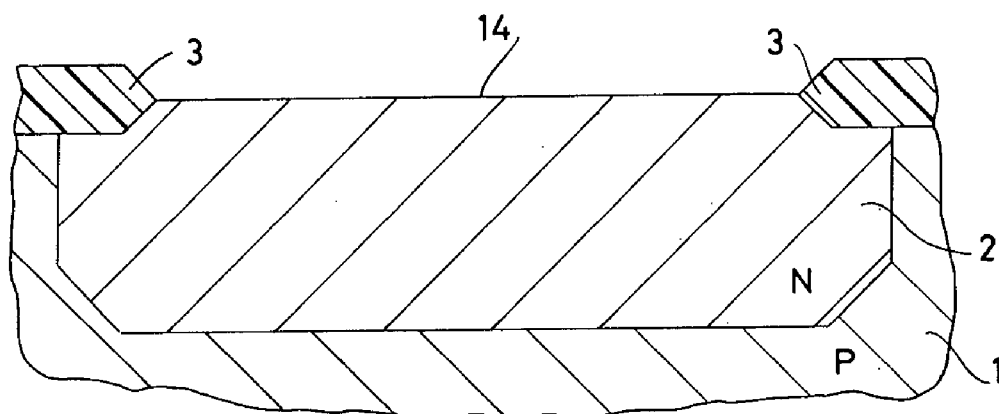


Fig. 3

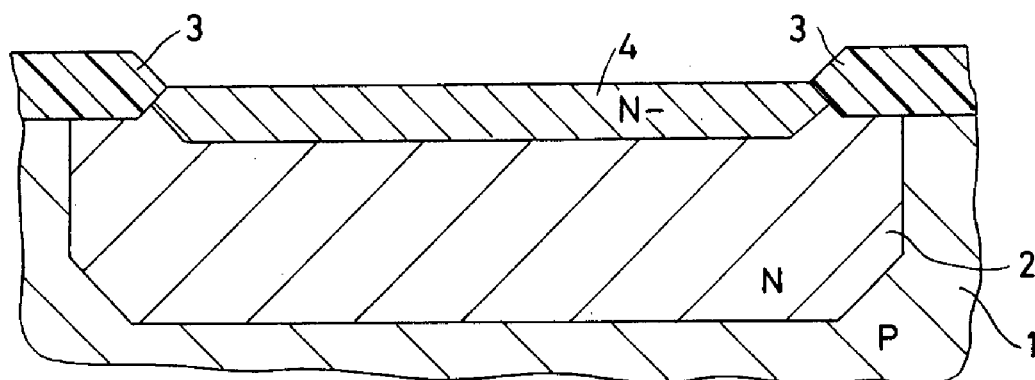
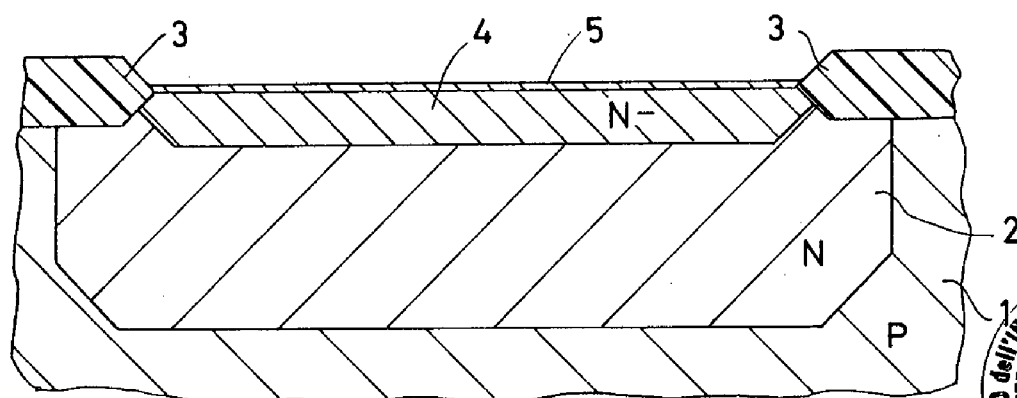


Fig. 4



Dr. Ing. Enrico MITTLER

Fig. 5

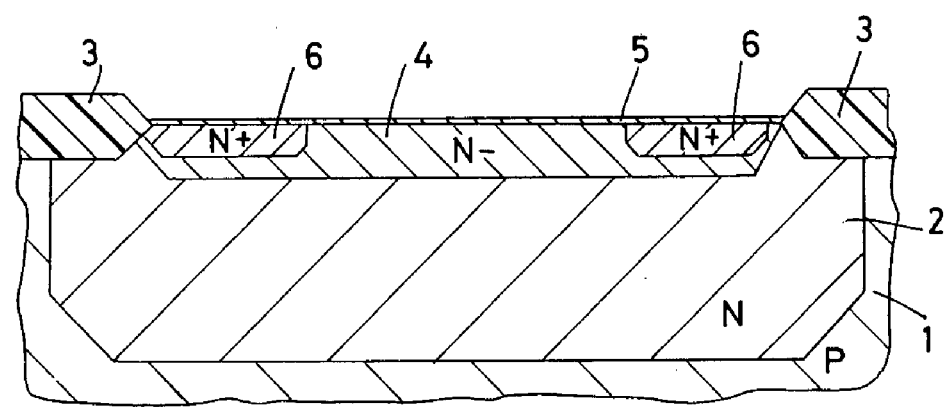


Fig. 6

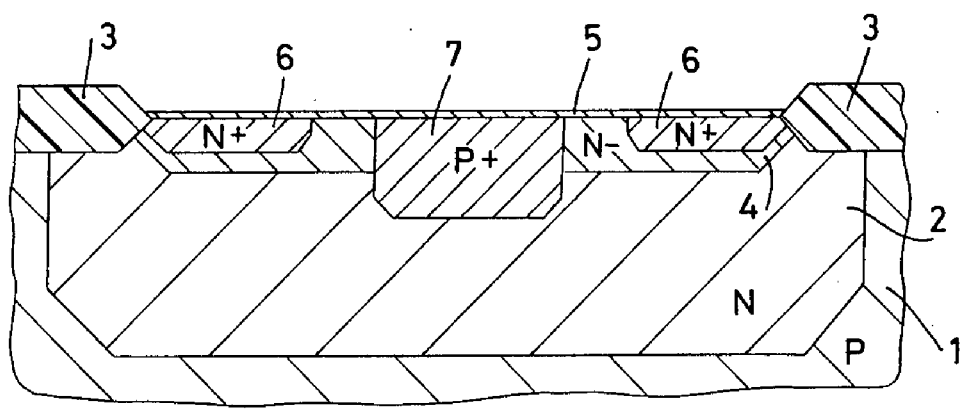
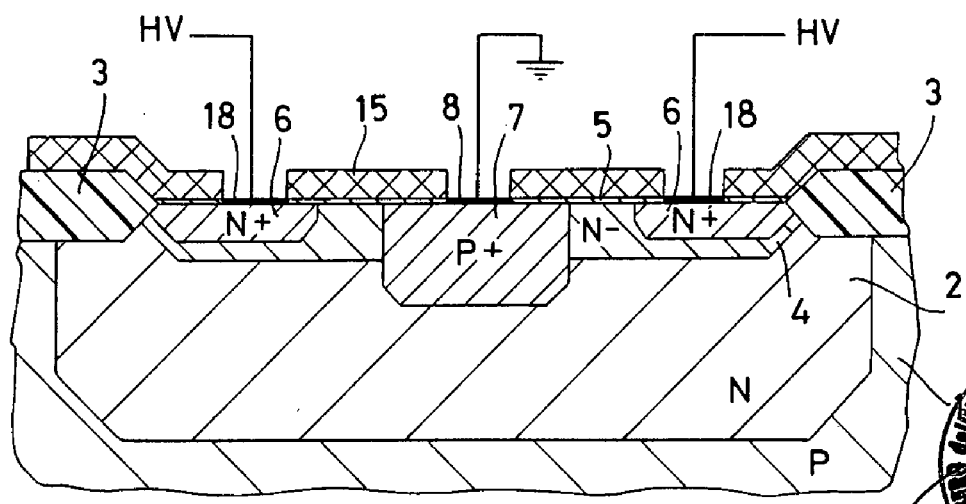


Fig. 7



Dr. Ing. Enrico MITTLER

Fig.8

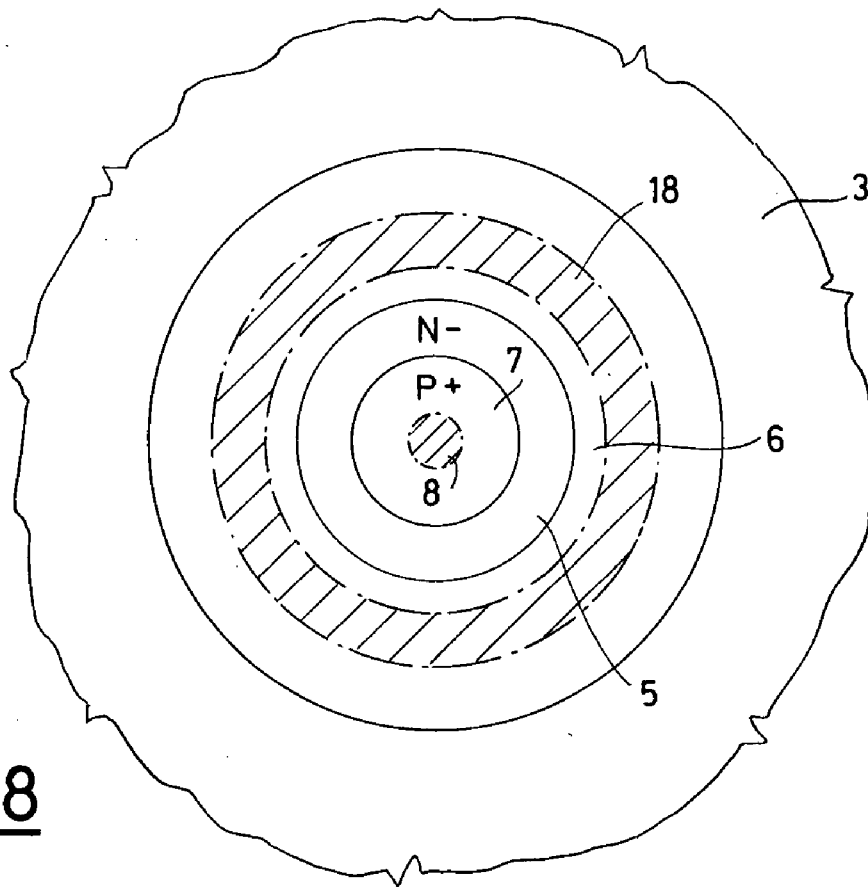
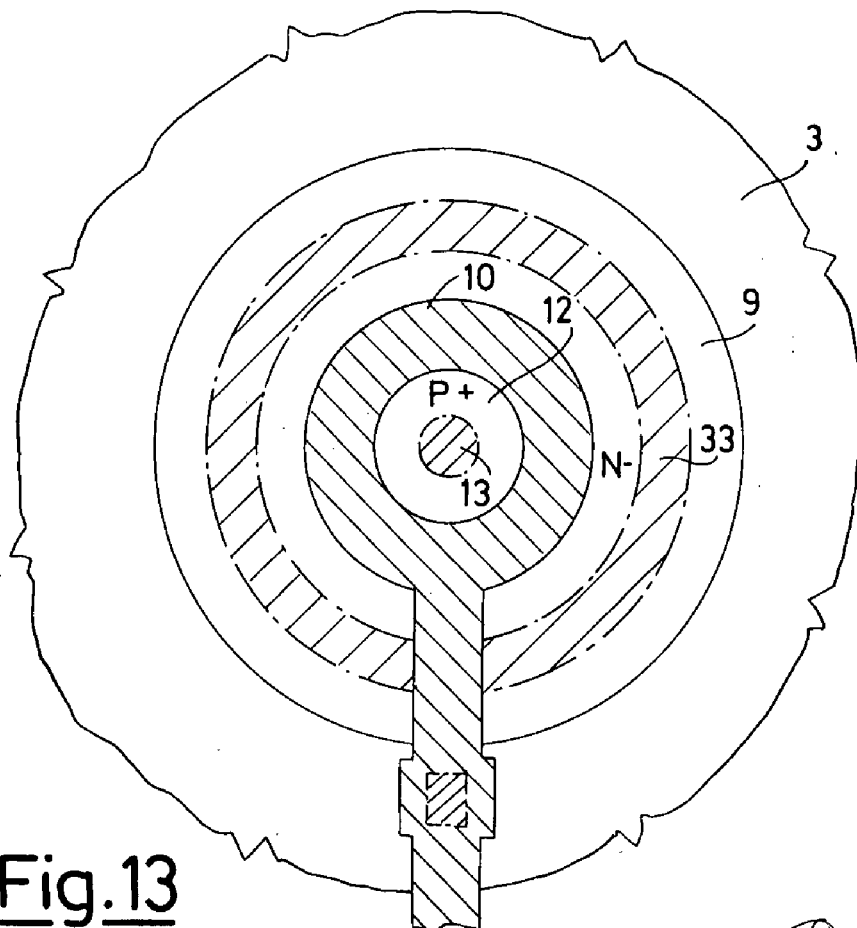


Fig.13



Dr. Ing. Enrico MITTLER

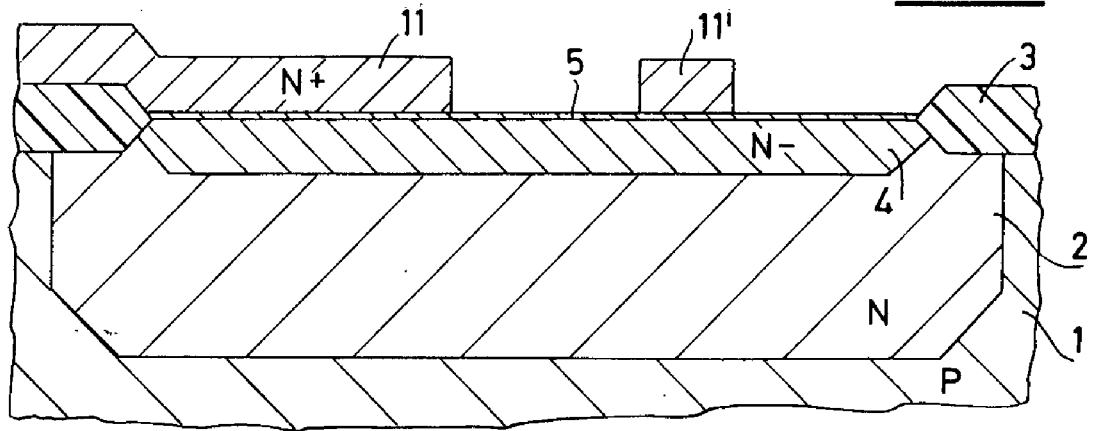


Fig. 9

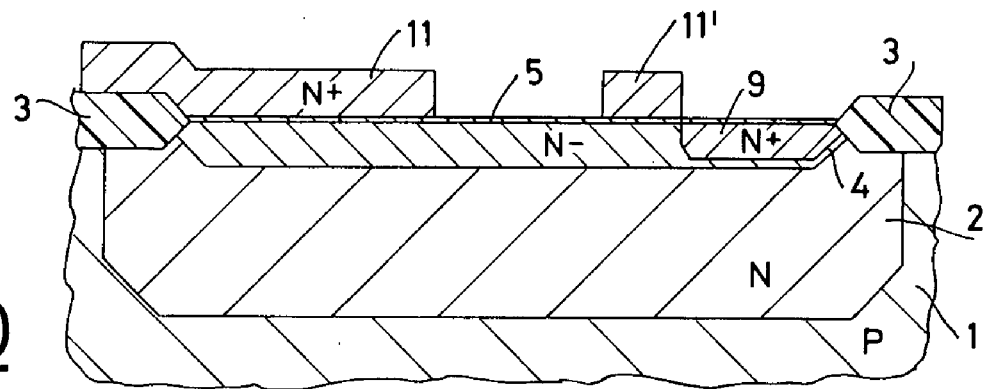


Fig. 10

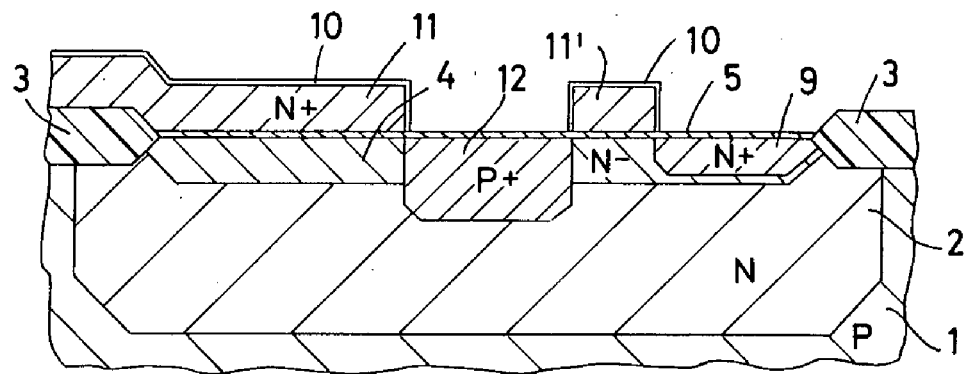


Fig. 11

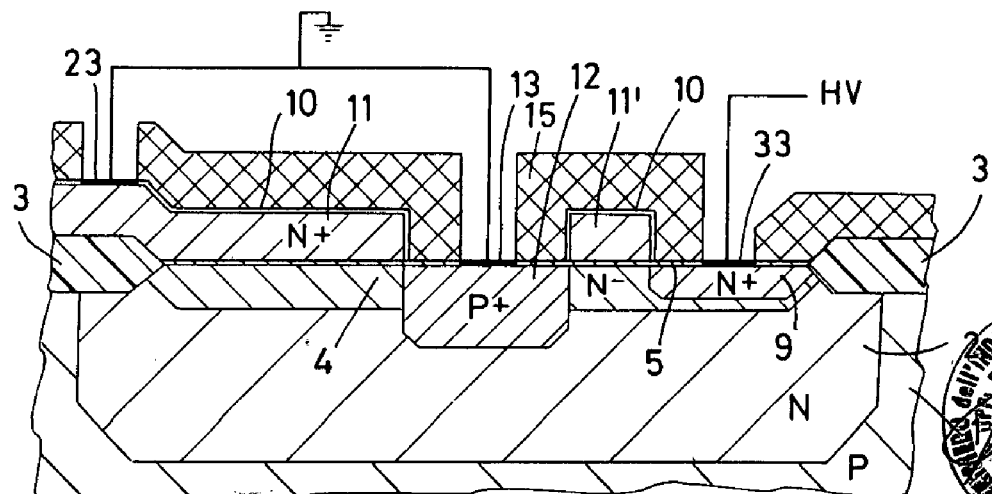


Fig. 12



Dr. Ing. Enrico MITTLER