(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 697 27 744 T2** 2004.08.12

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 828 253 B1**
(21) Deutsches Aktenzeichen: **697 27 744.5**
(96) Europäisches Aktenzeichen: **97 113 470.5**
(96) Europäischer Anmeldetag: **05.08.1997**
(97) Erstveröffentlichung durch das EPA: **11.03.1998**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **25.02.2004**
(47) Veröffentlichungstag im Patentblatt: **12.08.2004**

(51) Int Cl.[7]: **G11C 7/06**
G11C 16/06

(30) Unionspriorität:
703176 **23.08.1996** **US**

(84) Benannte Vertragsstaaten:
DE, FR, GB, IE, IT, NL

(73) Patentinhaber:
Motorola, Inc., Schaumburg, Ill., US

(72) Erfinder:
Morton, Bruce L., Austin, Texas 78734, US

(74) Vertreter:
SCHUMACHER & WILLSAU,
Patentanwaltssozietät, 80335 München

(54) Bezeichnung: **Zum Betrieb mit niedrigen Versorgungsspannungen geeigneter Speicher und Leseverstärker dafür**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

Gebiet der Erfindung

[0001] Die vorliegende Erfindung bezieht sich allgemein auf einen Speicher.

Hintergrund der Erfindung

[0002] Elektrisch löschbare und programmierbare Nur-Lese-Speicher, (EEPROMs: "electrically erasable and programmable read-only memory") sind nichtflüchtige Speichervorrichtungen, die unter Verwendung elektrischer Signale gelöscht und programmiert werden. Eine EEPROM-Vorrichtung umfasst typischerweise mehrere tausend Speicherzellen, von denen jede individuell programmiert und gelöscht werden kann. Im Allgemeinen umfasst eine EEPROM-Zelle einen Transistor mit schwebendem Gate (Floating-Gate-Transistor) und einen Auswahltransistor. Die Auswahltransistoren in einer EEPROM-Vorrichtung werden benutzt, um individuelle EEPROM-Zellen auszuwählen, die gelöscht oder programmiert werden sollen.

[0003] Die Floating-Gate-Transistoren in der Vorrichtung, sind solche Transistoren, die den digitalen Wert jeder speziellen Speicherzelle tatsächlich speichern.

[0004] Um eine Speicherzelle zu programmieren und zu löschen wird üblicherweise ein als Fowler-Nordheim-Tunneln bekann tes Phänomen verwendet, um entweder eine positive oder eine negative Ladung an dem schwebenden Gate des Floating-Gate-Transistors zu speichern. Beispielsweise wird ein Programmieren durchgeführt, indem eine positive Spannung an ein Drain und ein Gate des Auswahl-Gate-Transistors angelegt wird, während ein Steuer-Gate des Floating-Gate-Transistors auf Masse gehalten wird. Als ein Resultat tunneln Elektronen von dem schwebenden Gate des Floating-Gate-Transistors durch ein Tunneldielektrikum zu dem Drain, wobei sie das schwebende Gate positiv geladen hinterlassen.

[0005] Eine spezielle Konfiguration des EEPROM ist ein Flash-EEPROM. Flash-EEPROMs bieten die Möglichkeit des elektrische Löschens und Programmierens und weisen im Allgemeinen eine vergrößerte Schaltungsdichte auf. Diese vergrößerte Schaltungsdichte erfolgt typischerweise zu dem Preis, dass nur ein Block-Löschen eines Flash-EEPROM-Arrays möglich ist. Typischerweise wird das Array in einem einzigen Schritt oder "Flash" gelöscht, weshalb es "Flash-EEPROM" genannt wird.

[0006] Im Allgemeinen ist es wünschenswert, die EEPROMs als integrierte Schaltkreise herzustellen, die bei hohen Geschwindigkeiten und einem Minimum an Schaltungsfläche arbeiten. Außerdem ist es wünschenswert, wenn integrierte EEPROM-Schaltungen bei zunehmend kleinen Spannungen arbeiten. Im Laufe der Zeit hat das Bedürfnis, die Leistung zu reduzieren; zu dem Bedürfnis nach integrierten Schaltkreisen mit niedrigerer Spannung geführt. Bei der gegenwärtigen Technologie liegt diese Niederspannung typischerweise zwischen 2,7 und 3,0 V; eine weitere Reduktion wird jedoch erwartet.

[0007] Eine typische integrierte Flash-EEPROM-Schaltung empfängt eine Adresse und wählt als Antwort eine oder mehrere Speicherzellen aus. Die Speicherzellen sind typischerweise in Reihen und Spalten organisiert, und als Antwort auf einen ersten Teil der Adresse, die Reihenadresse, wählt der Speicher entlang der ausgewählten Reihe angeordnete Speicherzellen aus. Als Antwort auf den zweiten Teil der Adresse, die Spaltenadresse, werden eine oder mehrere Speicherzellen entlang der ausgewählten Reihe zum Lesen und zur Ausgabe ausgewählt. Die Speicherzellen selbst sind lediglich in der Lage, kleine Differenzsignale zu liefern, da die Signalleitungen, bekannt als Bitleitungen, hohe kapazitive Last aufweisen; daher sind effiziente Leseverstärker erforderlich, um das relativ kleine Differenzsignal in ein Signal zu wandeln, das ausgegeben werden kann. Im Allgemeinen geht eine Schreib-Operation in umgekehrter Weise vor sich, wobei ein oder mehrere Datensignale empfangen und an die Speicherzellen in ausgewählten Spalten, die entlang einer ausgewählten Reihe angeordnet sind, geleitet werden.

[0008] Die US 4,933,906 offenbart eine nichtflüchtige Speichervorrichtung mit einem Paar von Speicherzell-Arrays, die zwischen einem Differenzverstärker angeordnet sind. Der nichtflüchtige Speicher weist eine Mehrzahl von Strom-zu-Spannungs-Wandlern auf, die jedem Speicherzell-Array zugeordnet sind. Der Strom-zu-Spannungs-Wandler eines nichtausgewählten Zell-Arrays liefert eine Referenzspannung an den Differenzverstärker, welcher, abhängig von der von einem ausgewählten Speicher-Array gelieferten Spannung eine Datenausgabe liefert.

[0009] Es ist daher wünschenswert, wenn ein Leseverstärker in der Lage ist, kleine Differenzsignale zu erfassen und dabei platzeffizient ist.

Zusammenfassung der Erfindung

[0010] Die vorliegende Erfindung stellt einen Speicher wie in Anspruch 1 beansprucht zur Verfügung.

Kurze Beschreibung der Zeichnungen

[0011] **Fig.** 1 ist eine schematische Ansicht, die ein Speicher-Array zeigt.

[0012] **Fig.** 2 ist eine Querschnittsansicht einer Speicherzelle, die in Verbindung mit der vorliegenden Erfindung verwendet werden kann.

[0013] **Fig.** 3 ist eine Tabelle, die ein Verfahren zum Betrieb eines Speicher-Arrays gemäß der vorliegenden Erfindung demonstriert.

[0014] **Fig.** 4 illustriert, teilweise als Blockdiagramm und teilweise als Draufsicht, ein Speichermodul ge-

mäß der vorliegenden Erfindung.

[0015] **Fig.** 5 illustriert teilweise als Blockdiagramm, teilweise als logisches Diagramm und teilweise in schematischer Form einen einem Lesen des Speichermoduls von **Fig.** 4 zugeordneten Teil eines Decodier- und Leseverstärkers.

[0016] **Fig.** 6 illustriert ein Timing-Diagramm von verschiedenen Signalen, die einem Lesezyklus einer leitenden und einer nichtleitenden Speicherzelle zugeordnet sind.

[0017] **Fig.** 7 illustriert in Blockdiagrammform einen Programmier-Treiber zur Verwendung in dem Speichermodul von **Fig.** 4.

[0018] **Fig.** 8 illustriert, teilweise als logisches Diagramm und teilweise in schematischer Form, eine spezielle Schaltung, die verwendet werden kann, um Teile der unter Bezugnahme auf die **Fig.** 5 und 7 illustrierten Schaltung zu implementieren.

[0019] **Fig.** 9 illustriert, teilweise als Blockdiagramm, teilweise als logisches Diagramm und teilweise in schematischer Form, eine Steuer-Gate-Treiberschaltung gemäß der vorliegenden Erfindung.

[0020] **Fig.** 10 illustriert in schematischer Form eine spezielle Schaltung, die verwendet werden kann, um einen Teil der Pulsschaltung von **Fig.** 9 zu implementieren.

[0021] **Fig.** 11 illustriert, teilweise als Blockdiagramm und teilweise in schematischer Form, eine Ladungspumpe, die verwendet wird, um die Versorgungsspannungen für die Steuer-Gate-Treiberschaltung von **Fig.** 9 gemäß der vorliegenden Erfindung zu erzeugen.

[0022] **Fig.** 12 illustriert, teilweise als Blockdiagramm und teilweise in schematischer Form, eine der Spannungsverdopplungsstufen von **Fig.** 11. **Fig.** 13 illustriert ein Timing-Diagramm von Signalen, die nützlich zum Verständnis des Betriebs der Spannungsverdopplungsstufe von **Fig.** 12 sind.

[0023] **Fig.** 14 illustriert in graphischer Form die jeder Stufe der Ladungspumpe von **Fig.** 11 zugeordnete Kapazität.

Beschreibung einer bevorzugten Ausführungsform

[0024] Bei der vorliegenden Erfindung empfängt eine Steuerschaltung eine Löschspannung, eine positive Programmierspannung und eine negative Programmierversorgung. Die Steuerschaltung erzeugt über eine Vorspannungsschaltung eine Vorspannung. Während eines Programmierzyklus der ausgewählten Speicherzelle wird die negative Programmierversorgung an eine Steuer-Gate-Leitung angelegt. Während eines Programmierzyklus einer nichtausgewählten Speicherzelle wird die positive Programmierspannung an die Steuer-Gate-Leitung angelegt. Während eines Löschzyklus einer ausgewählten Speicherzelle wird die Löschspannung an die Steuer-Gate-Leitung angelegt. Während eines Lesezyklus wird die Steuerspannung an die Steuer-Gate-Leitung angelegt.

[0025] Die vorliegende Erfindung stellt ein Verfahren zur Verbesserung der Band-zu-Band-Leckage und des Drain-Störungsproblems eines nichtflüchtigen Speicherarrays zur Verfügung. Um diese Probleme anzugehen haben vorbekannte Vorrichtungen entweder das Layout des Speicherarrays modifiziert oder die Struktur oder jede Speicherzelle in dem Array angepasst. Die vorliegende Erfindung modifiziert jedoch, wie ein Speicher-Array betrieben wird, statt das physikalische Design des Speicherarrays zu modifizieren.

[0026] Da nur der Betrieb eines nichtflüchtigen Speicher-Arrays verändert wird, besteht keine Notwendigkeit, teuere Veränderungen an dem Layout des Speicher-Arrays oder Designänderungen der individuellen Speicherzellstruktur vorzunehmen. Da die vorliegende Erfindung keine Modifikationen des Speicher-Arrays einschließt, ist sie nicht auf eine bestimmte EEPROM-Zellstruktur limitiert. Dies gestattet es, dass die Programmierungs- und Lesetechniken der vorliegenden Erfindung bei einer Varietät nichtflüchtiger Speicher-Array-Konfigurationen verwendet werden.

[0027] Wir wenden uns nun **Fig.** 1 zu. Es soll eine detaillierte Beschreibung des Verfahrens zum Programmieren eines nichtflüchtigen Speicher-Arrays gemäß der vorliegenden Erfindung angegeben werden. **Fig.** 1 zeigt ein Speicher-Array **25**, das aus individuellen Speicherzellen aufgebaut ist, die jeweils einen Isolierungstransistor und einen Floating-Gate-Transistor aufweisen. Man sollte verstehen, dass **Fig.** 1 gezeigt wird, um eine schematische Repräsentation eines nichtflüchtigen Speicher-Arrays anzugeben und dass die vorliegende Erfindung nicht auf diese exakte Konfiguration oder die Anzahl von Speicherzellen in dem Speicher-Array **25** limitiert ist. Eines der vielen Merkmale der vorliegenden Erfindung ist es, dass die folgenden Betriebstechniken kompatibel mit Speicher-Arrays unterschiedlicher Größen und Konfigurationen kompatibel sind.

[0028] In diesem speziellen Beispiel ist das Speicher-Array **25** so eingerichtet, dass es zwei Reihen von Speicherzellen aufweist, wobei jede Reihe vier Zellen aufweist. Gestrichelte Kästen werden verwendet, um die Elemente von zwei speziellen Speicherzellen in dem Speicher-Array **25** zu identifizieren. Zum Zwecke der folgenden Diskussion umfasst das Speicher-Array **25** eine ausgewählte Speicherzelle **10** und eine nichtausgewählte Speicherzelle **30**. "Ausgewählte Speicherzelle **10"** bezieht sich auf diejenige Speicherzelle, die entweder programmiert, gelöscht oder gelesen werden soll, und "nichtausgewählte Zelle **30"** bezieht sich auf eine Nachbarzelle in dem Speicher-Array **25**, die nicht aktiviert ist und die möglicherweise die Beeinträchtigungen durch das Drain-Störungsphänomen erduldet.

[0029] Jede Speicherzelle in dem Speicher-Array **25** wird von einer Steuer-Gate-Leitung, einer Isolierungs-Gate-Leitung, einer Source-Leitung und einer Drain-Leitung aktiviert. All diese Signalleitungen lie-

fern die notwendigen Spannungspotentiale an die geeigneten Bereiche jeder Speicherzelle während des Betriebs des Speicher-Arrays **25**. Wie zuvor erwähnt sind die Ausführungsformen der vorliegenden Erfindung nicht auf eine spezielle Speicherzellenkonfiguration beschränkt. Zum Zwecke der Klarheit wird jedoch als ein Beispiel für eine Speicherzelle, die in dem Speicher-Array **25** verwendet werden kann, eine spezielle Speicherzellenstruktur angegeben. **Fig.** 2 ist eine vergrößerte Querschnittsansicht einer Speicherzelle **10**, die verwendet werden kann, um jede Speicherzellenposition zu implementieren.

[0030] Wie in **Fig.** 2 dargestellt, umfasst die Speicherzelle **10** zwei Transistoren, einen Isolierungstransistor **22** und einen Floating-Gate-Transistor **23**. Sowohl die Struktur als auch die Herstellung der Speicherzelle **10** sind in dem US-Patent 5,471,422, welches am 28.11.1995 an Chang et al. erteilt wurde und das hiermit durch Bezugnahme eingeschlossen ist, beschrieben. Der Isolierungstransistor **22** weist einen Gate-Anschluss **19** auf, der verwendet wird, um einen Kanal zwischen einem Source-Anschluss **12** und einem Drain-Anschluss **13** zu modulieren. Der Floating-Gate-Transistor **23** weist einen Gate-Anschluss **21** auf, der mittels eines dielektrischen Materials **17** von einer Floating-Gate-Struktur **18** isoliert ist, und der Gate-Anschluss **21** wird als ein Steuer-Gate verwendet, um einen Kanal zwischen einem Source-Anschluss **13** und einem Drain-Anschluss **14** zu modulieren.

[0031] Man beachte, dass der Drain-Anschluss **13** des Isolierungstransistors **22** auch als Source-Anschluss **13** des Floating-Gate-Transistors **23** arbeitet. Die Transistoren **22** und **23** sind beide auf einer gemeinsamen dielektrischen Schicht **16** ausgebildet, die eine elektrische Isolierung zwischen einem Substrat **11** und dem Gate-Anschluss **19** und der Floatin-Gate-Struktur **18** darstellt.

[0032] Früher bekannte, nichtflüchtige Speicher-Arrays umfassen typischerweise Speicherzellen, die mit einem einzigen Floating-Gate-Transistor hergestellt sind, der den logischen Zustand jeder Speicherzelle speichert. Solche Speicher-Arrays sind im Allgemeinen so konfiguriert, dass eine Drain-Spannung für alle Transistoren in einer speziellen Spalte gemeinsam genutzt wird, und so, dass eine Gate-Spannung von allen Transistoren in einer gemeinsamen Reihe gemeinsam genutzt wird. Um eine individuelle Speicherzelle zu programmieren, wird eine negative Spannung an den Gate-Anschluss angelegt, die Source-Leitung geerdet und eine positive Spannung an die Drain-Leitung angelegt. Bei einer Array-Konfiguration werden lediglich die ausgewählten Floating-Gate-Transistoren sowohl die negative Spannung an dem Gate als auch die positive Spannung an dem Drain aufweisen, was eine große Spannungsdifferenz erzeugt, um die Programmierung voranzubringen. Es ist jedoch wohlbekannt, dass andere Floating-Gate-Transistoren, die sich in derselben Spalte befinden, wie diejenige Speicherzelle, die gerade programmiert wird, ebenfalls eine positive Spannung an ihren Drains aufweisen. Diese nichtausgewählten Speicherzellen haben jedoch nicht die negative Spannung an ihren Gate-Anschlüssen angelegt. Daher weisen sie keine so große Spannungsdifferenz auf, wie die Speicherzelle, die gerade programmiert wird; sie werden jedoch noch immer eine Spannungsdifferenz aufweisen, die groß genug ist, um das Drain-Störungsproblem aufzuwerfen.

[0033] Die Programmiertechnik der vorliegenden Erfindung geht die Nachteile der vorbekannten Speicherarrays an, indem sie die bei allen nichtausgewählten Speicherzellen vorhandenen Spannungsdifferenzen reduziert. Es wird für das folgende Beispiel nochmals Bezug auf **Fig.** 1 genommen. Die ausgewählte Speicherzelle **10** wird programmiert werden, während die nichtausgewählte Speicherzelle **30** ungestört gelassen wird. Man beachte, dass die meisten Signalleitungen mit Absicht mit demselben Bezugszeichen der in **Fig.** 2 verwendeten Strukturen bezeichnet sind, da sie verwendet werden, um Spannungspotentiale an diese Strukturen anzulegen. Um die ausgewählte Speicherzelle **10** gemäß der vorliegenden Erfindung zu programmieren, wird eine negative Spannung, etwa –5 Volt bis –15 Volt, an den Gate-Anschluss **21** mit der Gate-Steuerleitung **21** angelegt. Die Drain-Leitung **14** wird verwendet, um eine positive Spannung, etwa 0,1 Volt bis 10 Volt an den Drain-Anschluss **14** des Floating-Gate-Transistors **23** anzulegen. Eine Isolierungs-Gate-Leitung **19** wird typischerweise geerdet, 0 Volt, oder weist eine Spannung auf, die niedrig genug ist, um den Isolierungstransistor **22** auszuschalten. Eine Source-Leitung **12**, die sowohl von der ausgewählten Speicherzelle **10** als auch von der nichtausgewählten Speicherzelle 30 gemeinsam genutzt wird, weist ein Spannungspotential von etwa –5 Volt bis 5 Volt auf.

[0034] Die vorliegende Erfindung unterscheidet sich nun vom Stand der Technik durch das Anlegen unterschiedlicher Spannungen an die Anschlüsse der nichtausgewählten Speicherzelle **30**, während die ausgewählte Speicherzelle **10** programmiert und verifiziert wird. Anstatt den Gate-Anschluss des nichtausgewählten Transistors zu erden, wird eine Spannung von 0,1 Volt bis 10 Volt unter Verwendung einer Gate-Steuerleitung **32** an eine nichtausgewählte Speicherzelle **30** angelegt. Da das Spannungspotential an dem Gate-Anschluss **32** etwa 0,1 Volt bis 20 Volt höher ist als an dem Gate-Anschluss **21**, wird das Drain-Störungsproblem an der nichtausgewählten Speicherzelle **30** stark verbessert. Da eine positive Spannung an den Gate-Anschluss der nichtausgewählten Gates angelegt wird, im Gegensatz zum geerdet werden, wie im Stand der Technik, wird das vertikale Feld entlang des Drain-Anschlusses des nichtausgewählten Gates wesentlich reduziert.

[0035] Es sollte auch betont werden, dass die Programmiertechnik der vorliegenden Erfindung nicht mit den bisher bekannten Speicher-Arrays verwendet werden kann, die einen einzigen Floating-Gate-Tran-

sistor für jede Speicherzelle aufweisen. Da diese zuvor bekannten Speicherzellen keinen Isolierungstransistor aufweisen, ist der einzige Floating-Gate-Transistor allen vorhandenen Spannungen in dem Speicher-Array ausgesetzt. Falls eine positive Spannung an den Gate-Anschluss der nichtausgewählten Speicherzellen angelegt werden sollte, würde die Spannung einen Kanal zwischen der Sourceelektrode und der Drainelektrode aller Floating-Gate Transistoren induzieren. Dieser Stromfluss würde nicht nur eine erhebliche Energiemenge verbrauchen, sondern würde auch verursachen, dass die nichtausgewählten Transistoren aufgrund der Injektion heißer Träger (HCI: "hot carrier injection") programmiert würden.

[0036] Die Programmiertechnik der vorliegenden Erfindung schützt nicht nur die nichtausgewählten Speicherzellen vor dem Drain-Störungsproblem, sondern reduziert auch die Menge des von den Ladungspumpen fließenden Stroms. Durch Reduzieren des vertikalen elektrischen Feldes an dem Drain-Anschluss aller nichtausgewählten Speicherzellen wird die Strommenge, die von dem Substrat zu dem Drain-Anschluss fließt, wesentlich reduziert. Dies reduziert dann in der Folge die Strommenge, die während der Programmierungssequenz von den Landungspunkten geliefert werden muss. Die vorliegende Erfindung erlaubt es daher, nichtflüchtige Speicher-Arrays unter Verwendung kleiner Ladungspumpen zu entwerfen, was die endgültigen Herstellungskosten des Speicher-Arrays reduziert.

[0037] Die vorliegende Erfindung stellt auch eine verbesserte Technik zum Auslesen des Speicher-Arrays **25** zur Verfügung, sobald die ausgewählte Speicherzelle **10** programmiert ist, um den in der ausgewählten Speicherzelle **10** gespeicherten Wert auszulesen, werden etwa 0,1 Volt bis 5 Volt auf die Drain-Leitung **14** und die Gate-Steuerleitung **21** gelegt. Die Versorgungsspannung Vdd, wird auf die Isolierungs-Gate-Leitung **19** gelegt, und die Source-Leitung **12** wird geerdet. Sobald die Spannungen gesetzt sind, wird der durch den Floating-Gate-Transistor **23** fließende Strom gemessen, um den Zustand der Speicherzelle **10** zu bestimmen.

[0038] Vorbekannte Auslesetechniken erden gewöhnlich den Gate-Anschluss der nichtausgewählten Speicherposition während einer Ausleseoperation. Selbst bei einem Massepotential wird eine endliche Menge Leckstroms durch jede Speicherzelle laufen. Bei großen Array-Konfigurationen erhöht diese parasitäre Leckage den Energieverbrauch der Ausleseoperation. Die vorliegende Erfindung legt jedoch ein bekanntes Spannungsniveau auf den Gate-Anschluss des Isolierungstransistors der nichtausgewählten Speicherzellen, um sicherzustellen, dass diese Speicherzellen nicht leiten. Beispielsweise wird die Isolierungs-Gate-Leitung **31** geerdet, um die nichtausgewählte Speicherzelle **30** davon abzuhalten, zu leiten. Dies reduziert nicht nur die Menge an Strom, die von den Ladungspumpen benötigt wird, sondern reduziert auch den Energieverbrauch des Speicher-Arrays **25**. Dieses Merkmal der vorliegenden Erfindung gestattet es, dass das Steuer-Gate der nichtausgewählten Speicherpositionen auf einem beliebigen Spannungspotential liegt. Die nichtausgewählten Speicherpositionen tragen nicht zum Leckagestrom bei, da sie mittels des Isolierungstransistors elektrisch isoliert sind.

[0039] **Fig.** 3 wird bereitgestellt, um einen bestimmten Satz von Zuständen für die ausgewählten und nichtausgewählten Speicherzellen während einer Programmierungs-, Lösch- und Leseoperation zu demonstrieren. Man beachte, dass diese spezielle Beispiel in dem von der vorliegenden Erfindung bereitgestellten Bereich fällt, und keinesfalls sollte **Fig.** 3 als für die Bestimmung der Grenzen der Erfindung der Anmelder beschränkend angesehen werden.

[0040] **Fig.** 4 illustriert, teilweise als Blockdiagramm und teilweise als Draufsicht, ein Speichermodul **400** gemäß der vorliegenden Erfindung. Das Speichermodul **400** enthält im Allgemeinen einen Steuer- und Prädecodierungsbereich **410**, Niederspannungs-Wortdecodierungsbereiche **420** und **460**, Hochspannungs-Wortdecodierungsbereiche **430** und **470**, Hochspannungs-Prädecodierungsbereiche **432** und **472**, Bitzellen-Arrays **440** und **480** und einen Leseverstärker (AMP)-Bereich **450**. Der Steuer- und Prädecodierungsbereich **410** weist einen Eingang zum Empfangen von Adress- und Steuerinformation auf, der mit "ADDRESS/CONTROL" bezeichnet ist, einen bidirektionalen Anschluss zum Leiten von Signalen, der mit "DATA" bezeichnet ist und Ausgänge, die mit den Niederspannungs-Wortdecodierungsbereichen **420** und **460**, den Hochspannungs-Prädecodierungsbereichen **432** und **472** und dem Lese-AMP-Bereich **450** verbunden sind. Die Niederspannungs-Wortdecodierungsbereiche (**420** und **460**) weisen Ausgänge auf, die mit dem Bitzellen-Array **440** bzw. dem Bitzellen-Array **480** verbunden sind, um Signale zu liefern, um Gates von Transistoren in den Bitzellen-Arrays **440** und **480** auszuwählen. Die Hochspannungs-Prädecodierungsbereiche **432** und **472** weisen Ausgänge auf, die mit dem Hochspannungs-Wortdecodierungsbereich **430** bzw. dem Hochspannungs-Wortdecodierungsbereich **470** verbunden sind. Der Hochspannungs-Wortdecodierungsbereich **430** und der Hochspannungs-Wortdecodierungsbereich **470** sind mit den Bitzellen-Arrays **440** und **480** verbunden.

[0041] Das Speichermodul **400** ist ein Flash-EEPROM Speicher-Array mit einem linken Bitzellen-Halbarray **440** und einem rechten Bitzellen-Halbarray **480**. Jedes Bitzellen-Array enthält Speicherzellen, die an Kreuzungen von Reihen, welche sowohl von Steuer-Gate-Leitungen als auch von Auswahl-Gate-Leitungen repräsentiert werden und Spalten, welche von Bit-Leitungen repräsentiert werden, positioniert sind. Die Bitleitungen sind mit entsprechenden Eingängen des Lese-AMP-Bereichs **450** verbunden, der acht Spalten auswählt. Während

des Lese-Modus, liest der Lese-AMP-Bereich **450** Signale von acht ausgewählten Bitleitungen und liefert die gelesenen Signale an den Steuer- und Prädecodierungsbereich **410**, welcher als Antwort DATA ausgibt. Während eines Programmiermodus, wird DATA durch den Steuer- und Prädecodierungsbereich **410** in den Lese-AMP-Bereich **450** eingegeben und auf den acht ausgewählten Bitleitungen zur Programmierung in die entsprechenden Speicherzellen geleitet. In **Fig.** 4 sind zwei repräsentative Speicherzellen **10** und **30** illustriert, die mit den Speicherzellen von **Fig.** 1 identisch sind und daher dieselben Referenzeichen zugewiesen bekommen haben. Man beachte, dass die Begriffe "Auswahl-Gate" und "Isolierungs-Gate" im Rahmen dieser Diskussion im Austausch verwendet werden. Der Drain-Anschluss **14** und die Drain-Anschlüsse der übrigen, in derselben Spalte angeordneten Speicherzellen, werden mit einer Bitleitung verbunden, die mit dem Lese-AMP-Bereich **450** verbunden ist. Einem Lesezyklus ist ein Bitzellenstrom zugeordnet, der mit "IBIT" bezeichnet ist, der üblicherweise in einer Richtung, die in die ausgewählte Speicherzelle hineinfließt bezeichnet ist und der weiter unten nützlich sein wird für ein vollständigeres Verständnis der Operation des Lesezyklus.

[0042] Bei der illustrierten Ausführungsform ist das Speichermodul **400** ein Modul, welches zur Verbindung mit einem Mikrocontroller-Kern als Teil eines Mikrocontrollers (nicht dargestellt) geeignet ist. Es sollte jedoch offensichtlich sein, dass das Speichermodul **400** auch eingerichtet sein kann, ein Einzelchip-Flash-Speicher zu sein. Der Steuerund Prädecodierungsblock **410** ist eingerichtet, mit einem internen Bus des Mikrocontrollers verbunden zu werden, was einschließt, dass er einen Eingang zum Empfangen von Adress- und Steuersignalen von diesem sowie eine bidirektionale Verbindung zu einem Datenbereich des internen Busses des Mikrocontrollers aufweist. Man beachte, dass DATA jegliche beliebige Anzahl von Signalen, abhängig von der Organisation des Speichermoduls **400**, umfassen kann, dass es in dem illustrierten Ausführungsbeispiel jedoch acht Datensignale umfasst.

[0043] Der Steuer- und Prädecodierungsblock **410** führt verschiedene Funktionen durch. Der Steuer- und Prädecodierungsblock **410** umfasst verschiedene Register, um verschiedene Operationen des Speichermoduls **400** zu aktivieren. Solche Operationen umfassen, sind jedoch nicht beschränkt auf, Ladungspumpenaktivierung, Schreibaktivierung und Löschaktivierung. Außerdem umfasst der Steuer- und Prädecodierungsblock **410** eine Logik zum Empfangen von ADDRESS/CONTROL und zur Durchführung eines Teils der Decodierungsfunktion, die zur vollständigen Decodierung der Adresse erforderlich ist. Der Steuer- und Prädecodierungsblock **410** umfasst auch Schaltfunktionen zum Routing verschiedener Leistungssignale einschließlich der Spannungspumpe **1120**, illustriert in **Fig.** 11 unten, zugeordneter Spannungen. Als Antwort auf einen Lese- oder Programmierzyklus liefert der Steuer- und Prädecodierungsblock **410** Adressen an die Niederspannungs-Wortdecodierungsblöcke **420** und **460** zur weiteren Decodierung. Eine zusätzliche Decodierung wird weiter ausgeführt, so dass daraus vollständig decodierte Auswahl-Gate-Steuersignale ausgegeben werden können.

[0044] Außerdem liefern die Niederspannungs-Wortdecodierungsblöcke **420** und **460** prädecodierte Signale über die Bitzellen-Arrays **440** und **480** an die Hochspannungs-Wortdecodierungsblöcke **430** und **470**. Beispielsweise illustriert **Fig.** 4 ein exemplarisches Signal; das mit "PREDECODED SIGNAL" bezeichnet ist, welches der Niederspannungs-Wortdecodierungsbereich **420** an den Hochspannungs-Wortdecodierungsbereich **430** über das Bitzellen-Array **440** liefert. Durch Auftrennen der Nieder- und Hochspannungsdecodierer zwischen zwei Enden des Arrays und durch Senden der prädecodierten Signale auf Signalleitungen, die in die verfügbare Teilung der Speicherzellen innerhalb des Arrays passen, reduziert der Speicher **400** die zur Decodierung erforderliche Speicherfläche.

[0045] Die Hochspannungs-Prädecodierungsblöcke **432** und **472** liefern Hochspannungssignale zur Verwendung in den Hochspannungswort-Decodierungsblöcken **430** bzw. **470**. Jeder der Hochspannungs-Decodierungsblöcke **432** und **472** empfängt drei Eingabe-Versorgungsspannungen, einschließlich +5 Volt, +15 Volt und –12 Volt, und empfängt außerdem einen Teil der Adresse und verschiedene Steuersignale. Die Hochspannungs-Prädecodierungsblöcke **432** und **472** liefern als Antwort prädecodierte Hochspannungs-Adresssignale an die Hochspannungs-Wortdecodierungsblöcke **430** bzw. **470**. Die Hochspannungs-Wortdecodierungsblöcke **430** und **470** empfangen prädecodierte Signale sowohl von den Niederspannungs-wortdecodierungsblöcken **420** und **460** als auch von den Hochspannungsprädecodierungsblöcken **432** und **472** und steuern in der Folge die Transistor-Steuer-Gates in einer ausgewählten Reihe an. Die Steuer-Gates werden auf geeignete Spannungen angesteuert, wie weiter oben unter Bezugnahme auf **Fig.** 3 diskutiert.

[0046] Jedes der Bitzellen-Arrays **440** und **480** umfasst individuelle Bitzellen, die an einzigartigen Kreuzungen von Wortleitungen und Bitleitungen innerhalb jeder Hälfte des Speichermoduls **400** positioniert sind. Beispielsweise sind die Bitzellen-Arrays **440** und **480** jeweils in **256** Wortleitungen mal **512** Bitleitungen organisiert. Man beachte, dass für jede Wortlleitung ein einzigartiges Steuer- und Auswahlgate-Signal benutzt werden. Jede der **512** Bitleitungen liefert ein Bitleitungssignal an den Leseverstärkerbereich **450**. In dem Bitzellen-Array **440** ist ein repräsentatives Paar von Bitzellen gezeigt, die den Speicherzellen **10** und **30** in **Fig.** 1 entsprechen und die daher mit denselben Bezugszeichen bezeichnet sind.

[0047] Der Leseverstärkerbereich **450** umfasst **64** Leseverstärker und weist eine bidirektionale Verbin-

dung mit dem Steuer- und Prädecodierungsbereich **410** auf. Jeder der **64** Leseverstärker ist mit acht Bitleitungen verbunden und führt, basierend auf Decodierungsinformationen von dem Prädecodierungsbereich **410**, eine Acht-zu-Eins-Multiplexfunktion während eines Lesemodus durch. Man beachte, dass während eines Programmiermodus eines Löschmodus eine Eins-zu-Acht-Demultiplexfunktion auftritt. Acht Multiplex-Ausgänge aus den **64** Leseverstärkern werden weiter ausgewählt, um eine Acht-Bit-Ausgabe zu liefern. Gemäß einem Aspekt der vorliegenden Erfindung wird ein Teil der Leseverstärker weiter verwendet, um während eines Programmierzyklus Daten zu speichern, was integrierte Schaltkreisfläche spart, wie weiter unten unter Bezugnahme auf **Fig.** 8 vollständiger beschrieben werden soll.

[0048] Während eines Lesezyklus empfängt der Steuer- und Prädecodierungsblock **410** eine Eingabeadresse und Steuersignale, die den Lesezyklus bezeichnen. Während des Zyklus bestimmt der Steuer- und Prädecodierungsblock **410**, ob ein Byte Speicherzellen in den linken oder rechten Halbarrays ausgewählt werden sollen, so dass nur Array **440** oder Array **480** aktiv ist. Während des Lesezyklus werden die Steuer-Gates aller Speicherzellen auf einem konstanten Spannungsniveau gehalten. Bei der illustrierten Ausführungsform ist dieses konstante Niveau gleich einer mit "V_{SS}" bezeichneten Versorgungsspannung plus einem P-Kanal-Schwellenwert, der mit "VTP" bezeichnet ist, plus einer kleinen Zusatzspannung, die gleich etwa 200 Millivolt ist. V_{ss} ist ein eher negativer oder Massen-Versorgungsspannungsanschluss, der einen nominellen wert von etwa 0 Volt aufweist. Für die nichtausgewählten Speicherzellen bleibt das Isolierungs-Gate bei 0 Volt, während für die ausgewählten Speicherzellen das Isolierungs-Gate auf einen Wert f, eine mit "V_{DD}" bezeichnete Versorgungsspannung, angesteuert wird. V_{DD} ist ein positiverer Versorgungsspannungsanschluss mit einem nominellen Wert von 2,7 Volt, dessen tatsächlicher Wert jedoch gemäß der vorliegenden Erfindung auf etwa 1,8 Volt abgesenkt werden kann. Diese Spannungen wählen eine Wortleitung des Bitzellen-Arrays aus. Wenn beispielsweise die Wortleitung, auf welcher die Speicherzelle **10** liegt, ausgewählt wird, wird das Auswahl-Gate 1 "SG1" auf eine Spannung von V_{DD} angesteuert, und das Steuer-Gate 1 "CG1" wird auf dem konstanten Niveau gehalten. Als ein Resultat dient die Leitfähigkeit der Speicherzelle **10** dazu, die Bitleitung **14** zu entladen. Während das Steuer-Gate CG2 der Speicherzelle **30** jedoch auf einem konstanten (DC) Niveau gehalten wird, wird ihr Isolierungs-Gate auf etwa 0 Volt angesteuert.

[0049] Während des Programmierzyklus, auch bekannt als Schreibzyklus, empfängt der Steuer- und Prädecodierungsblock **410** die Adress- und Steuersignale, die anzeigen, dass ein Schreibzyklus im Gange ist und liefert decodierte Adresssignale wie im Lesezyklus. Während des Schreibzyklus ist jedoch der Datenfluss umgekehrt. Der Leseverstärker im Leserverstärkerbereich **450** dient als zusätzliche Funktion, indem er die Eingabedaten einrastet und die Eingabedaten auf die ausgewählten Bitleitungen leitet. Während des Schreibzyklus haben die Speicherzellen der ausgewählten Wortleitung mittels des Hochspannungs-Wortdecodierungsblocks **430** oder **470**, je nachdem, ihre Isolierungs-Gates auf 0 Volt und ihre Steuer-Gates auf –12 Volt angesteuert. Die Speicherzellen der nichtausgewählten Wortleitungen haben jedoch ihre Isolierungs-Gate auf 0 Volt angesteuert und ihre Steuer-Gates auf 3,5 Volt. Man beachte, dass die Spannung von 3,5 Volt durch Reduzierung der 5 Volt Ladungspumpenspannung um einen Betrag, der gleich einem N-Kanal-Transistorschwellenwert "V_{TN}" eines geeignet dimensionierten N-Kanal-Transistors erreicht wird. Während des Lesezyklus bestimmt die Isolierungs-Gate-Spannung, ob die Speicherzelle **10** auf einer aktiven Wortleitung liegt, wohingegen im Programmiermodus die Steuer-Gate-Spannung bestimmt, ob die Zelle **10** auf der aktiven Wortleitung liegt.

[0050] Während eines Löschzyklus kann entweder eine ausgewählte Wortleitung, ein ausgewählter Block von Wortleitungen oder ein gesamtes Bitzellen-Array gelöscht werden. Man beachte, dass die Auswahl der Löschoptionen von Ausführungsform zu Ausführungsform variieren wird. Während des Löschzyklus bestimmt die an dem Steuergate angesteuerte Spannung, ob die Speicherzellen auf einer ausgewählten Wortleitung gelöscht werden. Die Speicherzellen auf der ausgewählten Wortleitung haben ihre Steuer-Gates mittels des Hochspannunswort-Decodierungsblocks **430** oder **470** für eine ausreichende Zeitspanne auf 15 Volt angesteuert. Man beachte, dass die an das Steuer-Gate der Speicherzellen auf der ausgewählten Wortleitung angelegten 15 Volt für etwa 50 Millisekunden unterhalten werden müssen. Bei dem Speichermodul **400**, welches zur Verwendung mit einem Mikrocontroller-Kern eingerichtet ist, werden die 50 Millisekunden von dem Mikrocontroller-Kern bestimmt, der sicherstellen muss, dass auf das Speichermodul **400** nicht zugegriffen wird, bis diese Zeit verstrichen ist. wenn das Speichermodul **400** jedoch als Stand-Alone-Speicher ("stand alone memory") implementiert ist, ist es bevorzugt, auf dem Chip einen Zeitgeber zur Messung der während des Löschmodus verstrichenen Zeit vorzusehen. Während des Löschmodus wird das Isolierungs-Gate der ausgewählten Wort-Leitung auf eine Spannung V_{DD} angesteuert. Während des Löschmodus werden auch alle Bit-Leitungen bei einer Spannung von 0 Volt gehalten. Das Halten des Isolierungs-Gates auf einem Wert von V_{DD} erlaubt es, dass das Tunneln über den Kanal einheitlicher stattfinden kann und kann die Zuverlässigkeit erhöhen.

[0051] **Fig.** 5 illustriert teilweise als Blockdiagramm, teilweise als logisches Diagramm und teilweise in schematischer Form einen Decodierungs- und Leseverstärkerbereich (Lese-AMP) **500** des Speichermo-

duls **400** von **Fig.** 4. Der Lese-AMP **500** ist repräsentativ für jeden der Lese-Amps SA1 bis SAN, illustriert in **Fig.** 4. Der Lese-AMP **500** umfasst Decodierungslogikbereiche **510** und **520**, MOS-Transistoren vom P-Typ **542**, **544**, **562** und **564**, Invertierer **546** und **566**, Stromquellen **548**, **550**, **568** und **570** sowie einen Spannungskomparator **530**. Der Decodierungslogikbereich **510** weist eine Mehrzahl von MOS-Transistoren vom N-Typ auf, einschließlich der Transistoren **512** und **513**, einer Auswahlschaltung **515** und einen Schwellenspannungsgenerator **511**. Der Transistor **512** weist ein Gate, eine erste Stromelektrode zum Empfangen einer aus einer Mehrzahl von Bitleitungen von dem Bitzellen-Array **440** und eine zweite Stromelektrode auf. Der Transistor **513** weist ein Gate, eine erste Stromelektrode zum Empfangen einer aus einer Mehrzahl von Bitleitungen von dem Bitzellen-Array **440** und eine zweite Stromelektrode auf. Die Auswahlschaltung **515** weist eine Mehrzahl von Transfergattern, einschließlich der Transfergatter **518** und **517** auf. Das Transfergatter **518** weist eine positive und eine negative Steuerelektrode auf, die mit dem Steuer- und Decodierungsbereich **410** verbunden sind, eine erste Stromelektrode, die mit der zweiten Stromelektrode des Transistors **513** verbunden ist und eine zweite Stromelektrode, die mit einem mit "INA" bezeichneten Knoten **531** verbunden sind. Das Transfergatter **517** weist eine positive und eine negative Steuerelektrode auf, die mit dem Steuer- und Decodierungsbereich **410** verbunden sind, eine erste Stromelektrode, die mit der zweiten Stromelektrode des Transistors **512** verbunden ist sowie eine zweite Stromelektrode, die mit einem Knoten INA **531** verbunden ist.

[0052] Die Decodierungslogik **520** weist eine Mehrzahl von MOS-Transistoren vom N-Typ auf, einschließlich der Transistoren **522** und **523**, eine Auswahlschaltung **525** und einen Schwellenspannungsgenerator **521**. Der Transistor **522** weist ein Gate, eine erste Spannungselektrode zum Empfangen einer aus einer Mehrzahl von Bitleitungen von dem Bitzellen-Array **480** und eine zweite Stromelektrode auf. Der Transistor **523** weist ein Gate, eine erste Stromelektrode zum Empfangen einer aus einer Mehrzahl von Bitleitungen von dem Bitzellen-Array **480** sowie eine zweite Stromelektrode auf. Die Auswahlschaltung **525** weist eine Mehrzahl von Transfergattern auf, einschließlich der Transfergatter **528** und **527**. Das Transfergatter **528** weist eine positive und eine negative Steuerelektrode auf, die mit dem Steuer- und Decodierungsbereich **410** verbunden sind. Eine erste Stromelektrode, die mit der zweiten Stromelektrode des Transistors **523** verbunden ist und eine zweite Stromelektrode, die mit einem mit "INB" bezeichneten Knoten **532** verbunden ist. Das Transfergatter **527** weist eine positive und eine negative Steuerelektrode auf, die mit dem Steuer- und Decodierungsbereich **410** verbunden sind, eine erste Stromelektrode, die mit der zweiten Stromelektrode des Transistors **522** verbunden ist und eine zweite Stromelektrode, die mit dem Knoten INB verbunden ist.

[0053] Der Transistor **542** weist ein Gate, eine mit V_{DD} verbundene Source und ein Drain auf. Der Transistor **544** weist ein mit dem Knoten INA **531** verbundenes Gate, eine mit dem Drain des Transistors **542** verbundene Source und ein mit dem Knoten INA verbundenes Drain auf. Der Invertierer **546** weist einen Eingangsanschluss zum Empfangen eines mit "RIGHT AR-RAY ENABLE" gekennzeichneten Signals **584** und einen Ausgangsanschluss, der mit dem Gate des Transistors **542** verbunden ist, auf. Die Stromquelle **548** weist einen Aktivierungseingangsanschluss zum Empfangen eines Signals "LEFT ARRAY ENABLE" **580**, einen ersten mit V_{DD} verbundenen Stromanschluss und einen zweiten mit dem Knoten INA **531** verbundenen Stromanschluss auf. Die Stromquelle **550** weist einen Aktivierungseingangsanschluss zum Empfangen des Signals RIGHT ARRAY ENABLE **584**, einen ersten mit dem Knoten INA **531** verbundenen Stromanschluss und einen zweiten mit VSS verbundenen Stromanschluss auf.

[0054] Der P-Typ-MOS-Transistor **562** weist ein Gate, eine mit V_{DD} verbundene Source und ein Drain auf. Der P-Typ-Transistor **564** weist ein mit dem Knoten INA verbundenes Gate, eine mit dem Drain des Transistors **562** verbundene Source und ein mit dem Anschluss INA verbundenes Drain auf. Der Invertierer **566** weist einen Eingangsanschluss zum Empfangen von LEFT ARRAY ENABLE **584** und einen zweiten mit dem Gate des Transistors **562** verbundenen Ausgang auf. Die Stromquelle **568** weist ein Aktivierungssignal zum Empfangen eines mit "RIGHT ARRAY ENABLE" **580** bezeichneten Signals, einen ersten mit V_{DD} verbundenen Stromanschluss und einen zweiten mit dem Knoten INB verbundenen Stromanschluss auf. Die Stromquelle **570** weist einen Aktivierungseingang zum Empfangen eines mit "LEFT ARRAY **584**" bezeichneten Signals, einen ersten mit Masse verbundenen Stromanschluss und einen zweiten mit dem Knoten INA verbundenen Stromanschluss auf. Der Spannungskomparator **530** weist einen Steuereingangsanschluss zum Empfangen eines mit "COMPARE ENABLE **582**" bezeichneten Signals, einen ersten mit dem Knoten INA verbundenen Eingangsanschluss, einen zweiten mit dem Knoten INB verbundenen Eingangsanschluss und einen Ausgangsanschluss zum Liefern eines mit "DATA OUT **534**" bezeichneten Signals auf.

[0055] Der Lese-AMP **500** stellt einen Bereich eines Leseverstärkers der Leseverstärker **450** dar. Die in dem Leseverstärker **500** illustrierten Elemente sind diejenigen Bereiche des Leseverstärkers, die mit einem Lesemodus in Beziehung stehen.

[0056] Bei Betrieb werden während des Beginns eines Lesezyklus die Spannungsniveaus an den Knoten **531** und **532** auf jeder Seite des Spannungskomparators **530** mittels einer in **Fig.** 5 nichtdargestellten Schaltung auf V_{DD} gleichgesetzt. Der Leseverstärker **500** ist durch Erzeugen verschiedener Entladeraten zwischen dem Knoten INA **531** und dem Knoten INB

532 in der Lage, am Spannungskomparator **530** den geeigneten gespeicherten Datenzustand in einer Bitzelle zu lesen und als Antwort darauf ein Signal DATA OUT **534** anzusteuern.

[0057] Falls der Knoten INA **531** ausgewählt wurde, um Information von einem Bitzellen-Array **440** zu empfangen, und falls eine nichtleitende Bitzelle des Arrays **440** ausgewählt wurde, gäbe es keine Entladerate am Knoten INA **531**. Als Ergebnis bleibt der Knoten INA **531** auf dem Niveau von V_{DD} vorgeladen. Der Knoten INB **532**, der nicht ausgewählt wurde, um Information von dem Bitzellen-Array **480** zu empfangen, könnte jedoch bei einer vorbestimmten Rate entladen werden, was es dem Spannungskomparator daher gestattet, eine niedrigere Spannung am Knoten INB **532** zu erkennen als am Knoten INA **531**. Basierend auf dem Vergleich liefert der Spannungskomparator **530** das Signal DATA OUT **534** als ein Signal mit logisch hohem Zustand oder logisch niedrigem Zustand, wie von dem System spezifiziert.

[0058] Falls der Knoten INA **531** ausgewählt wurde, um Informationen von dem Bitzellen-Array **440** zu empfangen, und falls eine leitende Bitzelle des Arrays **440** ausgewählt wurde, tritt eine Entladungsrate am Knoten INA **531** auf. Der Lese-AMP **500** ist so ausgelegt, dass die Entladerate am Knoten INA **531** größer ist als die Entladerate am Knoten INB **532**. Dieser Unterschied in den Entladeraten erlaubt es dem Spannungskomparator **530** am Knoten INA **531** eine geringere Spannung zu erkennen als am Knoten INB **532**. Als ein Ergebnis erkennt der Spannungskomparator **530** einen Zustand, der Komplementär ist zu demjenigen, wenn eine nichtleitende Bitzelle ausgelesen wird.

[0059] Die Entladerate des Knotens INB **532**, die als eine Referenz dient, wenn Daten von dem Bitzellen-Array **440** ausgelesen werden, wird von der Stromquelle **570**, die aktiviert ist, wenn LEFT ARRAY ENABLE **580** gesetzt ist, um den Beginn eines Lesezyklus anzuzeigen, auf eine im Wesentlichen festgelegte Rate angesteuert. Eine Aktivierung des Signals LEFT ARRAY ENABLE **580** aktiviert auch die Spannungsquelle **548**, die, wenn ausgewählt, Strom liefert, um den Knoten INA **531** bei einer gegebenen Rate zu laden. Die Rate, bei welcher die Spannungsquelle **548** Ladung an den Knoten INA **531** liefert, ist so, dass, wenn eine nichtleitende Bitzelle im Array **440** ausgewählt ist, der Knoten INA **531** eine vorgeladene Spannung von V_{DD} beibehält. Außerdem ist die Rate, mit der die Stromquelle **548** Ladung an den Knoten INA **531** liefert, in ihrem Betrag verschieden von der Entladerate der Stromquelle **570**, so dass, wenn ein leitendes Bit ausgelesen wird, die Entladerate am Knoten INA **531** größer ist als die Entladerate am Knoten INB **532**. Daher ist die Laderate der Stromquelle **548** viel kleiner als die Entladerate der Stromquelle **570**.

[0060] Das Verhältnis der Stromquellen **548** und **570** erlaubt es dem Spannungskomparator **530** den leitenden Zustand einer Bitzelle angemessen zu lesen, wenn der Knoten INB **532** und/oder der Knoten INA **531** entladen werden. Diese Beziehung ist beim Betrieb bei hohen Betriebsfrequenzen dergestalt nützlich, dass die Entladung über eine relativ kurze Zeitspanne auftritt. Der Lese-AMP **500** wäre nicht in der Lage, eine leitende Bitzelle zu lesen, falls es gestattet wäre, dass die Knoten **531** und **532** mit der Zeit vollständig auf 0 Volt entladen würden, wodurch der Spannungskomparator **530** daran gehindert würde, Daten akkurat zu lesen. Um dieses Problem zu lösen, umfasst der Lese-AMP **500** eine Klemmenschaltung, die von einem Dioden-verbundenen P-Kanal-Transistor **564** und einem aktivierenden P-Kanal-Transistor **562** gebildet wird. Die Transistoren **562** und **564** klemmen den Knoten INB **532** auf eine vordefinierte Spannung und hindern die Stromquelle **570** daher daran, den Knoten **532** vollständig zu entladen. Als ein Ergebnis behält der Knoten INB **532** in einem langsamen System, in dem die Knoten **531** und **532** das Entladen beenden, ein höheres Spannungsniveau bei, als der Knoten INA **531**, wo die Spannungsdifferenz von dem Spannungskomparator **530** gelesen werden kann. Wenn umgekehrt ein nichtleitendes Bit gelesen wird, legt der Knoten INB **532** auf einer niedrigeren Spannung als der Knoten INA **531**.

[0061] Um die Daten in der oben diskutierten Weise auszulesen, ist es erforderlich, den von einer Bitzelle in dem Array **440** gelesenen Strom in eine Spannung am Knoten INA **531** zu wandeln. Der Lese-AMP **500** erreicht diese Lesefunktion in einer Weise, die einen Betrieb bei einer sehr niedrigen Versorgungsspannung gestattet, indem die Strom-zu-Spannungs-Wandlerfunktion von der Ladefunktion getrennt wird und diese auf verschiedene Seiten der Auswahlschaltung **515** verteilt werden. Der Lese-AMP gestattet Niederspannungsoperationen, indem er sicherstellt, dass die Größe des am Spannungskomparator **530** gelesenen Spannungsabfalls optimiert wird, im Gegensatz zum Stand der Technik, der weniger Strom aufwies, um den Spannungsabfall zu erzeugen.

[0062] Die Spannungswandlungsbeziehung zwischen diesen Komponenten beginnt, wenn das Transfergatter **517** ausgewählt wird. Man beachte, dass das Transfergatter **517** eine von **8** Transferleitungen in dem linken Bit Decodierungsblock **519** ist, der von der Decodierungslogik angesteuert wird, eine von 8 Bitgattern von dem Bitzellen-Array **440** auszuwählen. Sobald ausgewählt, kann der gelesene Strom von der ausgewählten Bitleitung durch den N-Kanal-Transistor **512** fließen, der mittels der Spannungsreferenz **511** auf einem Niveau von zwei N-Kanalschwellenwerten oberhalb von V_{SS} vorgespannt wird. Dies gestattet es, dass der N-Kanal-Transistor **512** in einer Weise arbeitet, die ähnlich derjenigen eines Common-Gate-Verstärkers ist, der eine niedrige Eingangsimpedanz und eine relativ hohe Ausgangsimpedanz aufweist. Die niedrige Eingangsimpedanzcharakteristik des Transistors **512** gestattet es

der Bitleitungsseite des Transistors **512** beim Einsetzen des Lesezyklus schnell vorzuladen, während die hohe Ausgangsimpedanzcharakteristik in Kombination mit der sehr hohen Impedanzcharakteristik der Stromquelle **548** einen hohen Spannungsverstärkungsfaktor über den Transistor **512** zum Knoten INA **531** erlauben.

[0063] Als ein Ergebnis der Verteilung der Leseverstärkerfunktion bietet der Transistor **512** bei dem vorliegenden Ausführungsbeispiel der Bitleitung eine niedrigere Impedanz, als diese beim Stand der Technik präsentiert würde. Der Vorteil des Positionierens des Strom-zu-Spannungs-Wandlers in dieser Weise ist, dass es einen kleineren Spannungsabfall über dem Transfergatter **517** gibt, was weniger Bitleitungs-Ladezeit oder kleinere Vorladungs-Transistoren erfordert. Ein weiterer Vorteil der vorliegenden Erfindung gegenüber dem Stand der Technik ist die Tatsache, dass der Knoten INA **531** vor dem Einsetzen eines Lesezyklus auf V_{DD} geladen wird. Als Ergebnis ist, wenn das Transfergatter **517** ausgewählt ist, die P-Kanal-Spannung zwischen Gate und Source des Transfergatters **517** die volle Versorgungsspannung V_{DD}. Dies erlaubt es dem P-Kanal-Bereich des Spannungs-Transfergatters **517** vollständig leitend zu sein. Beim Stand der Technik ist die Gate/Source-Spannung auf V_{DD} minus dem Arbeitsniveau der Bitleitung limitiert, was zu einer Gate-Ansteuerung führt, die sehr nahe am Schwellenwert der Vorrichtung liegt. Als ein Ergebnis arbeitet das Transfergatter nach dem Stand der Technik nahe am Cutoff. Die vorliegende Erfindung stellt sicher, dass während eines langsamen Speicherbetriebszyklus der Knoten INA **531** vollständig auf Masse entladen werden kann. Ohne den N-Kanal-Bereich des Gatters **517** könnte dies nicht geschehen.

[0064] Obgleich die vorangehende Diskussion auf einen Lesevorgang von dem Speicher-Array-Teil **440** fokussiert war, arbeitet die Schaltung, wenn Daten von dem Speicher-Array-Teil **480** gelesen werden, in einer ähnlichen und gespiegelten Weise.

[0065] **Fig.** 6 illustriert ein Timing-Diagramm verschiedener, einem Lesezyklus von einer leitenden sowie einer nichtleitenden Speicherzelle zugehörigen Signalen, die zum Verständnis des Betriebs des Lese-AMP **500** von **Fig.** 5 nützlich sind. Die horizontale Achse repräsentiert die Zeit für jeden Teilgraphen. Ein Auslesen eines leitenden Bits und eines nichtleitenden Bits sind jeweils in drei Teilgraphen dargestellt. Ein erster Teilgraph repräsentiert die Spannung auf dem Vertikaleingang, ein zweiter Teilgraph repräsentiert den Strom, während ein dritter Teilgraph einen Komparator-Ausgabezustand repräsentiert.

[0066] **Fig.** 6 illustriert die unter Bezugnahme auf **Fig.** 5 für ein Auslesen eines leitenden Bits und ein Auslesen eines nichtleitenden Bits diskutierten Signalbeziehungen. Man beachte, dass, obgleich die in **Fig.** 6 illustrierten, relativen Werte der Signale zum Verständnis des Betriebs des Speichermoduls **400** nützlich sind, sie nicht notwendigerweise maßstabsgetreu gezeichnet sind. Wenn Daten am Knoten INA **531** während eines Auslesens eines leitenden Bits, wie zuvor diskutiert, ausgelesen werden, entlädt sich das Spannungsniveau am Knoten INB **532** mit einer anderen Rate als das Signal am Knoten **531** und entlädt sich nicht vollständig auf Masse. Als ein Ergebnis kann der Komparator **530** den Zustand der ausgewählten Speicherzelle lesen, indem er die Spannungsdifferenz zwischen dem Knoten INA **531** und dem Knoten INB **532** erfasst, die lediglich durch den internen Spannungs-Offset des Komparators **530** gestört ist.

[0067] Gleichermaßen illustriert der Graph **600** eine Repräsentation eines Speicherzellenstromes, der zu einer Bitzelle des Arrays **440** gehört, bezeichnet als "IBIT" **612**, eine Repräsentation des Stroms durch die Stromquellen **548** und **568**, bezeichnet als "S1" **614**, und eine Repräsentation des Stromes durch die Stromquellen **550** und **570**, bezeichnet als "S1" **614**. Gleichermaßen wird in dem Graphen **600** eine graphische Information für ein Auslesen eines nicht leitenden Bits angegeben.

[0068] **Fig.** 7 illustriert in Form eines Blockdiagramms einen Programmierungstreiber **700** zur Verwendung bei dem Speichermodul **400** von **Fig.** 4. Der Programmierungstreiber **700** bildet einen Bereich des Lese-AMP **500** von **Fig.** 5 und enthält sowohl auch dem Lesezyklus zugehörige Elemente als auch für den Schreibzyklus einzigartige Elemente. Der Programmierungstreiber **700** enthält einen Bereich des Spannungskomparators **530** von **Fig.** 5, einen Programmtreiber **710**, Decodierer **720** und **760** und Zwangsschaltungen **740** und **780**. Der für den Programmierungstreiber **700** relevante Teil des Spannungskomparators **530** enthält Isolierungsschaltungen **730** und **770** und eine symmetrische Latch-Schaltung ("balanced latch") **750**. Die Isolierungsschaltung **730** weist einen mit einem Knoten **731** verbundenen Eingang und einen mit dem Knoten INA **531** verbundenen Ausgang auf. Die Isolierungsschaltung **770** weist einen mit einem Knoten **771** verbundenen Eingang und einen Anschluss INB auf. Die symmetrische Latch-Schaltung **750** weist Steuereingangsanschlüsse zum Empfangen von mit "READ LATCH", "READ LATCHB", "PROGRAM LATCH", "PROGRAM LATCHB" bezeichneten Signalen, mit den Knoten **731** und **771** verbundene Dateneingangsanschlüsse und einen Ausgangsanschluss zum Liefern eines Signals DATA OUT **534** auf.

[0069] Die Zwangsschaltung **740** weist einen Eingangsanschluss zum Empfangen eines mit "DATAL" und einen mit dem Knoten **731** verbundenen Ausgangsanschluss auf. Die Zwangsschaltung **780** weist einen Eingangsanschluss zum Empfangen eines mit "DATAR" bezeichneten Signals und einen mit dem Knoten **771** verbundenen Ausgangsanschluss auf. Der Programmtreiber **710** weist einen Referenzspannungs-Eingangsanschluss zum Empfangen einer mit "VPGM" bezeichneten, ladungsgepumpten Refe-

renzspannung, einen ersten mit dem Knoten **731** verbundenen, mit "IN1" bezeichneten Eingangsanschluss, einen zweiten mit dem Knoten **771** verbundenen, mit "IN2" bezeichneten Eingangsanschluss, einen ersten mit "OUT1" bezeichneten Ausgang zum Liefern eines ersten mit "VOUTL" bezeichneten Ausgangssignals und einen zweiten mit "OUT2" bezeichneten Ausgangsanschluss zum Liefern eines mit "VOUTR" bezeichneten Signals auf.

[0070] Bei Betrieb umfasst der Programmierungstreiber **700** mit dem Lese-AMP **500** von **Fig.** 5, der Schaltungsfläche einspart, gemeinsame Elemente. Wie in **Fig.** 7 dargestellt, wird der Spannungskomparator **530** auch während des Programmiermodus verwendet und enthält eine symmetrische Latch-Schaltung **750** und zwei Isolierungsschaltungen, **730** und **770**. Dies symmetrische Latch-Schaltung **750** empfängt die an eine ausgewählte Bitleitung zu leitenden Daten von den Zwangsschaltungen **740** und **780**. Im Programmiermodus werden die Signale DATAL und DATAR beide angesteuert, jedoch in entgegengesetzter Weise. Welches der Signale DATAL und DATAR wahr ist und welches entgegengesetzt ist, hängt davon ab, welche Array-Hälfte ausgewählt ist. Dieser Zustand wird in der Latch-Schaltung gespeichert, wenn die mit "PGM LATCH" und "PGM LATCHB" bezeichneten Signale aktiviert sind. Die gelatchten Daten werden von dem Programmtreiber **710** empfangen, der das geeignete Spannungsniveau dem Bitleitungs-Decodierer präsentiert, wo die Bitleitung angeordnet ist. Gleichermaßen steuert die Zwangsschaltung **780**, wenn das rechte Bitzellen-Array **480** während eines Schreibemodus ausgewählt ist, den geeigneten Zustand der Latch-Schaltung **740**, und der Programmtreiber **710** liefert das geeignete Signal an den Bitleitungs-Decodierer **760**.

[0071] Der Programmtreiber **710** ist eingerichtet, die Signale auf den Knoten **731** und **771** an den Eingängen IN1 bzw. IN2 zu empfangen und mit OUT1 bzw. OUT2 bezeichnete Spannungen zu liefern. Die Spannungen bei OUT1 und OUT2 liegen bei höheren Spannungsniveaus als die empfangenen Spannungen. Die höheren Spannungsniveaus werden von einem Eingangsspannungssignal VPGM bestimmt, welches etwa 5 Volt beträgt. Aufgrund des Betriebs des Programmtreibers **710** braucht der Spannungskomparator **530** die Isolierungsschaltungen **730** und **770**, um die höheren Spannungen der Signale OUT1 und OUT2 daran zu hindern, die Schaltung der symmetrischen Latch-Schaltung **750** zu beschädigen. Während eines Programmierzyklus beeinträchtigt auch der Strombedarf der ausgewählten Speicherzellen die Spannung von VPGM signifikant, weshalb es wichtig ist, die symmetrische Latch-Schaltung **750** von einer stabilen V_{DD}-Versorgung her zu versorgen, die von VPGM getrennt ist. Die Wiederverwendung des Spannungskomparators **530** erlaubt eine Reduktion der Schaltungsfläche und gestattet es, dass die Programmtreiberfunktion mit relativ kleiner Teilung, nämlich der Teilung von acht, dem Leseverstärker zugeordneten Bitleitungen, erfolgt.

[0072] **Fig.** 8 illustriert teilweise als logisches Diagramm und teilweise in schematischer Form eine spezielle Schaltung, die verwendet werden kann, um Teile des Lese-AMP **500** von **Fig.** 5 und des Programmierungstreibers **700** von **Fig.** 7 zu implementieren. Da die Schaltung in **Fig.** 8 ein spezielles Beispiel für diese Schaltungen ist, besteht nicht notwendigerweise eine Eins-Zu-Eins-Entsprechung zwischen den Signalen von **Fig.** 8 und denjenigen von **Fig.** 5. Beispielsweise wird das Signal COMPARE ENABLE **582** von **Fig.** 5 unter Verwendung der komplementären Signale SALATB und SALAT von **Fig.** 8 implementiert. Das Signal DATA OUT **534** wird mit den komplementären Signalen DATAL und DATAR von **Fig.** 8 implementiert, die einen Teil eines Busses bilden. Die Signale CDECL und CDECR von **Fig.** 8 sind Knoten INA **531** bzw. Knoten INB **532** von **Fig.** 5. Weitere Elemente, die den Elementen in den **Fig.** 5 und 7 entsprechen, sind durch dieselben Bezugszeichen identifiziert.

[0073] **Fig.** 9 illustriert teilweise als Blockdiagramm, teilweise als logisches Diagramm und teilweise in schematischer Form eine Steuer-Gate-Treiberschaltung **900** gemäß der vorliegenden Erfindung. Die Steuer-Gate-Treiberschaltung **900** repräsentiert einen Teil eines Hochspannungs-Wortdecodierungsbereichs **430** von **Fig.** 4. Die Steuer-Gate-Treiberschaltung **900** enthält einen Isolierungsschaltung/Niveauverschieber **910**, einen Referenzspannungsschalter **912**, P-Typ MOS-Transistoren **925**, **932**, **934** und **926**, eine Vorspannungsschaltung **920**, eine Löschspannungsversorgung **914**, eine positive Programmierspannungsversorgung **916**, eine negative Programmierspannungsversorgung **930**, eine Pulsschaltung **940** und einen Hochspannungs-Reihendecodierer **950**.

[0074] Der Isolierungsschaltung/Niveauverschieber **910** weist einen ersten Eingangsanschluss zum Empfangen eines mit "PROGRAM/ERASE DECODE" **964**, einen zweiten Eingangsanschluss zum Empfangen eines mit "READ SIGNAL" **962** bezeichneten Signals, einen ersten Referenzspannungsanschluss, einen zweiten mit einem Massepotential verbundenen Referenzspannungsanschluss und einen Ausgangsanschluss auf. Der Referenzspannungsschalter **912** weist einen ersten Referenzspannungseingangsanschluss, einen zweiten Referenzspannungseingangsanschluss und einen dritten Referenzspannungseingansanschluss auf sowie einen Ausgangsanschluss, der angeschlossen ist, um eine Referenzspannungsausgabe an den ersten Referenzspannungsanschluss der Isolierungsschaltung **910** zu liefern.

[0075] Der Transistor **925** weist ein mit einem Massepotential verbundenes Gate, ein mit einem Massepotential verbundenes Drain und eine mit dem ersten Referenzspannungseingangsanschluss des Referenzspannungsschalter **912** verbundene Source sowie einen Massenanschluss auf. Die Vorspan-

nungsschaltung **920** weist einen mit der Source des Transistors **925** verbundenen ersten Anschluss und einen mit dem Massenanschluss des Transistors **925** verbundenen zweiten Anschluss auf. Die Vorspannungsschaltung **920** umfasst Widerstände **921** und **922**. Der Widerstand **921** hat einen mit V_{DD} verbundenen ersten Anschluss und einen mit der Massenelektrode des Transistors **925** verbundenen zweiten Anschluss. Der Widerstand **922** hat einen mit dem zweiten Anschluss des Widerstandes **921** verbundenen ersten Anschluss und einen mit der Source des Transistors **925** verbundenen zweiten Anschluss.

[0076] Die Löschspannungsversorgung **914** weist einen mit einem Referenz-Erdpotential verbundenen ersten Anschluss und einen mit dem zweiten Referenzspannungseingang des Referenzspannungsschalter **912** verbundenen zweiten Anschluss auf. Die positive Programmierspannungsversorgung **916** weist einen ersten mit einer Erdpotential-Referenz verbundenen ersten Spannungsanschluss und einen mit der dritten Referenzspannungseingangsanschluss des Referenzspannungsschalters **912** verbundenen zweiten Referenzspannungsanschluss auf. Der Transistor **936** weist ein mit einem Referenz-Erdpotential verbundenes Gate, einem mit dem Ausgangsanschluss der Isolierungsschaltung **912** verbundene erste Stromelektrode, eine mit einem Steuer-Gate der Transistoren entlang einer ausgewählten Reihe verbundene zweite Stromelektrode und eine mit der ersten Stromelektrode verbundene Massenelektrode auf. Der Transistor **934** weist ein Gate, eine erste Stromelektrode, eine mit der zweiten Stromelektrode des Transistors **936** verbundene zweite Stromelektrode und eine mit der ersten Stromelektrode des Transistors **936** verbundene Massenelektrode auf. Der Transistor **932** weist ein Gate, eine erste Stromelektrode, eine mit der ersten Stromelektrode des Transistors **934** verbundene zweite Stromelektrode und eine mit der ersten Stromelektrode des Transistors **936** verbundene Massenelektrode auf. Die negative Programmierungsspannungsversorgung **930** weist einen mit einer Massenspannungsversorgung verbundenen ersten Anschluss und einen mit der ersten Stromelektrode des Transistors **932** verbundenen zweiten Anschluss auf. Die Pulsschaltung **940** weist einen Eingang zum Empfangen eines mit "DECODED ADDRESS" bezeichnetes Signal auf und hat einen mit dem Gate des Transistors **932** verbundenen ersten Ausgangsanschluss und einen mit dem Gate des Transistors **934** verbundenen zweiten Ausgangsanschluss. Der Hochspannungsreihendecodierer **950** weist einen Anschluss zum Empfangen eines mit "ADDRESS **960"** bezeichneten Signals und einen Ausgang zur Lieferung von DECODED ADDRESS an die Pulsschaltung **940**.

[0077] Man beachte, dass, wie in **Fig.** 9 illustriert, die Steuer-Gate-Treiberschaltung **900** Teile des Hochspannungs-Prädecodierungsblocks **432** und des Hochspannungs-Wortdecodierers **430** umfasst. Bei anderen Ausführungsformen kann die Bezeichnung dieser Funktionen jedoch anders sein. Es ist daher wichtig, die insgesamt von der Steuer-Gate-Treiberschaltung **900** durchgeführte Funktion zu erkennen.

[0078] Bei Betrieb steuert die Steuer-Gate-Treiberschaltung **900** ein Steuer-Gate, wie in **Fig.** 3 spezifiziert und wie weiter unter Bezugnahme auf **Fig.** 4 beschrieben. Während des Lesemodus wird der Referenzspannungsschalter **912** in die erste Position gesetzt, um eine elektrische Verbindung mit der Source des Transistors **925** zu erlauben. Ebenfalls während des Lesemodus ist READ SIGNAL **926** aktiv, was den Isolierungsschaltung/Niveauverschieber **910** veranlasst, eine Spannung an seinem Ausgangsanschluss bereitzustellen, die gleich der Spannung an dem ersten Referenzspannungsanschluss ist. Diese Spannung ist gleich der P-Kanal-Schwellenspannung des Transistors **925** plus einem kleinen zusätzlichen Betrag. Der kleine zusätzliche Betrag wird durch die relativen Größen der Widerstände **921** und **922**, sowie der Charakteristiken des Transistors **925** bestimmt. Die Vorspannungsschaltung **920** verwendet den Body-Effekt der MOSFETs, um zu verursachen, dass der Schwellenwert des Transistors **925** leicht ansteigt; die Spannung an der Source des Diodenverbundenen Transistors **925** ist daher leicht höher als diejenige Spannung, die an der Source des Transistors **936** notwendig ist, um diesen leitfähig zu machen. Aufgrund der ansteigenden Vorspannungsdifferenz zwischen dem Transistor **925** und dem Transistor **936**, wird der Transistor **936** leicht leitend. Diese Steuerung, den Transistor **936** leicht leitend zu machen, wird durch Vorspannung der Masse des Transistors **925** leicht über der Source mittels der Vorspannungsschaltung **920** und des Anpassens zwischen den Transistoren **925** und **936** erreicht. Vorzugsweise bekommen die Transistoren **925** und **936** dieselben Gate-Breiten und Gate-Längen-Größen und sind auf dem integrierten Schaltkreis in derselben Richtung orientiert. Außerdem wird eine kleine zusätzliche Spannung vorzugsweise ausgewählt, um zu garantieren, dass der Transistor **936** unter allen erwarteten Prozessvariationen leitend wird.

[0079] Während eines Löschmodus, wird der Referenzspannungsschalter **912** auf die zweite Position gesetzt, um die Löschspannungsversorgung **914** mit dem ersten Referenzspannungsanschluss des Isolierungsschaltungs-/Niveauverschiebers **910** zu verbinden. Da READ SIGNAL **962** während des Löschmodus inaktiv ist, wird mittels PGM/ERASE DDECODE SIGNAL **964** bestimmt, ob der Isolierungsschaltungs-/Niveauverschieber **910** +15 Volt an das Steuer-Gate liefert. PGM/ERASE DECODE Signal **964** repräsentiert eine logische Kombination eines Programmier-/Löschsignals und eines Prädecodierungssignals, welches von dem Niederspannungswort-Dekodierungsblock **420** oder **460** her empfangen wird. Falls PGM/ERASE DECODE SIGNAL **964** aktiv ist, steuert der Steuer-Gate-Treiber **900** während des Löschmodus das entsprechende Steuer-Gate auf

das von der Löschspannungsversorgung **914** erzeugte +15 Volt-Niveau an.

[0080] Während eines Programmiermodus wird der Referenzspannungsschalter **912** auf die dritte Position gesetzt, um die positive Programmierungsspannungsversorgung **916** und den ersten Referenzspannungsanschluss des Isolierungsschaltungs-/Niveauverschiebers **910** zu verbinden. Anders als beim Löschmodus ist das Signal PGR/ERASE DECODE **964** während des Programmiermodus aktiv, wenn das entsprechende Steuer-Gate nicht in der ausgewählten Reihe positioniert ist. Wenn eine nichtausgewählte Reihe angesteuert wird, steuert der Isolationsschaltungs-/Niveauverschieber **910** eine Spannung von 3,5 Volt an, die von der positiven Programmierungsversorgung **916** geliefert wird. Das an die erste Stromelektrode des Transistors **936** angelegte 3,5 Volt-Signal veranlasst den Transistor **936** leitend zu werden, wodurch die Spannung von 3,5 Volt an das Steuer-Gate der nicht zur Programmierung ausgewählten Zelle angelegt wird.

[0081] Wenn das Signal PGM/ERASE DECODE **964** inaktiv ist, was anzeigt, dass das entsprechende Steuer-Gate in der ausgewählten Reihe positioniert ist, steuert der Isolierungsschaltungs-/Niveauverschieber **910** V_{SS} an die erste Stromelektrode des Transistors **936** an, was den Transistor **936** nichtleitend macht. Zur selben Zeit aktiviert der Hochspannungs-Reihendecodierer **950** das Signal DECODED ADDRESS zu der Pulsschaltung **940**. Die Pulsschaltung **940** macht die Transistoren **932** und **934** leitend, was verursacht, dass die negative Programmierungsspannungsversorgung **930** mit dem Steuer-Gate verbunden wird. Man beachte, dass, wenn der Transistor **936** auf diese Weise ausgewählt wird, er als ein Isolierungstransistor wirkt, um zu verhindern, dass die von der negativen Programmierungsversorgung **930** gelieferten –12 Volt den Ausgangsanschluss des Isolierungsschaltungs-/Niveauverschiebers **910** erreichen.

[0082] Durch Bereitstellung einer 3,5 Volt Vorspannung an nicht zur Programmierung ausgewählten Zellen, erreicht die Steuer-Gate-Treiberschaltung **900** zwei Ziele. Erstens verringert sie den Teil des Bitzellenverbindungs-Leckagestroms, der von dem elektrischen Feld nahe dem Rand des schwebenden Gates beeinflusst wird. Diese Reduktion des Leckagestroms reduziert ihrerseits den Strombedarf von der Programmierungsenergieversorgung. Die Steuer-Gate-Treiberschaltung **900** verwendet auch die 3,5 Volt Vorspannung an den nichtausgewählten Steuer-Gates, um das elektrische Feld über dem Tunneloxid der nichtausgewählten Zellen auf der zur Programmierung ausgewählten Bitleitung zu mildern. Dies reduziert die Rate, mit welcher die Bitleitungsspannungen den an den nichtausgewählten Zellen der Bitleitung, welche programmiert wird, gespeicherten Datenzustand stört.

[0083] Die negative Programmierungsspannungsversorgung **930**, die positive Programmierungsversorgung **916** und Löschspannung **914** sind dem linken Bitzellen-Halbarray **440** und dem rechten Bitzellen-Array **480** gemeinsam. In dem Hochspannungs-Wortdecodierungsblock **430** sind vier Transistoren für den Transistor **932** repräsentativ. Weiter gibt es entsprechend jeder Wortleitung einem dem Transistor **934** entsprechenden Transistor.

[0084] Anstatt während des Programmiermodus kontinuierliche aktive Signale an eine ausgewählte Wortleitung zu liefern, liefert die Pulsschaltung **940** einen Strom von Pulsen an ausgewählte Transistoren **932** und **934**, um graduell eine Programmierspannung von –12 Volt auf der ausgewählten Wortleitung aufzubauen. Da die Schaltung zum Verbinden der negativen Programmierungsspannungsversorgung **930** nicht in dem kritischen Geschwindigkeitspfad des Lesemodus liegt, besteht keine Notwendigkeit, die Geschwindigkeit zu maximieren, was es der Pulsschaltung **940** erlaubt, die benötigten –12 Volt graduell aufzubauen. Außerdem können die Transistoren **932** und **934** kleiner gemacht werden. Bei der illustrierten Ausführungsform ist der Transistor **934** klein genug, um in die Teilung der Speicherzelle zu passen. Außerdem erlaubt es die pulsierende Aktion, die Kondensatoren in der Ladungspumpe, welche erzeugt oder welche als negative Programmierungsspannungsversorgung **930** wirkt, ebenfalls kleiner zu machen.

[0085] **Fig.** 10 illustriert in schematischer Form eine spezielle Schaltung, die verwendet werden kann, um einen Bereich der Pulsschaltung **940** von **Fig.** 9 zu implementieren. Man beachte, dass diese Schaltung lediglich beispielhaft ist und andere Schaltungen verwendet werden können. **Fig.** 10 illustriert auch den Transistor **934** und einen P-Kanal-Transistor **1002**. Der Transistor **1002** ist ähnlich dem Transistor **934**, steuert jedoch ein Steuer-Gate auf einer anderen Wortleitung an, als es der Transistor **934** tut. Der Transistor **934** liefert ein mit "CG0" bezeichnetes Steuer-Gate-Treibersignal, wohingegen der Transistor **1002** ein anderes mit "CGl" bezeichnetes Steuer-Gate-Signal liefert. Da es sich um eine spezielle Implementation der Erfindung handelt, besteht nicht notwendigerweise eine Eins-Zu-Eins-Entsprechung zwischen den Signalen der **Fig.** 10 und denjenigen der **Fig.** 9.

[0086] **Fig.** 11 illustriert teilweise als Blockdiagramm und teilweise in schematischer Form eine Ladungspumpe **1120**, die verwendet wird, um die Versorgungsspannungen für die Steuer-Gate-Treiberschaltung **900** von **Fig.** 9 gemäß der vorliegenden Erfindung zu erzeugen. Die Ladungspumpe **1120** enthält eine nichtlineare Stufe **1130**, eine Referenzspannungserzeugungsstufe **1140** und lineare Stufen **1150** und **1160**. Die Referenzspannungserzeugungsschaltung **1140** ist mit einem ersten Referenzspannungsanschluss (V_{DD}) verbunden und erzeugt eine mit "Vz" bezeichnete Spannung. V_{DD} ist ein positiverer Versorgungsspannungsanschluss mit einem nominellen Wert von 2,7 Volt; es kann jedoch auch ein niedrige-

rer Wert verwendet werden. Die Stufe **1130** ist mit V_{DD} verbunden, empfängt die Referenzspannung Vz und ein mit "PROGRAM/ERASE CONTROL" bezeichnetes Signal und erzeugt mit "PROGRAM VOLTAGE 1" bezeichnete Signale sowie Signale, die mit "ØA", "ØB", "ØC" und "ØD" bezeichnet sind. Die lineare Stufe **1150** empfängt die Signale ØC, ØD, und PROGRAM VOLTAGE 1 und erzeugt ein mit "ERASE VOLTAGE" bezeichnetes Ausgangssignal. Die lineare Stufe **1160** empfängt die Signale ØA, ØB und erzeugt ein mit "PROGRAM VOLTAGE 2" bezeichnetes Signal. Wie in **Fig.** 3 spezifiziert, ist PROGRAMM VOLTAGE 1 ungefähr 5 Volt, wohingegen PROGRAMM VOLTAGE 2 ungefähr –12 Volt beträgt, und sie sind daher geeignet, verwendet zu werden, um die EEPROM-Zelle von **Fig.** 1 zu programmieren. ERASE VOLTAGE wird auch auf ungefähr 15,5 Volt gesetzt.

[0087] Die nichtlineare Stufe **1130** umfasst: eine geregelte Spannungsverdopplungsstufe **1132** mit einem mit V_{DD} verbundenen Eingang, einem mit "Vz" verbundenen Eingang zum Empfangen eines Referenzspannungssignals und einem Ausgang zum Erzeugen einer Ausgangsspannung, die ungefähr doppelt so groß ist, wie die am Eingang empfangene Spannung; eine Spannungsverdopplungsstufe **1134** mit einem mit dem Ausgang der Stufe **1132** verbundenen Eingang, einem mit "Vz" bezeichneten Eingang zum Empfangen eines Referenzspannungssignals und einem Ausgang zum Erzeugen einer Ausgangsspannung, die ungefähr doppelt so groß ist, wie die am Eingang empfangene Spannung; eine Spannungsverdopplungsstufe **1136** mit einem mit dem Ausgang der Stufe **1134** verbundenen Eingang, einem mit "Vz" bezeichneten Eingang zum Empfangen eines Referenzspannungssignals und einem Ausgang zum Erzeugen des Signals PROGRAM VOLTAGE 1 sowie der Phasensignale ØA, ØB, ØC, ØD.

[0088] Vorzugsweise wird die Spannung Vz ausgewählt, jede Stufe darauf zu beschränken, keine Ausgabe von mehr als 5 Volt, wie von PROGRAM VOLTAGE 1 gefordert, zu erzeugen. Bei der vorliegenden Ausführungsform der Erfindung empfängt jede Stufe dieselbe Referenzspannung, wie sie auch alle dieselbe Spannung Vz empfangen. Bei einer anderen Ausführungsform können verschiedene Referenzspannungen für jede Stufe verwendet werden. Die geregelte Spannungsverdopplungsstufe **1136** erzeugt eine Serie von Ansteuerungssignalen mit einer Spannungsamplitude, die ungefähr gleich PROGRAM VOLTAGE 1 ist. Diese Treibersignale werden verwendet, um Zeitsteuerung und Leistung an die linearen Stufen **1150** und **1160** zu liefern.

[0089] Die Referenzspannungserzeugungsschaltung **1140** enthält eine geregelte Spannungsverdopplungsstufe **1142**, die mit der geregelten Spannungsverdopplungsstufe **1144** verbunden ist. Die Stufe **1144** ist mit der linearen Stufe **1146** verbunden. Die Stufe **1146** ist mit einer Stromregulierungs-Shund-Diode **1148** verbunden, die mit einem mit "V_{SS}" verbundenen Versorgungsanschluss verbunden ist. V_{SS} hat im Allgemeinen einen nominellen Wert von 0 Volt, was ein niedrigeres Potential als V_{DD} ist. Die geregelten Spannungsverdopplungsstufen **1142** und **1144** werden in einer nicht geregelten weise verwendet. Als solche verdoppelt die Stufe **1142** die an ihrem Eingang angelegte Spannung, wie es auch die Stufe **1144** tut. Gleichermaßen ist auch die lineare Stufe **1146** nicht geregelt. Der Fachmann wird jedoch verstehen, dass jede der Stufen **1142**, **1144** und **1146** eine Sekundärregelung benötigen kann, um einen Zusammenbruch von ihr innewohnenden Transistoren zu vermeiden. Es versteht sich, dass die Stufen **1142**, **1144** und **1146** verschiedene Kombinationen von Linear- und Spannungsverdopplungsstufen sein können, abhängig von dem Strom und den Flächenbeschränkungen einer gegebenen Anwendung. Zum Zwecke der Ladungspumpe **1120** ist es notwendig, dass die Stufen **1142**, **1144** und **1146** eine Spannung Vz erzeugen, die ausreicht, die Diode **1148** vorzuspannen, so dass sie zusammenbricht, wodurch die Referenzspannung Vz erzeugt wird.

[0090] Die linearen Stufen **1150** und **1160** werden verwendet, um ein ERASE VOLTAGE bzw. ein PROGRAMM VOLTAGE 2 zu erzeugen. Die Stufen **1150** und **1160** sind im Stand der Technik wohlbekannte lineare Ladungspumpen vom Dickson-Typ.

[0091] **Fig.** 12 illustriert teilweise als Blockdiagramm und teilweise in schematischer Form die Spannungsverdopplungsstufe **1132**. Man beachte, dass die Spannungsverdopplungsstufe **1132** als eine der anderen Spannungsverdopplungsstufen von **Fig.** 11 benutzt werden kann. Die Spannungsverdopplungsstufe **1132** umfasst Kondensatoren **1282** (C1), 1292 (C2) und **1204** (C3), Transistoren vom P-Typ **1283**, **1284**, **1285**, **1286**, **1293**, **1294**, **1295**, **1296** und **1202**, Transistoren vom N-Typ **1287**, **1297** und **1206** sowie einem Niveauverschieber **1270**. Der Kondensator C1 hat eine erste Elektrode und eine zweite Elektrode. Der Transistor vom P-Typ **1283** hat eine Steuerelektrode zum Empfangen eines mit "CK3" bezeichneten Signals, eine erste Stromelektrode, eine mit der ersten Elektrode des Kondensators C1 verbundene zweite Stromelektrode und einen mit seiner ersten Stromelektrode verbundenen Massenanschluss vom N-Typ. Der Transistor **1284** hat eine Steuerelektrode, die angeschlossen ist, um ein mit CK7 bezeichnetes Signal zu empfangen, eine erste Stromelektrode, eine mit der ersten Elektrode des Kondensators C1 verbundene zweite Stromelektrode und einen mit dem Massenanschluss des Transistors **1283** verbundenen Massenanschluss vom N-Typ. Der P-Typ-Transistor **1285** hat eine Steuerelektrode, die angeschlossen ist, um ein mit CK6 bezeichnetes Signal zu empfangen, eine mit der zweiten Stromelektrode des Transistors **1284** verbundene erste Stromelektrode, eine zweite Stromelektrode, die angeschlossen ist, um eine mit "V_{IN}" bezeichnete Eingangsspannung zu empfangen und einen mit

dem N-Massenanschluss des P-Typ-Transistors **1283** verbundenen N-Massenanschluss. Der P-Typ-Transistor **1286** hat eine Steuerelektrode, die angeschlossen ist, um ein mit CK5 bezeichnetes Signal zu empfangen, eine mit der zweiten Stromelektrode des Transistors **1285** verbundene erste Stromelektrode, eine mit der zweiten Elektrode von C1 verbundene zweite Stromelektrode und einen N-Massenanschluss, der angeschlossen ist, um die Eingangsspannung V_{IN} zu empfangen. Der Transistor **1287** hat. eine Steuerelektrode, die angeschlossen ist, um ein mit CK1 bezeichnetes Signal zu empfangen, eine mit der zweiten Stromelektrode des Transistors **1286** verbundene erste Stromelektrode und eine mit einem ersten Referenzspannungsanschluss verbundene zweite Stromelektrode. Der Transistor **1294** hat eine Steuerelektrode, die angeschlossen ist, um ein mit CK8 bezeichnetes Signal zu empfangen, eine mit der ersten Stromelektrode des Transistors **1284** verbundene erste Stromelektrode, eine zweite Stromelektrode und einen mit dem N-Massenanschluss P-Typ-Transistors **1283** verbundenen N-Massenanschluss. Der P-Typ-Transistor **1295** hat eine mit der Steuerelektrode des Transistors **1286** verbundene Steuerelektrode, eine mit der zweiten Stromelektrode des Transistors **1294** verbundene erste Stromelektrode, eine zweite Stromelektrode, die angeschlossen ist, um V_{IN} zu empfangen, und einen mit dem N-Massenanschluss des Transistors **1283** verbundnen N-Massenanschluss. Der P-Typ-Transistor **1296** hat eine mit der Steuerelektrode des Transistors **1285** verbundene Steuerelektrode, eine mit der zweiten Stromelektrode des Transistors **1295** verbundene erste Stromelektrode eine zweite Stromelektrode und einen N-Massenanschluss, der angeschlossen ist, um V_{IN} zu empfangen. Der Transistor **1297** hat eine Steuerelektrode, die angeschlossen ist, um ein mit CK2 bezeichnetes Signal zu empfangen, eine mit der zweiten Stromelektrode des Transistors **1296** verbundene erste Stromelektrode und eine mit dem ersten Referenzspannungsanschluss verbundene zweite Stromelektrode. C2 hat ein mit der zweiten Stromelektrode des Transistors **1294** verbundene erste Elektrode und eine mit der zweiten Stromelektrode des Transistors **1296** verbundene zweite Elektrode. Der Transistor **1293** hat einen Steuerknoten, der angeschlossen ist, um ein mit CK4 bezeichnetes Taktgebersignal zu empfangen, eine mit der ersten Stromelektrode des Transistors **1283** verbundene erste Stromelektrode, eine mit der ersten Elektrode von C2 verbundene zweite Stromelektrode und einen mit dem N-Massenanschluss des Transistors **1283** verbundenen N-Massenanschluss.

[0092] Der Transistor **1202** hat eine mit dem ersten Referenzspannungsanschluss verbundene Steuerelektrode und eine mit der ersten Stromelektrode des Transistors **1283** verbundene erste Stromelektrode, eine mit der ersten Stromelektrode des Transistors **1294** verbundene zweite Stromelektrode und einen mit dem N-Massenanschluss des Transistors **1283** verbundenen N-Massenanschluss. Der Kondensator C3 hat eine mit der zweiten Stromelektrode des Transistors **1202** verbundene erste Elektrode, an der er ein mit "UNREGULATED OUTPUT VOLTAGE" und eine mit dem ersten Referenzspannungsanschluss verbundene zweite Elektrode. Der Transistor **1206** hat eine Steuerelektrode, die angeschlossen ist, um die Spannung Vz zu empfangen, eine mit der ersten Elektrode von C3 verbundene erste Stromelektrode und eine zweite Stromelektrode zum Liefern einer mit "REGULATED OUTPUT VOLTAGE" bezeichneten Ausgabe. Der Niveauverschieber **1270** ist mit der ersten Stromelektrode des Transistors **1206** verbunden, empfängt V_{IN}, Ø1–Ø4 und erzeugt die Signale CK3, CK4, CK5, CK6, CK7 und CK8.

[0093] Bei Betrieb liefert die Referenzspannungsschaltung **1140** die Referenzspannung Vz an jede der Spannungsverdopplungsstufen **1132**, **1134** und **1136** der nichtlinearen Stufe **1130**. Da Vz lediglich eine Spannungsreferenz liefert, muss der Schaltung **1140** nur ein minimaler Ladungsbetrag geliefert werden. Die nichtlineare Stufe **1130** liefert PROGRAM VOLTAGE 1 und liefert daher diejenige Ladung, die von einer (nicht gezeigten) externen Last benötigt wird. Durch Verwendung nichtlinearer Stufen können die Kondensatoren der ersten Stufe, die dünnere dielektrische Schichten aufweisen, aufgrund der signifikant niedrigeren Spannung bei diesen ersten Stufen auf Halbleitervorrichtungen ausgebildet werden. Dünnere Dielektrika erlauben es den Kondensatoren eine höhere Kapazität zu haben, wie weiter unten unter Bezugnahme auf **Fig.** 14 beschrieben werden soll. Dies gestattet es einer Ladungspumpe weniger Halbleiterfläche zu verwenden.

[0094] **Fig.** 13 illustriert ein Zeitsteuerungsdiagramm von Signalen, die zum Verständnis des Betriebs der Spannungsverdopplungsstufe **1132** von **Fig.** 12 nützlich sind. **Fig.** 12 illustriert die Zeitsteuerungsbeziehung der Signale Ø1–Ø4 und CK1–CK8, welche den Betrieb der geregelten Spannungsverdopplungsstufe **1132** von **Fig.** 12 steuern. Wir betrachten nun **Fig.** 13 in Verbindung mit **Fig.** 12. Jedes Taktgebersignal ist zu einer speziellen Zeit oder während eines speziellen Abschnitts des Taktgeberzyklus entweder aktiv oder inaktiv. Abschnitte des Taktgeberzyklus sind mit t1, t2, t3 und t4 bezeichnet. CK1 ist während t1 und t2 aktiv high. CK4 ist während t1 aktiv low. CK6 ist während der Zeit t1 aktiv low. CK8 ist während der Periode t1 aktiv low. CK2 ist während der Periode t3 und t4 aktiv high, CK3 ist während t3 aktiv low. CK5 ist während t3 aktiv low. CK7 ist während der Periode t3 aktiv low. Man beachte, dass die Pfeile von **Fig.** 13 andeuten, wann während t2 oder t4 eine Flanke zu einer im Wesentlichen gleichen Zeit auftritt; sie folgen jedoch tatsächlich einer anderen im Wesentlichen zur selben Zeit auftretenden Flanke. Beispielsweise tritt die ansteigende Flanke von CK4 zur Zeit t2 nach der ansteigenden Flanke von CK6 während der Zeit t2 auf. Im Ergebnis garantiert dies,

dass der von CK6 gesteuerte Transistor übergegangen ist, bevor das CK4-Signal inaktiv ist. CK1 und CK2 gehen am Ende der Zeiten t2 bzw. t4 in aktiv low über. Die Zeitsteuerung von **Fig.** 13 erlaubt es den Kondensatoren **1282** und **1292** abwechselnd durch das Eingangssignal geladen zu werden, während sie über den Transistor **1206** REGULATED OUTPUT VOLTAGE liefern.

[0095] Während t1 wird der Kondensator C1 aufgeladen, sobald ein Gleichgewichtszustand erreicht ist, während der Kondensator C2 entladen wird. Das Laden des Kondensators C1 wird vereinfacht, weil die Transistoren **1285** und **1287** aktiv angesteuert werden, während die Transistoren **1284**, **1286** und **1283** inaktiv angesteuert werden. Dies verbindet den Kondensator C1 zwischen V_{IN} und der ersten Referenzspannung, während der Kondensator C1 vom Rest der Schaltung **1132** isoliert wird. Als ein Resultat fließt Ladung in C1 bis dieser auf die Spannung V_{IN} aufgeladen ist oder der Zyklus endet. Während t3 wird der Kondensator C2 in einer ähnlichen Weise auf V_{IN} aufgeladen.

[0096] Während t1, erzeugt C2 die verdoppelte Spannung, die erforderlich ist, um UNREGULATED OUTPUT VOLTAGE zu erzeugen. Dies wird erleichtert, indem die Transistoren **1293**, **1296** und **1294** aktiv angesteuert werden, während die Transistoren **1297**, **1295**, **1284**, **1286** inaktiv angesteuert werden. Dies verbindet C2 zwischen dem UNREGULATED OUTPUT VOLTAGE-Anschluss und V_{IN}, während der Kondensator C2 vom Rest der Schaltung **1132** isoliert wird. Die an der ersten Elektrode des Transistors **1294** erzeugte Spannung, welche die ungeregelte Ausgangsspannung repräsentiert, ist die Summe der Spannung über C2 und V_{IN}. Wie zuvor diskutiert, ist die Spannung über C2 ungefähr V_{IN} und daher wird eine zweifache oder verdoppelte Spannung V_{IN} erzeugt. Die ungeregelte Ausgangsspannung wird von dem Transistor **1206** geregelt, welcher mittels des Signals Vz vorgespannt ist, das im Wesentlichen konstant ist, um REGULATED OUTPUT VOLTAGE zu erzeugen. Während t3 ist der Kondensator C1 in ähnlicher Weise zwischen V_{IN} und dem Ausgangsanschluss verbunden.

[0097] Während der Zeit t2 ist es notwendig, den Transitor **1287** in einem aktiven Zustand zu halten, um zu verhindern, dass Ladung an der den Transistoren **1286** und **1287** gemeinsamen Elektrode injiziert wird. Dies stellt sicher, dass die Elektrode auf Masse gehalten wird, wodurch sichergestellt wird, dass die Drain-zu-Substratverbindung, welche von der Elektrode repräsentiert wird, nicht in Vorwärtsrichtung vorgespannt ist. Durch Sicherstellung, dass die Transistoren **1284**, **1285** und **1286** vollständig übergegangen sind, bevor der Transistor **1287** inaktiv geschaltet wird, wird beispielsweise die Möglichkeit, die Substratverbindungen in Vorwärtsrichtung vorzuspannen, vermieden. Gleichermaßen wird, während die Transistoren **1294**, **1295** und **1296** während der Zeit t4 übergehen, sichergestellt, dass der Transistor **1297** aktiv gehalten wird, um dieselbe Auswirkung an dem den Transistoren **1296** und **1297** gemeinsamen Knoten zu vermeiden.

[0098] Die Transistoren **1283**, **1284**, **1285**, **1293**, **1294**, **1295** und **1202** haben einen gemeinsamen N-Massenanschluss. Der N-Massenanschluss gemäß einer Ausführungsform der Erfindung ist tatsächlich eine N-Wanne. Die N-Wanne ist über die Transistoren **1283** und **1293**, die während der Zeiten t3 bzw. t1 aktiv sind, auf UNREGULATED OUTPUT VOLTAGE aufgeladen. Der Transistor **1202** ist ein schwacher Transistor, der verwendet wird, um sicherzustellen, dass die N-Wannenspannung nicht wesentlich über REGULATED OUTPUT VOLTAGE ansteigt und dort für lange Zeitspannen bleibt. Beispielsweise beim Anfahren oder wenn eine Ausgangslast an den Ausgang der Ladungspumpe angelegt wird, kann eine Situation existieren, in der die N-Wanne auf eine wesentlich über UNREGULATED OUTPUT VOLTAGE liegende Spannung aufgeladen wird. Solch eine Spannungsdifferenz verursacht, dass der MOS-Transistor weniger leitend wird als sonst. Falls er eintritt, reduziert ein solcher Zustand die Gesamtausgabe der Pumpe. Der Transistor **1202** stellt daher sicher, dass jegliche Spannungsdifferenz lediglich vorübergehender Natur ist. Durch Ansteuern der N-Masse auf UNREGULATED OUTPUT VOLTAGE und indem nicht zugelassen wird, dass sie sich in jedem Zyklus auflädt und entlädt, wird Effizienz gewonnen, da keine Ladung aufgrund der Wanne zugehörigen parasitären Kapazitäten verloren geht.

[0099] Während der Zeiten t2 und t4 ist es möglich, dass es eine Zeitspanne gibt, in der CK4 übergegangen ist und CK1 nicht übergegangen ist. Während dieser Zeit ist es nicht möglich, dass REGULATED OUTPUT VOLTAGE seine Spannung von den Transistoren C1 und C2 empfängt; daher wird der Kondensator C3 benötigt, um die Lücke während dieser Zeitspanne zu überbrücken und er liefert jegliche während t2 und t4 von dem Niveauverschieber **1270** benötigte Ladung. Im Allgemeinen ist der Kondensator C3 sehr viel kleiner als die Kondensatoren C1 und C2, wie auch die von t2 repräsentierte Zeit sehr viel kleiner ist als t1. Gleichermaßen liefert C3 die während der Zeit t4 benötigte Spannung.

[0100] Der Niveauverschieber **1270** empfängt die Signale Ø1–Ø4, wie in **Fig.** 13 dargestellt. Ø1 repräsentiert ein während der Zeit t1 aktives Signal. Signal Ø2 repräsentiert ein während der Zeitspanne t2 aktives Signal. Signal Ø3 repräsentiert eine während der Zeit t3 aktive Periode. Signal Ø4 repräsentiert ein während der Zeit t4 aktives Signal. Dieses Signale werden kombiniert, um die geeigneten aktiven Signale und inaktiven Signale für CK1 bis CK8 zu erzeugen.

[0101] CK1 und CK2 haben eine Inaktiv-low-Spannung von null oder Erde und eine Aktiv-high-Referenzspannung von V_{DD}. CK3 bis CK8 haben, ob aktiv oder inaktiv, Low-Signale gleich null oder Erde, während der High-Zustand, ob aktiv oder inaktiv gleich

UNREGULATED OUTPUT VOLTAGE ist, die an der ersten Elektrode des Kondensators C3 erscheint. Außerdem werden CK1 und CK2 durch Kombination der Signale Ø1 und Ø2 bzw. der Signale Ø3 und Ø4 erzeugt. Als solcher legt der Niveauverschieber die geeigneten Spannungsniveaus an, die erforderlich sind, um die Stufen in der Ladungspumpe **1120** in **Fig.** 11 anzusteuern.

[0102] Es wird nochmals Bezug genommen auf **Fig.** 11. Die Stufen **1142** und **1144** sind unter Verwendung der geregelten Spannungsverdopplungsstufenschaltung **1132** von **Fig.** 12 implementiert. Der Block **1144** wird jedoch so gezeigt, dass er zwei Signale Ø5 und Ø6 ansteuert, um die Stufe **1146** vom Dickson-Typ anzusteuern. Aufgrund der Anforderung der Dickson-Stufe **1146** müssen die Signale Ø5 und Ø6 im Wesentlichen gleich der Vorspannung oder Ausgabespannung der Stufe **1144** sein. Wenn diese Bedingung erfüllt ist, kann die Dickson-Stufe **1146**, die drei interne Stufen aufweist, eine Ausgangsspannung liefern, die viermal so groß ist, wie ihre Eingangsspannung, in jedem Fall jedoch auf die Durchbruchsspannung der Diode **1148** limitiert ist.

[0103] Die Stufen **1132**, **1134** und **1136** der nichtlinearen Stufe verwenden die geregelte Spannungsverdopplungsstufenschaltung **1132** von **Fig.** 12. In jedem dieser Fälle limitiert die geregelte Spannung Vz, die von irgendeiner der Stufen erzeugte Spannung auf 5 Volt. Die Endstufe der nichtlinearen Stufe **1130** liefert die zusätzlichen Phasensignale ØA, ØB, ØC und ØD. Diese Signale werden von der Schaltung **1132** unter Verwendung von zwei N- und P-Transistorpaaren (nicht dargestellt) erzeugt, die zwischen dem REGULATED OUTPUT VOLTAGE-Knoten und Masse angeschlossen sind. Die Zeitsteuerung wird von den Zeitsteuerungssignalen in **Fig.** 13 gesteuert. Welches Paar der N- und P-Transistoren tatsächlich ausgewählt wird, wird von dem PROGRAMM/ERASE CONTROL-Signal gesteuert. Das ausgewählte N- und P-Transistorpaar erzeugt das komplementäre Ausgangssignal, das benötigt wird, um die Ladungspumpen **1150** und **1160** vom Dickson-Typ zu betreiben. Es sollte beachtet werden, dass der Betrieb der Stufe **1150** und der Stufe **1160** sich gegenseitig ausschließt, d. h. das lediglich eine Stufe zu einer gegebenen Zeit angesteuert wird.

[0104] Um die Kondensatorenwerte von C1 und C2 für jede der geregelten Spannungsverdopplungsstufen **1132**, **1134**, **1136**, **1142** und **1148** abzuschätzen, können die folgenden Gleichungen benutzt werden:

Gleichung 1: Q = Iout/Freq;

Gleichung 2: V(n) = V_{DD}*(Vout/V_{DD})**(n/N);

Gleichung 3: Vc(n) = 2*V(n – 1) – V(n);

Gleichung 4: C(n) = QE12*((2**(N – n))*(eff**(n – 1 – N))/Vc(n);

Gleichung 5: Ctotal (N) = Summe aller C(n) aus n = 1 bis N.

Wobei: V_{DD} die Versorgungsspannung ist;
N die Anzahl von Stufen in der Ladungspumpe ist;
Iout der erwünschte Ausgangsstrom ist;
Vout die erwünschte Ausgangsspannung ist;
eff die Effizienz der Schaltung ist;
Freq die Frequenz ist, mit der die Ladungspumpe schaltet.

[0105] Gleichung 1 zeigt die am Ladungspumpenausgang erhältliche Ladungsmenge an. Gleichung 2 gibt die Spannung am Ausgang einer gegebenen Stufe n an, falls die Stufen so dimensioniert sind, dass sie einen gleichmäßigen Stufe-zu-Stufe-Spannungsverstärkungsfaktor erzeugen. Gleichung 3 ist die Spannungsänderung über die Kondensatoren einer gegebenen Stufe und während eines Pumpenzyklus, welcher das Laden und Entladen eines Kondensators, wie etwa C1 oder C2, einschließt. Gleichung 4 ist die Gesamtkapazität einer gegebenen Stufe und einer Ladungspumpe, ausgedrückt in Picofarad. Der Wert C(n) ist die Summe der Kapazität von C1 und C2. Im Allgemeinen sind C1 und C2 im Wesentlichen ähnlich. Beispielsweise gibt es bei einer V_{DD} 1,8 Volt und einer dreistufigen Ladungspumpe, die einen Ausgangsstrom von 1 Mikroampere benötigt, und bei einer erforderlichen Ausgangsspannung von 4,5 Volt bei einem Taktgebersignal von 1 Megahertz und einer Schaltungseffizienz von 98% einen Kondensatorwert für die erste Stufe von 3,7 Picofarad pro Mikroampere eines Ausgangsstromes. Stufe **2** hätte ein Kondensatorerfordernis von 1,3 Picofarad pro Mikroampere Ausgangsstrom, während Stufe **3** ein Kondensatorerfordernis von 0,5 Picofarad pro Mikroampere Ausgangsstrom hätte. Dies wären die Kondensatorwerte, die für die kombinierte Kapazität von C1 und C2 benötigt würden.

[0106] Die ausgewählten Kapazitätswerte, wie oben beschrieben, zeigen den Vorteil der Verwendung einer nichtlinearen Ladungspumpe bei der vorliegenden Erfindung. Der Kondensator von Stufe **1** ist wesentlich größer als die in Stufe **2** oder Stufe **3** erforderlichen Kondensatoren kombiniert. Dieses Verhältnis wird in **Fig.** 14 angedeutet, die in graphischer Form die jeder Stufe der Ladungspumpe **1120** von **Fig.** 11 zugeordnete Kapazität illustriert. Der Vorteil ist, dass die Betriebsspannung der ersten Stufe wesentlich niedriger ist, als diejenige der zweiten und dritten Stufen, wodurch eine dünnere dielektrische Schicht bei der Ausbildung des Kondensators C1 verwendet werden kann. Bei einer Ausführungsform der Erfindung kann die dielektrische Schicht des Kondensators C1 beispielsweise dieselbe Dicke haben, wie das in der Bitzelle verwendete Tunneloxid-Dielektrikum. Dies erlaubt die Ausbildung des Kondensators unter Verwendung eines sehr viel kleineren Oberflächengebietes als bei einem unter Verwendung einer dicken Dielektrikum-Schicht, wie in Stufen C2 und C3 aufgrund der größeren, ihnen zugeordne-

ten Spannungen erforderlich.

[0107] Obgleich die vorliegende Erfindung im Kontext einer bevorzugten Ausführungsform beschrieben wurde, ist es für den Fachmann offensichtlich, dass die vorliegende Erfindung in vielfältiger Weise modifiziert werden kann und viele andere Ausführungsformen als die speziell oben dargestellte und beschriebene annehmen kann. Beispielsweise können andere Spannungsniveaus verwendet werden, um die Speicherzelle zu programmieren, oder andere Anzahlen von Steuergates können mit der Steuerschaltung angesteuert werden.

Patentansprüche

1. Speicher (**400**) umfassend ein Array (**440**) von Speicherzellen, die an den Kreuzungen einer Mehrzahl von Auswahlleitungen und einer Mehrzahl von Bitleitungen angeordnet sind, einen Reihendecodierer (**410**, **420**) mit einem Eingang zum Empfangen einer Reihenadresse und einem Ausgang zum Aktivieren einer aus einer Mehrzahl von Auswahlleitungen, einen Spaltendekodierer (**410**) mit einem Eingang zum Empfangen einer Spaltenadresse und einem Ausgang zum Aktivieren wenigstens eines aus einer Mehrzahl von Auswahlsignalen, wobei der Speicher (**400**) weiter eine Mehrzahl von Strom-zu-Spannungs-Wandlern (**512**, **513**) umfasst, von denen jeder einen Eingangsanschluss, der mit einer entsprechenden, aus der Mehrzahl von Bitleitungen verbunden ist, und einen Ausgangsanschluss aufweist, wobei der Speicher gekennzeichnet ist durch:

eine Auswahlschaltung (**515**) mit einer Mehrzahl von Eingangsanschlüssen, von denen jeder mit einem entsprechenden Ausgangsanschluss der Mehrzahl von Strom-zu-Spannungs-Wandlern (**512**, **513**) verbunden ist, mit einer Mehrzahl von Steuereingangsanschlüssen, die mit dem Ausgang des Spaltendecodierers (**410**) verbunden sind, und mit einem Ausgangsanschluss, wobei die Auswahlschaltung zu irgendeinem Zeitpunkt irgendeinen ihrer Eingangsanschlüsse selektiv mit dem Ausgangsanschluss verbindet;

eine Ladevorrichtung (**548**) mit einem ersten Anschluss, der mit einem Versorgungsspannungsanschluss verbunden ist, und einem zweiten Anschluss, der mit dem Ausgangsanschluss der Auswahlschaltung (**515**) verbunden ist; und

einen Spannungskomparator (**530**) mit einem ersten Eingangsanschluss, der mit dem Ausgangsanschluss der Auswahlschaltung (**515**) verbunden ist, einem zweiten Eingangsanschluss zum Empfangen eines Referenzsignals und einem Ausgangsanschluss zum Bereitstellen eines Datenausgangssignals, welches einen logischen Zustand einer ausgewählten Speicherzelle repräsentiert.

2. Speicher (**400**) nach Anspruch 1, wobei die Ladevorrichtung (**548**) eine Stromquelle umfasst.

3. Speicher (**400**) nach Anspruch 1, wobei die Mehrzahl von Strom-zu-Spannungs-Wandlern (**512**, **513**) eine entsprechende Mehrzahl von N-Kanal-Transistoren umfasst, von denen jeder eine erste Stromelektrode, die mit einer entsprechenden Bitleitung verbunden ist, eine Steuerelektrode zum Empfangen einer Vorspannung und eine zweite Stromelektrode, die mit einem entsprechenden Eingangsanschluss der Auswahlschaltung (**515**) verbunden ist, aufweist, wobei die Vorspannung in etwa gleich einer Referenzspannung plus zwei N-Kanal-Schwellenwerten ist.

4. Speicher (**400**) nach Anspruch 1, wobei die Auswahlschaltung (**515**) eine Mehrzahl von komplementären MOS (CMOS)-Transfergattern umfasst, von denen jedes einen ersten Anschluss, der mit einer zweiten Stromelektrode eines entsprechenden Transistors der Auswahlschaltung (**515**) verbunden ist, erste und zweite Steuerelektroden, die mit dem Ausgangsanschluss des Spaltendecodierers (**410**) verbunden sind, und einen zweiten Anschluss, der mit dem Ausgangsanschluss der Auswahlschaltung (**515**) verbunden ist, aufweist.

5. Speicher (**400**) nach Anspruch 1, wobei das Array (**440**) von Speicherzellen ein Array von nichtflüchtigen Speicherzellen umfasst, von denen jede einen logischen Zustand aufweist, der durch die an einem schwebenden Gate ("floating gate") gespeicherte Ladung bestimmt wird.

6. Speicher (**400**) nach Anspruch 5, wobei jede nichtflüchtige Speicherzelle dadurch gekennzeichnet ist, dass sie eine elektrisch löschbare, programmierbare (EEPROM–: electrically erasable programmable) Speicherzelle ist.

7. Speicher (**400**) nach Anspruch 1, wobei das Array von Speicherzellen ein Flash-EEPROM-Array ist.

Es folgen 14 Blatt Zeichnungen

Anhängende Zeichnungen

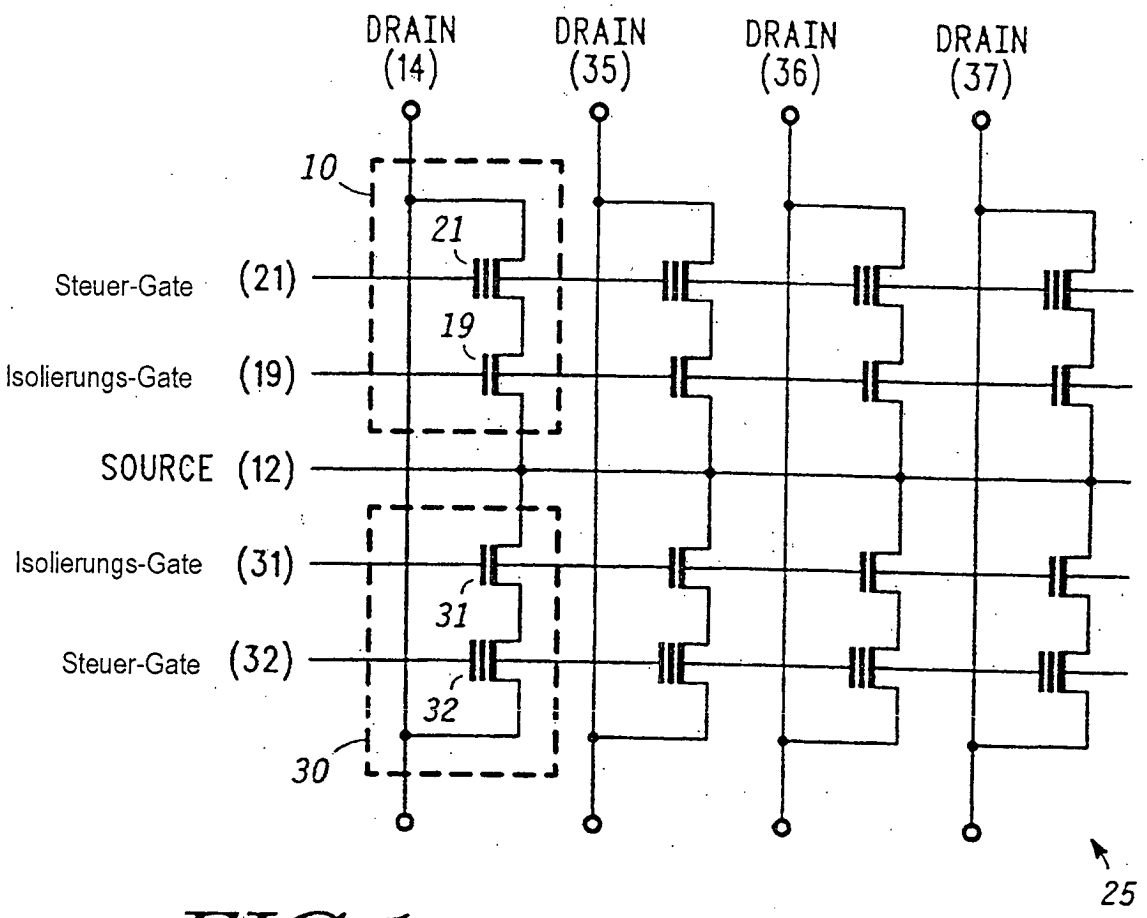
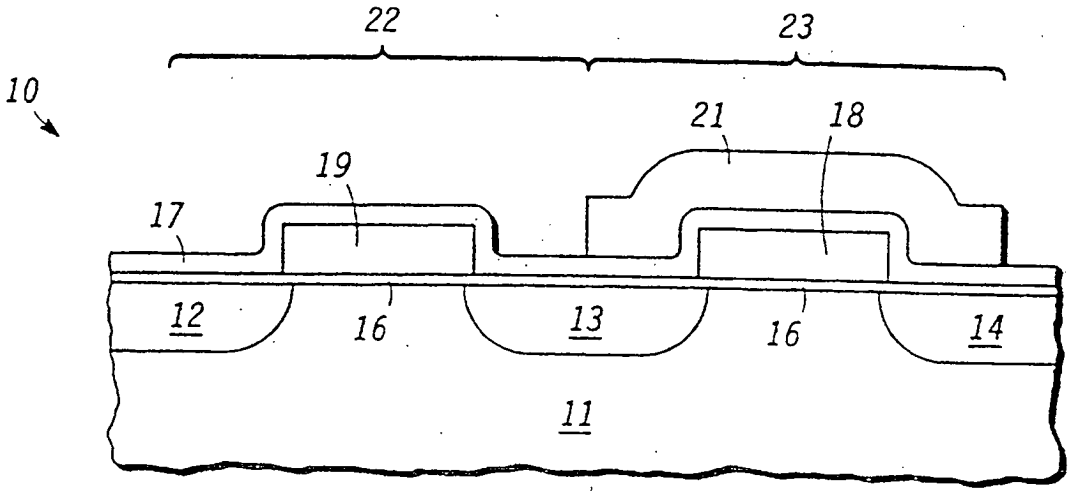


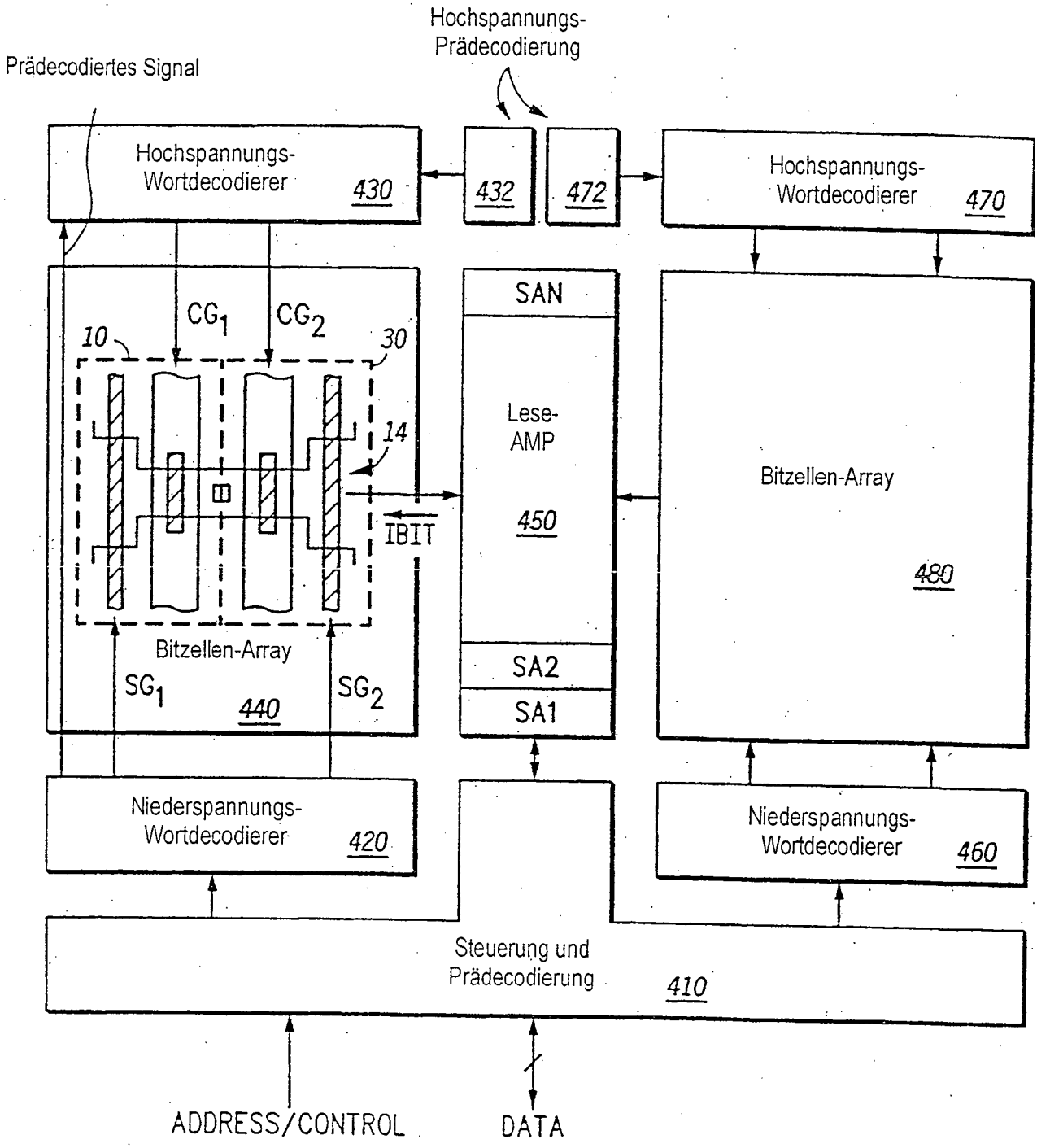
FIG.1

FIG.2



	angelegte Spannung (Volt)							
	ausgewählte Speicherzelle				nicht-ausgewählte Speicherzelle			
Betrieb	SOURCE	Isolierungs-Gate	Steuer-Gate	DRAIN	SOURCE	Isolierungs-Gate	Steuer-Gate	DRAIN
Programmiere	0	0	−12	5	0	0	3.5	5
Lösche	0	V_{DD}	15	0	0	0	0	0
Lese	0	V_{DD}	0−2	1	0	0	0−2	1

FIG. 3


Hochspannungs-
Prädecodierung
Prädecodiertes Signal
Hochspannungs-
Wortdecodierer
430
432
472
Hochspannungs-
Wortdecodierer
470
SAN
CG1
CG2
10
30
14
Lese-
AMP
450
IBIT
Bitzellen-Array
480
Bitzellen-Array
SG1
440
SG2
SA2
SA1
Niederspannungs-
Wortdecodierer
420
Niederspannungs-
Wortdecodierer
460
Steuerung und
Prädecodierung
410
ADDRESS/CONTROL
DATA

400

FIG.4

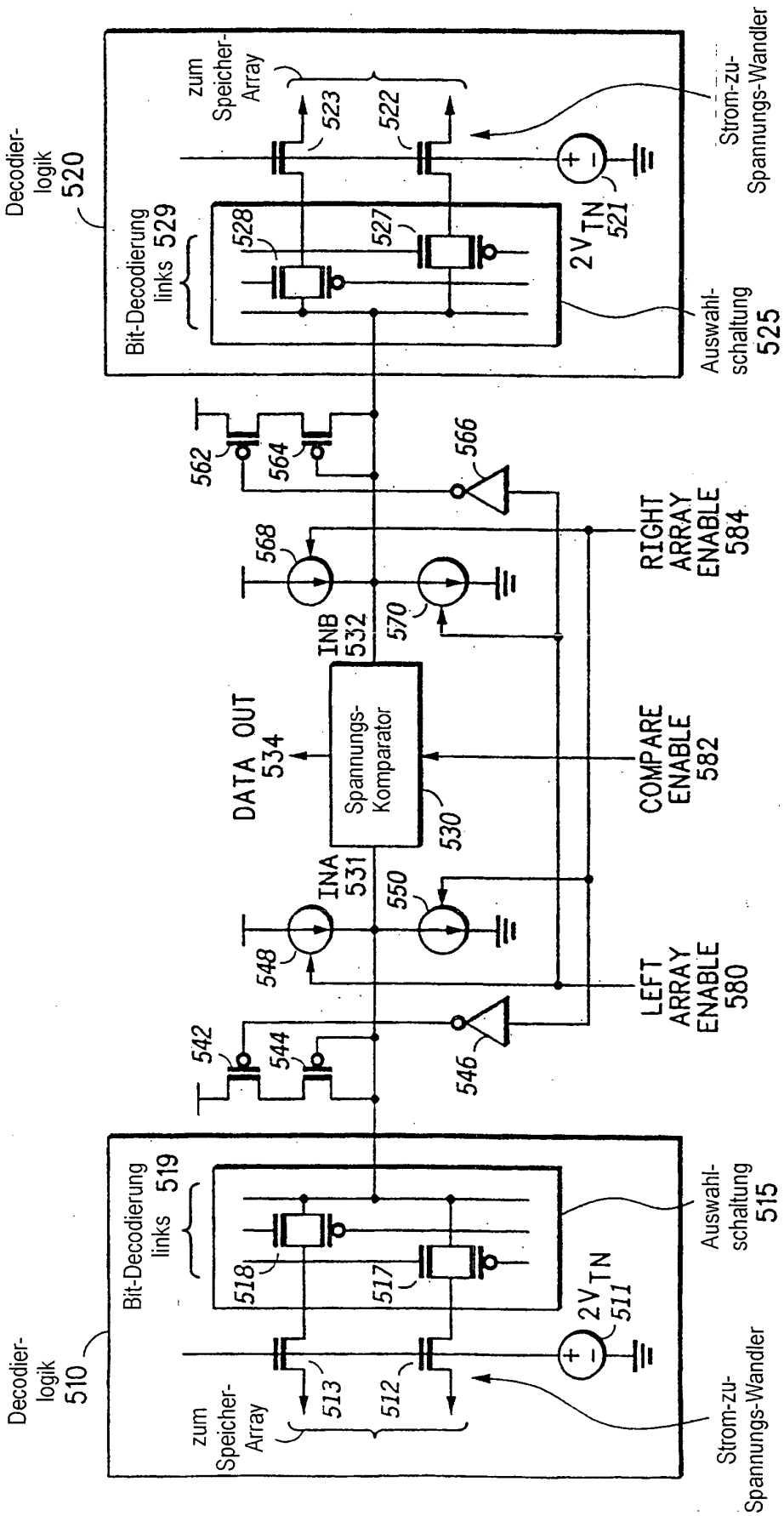

Decodier-logik 520
Bit-Decodierung links 529
zum Speicher-Array
523
522
528
527
2V TN 521
Strom-zu-Spannungs-Wandler
Auswahl-schaltung 525
562
564
566
568
570
INB 532
RIGHT ARRAY ENABLE 584
DATA OUT 534
Spannungs-Komparator
530
COMPARE ENABLE 582
INA 531
550
548
LEFT ARRAY ENABLE 580
542
544
546
Decodier-logik 510
Bit-Decodierung links 519
518
517
2V TN 511
Auswahl-schaltung 515
zum Speicher-Array
513
512
Strom-zu-Spannungs-Wandler
500

FIG.5

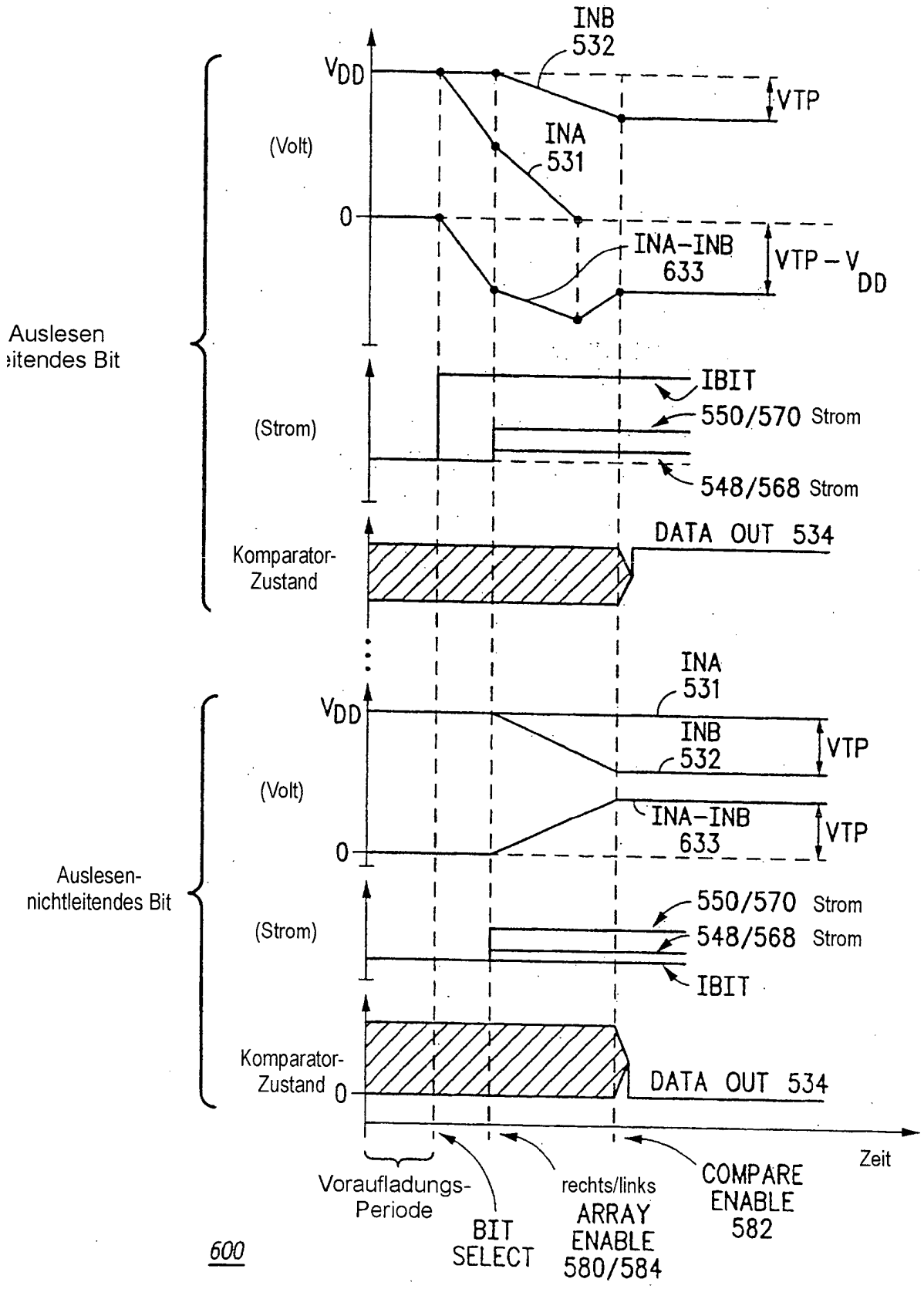

INB
532
V_{DD}
VTP
INA
531
(Volt)
0
INA-INB
633
$VTP - V_{DD}$
Auslesen
eitendes Bit
IBIT
(Strom)
550/570 Strom
548/568 Strom
Komparator-
Zustand
DATA OUT 534
INA
531
V_{DD}
INB
532
VTP
(Volt)
INA-INB
633
VTP
0
Auslesen-
nichtleitendes Bit
550/570 Strom
(Strom)
548/568 Strom
IBIT
Komparator-
Zustand
0
DATA OUT 534
Zeit
Voraufladungs-
Periode
BIT
SELECT
rechts/links
ARRAY
ENABLE
580/584
COMPARE
ENABLE
582
600

FIG.6

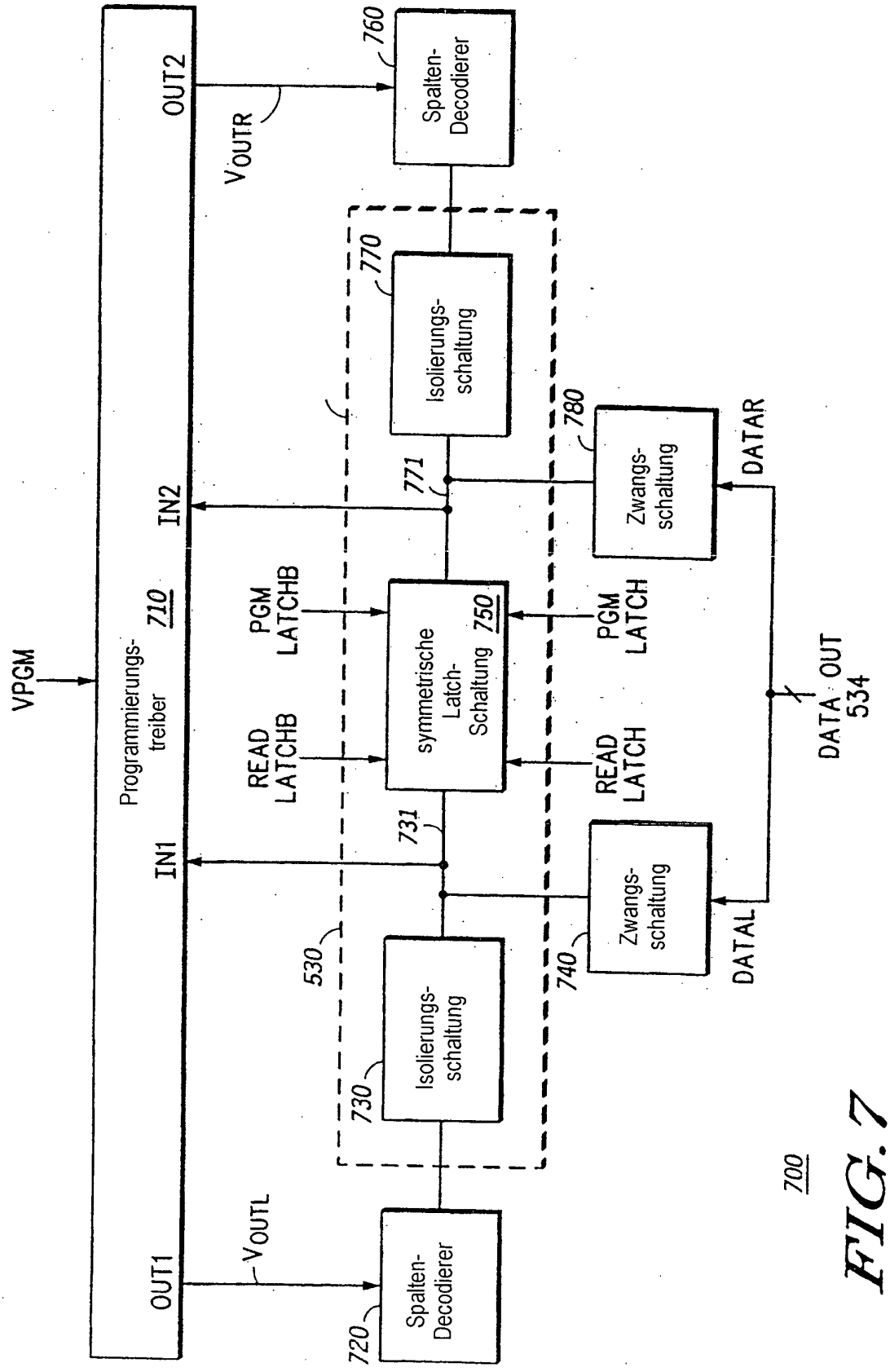

VPGM
Programmierungs-treiber
710
OUT2
OUT1
IN2
IN1
VOUTR
VOUTL
760
Spalten-Decodierer
770
Isolierungs-schaltung
771
780
Zwangs-schaltung
DATAR
PGM LATCHB
PGM LATCH
READ LATCHB
READ LATCH
symmetrische Latch-Schaltung 750
731
530
730
740
DATAL
DATA OUT
534
720
700

FIG. 7

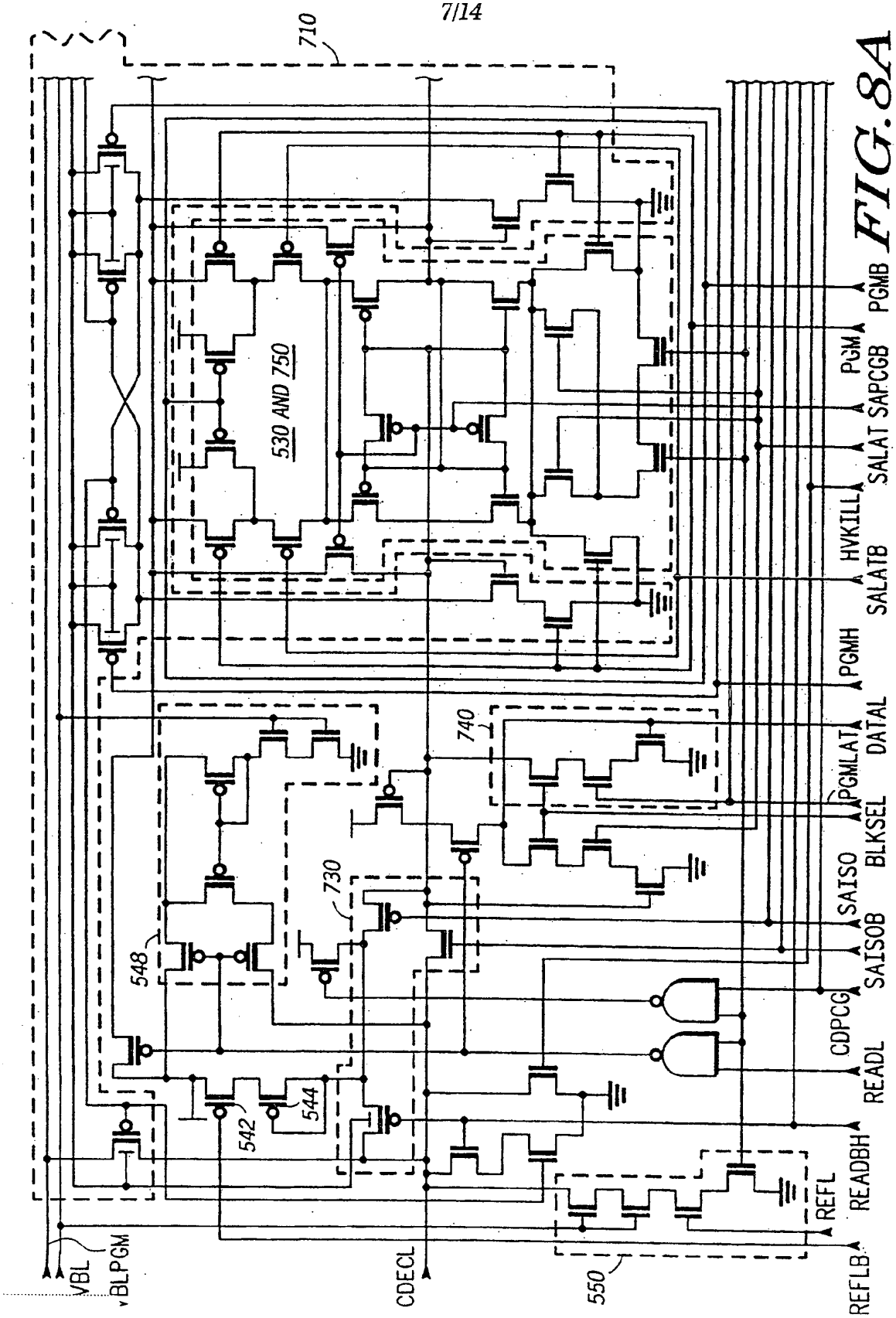

710
530 AND 750
740
730
548
542
544
550
VBL
BLPGM
CDECL
REFLB
REFL
READBH
READL
CDPCG
SAISOB
SAISO
BLKSEL
PGMLAT
DATAL
PGMH
SALATB
HVKILL
SALAT
SAPCGB
PGM
PGMB

FIG. 8A

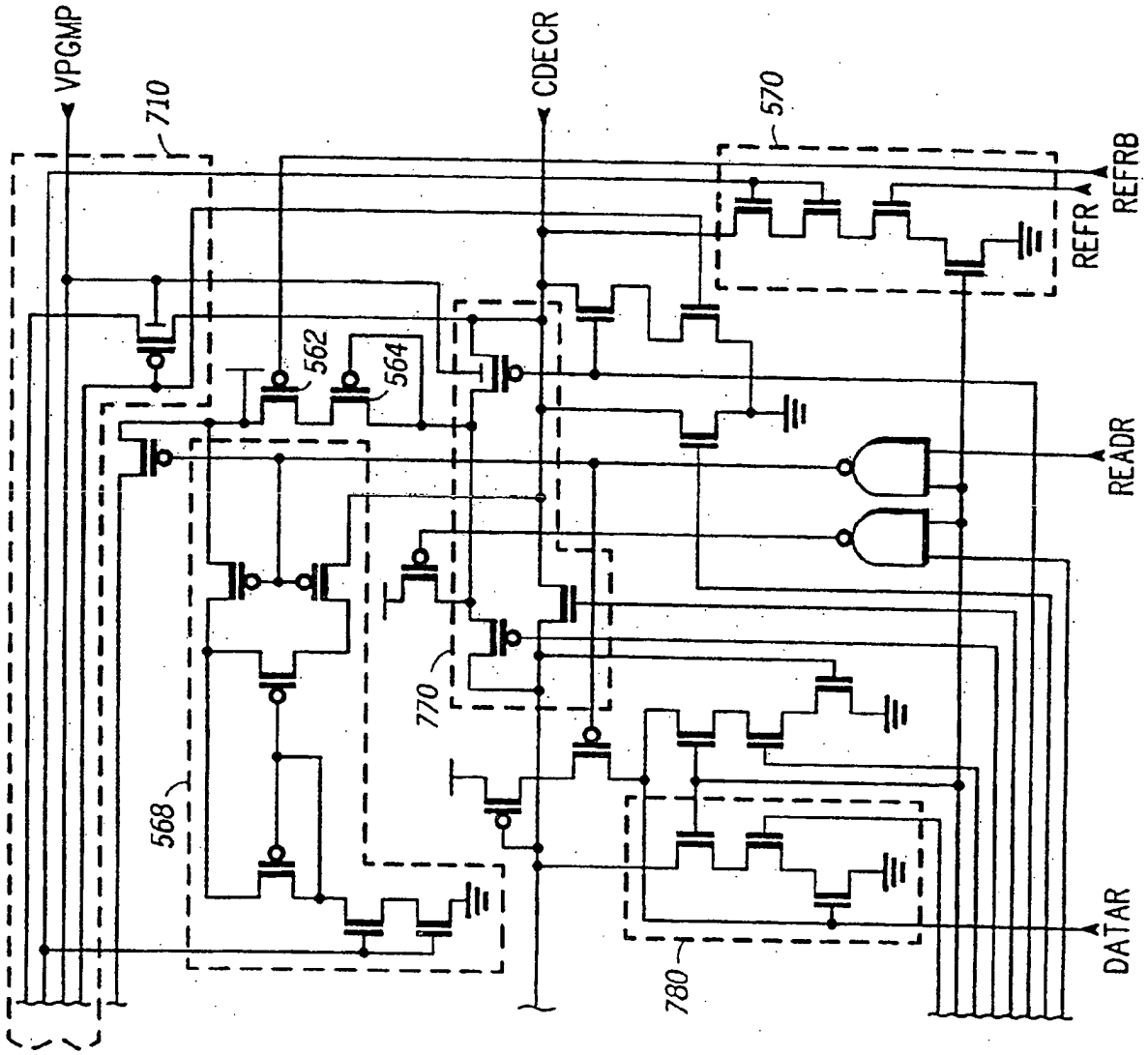

VPGMP
710
CDECR
570
REFRB
REFR
562
564
READR
770
568
780
DATAR

FIG.8B

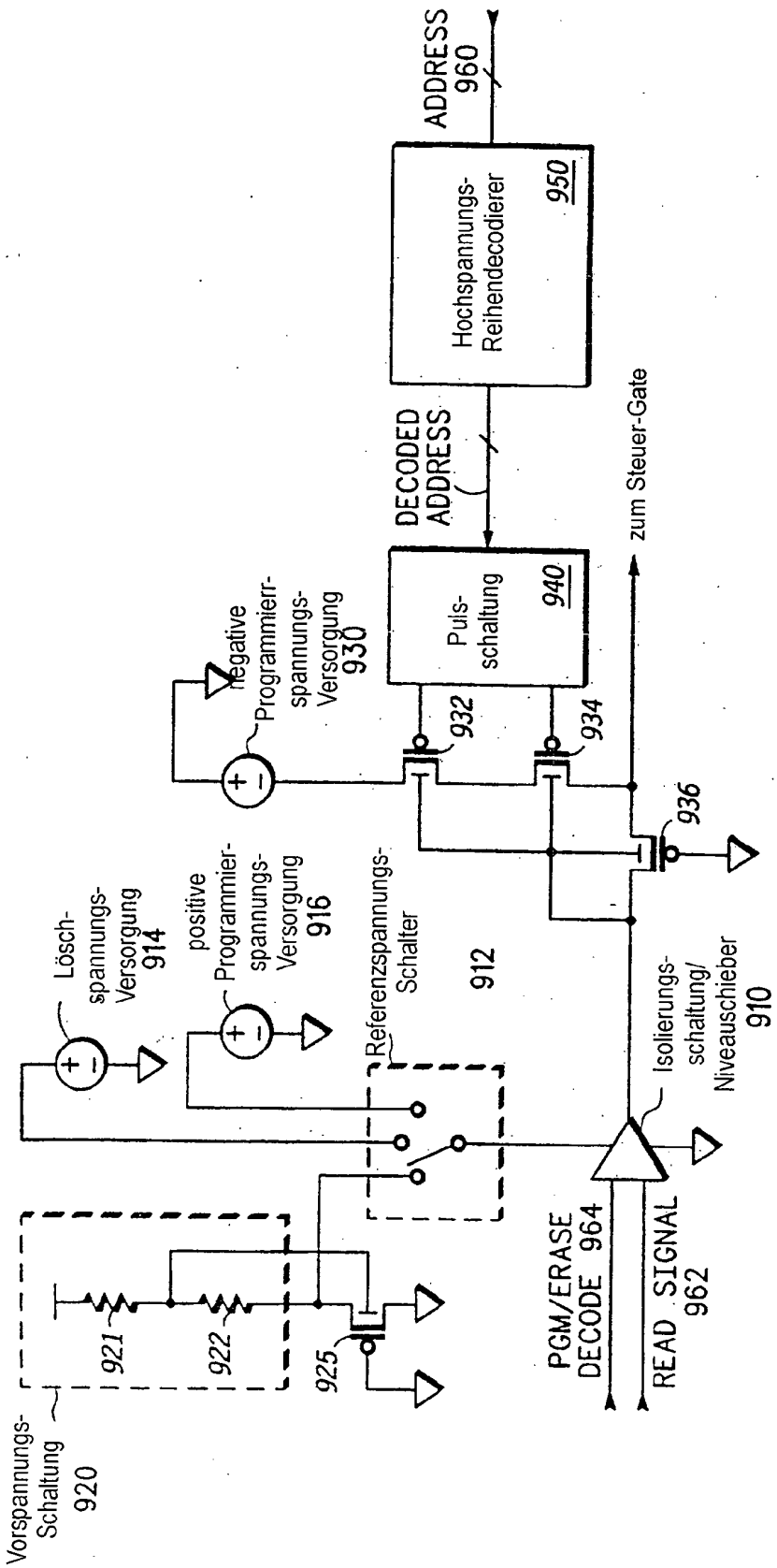

ADDRESS
960
Hochspannungs-
Reihendecodierer
950
DECODED
ADDRESS
zum Steuer-Gate
Puls-
schaltung
940
Negative
Programmier-
spannungs-
Versorgung
930
932
934
936
Lösch-
spannungs-
Versorgung
914
positive
Programmier-
spannungs-
Versorgung
916
Referenzspannungs-
Schalter
912
Isolierungs-
schaltung/
Niveauschieber
910
900
921
922
925
Vorspannungs-
Schaltung
920
PGM/ERASE
DECODE 964
READ SIGNAL
962

FIG. 9

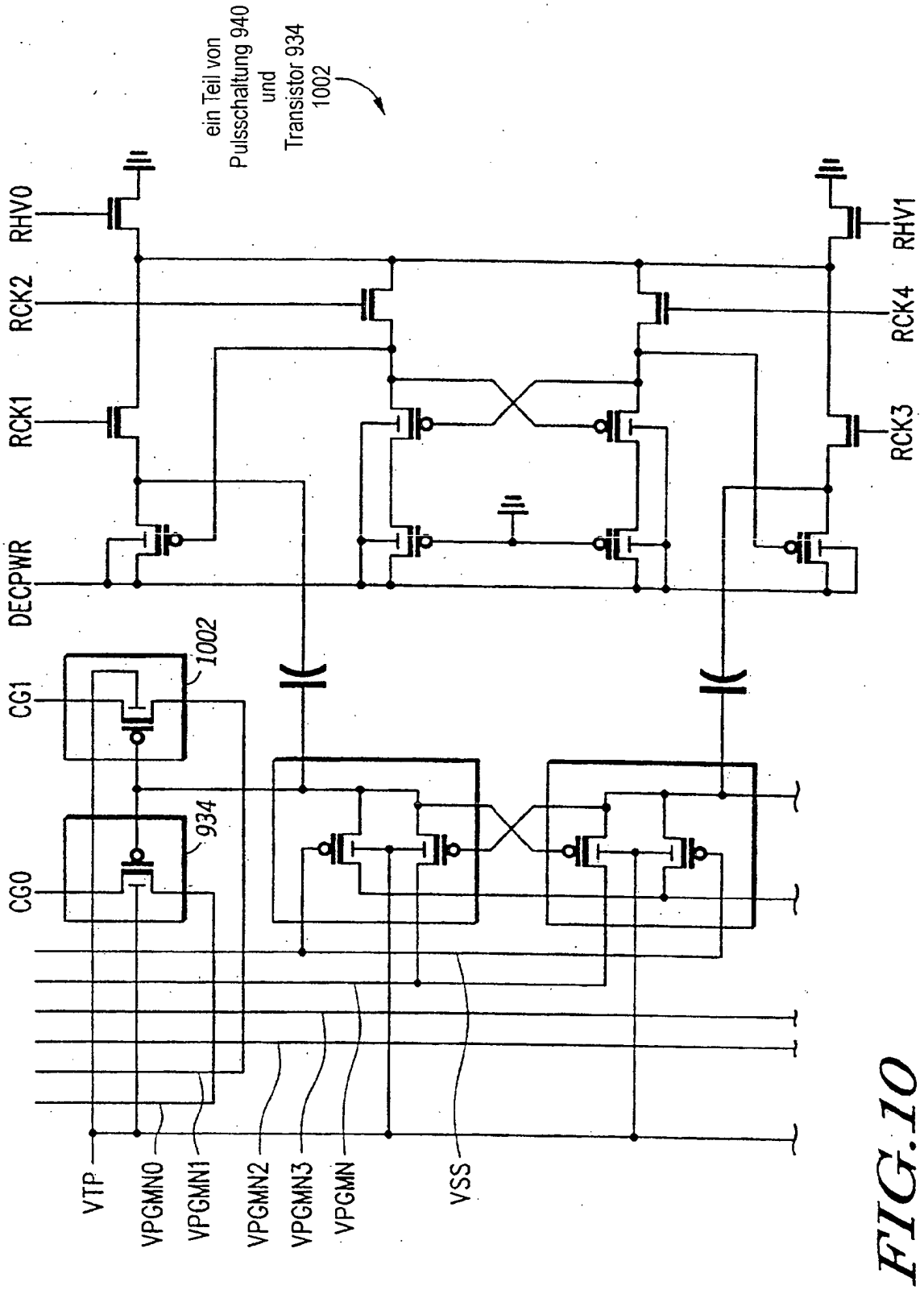

ein Teil von
Pulsschaltung 940
und
Transistor 934
1002
RHV0
RCK2
RCK1
DECPWR
RHV1
RCK4
RCK3
CG1
CG0
1002
934
VTP
VPGMN0
VPGMN1
VPGMN2
VPGMN3
VPGMN
VSS

FIG.10

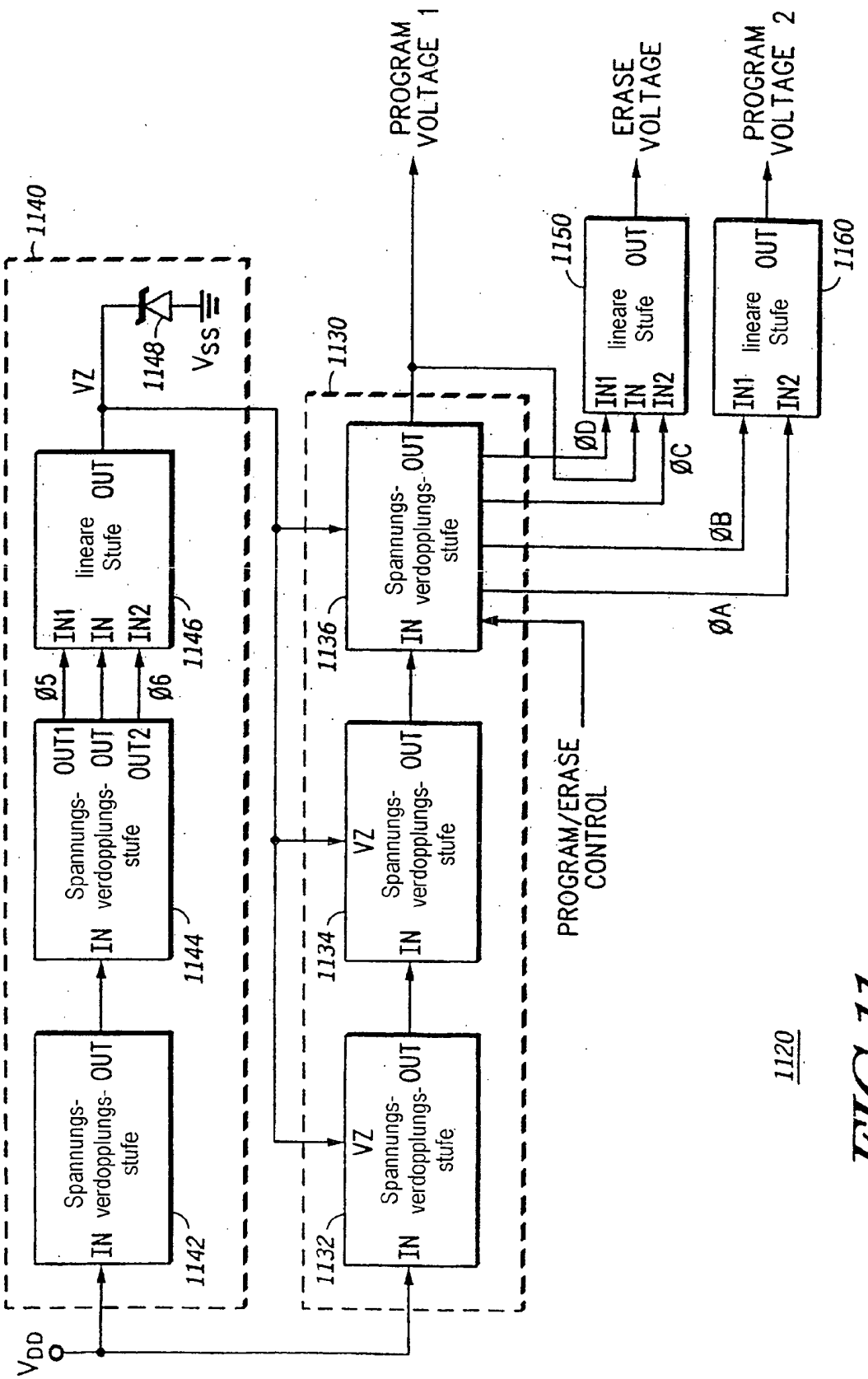

1140
1148
VSS
VZ
IN1
IN
IN2
lineare Stufe
OUT
1146
Ø5
Ø6
OUT1
OUT2
Spannungs-verdopplungs-stufe
1144
1142
1130
1136
1134
1132
PROGRAM VOLTAGE 1
ERASE VOLTAGE
PROGRAM VOLTAGE 2
1150
1160
ØD
ØC
ØB
ØA
PROGRAM/ERASE CONTROL
VDD
1120

FIG.11

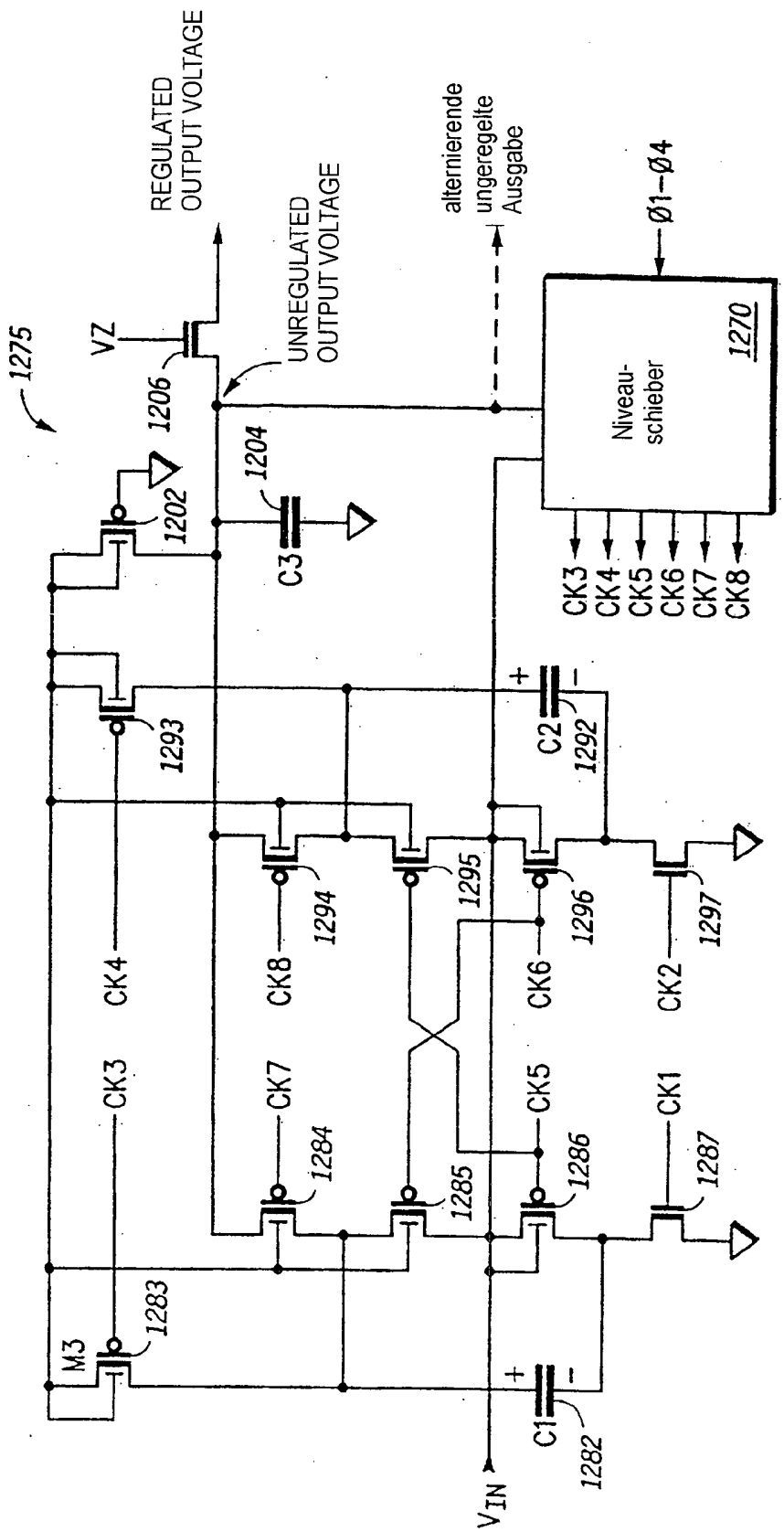

1275
REGULATED OUTPUT VOLTAGE
UNREGULATED OUTPUT VOLTAGE
alternierende ungeregelte Ausgabe
Ø1–Ø4
VZ
1206
1202
1204
C3
Niveau-schieber
1270
CK3
CK4
CK5
CK6
CK7
CK8
1293
C2
1292
1294
1295
1296
1297
CK4
CK8
CK6
CK2
CK3
CK7
CK5
CK1
1284
1285
1286
1287
M3
1283
C1
1282
VIN
1132

FIG.12

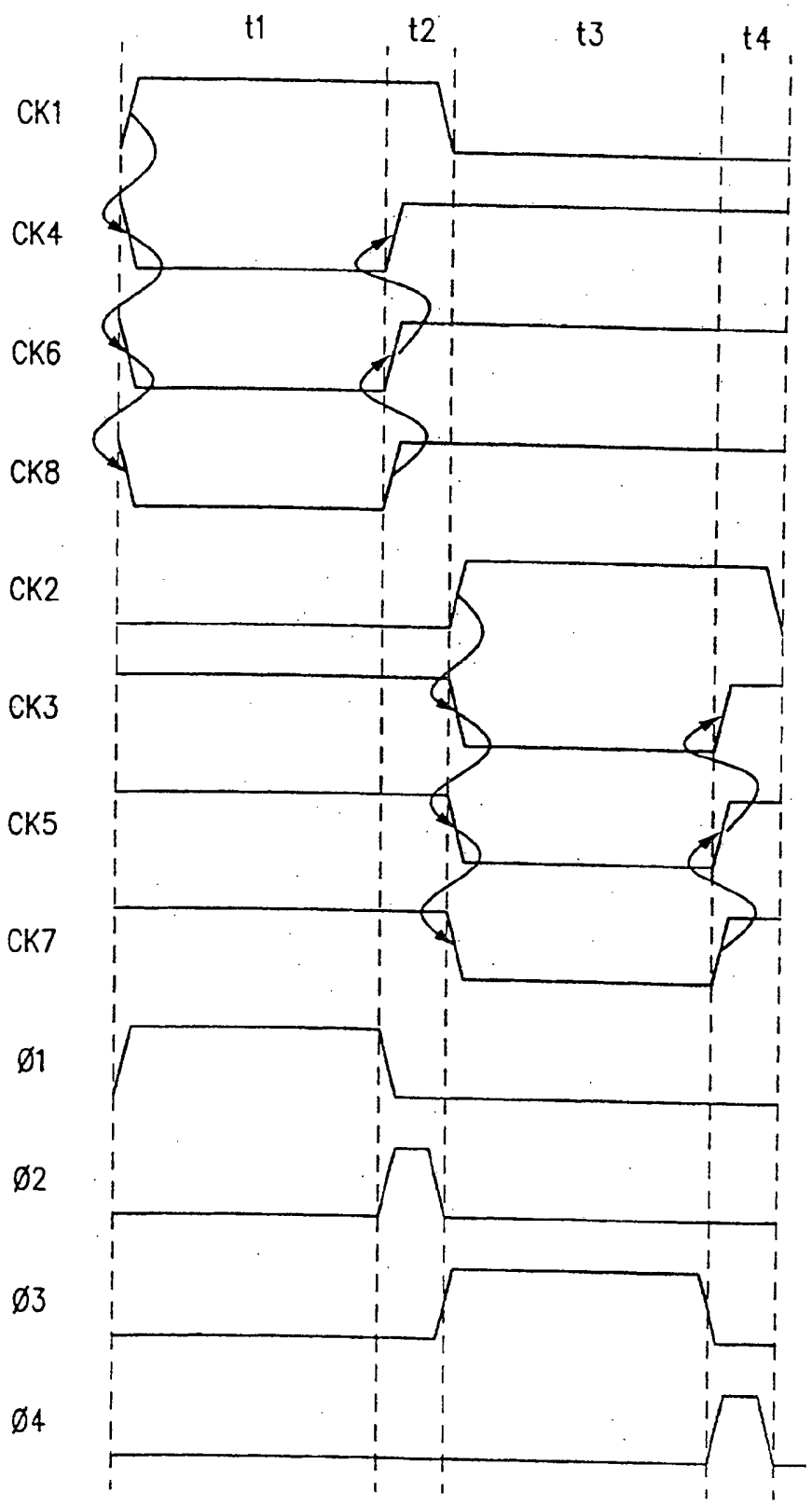


FIG.13

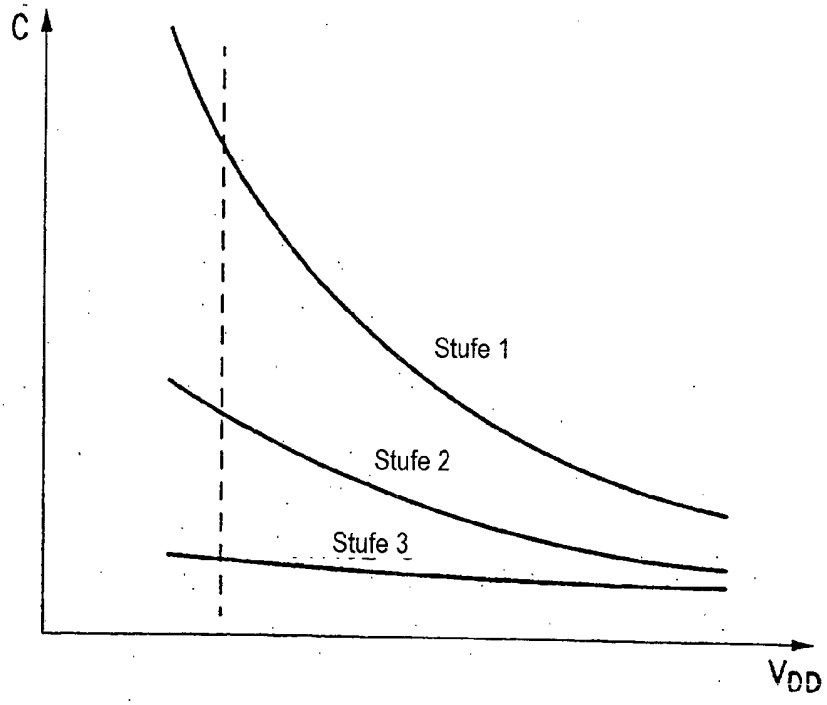


FIG.14