

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年9月11日(11.09.2009)

PCT

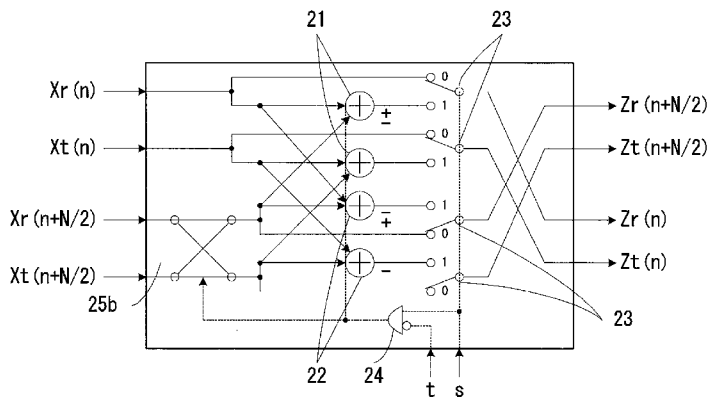
(10) 国際公開番号
WO 2009/110022 A1

- (51) 国際特許分類:
G06F 17/14 (2006.01)
 - (21) 国際出願番号: PCT/JP2008/000415
 - (22) 国際出願日: 2008年3月3日(03.03.2008)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (71) 出願人(米国を除く全ての指定国について): 富士通株式会社(FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人(米国についてのみ): 熊谷和彦(KUMAGAI, Kazuhiko) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号富士通株式会社内 Kanagawa (JP).
 - (74) 代理人: 林恒徳, 外(HAYASHI, Tsunenori et al.); 〒2220033 神奈川県横浜市港北区新横浜3-9-5 第三東昇ビル3階林・土井国際特許事務所 Kanagawa (JP).
 - (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告(条約第21条(3))

(54) Title: WIRELESS COMMUNICATION DEVICE

(54) 発明の名称: 無線通信装置

[図9]



(57) Abstract: A wireless communication device incorporates a Radix-4 algorithm-based high-speed Fourier-transform processor having a plurality of butterfly operation means linked in two or more stages via a multiplier, wherein each of the butterfly operation means has a first two-input/two-output butterfly operation unit and a second two-input/two-output butterfly operation unit which are connected in serial as a pair. A Radix-4 algorithm-based high-speed inverse Fourier-transform processor is implemented by inverting codes of a twiddle factor in the multiplier on the high-speed Fourier-transform processor and further by reversing codes converted by a swapping process at a subsequent-stage butterfly operation unit BF2B in a real number component and an imaginary number component.

(57) 要約: 乗算器を介して複数段連結する複数のバタフライ演算手段を有し、各バタフライ演算手段は、直列に接続する1対の第1の2入力2出力バタフライ演算器と第2の2入力2出力バタフライ演算器を有する基数4 (Radix-4) アルゴリズムによる高速フーリエ変換処理装置を搭載した無線通信装置において、高速フーリエ変換処理装置の乗算器の回転因子の符号を反転させ、且つさらに、後段のバタフライ演算器 BF2B におけるスワッピング処理の符号変換を実数成分と虚数成分において逆にすることで、Radix-4 アルゴリズムによる高速逆フーリエ変換処理装置を実現する。



WO 2009/110022 A1

明 細 書

無線通信装置

技術分野

[0001] 本発明は、OFDM（直交周波数分割多重）方式の無線通信装置に関し、特に、基数4 (Radix-4) アルゴリズムによる高速フーリエ変換装置又は高速逆フーリエ変換装置を搭載し、共通リソースにより高速フーリエ変換処理と高速逆フーリエ変換処理を実現し、さらにサブキャリア数が可変するスケーラブルOFDM方式に好適に適用される無線通信装置に関する。

背景技術

- [0002] 直交周波数分割多重 (OFDM : Orthogonal Frequency Division Multiplexing) 方式は、高速の信号系列を複数の信号系列に並列化し、複数の低速のサブキャリアを用いて同時に伝送を行うマルチキャリア通信方式の一つであり、それぞれのサブキャリアが互いに直交するように配置される。送信側では、データを逆高速フーリエ変換 (IFFT) 処理を行って各サブキャリアの周波数多重化を行い、受信側では、高速フーリエ変換 (FFT) 処理を行って受信信号から各サブキャリア信号を分離する。
- [0003] 図1は、高速フーリエ変換処理の従来構成例を示す図である。図1の構成は、パイプライン高速フーリエ変換アーキテクチャの一例である（特許文献1の図9参照）。入力データは、最初の一对の2入力2出力バタフライ演算器（以下、バタフライ演算器と称する）9、10における前段のバタフライ演算器9の一方の入力に入力される。バタフライ演算器9の一方の出力は遅延フィードバックメモリ1と接続し、入力データはそのまま遅延フィードバックメモリ1に格納される。格納されたデータは、一定時間遅延させた後、バタフライ演算器9の他方の入力にフィードバックデータとして入力される。バタフライ演算器9によるバタフライ演算結果は、バタフライ演算器9の他方の出力から出力され、後段のバタフライ演算器10の一方の入力に入力される。
- [0004] バタフライ演算器10についても、その一方の出力は遅延フィードバックメ

メモリ2と接続し、入力データはそのまま遅延フィードバックメモリ2に格納される。格納されたデータは、一定時間遅延させた後、バタフライ演算器10の他方の入力に入力される。バタフライ演算器10によるバタフライ演算結果は、バタフライ演算器10の他方の出力から出力され、乗算器17に入力される。乗算器17は、入力データに所定の回転因子 $W1$ を乗算し、その演算結果を出力し、次の一对のバタフライ演算器11、12における前段のバタフライ演算器11の一方の入力に入力される。

[0005] 以降、同一の演算を繰り返し、前段のバタフライ演算器11、13、15は、それぞれ前段のバタフライ演算器9と同一の構成及び機能を有し、それぞれ遅延フィードバックメモリ3、5、7が接続される。また、後段のバタフライ演算器12、14、16は、それぞれ後段のバタフライ演算器10と同一の構成及び機能を有し、それぞれ遅延フィードバックメモリ4、6、8が接続される。バタフライ演算器12と13間の乗算器18は、回転因子 $W2$ を入力データに対して乗算し、バタフライ演算器14と15の乗算器19は、回転因子 $W3$ を入力データに対して乗算する。バイナリカウンタ20は、クロックに基づいた同期制御手段及びアドレスカウンタとして機能する。

[0006] 図2は、前段のバタフライ演算器の構成例を示し、図3は、後段のバタフライ演算器の構成例を示す（特許文献1の図10及び図11参照）。各バタフライ演算器では、入力データ $X(n)$ の実数成分 $X_r(n)$ と虚数成分 $X_t(n)$ に分離して演算を行う。図2の前段のバタフライ演算器BF2A（図1の9、11、13、15）は、図示されるように、2つのフィードバックデータ用加算器21と2つの入力データ用加算器22（減算もマイナス値の加算として、減算を実行するものも加算器と称する）と4つのスイッチ23を備え、スイッチ23は、後段のバタフライ演算器に出力される加算又は減算されたデータ又は演算されずに遅延フィードバックメモリに送られるデータのいずれかを制御信号 s により選択する。

[0007] 図3の後段のバタフライ演算器BF2B（図1の10、12、14、16）も、2つのフィードバックデータ用加算器21と2つの入力データ用加算器22と4つのス

イッチ23を備えるが、フィードバックデータ用加算器21の一方及び入力データ用加算器22の一方は、制御信号 s 及び t が入力される論理回路24の出力信号に基づいて、加算及び減算が切り替えられる。すなわち、虚数成分側のフィードバックデータ用加算器21は、論理回路24の出力信号の変化に応じて、減算処理を実施し、加算／減算が切り替えられ、虚数成分側の入力データ用加算器22は、論理回路24の出力信号の変化に応じて、加算処理を実施し、減算／加算が切り替えられる。

[0008] さらに、入力データ $X(n+N/2)$ の実数成分 $X_r(n+N/2)$ と虚数成分 $X_t(n+N/2)$ とを入れ替えるスワッピング手段25を備え、遅延フィードバックメモリに格納されたデータが入力されるタイミング期間において、入力データ $X(n+N/2)$ の実数成分と虚数成分間の入れ替え処理を実施する。スワッピング手段25による入れ替え処理は、 $\pm 90^\circ$ の位相回転に対応する回転因子の乗算処理と等価の処理である。

[0009] 上述した図1の構成は、単一経路遅延フィードバックの基数4構造を形成するために、回転因子が分解されている基数2の高速フーリエ変換(FFT)である。すなわち、各バタフライ演算器の入力数は2であり、各バタフライ演算器は基数2による演算を行うが、乗算器の間には2つのバタフライ演算器が直列に接続され、乗算器間における入力数は4であるため、基数 $2^2 = 4$ 構造となる。基数 2^2 は、基数4のアルゴリズムとして同一の乗算複雑性を有するが、基数2のバタフライ構造を維持する。

特許文献1：米国特許第6098088号公報

発明の開示

発明が解決しようとする課題

[0010] OFDM方式による無線信号を送受信する無線基地局装置（無線通信装置）などに搭載されるSoC(System on Chip)は近年大規模化が加速している。OFDM方式などでは、乗算マクロを含むFIR(Finite Impulse Response：有限インパルス応答)フィルタの搭載は必須であり、ASIC(Application

Specific Integrated Circuit) やFPGA (Field Programmable Gate Array) などのバルクサイズは乗算マクロの使用個数が支配的となっているため、回路規模削減のためには、乗算マクロの使用個数を削減する必要がある。

- [0011] 上述の図1の構成は、基数(Radixとも称する)4アルゴリズムを展開したパイプライン高速フーリエ変換(FFT)方式であり、2入力のバタフライ演算器2つに対して乗算器1つの構成であるため、基数2の構成(2入力のバタフライ演算器1つに対して1つの乗算器を有する構成)と比較して、乗算器の個数が削減されるが、基数2(Radix-2)アルゴリズムと異なり、図1の高速フーリエ変換(FFT)回路の構成を高速逆フーリエ変換(IFFT)回路としてそのまま単純利用できない。
- [0012] また、OFDM方式の無線通信装置において、TDD(Time Division Duplex)による送受信を完全排他で時分割動作する場合、回路規模削減のためには、共通リソースにより高速フーリエ変換(FFT)処理と高速逆フーリエ変換(IFFT)処理が行われることが望ましい。
- [0013] 図1の構成は、基数4(Radix-4)アルゴリズムに基づいているので、データ点数 $N = 2^{2m}$ を前提としているので、各バタフライ演算器が基数2のバタフライ演算を行うパイプライン方式といえども、データ点数 N^{2m-1} の演算には適さない。しかしながら、IEEE802.16-2004/16eなどの標準規格では、サブキャリア数(データ点数) $N=128/256/512/1024$ というようなスケラブルOFDM方式を規定しているため、サブキャリア数を柔軟に可変できる高速フーリエ変換回路及び高速逆フーリエ変換回路が要求される。
- [0014] さらに、OFDM方式によるマルチバンド対応の無線通信装置では、高速フーリエ変換処理回路と高速逆フーリエ変換処理回路は並列構成を採用する。従来においては、回路規模と処理能力のトレードオフにより、高速フーリエ変換処理回路と高速逆フーリエ変換処理回路の並列度はあらかじめ固定されており、通信環境の変動に応じて柔軟に並列度を可変できない。
- [0015] そこで、本装置の目的は、共通リソースにより高速フーリエ変換処理及び高速逆フーリエ変換処理を実現し、また、高速フーリエ変換処理及び高速逆

フーリエ変換処理におけるサブキャリア数や並列度を柔軟に可変できる高速フーリエ変換処理装置又は高速逆フーリエ変換装置を搭載する無線通信装置を提供することにある。

課題を解決するための手段

- [0016] 上記目的を達成するための無線通信装置の第一の構成は、高速逆フーリエ変換処理を実行する無線通信装置において、乗算器を介して複数段連結する複数のバタフライ演算手段を有し、各バタフライ演算手段は、直列に接続する1対の第1の2入力2出力バタフライ演算器と第2の2入力2出力バタフライ演算器を有し、前記第1の2入力2出力バタフライ演算器の一方の入力にデータが入力され、一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、他方の出力は前記第2の2入力2出力バタフライ演算器の一方の入力に接続し、前記第2の2入力2出力バタフライ演算器の一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、次段のバタフライ演算手段がある場合は他方の出力は乗算器を介して、次段の前記第1の2入力2出力バタフライ演算器の一方の入力に接続し、前記第1の2入力2出力バタフライ演算器は、一方の入力に入力される入力データの実数成分及び虚数成分それぞれに対して所定の減算処理を行う2つの入力データ用加算器と、他方の入力に入力されるフィードバックデータの実数成分及び虚数成分それぞれに対して所定の加算処理を行う2つのフィードバックデータ用加算器とを有し、前記第2の2入力2出力バタフライ演算器は、一方の入力に入力される入力データの実数成分に対して所定の減算処理又は制御信号に応じた切替制御による加算処理を選択的に実行する入力データ用加算器と虚数成分に対して所定の減算処理を行う別の入力データ用加算器と、他方の入力に入力されるフィードバックデータの実数成分に対して所定の加算処理又は制御信号に応じた切替制御による減算処理を選択的に実行するフィードバックデータ用加算器と虚数成分に対して所定の加算処理を行う別のフィードバックデータ用加算器と、一方の入力に入力される入力データの実数成分と虚数成分とを入れ替える第1の入れ替え手段とを有する。

- [0017] 本無線通信装置の第2の構成は、上記第1の構成において、初段の前記第1の2入力2出力バタフライ演算器は、一方の入力に入力される入力データの実数成分及び虚数成分と他方の入力に入力されるフィードバックデータの実数成分及び虚数成分とをそれぞれ入れ替える第2の入れ替え手段とを備える。
- [0018] 本無線通信装置の第3の構成は、高速フーリエ変換処理及び高速逆フーリエ変換処理を実行する無線通信装置において、乗算器を介して複数段連結する複数のバタフライ演算手段を有し、各バタフライ演算手段は、直列に接続する1対の第1の2入力2出力バタフライ演算器と第2の2入力2出力バタフライ演算器を有し、前記第1の2入力2出力バタフライ演算器の一方の入力にデータが入力され、一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、他方の出力は前記第2の2入力2出力バタフライ演算器の一方の入力に接続し、前記第2の2入力2出力バタフライ演算器の一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、次段のバタフライ演算手段がある場合は他方の出力は乗算器を介して、次段の前記第1の2入力2出力バタフライ演算器の一方の入力に接続し、前記第1の2入力2出力バタフライ演算器は、一方の入力に入力される入力データの実数成分及び虚数成分それぞれに対して所定の減算処理を行う2つの入力データ用加算器と、他方の入力に入力されるフィードバックデータの実数成分及び虚数成分それぞれに対して所定の加算処理を行う2つのフィードバックデータ用加算器とを有し、前記第2の2入力2出力バタフライ演算器は、一方の入力に入力されるデータの実数成分及び虚数成分それぞれに対して所定の減算処理を行う2つの入力データ用加算器と、他方の入力に入力されるデータの実数成分及び虚数成分それぞれに対して所定の加算処理を行う2つのフィードバックデータ用加算器とを有し、前記入力データ用加算器の一方は、制御信号に応じた切替制御による減算処理又は加算処理を選択的に実行し、前記フィードバックデータ用加算器の一方は、制御信号に応じた切替制御による加算処理又は減算処理を選択的に実行し、さらに、前記第2の2入力2出力バ

タフライ演算器は、一方の入力に入力される入力データの実数成分と虚数成分とを入れ替える第1の入れ替え手段と、他方の入力に入力されるフィードバックデータの実数成分と虚数成分とを入れ替える第2の入れ替え手段と、一方の出力から出力されるデータの実数成分と虚数成分とを入れ替える第3の入れ替え手段と、他方の出力から出力されるデータの実数成分と虚数成分とを入れ替える第4の入れ替え手段とを有し、前記第1乃至第4の入れ替え手段それぞれの入れ替え動作は、高速フーリエ変換処理時と高速逆フーリエ変換処理時において反対となる。

- [0019] 本無線通信装置の第4の構成は、高速フーリエ変換処理及び高速逆フーリエ変換処理を実行する無線通信装置において、乗算器を介して複数段連結する複数のバタフライ演算手段を有し、各バタフライ演算手段は、直列に接続する1対の第1の2入力2出力バタフライ演算器と第2の2入力2出力バタフライ演算器を有し、前記第1の2入力2出力バタフライ演算器の一方の入力にデータが入力され、一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、他方の出力は前記第2の2入力2出力バタフライ演算器の一方の入力に接続し、前記第2の2入力2出力バタフライ演算器の一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、次段のバタフライ演算手段がある場合は他方の出力は乗算器を介して、次段の前記第1の2入力2出力バタフライ演算器の一方の入力に接続し、前記第1の2入力2出力バタフライ演算器は、一方の入力に入力される入力データの実数成分及び虚数成分それぞれに対して所定の減算処理を行う2つの入力データ用加算器と、他方の入力に入力されるフィードバックデータの実数成分及び虚数成分それぞれに対して所定の加算処理を行う2つのフィードバックデータ用加算器とを有し、前記第2の2入力2出力バタフライ演算器は、一方の入力に入力される入力データの実数成分及び虚数成分それぞれに対して所定の減算処理を行う2つの入力データ用加算器と、他方の入力に入力されるフィードバックデータの実数成分及び虚数成分それぞれに対して所定の加算処理を行う2つのフィードバックデータ用加算器とを有し、前記入カデータ用加算

器の一方は、制御信号に応じた切替制御による加算処理又は減算処理を選択的に実行し、前記フィードバックデータ用加算器の一方は、制御信号に応じた切替制御による減算処理又は加算処理を選択的に実行し、高速フーリエ変換処理時と高速逆フーリエ変換処理時において、前記2つの入力データ用加算器の一方と他方の加減則動作が入れ替わり、前記2つのフィードバックデータ用加算器の一方と他方の加減則動作が入れ替わる。

- [0020] 本無線通信装置の第5の構成は、高速フーリエ変換処理及び高速逆フーリエ変換処理の少なくとも一方を実行する無線通信装置において、乗算器を介して複数段連結する複数のバタフライ演算手段を有し、各バタフライ演算手段は、直列に接続する1対の第1の2入力2出力バタフライ演算器と第2の2入力2出力バタフライ演算器を有し、前記第1の2入力2出力バタフライ演算器の一方の入力にデータが入力され、一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、他方の出力は前記第2の2入力2出力バタフライ演算器の一方の入力に接続し、前記第2の2入力2出力バタフライ演算器の一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、次段のバタフライ演算手段がある場合は他方の出力は乗算器を介して、次段の前記第1の2入力2出力バタフライ演算器の一方の入力に接続し、高速フーリエ変換処理又は高速逆フーリエ変換処理のデータ点数に応じて、初段の第1の2入力2出力バタフライ演算器から順に所定数のバタフライ演算器のバタフライ演算動作を停止させ、途中段の前記第1又は第2の2入力2出力バタフライ演算器からバタフライ演算動作が開始される。
- [0021] 本無線通信装置の第6の構成は、上記第5の構成において、途中段の前記第2の2入力2出力バタフライ演算器からバタフライ演算動作が開始される場合、前記第2の2入力2出力バタフライ演算器は、前記第1の2入力2出力バタフライ演算器のバタフライ演算動作を実行する。
- [0022] 本無線通信装置の第7の構成は、高速フーリエ変換処理及び高速逆フーリエ変換処理の少なくとも一方を実行する無線通信装置において、乗算器を介して複数段連結する複数のバタフライ演算手段をそれぞれ有するデータ点数N

$=2^n$ で動作する複数 p の処理部を備え、該複数の処理部は、データ点数 $N=2^n \times p$ による並列処理動作を実行し、各バタフライ演算手段は、直列に接続する 1 対の第 1 の 2 入力 2 出力バタフライ演算器と第 2 の 2 入力 2 出力バタフライ演算器を有し、前記第 1 の 2 入力 2 出力バタフライ演算器の一方の入力にデータが入力され、一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、他方の出力は前記第 2 の 2 入力 2 出力バタフライ演算器の一方の入力に接続し、前記第 2 の 2 入力 2 出力バタフライ演算器の一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、次段のバタフライ演算手段がある場合は他方の出力は乗算器を介して、次段の前記第 1 の 2 入力 2 出力バタフライ演算器の一方の入力に接続し、データ点数 $N=2^n \times p$ による並列処理動作を実行する前記複数の処理部を、データ点数 $N=2^{n+\alpha}$ ($\alpha : p \geq 2^\alpha$ を満たす整数) による直列処理動作させる切替手段を有する本無線通信装置の第 8 の構成は、上記第 7 の構成において、直列処理動作時は、前記切替手段により、前記複数の処理部のうちの第 1 の処理部の少なくとも一つの第 1 又は第二のバタフライ演算器が、乗算器を介して前記複数の処理部のうちの第 2 の処理部の初段の第 1 の 2 入力 2 出力バタフライ演算器に直列に接続し、前記複数の処理部における各バタフライ演算器に対応付けられた遅延フィードバックメモリを他のバタフライ演算器と共有可能とするために、各バタフライ演算器と各遅延フィードバックメモリはバス接続する。

[0023] 本無線通信装置の第 9 の構成は、上記第 7 又は第 8 の構成において、各処理部は、各バタフライ演算器に対応付けられていない少なくとも 1 ワード分の追加の遅延フィードバックメモリを備える。

発明の効果

[0024] 開示の装置によれば、基数 4 アルゴリズムによる高速逆フーリエ変換装置が提供され、基数 2 による高速逆フーリエ変換装置と比べて、乗算器の数が低減され、また、基数 4 アルゴリズムによる高速フーリエ変換と高速逆フーリエ変換を共通リソースに処理可能となるので、回路規模の増大を抑制することができる。

[0025] サブキャリア数や並列度を可変できる高速フーリエ変換処理装置又は高速逆フーリエ変換装置を提供することにより、スケーラブルOFDMに対して柔軟に対応可能な無線通信装置が実現可能となる。

図面の簡単な説明

- [0026] [図1]高速フーリエ変換処理の従来構成例を示す図である。
- [図2]前段のバタフライ演算器の構成例を示す図である。
- [図3]後段のバタフライ演算器の構成例を示す図である。
- [図4]基数2 (radix-2) アルゴリズムによる高速フーリエ変換のバタフライ演算フローを示す図である。
- [図5]変形基数2 (radix-2) アルゴリズムによる高速フーリエ変換のバタフライ演算フローを示す図である。
- [図6]基数4 (radix-4) アルゴリズムによる高速フーリエ変換のバタフライ演算フローを示す図である。
- [図7]変形基数2 (radix-2) アルゴリズムによる高速逆フーリエ変換のバタフライ演算フローを示す図である。
- [図8]基数4 (radix-4) アルゴリズムによる高速逆フーリエ変換のバタフライ演算フローを示す図であり、
- [図9]Radix-4アルゴリズムによる高速逆フーリエ変換処理における後段のバタフライ演算器の構成例を示す。
- [図10]高速逆フーリエ変換処理における周波数配置の例について示す図である。
- [図11]周波数配置を並び替える場合の基数4 (radix-4) アルゴリズムによる高速逆フーリエ変換のバタフライ演算フローを示す図である。
- [図12]図11のRadix-4アルゴリズムによる高速逆フーリエ変換処理における前段のバタフライ演算器（先頭のバタフライ演算器のみ）の構成例を示す図である
- [図13]高速フーリエ変換処理及び高速逆フーリエ変換処理両方に適用可能な後段のバタフライ演算器の構成例を示す図である。

[図14] 第4の実施の形態における32点高速フーリエ変換装置の構成例を示す図である。

[図15] 図14のバタフライ演算器42の構成例を示す図である。

[図16] 回転因子生成手段の構成例を示す図である。

[図17] $N=2^8 \times 4$ 並列を例にした第5の実施の形態における高速フーリエ変換装置又は高速逆フーリエ変換装置の構成図を示す図である。

[図18] 遅延フィードバックメモリのバス接続実施例を示す図である。

符号の説明

- [0027] 1～8：遅延フィードバックメモリ、9、11、13、15：前段のバタフライ演算器、10、12、14、16：後段のバタフライ演算器、17～19：乗算器、20：バイナリカウンタ、21、22：加算器、23：選択回路、24： $\pm j$ 制御用論理回路、25：実数／虚数成分スワッピング手段、26：入力データ／フィードバックデータスワッピング手段、27：前段のバタフライ演算器用実数／虚数成分スワップ制御用論理回路、28：後段のバタフライ演算器用実数／虚数成分スワップ制御用論理回路、30：拡張遅延フィードバックメモリ、37：アドレス変換部、38：バッファ、39、41、43、45：前段のバタフライ演算器、40、42、44、46：後段のバタフライ演算器、50：直列動作時バタフライ制御切替回路、51：直列動作／並列動作切替用入力データストリーム選択回路、64：象限識別部、65：Cosテーブル、66：符号変換部、71：書き込みバス制御部、72：読み出しバス制御部、73、74、75：セレクタ

発明を実施するための最良の形態

- [0028] 以下、図面を参照して実施の形態について説明する。しかしながら、かかる実施の形態例が、本発明の技術的範囲を限定するものではない。以下の各実施の形態例では、OFDM方式を採用する無線通信装置に搭載される高速フーリエ変換装置又は高速逆フーリエ変換装置の構成について説明する。

- [0029] (第1の実施の形態例)

第1の実施の形態例では、図1の構成を高速逆フーリエ変換処理（IFFT

T) に適用するための変形について説明する。以下では、一例として、データ点数 $N=16$ における基数2 (radix-2) アルゴリズムによる高速フーリエ変換のバタフライ演算フローから、順次、基数4 (radix-4) アルゴリズムによる高速フーリエ変換のバタフライ演算フローを求め、それに基づいて、基数4 (radix-4) アルゴリズムによる高速逆フーリエ変換のバタフライ演算フローを導く。

- [0030] 図4は、radix-2 アルゴリズムによる高速フーリエ変換のバタフライ演算フローを示す図である。各ステージの演算は一つのバタフライ演算器の演算に相当し、各ステージ間の回転因子は乗算器による該回転因子の乗算に相当する。図4は、radix-2 アルゴリズムであるため、各ステージ間、即ち一つのバタフライ演算器毎に乗算器を必要とする構成となる。回転因子 W の周期性を利用すると、図4の演算フローを図5のように変形することができる。
- [0031] 図5は、変形radix-2 アルゴリズムによる高速フーリエ変換のバタフライ演算フローを示す図である。図5では、第1ステージと第2ステージ間の回転因子、第3ステージと第4ステージ間の回転因子を W_4 のみとなるように変形している。回転因子 $W_4 (=W_{N/4})$ は、 -90° (以降 $-j$ と表記する) の位相に相当し、複素乗算では、 $\pm 90^\circ$ の位相回転は、実数成分と虚数成分のスイッチング (入れ替え) と符号変換により実現できることから、回転因子 W_4 のための乗算器が不要となり、第1ステージと第2ステージ間の乗算器及び第3ステージと第4ステージ間の乗算器を削減することができ、radix-4 アルゴリズムが実現される (図6参照)。
- [0032] 図6は、radix-4 アルゴリズムによる高速フーリエ変換のバタフライ演算フローを示す図である。図5における第1ステージと第2ステージ間の回転因子 W_4 及び第3ステージと第4ステージ間の回転因子 W_4 の乗算は、乗算器に代わって、実数成分と虚数成分のスイッチング操作により実現される (図3のスイッチング手段25に相当)。図6のバタフライ演算を実現する構成が、図1の構成であり、図1におけるバタフライ演算器の構成は図2及び図3の構成となる。

[0033] パイプライン処理では、インターリーブ型処理と異なり、バタフライ演算器に接続する遅延フィードバックメモリ（ランダムアクセスメモリ、レジスタ）（図1の参照符号1～8に相当）へ、 $N/2^n$ （ N ：データ点数、 n ：バタフライ演算ステージ）サンプルバッファリングし、まず、前段のバタフライ演算器（第1ステージ又は第3ステージ）は、遅延フィードバックメモリから読み出したデータと入力データストリームでバタフライ演算を実施する。サンプルIndexが $0 \sim N/2^n - 1$ の演算結果は後段のバタフライ演算器（第2ステージ又は第4ステージ）へ出力され、 $N/2^n \sim N/2^{n-1} - 1$ の演算結果は再び遅延フィードバックメモリへ格納する。 $N/2^n$ サンプルバタフライ演算結果出力後、格納しておいた $N/2^n$ サンプルを遅延フィードバックメモリから読み出すと同時に入力データストリームを格納する。各ステージにおいて、以降同様のバタフライ演算を繰り返すことでパイプライン高速フーリエ変換(FFT)が実現される。

[0034] 次に、図6に示したradix-4アルゴリズムによる高速フーリエ変換を高速逆フーリエ変換に適用する場合を考える。式(1)は離散的フーリエ変換(DFT)の定義、式(2)は離散的逆フーリエ変換(IDFT)の定義である。2式の差異の一つは、回転因子の符号であり逆回転の関係にある。回転因子は複素数であるため、ハードウェアでの実現手段は虚数成分を $\times -1$ すればよい。もう一つの差異は積分結果の $1/N$ であり、データ数が $N=2^n$ なので、ハードウェアでの実現手段は n ビットシフトで実現できる。

[0035] [数1]

$$G[k] = \sum_{n=0}^{N-1} g[n] W_N^{nk}, \quad k = 0, 1, \dots, N-1 \quad \dots \dots \dots (1)$$

[0036] [数2]

$$g[n] = \frac{1}{N} \sum_{k=0}^{N-1} G[k] W_N^{-nk}, \quad n = 0, 1, \dots, N-1 \quad \dots \dots \dots (2)$$

- [0037] G[k] : 周波数関数
- g[n] : 時間関数
- N : データ点数

$$W_N = e^{-j2\pi/N} = \cos(2\pi/N) - j\sin(2\pi/N) : \text{回転因子}$$

図7は、変形radix-2アルゴリズムによる高速逆フーリエ変換のバタフライ演算フローを示す図であり、図5を(2)式に従い高速逆フーリエ変換 (IFFT) フローに書き換えたものである。回転因子のコンスタレーションは、高速フーリエ変換 (FFT) と等価であるが、符号はすべて反対となる。

[0038] 図8は、radix-4アルゴリズムによる高速逆フーリエ変換のバタフライ演算フローを示す図であり、図7のフローを、Radix-4アルゴリズムに変換したものである。この場合、乗算器による複素乗算処理が行われる回転因子については、高速フーリエ変換における回転方向と逆回転の回転因子を与えればよいが、前段のバタフライ演算器と後段のバタフライ演算器間にある回転因子 ($-W_4$) は、高速フーリエ変換 (FFT) と逆に $+90^\circ$ (以降jと表記する) のスワッピング処理となり、図8に示すように、第1のステージと第2ステージ間及び第3ステージと第4ステージ間にスワッピング処理を含むバタフライ演算フローで実現する。このように、回転因子に対する処理について、複素乗算処理に代わってスワッピング処理が行われるため、乗算器に高速フーリエ変換処理の回転因子と逆回転の回転因子を与えるだけでは、高速逆フーリエ変換 (IFFT) を実現することはできない。スワッピング処理についても、高速フーリエ変換処理のスワッピング処理と反対の符号変換を実施する必要がある。

[0039] 図9は、Radix-4アルゴリズムによる高速逆フーリエ変換処理における後段のバタフライ演算器の構成例を示す。図8に示すバタフライ演算フローで実現するための後段のバタフライ演算器は、図3の構成 (Radix-4アルゴリズムによる高速フーリエ変換処理における後段のバタフライ演算器の構成) と同様に、入力データ $X(n+N/2)$ の実数成分 $X_r(n+N/2)$ と虚数成分 $X_t(n+N/2)$ とを入れ替えるスワッピング手段25bと2つのフィードバックデータ用加算器21と2つの入力データ用加算器22と4つのスイッチ23を備え、フィードバックデータ用加算器21の一方及び入力データ用加算器22の一方は、制御信号 s 及び t

が入力される論理回路24の出力信号に基づいて、加算及び減算が切り替えられる。

[0040] このとき、図3の構成と比較して、加算及び減算の切替が切り替えられるフィードバックデータ用加算器21と入力データ用加算器22が、図3の構成と反対とする。すなわち、高速フーリエ変換処理に対応する図3の構成は、虚数成分側のフィードバックデータ用加算器21と入力データ用加算器22の加算及び減算が切り替えられるが、図9の構成では、実数成分を演算するフィードバックデータ用加算器21と入力データ用加算器22の加算及び減算が切り替えられる。すなわち、実数成分側のフィードバックデータ用加算器21は、論理回路24の出力信号の変化に応じて、減算処理を実施し、加算／減算が切り替えられ、実数成分側の入力データ用加算器22は、論理回路24の出力信号の変化に応じて、加算処理を実施し、減算／加算が切り替えられる。

[0041] このように、図8に示したRadix-4アルゴリズムによる高速逆フーリエ変換処理を実現する場合、図6に示したRadix-4アルゴリズムによる高速フーリエ変換処理を実現する図1の構成と比較して、乗算器における回転因子の符号を反転させるのみならず、後段のバタフライ演算器BF2Bにおけるスワッピング処理の符号変換を実数成分と虚数成分において逆にすることで、図8のRadix-4アルゴリズムによる高速逆フーリエ変換処理が実現される。パイプライン高速逆フーリエ変換に、Radix-4アルゴリズムを適用可能となることにより、Radix-2アルゴリズムに比べて乗算器の数が約半分となり、回路規模の増大を抑制できる。

[0042] (第2の実施の形態例)

第2の実施の形態例では、高速逆フーリエ変換処理における周波数配置について説明する。図10は、高速逆フーリエ変換処理における周波数配置の例について示す図であり、データ点数Nにおいて、図10(a)は、サンプリング周波数の基準をインデックス(index)0に設定する場合(第1の周波数配置例)であり、図10(b)は、サンプリング周波数の基準をインデックスN/2に設定する場合(第2の周波数配置例)である。周波数配置については

、高速逆フーリエ変換処理の前処理を実行するベースバンド部の構成により決定されるが、ベースバンド部でいずれか一方に決定された周波数配置を他方に変更する場合は、高速逆フーリエ変換処理前に変更する必要がある。第2の周波数配置例（図10（b））は、例えばWiMAX (Worldwide Interoperability for Microwave Access)の標準規格IEEE802.16-2004/16e仕様で規定されており、従来のパイプライン処理で採用されている第1の周波数配置例（図10（a））の周波数配置を第2の周波数配置例（図10（b））の周波数配置に変更するためには、第1のステージにおける前段のバタフライ演算前に並び替える必要がある。

[0043] 図11は、周波数配置を並び替える場合のradix-4アルゴリズムによる高速逆フーリエ変換のバタフライ演算フローを示す図であり、図8のバタフライ演算フローに、第1の周波数配置例（図10（a））から第2の周波数配置例（図10（b））への並べ替え処理80が加えられたものである。

[0044] 図12は、図11のRadix-4アルゴリズムによる高速逆フーリエ変換処理における前段のバタフライ演算器（先頭のバタフライ演算器のみ）の構成例を示す。前段のバタフライ演算器（先頭のみ）は、図2の構成に加えて、データインデックスを並べ替えるインデックス並べ替え処理手段26をバタフライ演算前に有する。

[0045] このように、第2の実施の形態によれば、周波数配置の違いを、高速逆フーリエ変換回路で吸収するようにしたため、ベースバンド処理部の出力フォーマットが柔軟になり、異なる周波数配置が混在しても対応可能となる。

[0046] （第3の実施の形態例）

第3の実施の形態例では、図9のバタフライ演算器を高速フーリエ変換処理にも適用可能にするための変形について説明する。第1の実施の形態例で述べたように、図3に示したradix-4アルゴリズムにおけるパイプライン高速フーリエ変換（FFT）における後段のバタフライ演算器（図3）において、入力データの実数成分と虚数成分をスワッピングし且つ実数成分と虚数成分間の加減則を切り替えることにより、radix-4アルゴリズムにおけるパイプライン

ン高速逆フーリエ変換（IFFT）が実現される（図9）。

- [0047] 従って、後段のバタフライ演算器での該加減則を固定して、入力データと出力データの両方において、実数成分と虚数成分間のスワッピング制御を行うことで、後段のバタフライ演算器を、高速フーリエ変換処理及び高速逆フーリエ変換処理のいずれにも適用可能とすることができる。
- [0048] 図13は、高速フーリエ変換処理及び高速逆フーリエ変換処理両方に適用可能な後段のバタフライ演算器の構成例を示す。図13の構成は、図3の構成に対して、4つのスワッピング手段25が追加された構成であり、入力データ $X(n)$ の実数成分 $X_r(n)$ と虚数成分 $X_t(n)$ 間を入れ替えるスワッピング手段25a、入力データ $X(n+N/2)$ の実数成分 $X_r(n+N/2)$ と虚数成分 $X_t(n+N/2)$ 間を入れ替えるスワッピング手段25b、出力データ $Z(n)$ の実数成分 $Z_r(n)$ と虚数成分 $Z_t(n)$ 間を入れ替えるスワッピング手段25c及び入力データ $Z(n+N/2)$ の実数成分 $Z_r(n+N/2)$ と虚数成分 $Z_t(n+N/2)$ 間を入れ替えるスワッピング手段25dを有する。図9のスワッピング手段25bと図13のスワッピング手段25bは同一の構成要素である。
- [0049] 高速フーリエ変換処理と高速逆フーリエ変換処理を切り替えるための制御信号Mを各スワッピング手段25(25a、25b、25c、25d)に供給し、動作を切り替えることで高速フーリエ変換処理と高速逆フーリエ変換処理のいずれに適用可能となる。
- [0050] このように、第3の実施の形態例によれば、パイプライン高速フーリエ変換及び高速逆フーリエ変換を共通リソースで処理するため、回路規模を縮小できるだけでなく、スタンバイ電力の低下により低電力化も実現される。
- [0051] 図13の構成例では、スワッピング手段25a、25c、25dには制御信号Mがそのまま供給し、スワッピング手段25bには制御信号Mと論理回路24の出力信号との排他的論理和回路（EX-OR）28の出力信号を供給する（すなわち、スワッピング手段25a、25c、25dの論理値と反対の論理値を供給する）ことで、高速フーリエ変換処理（FFT）と高速逆フーリエ変換処理（IFFT）の切替が可能となる。

[0052] 回転因子については、クロック信号clkにより動作するバイナリカウンタに従い、実数成分にCos成分を虚数成分にSin成分を供給するが、上述したように高速フーリエ変換(FFT)と高速逆フーリエ変換(IFFT)では、回転因子の回転方向が逆であり、高速フーリエ変換処理(FFT)と高速逆フーリエ変換処理(IFFT)の切替を可能とするために、Sin成分を×(±1)する切替え機能を持たせる。生成方法としては、バイナリカウンタの下位2bit以外の上位ビットを反転して式(A)により得られるIndex k' に、以下に示す表1のBinCnt[2(m-i-1)+1 : 2(m-i-1)]を乗じて、回転因子をテーブル変換により求める。

[数A]

$$k' = (\text{BinCnt}[2:2m-1] \ll 2(m-i-1)) \bmod N/4 \dots \dots \dots (A)$$

回転因子： W_N^k

k：Index

N=4ⁿ：入力データ点数

i=1, ..., m-1：複素乗算器 Index

[0053] [表1]

表 1 Radix-4 回転因子生成

BinCnt[2(m-i-1)+1 : 2(m-i-1)]	回転因子
0	W_N^0
1	W_N^k
2	W_N^{2k}
3	W_N^{3k}

[0054] (第4の実施の形態例)

第1乃至第3の実施の形態例におけるRadix-4アルゴリズムによる高速フーリエ変換装置及び高速逆フーリエ変換装置は、基数2のバタフライ演算器を用いたパイプライン方式といえども、Radix-4アルゴリズムはデータ点数N=2^{2m}を

前提に考案されており、データ点数 $N=2^{2m-1}$ の演算には適さない。しかし、IEEE 802.16-2004/16e等の標準規格では、サブキャリア数128/256/512/1024というようなスケラブルOFDMシンボル変調方式を規定している。第4の実施の形態例では、それらに対応するためサブキャリア数を柔軟に可変できるパイプライン高速フーリエ変換(FFT)及び逆フーリエ変換(IFFT)方式を提供する。

[0055] スケラブルOFDMシンボル変調方式に対応するためには、データ点数 $N=2^{2m-1}$ のフーリエ変換が必須であり、Radix-4アルゴリズムを適用する場合、インターリーブ型の処理では最終ステージをRadix-2アルゴリズムにより処理するミックスタイプが一般的である。パイプライン処理では、ステージ毎のバタフライ演算回数(=遅延フィードバックメモリ容量)を可変制御することになり複雑性が増す。第4の実施の形態例では、初段ステージでRadix-2アルゴリズム処理し、以降Radix-4アルゴリズムを適用することにより可変制御を簡易化できる。図8中の $N=2^3$ 処理(点線囲い部分)において、第2ステージが初段ステージとなり、Radix-2アルゴリズム処理に相当する。

[0056] 図1の構成において、データ点数 $N \leq 2^n$ の高速フーリエ変換(FFT)及び高速逆フーリエ変換(IFFT)を処理するためには、まず余剰なバタフライ演算をディセーブル処理させる必要がある。データ点数 $N=2^3$ 処理であれば、図9の第1ステージが余剰なバタフライ演算に当たる。ディセーブル処理は、バタフライ演算段数に応じバイナリカウンタ20のMSB側から該当ビットをマスク(0固定)することで実現できる。高速フーリエ変換(FFT)も高速逆フーリエ変換(IFFT)も実現手段は共通のため、以降は図14に示す32点高速フーリエ変換(FFT)を例に説明する。

[0057] 図14は、第4の実施の形態における32点高速フーリエ変換装置の構成例を示す。バイナリカウンタ20は、如何なるデータ点数においてもリニアにカウントして構わない。バイナリカウンタ20のbit7~bit5の出力を論理積31~33でマスクすると、BF2Aバタフライ演算器39と41のデータ選択信号sが0固定となり、入力データ $X[n+N/2]$ が単一遅延フィードバック経路より $N/2$ サンプル遅延して $Z[n]$ へ出力される。同様に、後述するBF2Bバタフライ演算器40の実

数に応じてバイナリカウンタ20へ供給されるクロックレートも $1/n$ する必要がある。ただし、そうすると、実遅延時間が遅くなる。それを調整するために、図14に示されるように、高速フーリエ変換(FFT)も高速逆フーリエ変換(IFFT)も後段で、データインデックス並び替え処理のためバッファ38を実装する。これを利用して n 倍速処理で変換を行い、スケラブルシンボルレートの変換は並び替え処理で行う。 n 倍速処理にて空いた時間は、NULL処理又は時分割多重によりマルチバンド処理に利用できる。

[0063] アドレス変換部37は、バンド多重数に従いバイナリカウンタ20をデコードする。バンド多重数は、バイナリカウンタ20の上位ビットで識別し、バッファ38のバンク制御を行う。図14の例ではマスクbitのbit7~5に相当する。バイナリカウンタ20の残りのビットはリバーシして書込みアドレスとする。読出し側で並び替えを行う場合には、ビットリバーシせず書込みアドレスとする。また、後段のバッファ38は後述のように2面構成をとるため、OFDMシンボル周期で面情報を生成する。

[0064] バッファ38は、書込み又は読出しアドレスの何れかがビットリバーシによりランダム的なアクセスとなる。そのため、Read/Write競合を回避のために2面($N=2^n \times 2$)構成とする。高速フーリエ変換(FFT)において、図10(b)の周波数配置に対応する場合は、バッファ38の読出し時に行うことで対応する。

[0065] 図14の構成例の具体的な動作について、最大データ点数 $N_{max}=2^8$ の構成で $N_{max}=2^5 \times 2^3$ マルチバンドのパイプライン高速逆フーリエ変換(IFFT)を処理する場合について説明する。

[0066] a) バイナリカウンタマスク設定

バイナリカウンタイネーブル(EN[7:2])は、"000111"のようにバタフライ演算器39~41に該当するビットをマスク設定する。

[0067] b) 周波数配置による入力データストリームスワップ制御

周波数配置を図10(b)の配置とすると、初段バタフライ演算器42(図15参照)の入力データストリームスワップ指定($r=1$)とし、その他のバタフ

ライ演算器はスルー指定 ($r=0$) とする。

[0068] c) バイナリカウンタ

バイナリカウンタ20は、クロックclk入力によりサイクリックにインクリメントし、バタフライ演算器のデータ選択、遅延フィードバックメモリRead/Writeアドレス、回転因子生成コントローラ及び逆フーリエ変換結果格納アドレスとして使用する。

[0069] d) 入力データストリーム遅延

バタフライ演算器39, 40は、それぞれ遅延フィードバックメモリ1, 2の容量分遅延してデータを複素乗算器17へ送出する。複素乗算器17への回転因子は、 $W1(0)$ が供給され $1+j0$ の演算によりスルーで乗算結果が出力され、バタフライ演算器41も同様に、遅延フィードバックメモリ3の容量分遅延して出力する。

[0070] e) 初段バタフライ演算

入力データ $N/2=16$ 点を $Z[n+N/2]$ 経由で遅延フィードバックメモリ4に格納後、データを先頭から読出しながら $X[n]$ と $X[n+N/2]$ をスワップして(上述のb)項参照)、バタフライ演算を行う。演算結果のIndex $0\sim N/2-1$ データは $Z[n]$ に出力され、Index $N/2\sim N-1$ データは $Z[n+N/2]$ 経由で遅延フィードバックメモリ4に格納される。次の $N/2$ データ期間は、遅延フィードバックメモリ4の先頭から演算結果を読出し $Z[n]$ へ出力しつつ入力データストリームを格納する。以降、同じ処理を繰り返す。

[0071] f) Radix-4アルゴリズム演算

複素乗算器18より入力された前段のバタフライ演算器43では、データ $N/2=8$ 点を $Z[n+N/2]$ 経由で遅延フィードバックメモリ5に格納後、データを先頭から読出しながら $X[n]$ と $X[n+N/2]$ でバタフライ演算を行う。演算結果のIndex $0\sim N/2-1$ データは $Z[n]$ に出力され、Index $N/2\sim N-1$ データは $Z[n+N/2]$ 経由で遅延フィードバックメモリ5に格納される。次の $N/2$ データ期間は、遅延フィードバックメモリ5の先頭から演算結果を読出し $Z[n]$ へ出力しつつ入力データを格納する。

[0072] 後段のバタフライ演算器44では、データ $N/2=4$ 点を $Z[n+N/2]$ 経由で遅延フィードバックメモリ6に格納後、データを先頭から読出しながら $X[n]$ と $X[n+N/2]$ でバタフライ演算を行う。この時、バイナリカウンタ20のbit3に従い加減算制御 $t=1$ であれば加減算を実施し、 $t=0$ であれば $\pm j$ のスワップ加算を実施する。演算結果のIndex $0 \sim N/2-1$ データは $Z[n]$ に出力され、Index $N/2 \sim N-1$ データは $Z[n+N/2]$ 経由で遅延フィードバックメモリ6に格納される。次の $N/2$ データ期間は、遅延フィードバックメモリ6の先頭から演算結果を読出し $Z[n]$ へ出力しつつ入力データを格納する。以降、同処理を繰り返す。

[0073] 次段のRadix-4アルゴリズム演算も遅延フィードバックメモリの容量が異なるだけで、等価動作となる。

[0074] g) 回転因子生成

図16は回転因子生成手段の構成例を示す。各複素乗算器に供給される回転因子は独立動作するの必要があり、本構成を複素乗算器と同数(本実施例： $i=1, 2, 3$)実装する。

[0075] バイナリカウンタ20の出力は、Radix-4出力データと同調させる必要がある。バイナリカウンタ20が 2^n 進カウンタであることを利用して遅延段数相当減算(加算器61)すれば等価となる。この出力をバタフライ演算制御と同一論理でマスク処理62後、下位2bit以外の上位ビットをリバーシ、 $n-(i+1)*2$ ビット左(上位)シフトしmod $N/4$ すると式(A)を実現したことになる。これに先程切り捨てた基準信号の下位2bitを乗じることでIndex k を求め、表1の回転因子を得る。

[0076] 本例では、回転因子を第1象限($N/4$ サンプル)のCosテーブル65にて生成する($N/8$ サンプルでも可能である)。Index k の上位2bitにより象限を識別し、Cos/Sinアドレスを生成しテーブル変換した後、符号変換部66により符号変換すれば回転因子は求まる。フーリエ変換と逆フーリエ変換時の逆回転は、符号変換部66による符号変換処理で行うと効率がよい。得られた回転因子は、複素乗算器へ送付され乗算される。複素

乗算器の構成は既知のため省略する。

[0077] h) 逆フーリエ変換結果格納アドレス変換

バンド多重がない場合には、単純にバイナリカウンタ20の出力をビットリバーサすればよいが、バンド多重している場合には、多重数に応じてバンド識別する必要がある。但し、ハード処理遅延は、遅延相当の減算で調整する。バンド識別は、バイナリカウンタ20のbit

$m-1 \sim b-b-1$ で行い、後段のバッファ38のバンク制御に使用する。書込みアドレスは、残りのビットをリバーサすればよい。また、書込みアドレスの最終番地 (All

'1') のタイミングで、面情報フラグをトグルする。書込みの時点で、データ並び替えは完了しているので、読出し側は書込み面と逆側を単純に読み出す。

[0078] このように、第4の実施の形態例によれば、スケーラブルOFDM方式において、クロックレートを可変せずに、最大データ点数 $N_{max} = 2^{2n}$ という構成で、時分割多重処理することにより、 $N_{max} = 2^n \times 2$ のようなマルチバンド構成も提供可能となる。その場合、データ処理遅延が一定のため、バンド構成変更に伴う通信装置のRound

Trip遅延測定を省略できる。

[0079] (第5の実施の形態例)

第5の実施の形態例では、並列構成の高速フーリエ変換装置及び高速逆フーリエ変換装置において、並列処理と直列処理とを切替可能とし、直列処理時に、動作していない系統のバタフライ演算器を、動作させる系統のバタフライ演算器と直列に接続するようにすることで、各系統に入力されるデータ点数より多いデータ点数での処理を実現する。

[0080] ハードリソースを最適化し並列処理時にはデータ点数 $N = 2^n \times p$ (p : 並列度) で動作し、拡張による直列処理時にはデータ点数 $N = 2^{n+\alpha}$ (α : $p \geq 2^\alpha$ を満たす整数) でパイプライン高速フーリエ変換(FFT)及び高速逆フーリエ変換(IFT)を実現する。

- [0081] 図17は、 $N=2^8 \times 4$ 並列を例にした第5の実施の形態における高速フーリエ変換装置又は高速逆フーリエ変換装置の構成図を示す。図17は、説明の簡略化のため拡張直列動作時のバタフライ演算経路を固定としている。具体的には、直列動作時において、直列動作する1系のバタフライ演算器39、40の前段に、2系のバタフライ演算器39、40及び乗算器17を直列に接続可能とする。系毎のパラメータ（変換モード、周波数配置、並列構成のマトリクス等）及び動作タイミングの独立制御も可能とする。
- [0082] 第5の実施の形態例では、並列構成を拡張して直列構成とするために、遅延フィードバックメモリをバタフライ演算器と1対1に対応付けるのではなく、図示されるように、各バタフライ演算器39~46が、遅延フィードバックメモリ1~8をシェアリング（共有）可能なバス構成とする。しかし、データ点数 $N=2^n \times p$ 並列の遅延フィードバックメモリ容量は $(2^n - 1) \times p$ wordであるため、最大データ点数 $N_{max} = 2^{n+\alpha}$ の直列動作で使用する場合、遅延フィードバックメモリは p word(=並列度)不足する。そこで、並列処理では未使用となる1wordの遅延フィードバックメモリ30を系毎にバス接続で追加配置する。
- [0083] 並列動作時は、バイナリカウンタ20が 2^n 進カウンタとして動作する。系毎の動作は、図14の構成などのように、遅延フィードバックメモリ1~8とバタフライ演算器39~46を1対1に対応付けて動作する。但し、2系のバタフライ制御は、拡張指示信号Extendに従いバイナリカウンタ20の該当bitをセレクタ50により選択する。回転因子は、第4の実施の形態例と同様の手法により、拡張時と共通化するためデータ点数 $N_{max} = 2^{n+\alpha}$ で生成する。
- [0084] 拡張した直列動作時は、例えば2系のRadix-4演算構成の一部を1系に直列に接続する。具体的には、2系のバタフライ演算器39、40経由、複素乗算器17の出力を直接/並列切替え信号Extendによりセレクタ51（直列動作/並列動作切替用入力データストリーム選択回路）で選択し1系の先頭のバタフライ演算器39に入力するようにする。次に、2系のバタフライ演算器39には $2^{n+\alpha-1}$ の遅延フィードバックメモリが必要になるため、3、4系の遅延

フィードバックメモリ1~8及び30をバス接続し割当てて。同様に、2系のバタフライ演算器40には $2^{n+\alpha-2}$ の遅延フィードバックメモリが必要になるため、2系の遅延フィードバックメモリ1~8及び30をバス接続し割当てて。バイナリカウンタ20は $2^{n+\alpha}$ 進カウンタとして動作させ、2系のバタフライ制御は拡張指示信号Extendに従いバイナリカウンタ20の拡張bit9-8をセレクタ50（直列動作時バタフライ制御切替回路）により選択する。また、Radix-4演算ステージが1段拡張されたことにより、2系の複素乗算器17に供給される回転因子 $W1(n)$ と1系に供給される回転因子 $W1(n)$ は、独立制御が必要になる。生成方法は並列処理時と同様で、第4の実施の形態例で説明されたアルゴリズムで対応できる。これにより、最大データ点数 $N_{max}=2^{n+\alpha}$ のパイプライン高速フーリエ変換(FFT)及び高速逆フーリエ変換(IFFT)回路が構築され、図中の網掛けブロックはディセーブルとなる。なお、パイプライン処理動作は、上述の各実施の形態例と同様である。

- [0085] 第5の実施の形態例によれば、パイプライン高速フーリエ変換回路及びパイプライン高速逆フーリエ変換回路の並列度を可変となり、また、最大データ点数 N_{max} に対しても柔軟に対応可能となる。すなわち、最大データ点数 N_{max} 及び並列度により最適化した構成を提供することができる。
- [0086] 図17の構成例の具体的な動作について、データ点数 $N=2^8 \times 4$ 並列の構成で $N=2^{8+2}$ に拡張したパイプライン高速フーリエ変換(FFT)を処理する場合について説明する。
- [0087] a) バイナリカウンタマスク設定
バイナリカウンタ出カインエーブル(EN[9]及びEN[7:2])は、全て有効設定とする。
- [0088] b) 周波数配置による入力データストリームスワップ制御
高速フーリエ変換(FFT)の場合には、周波数配置は結果の並べ替え時に行うため不要であり全てスルー指定($r=0$)とする。
- [0089] c) バイナリカウンタ
バイナリカウンタ20は、クロックclk入力により拡張された 2^{10} 進でサイクリ

ックにインクリメントし、バタフライ演算器のデータ選択、遅延フィードバックメモリRead/Writeアドレス、回転因子生成コントローラ及び図中では省略されているが変換結果格納アドレスとして使用する。

[0090] d)遅延フィードバックメモリのシェアリング

図18は、遅延フィードバックメモリ（RAM）のバス接続実施例を示す。図18では、バス接続に着目し2~4系の構成を示している。バスは、書込みと読出しバスを独立して確保する。

[0091] 書込みバス制御部71は、各系のバタフライ演算器39,

40の出力を引き込み、本構成例では2系の512点の遅延フィードバックメモリを3,4系で構成し、2系の256点の遅延フィードバックメモリを2系で構成している。セレクタ74,75は読出しデータ選択回路であるが、書込みバス制御部71からのデータを引き込んでいる。これは $N=2^{m+\alpha-1} \times 2$ 並列の構成を考慮しているためであり、バタフライ演算器39の $Z[n+N/2]$ を遅延フィードバックメモリを介さず $X[n]$ へ直接フィードバックする経路が必要になるからである。

[0092] 読出しバス制御部72は、系毎に全遅延フィードバックメモリデータバスを引き込み、本構成例では3,4系のバスセレクトしたデータを2系の入力とし、セレクタ74で選択する。同様に2系のバスセレクトしたデータを2系に戻し、セレクタ75で選択する。読出しバス選択回路の負荷を軽減するため、各メモリの読出しバスは後述するチップセレクトによりディセーブル時はAll '0' 出力することにより論理和で構成できる。

[0093] 各遅延フィードバックメモリは、書込みバス制御部71及び読出しバス制御部72よりチップセレクトにてアクセス制御される。チップセレクト制御は、バイナリカウンタ20によりスケジューリングされる。また、遅延フィードバックメモリ30以外のものは、並列動作時は1対1に対応付けられたバタフライ演算器からのフィードバックと書込みバス制御部71からのフィードバックデータを選択するセレクタ73を有する。

[0094] e)Radix-4アルゴリズム演算

$X2(n)$ より入力されたデータストリームは2系の前段のバタフライ演算器39

で、データ $N/2=512$ 点を $Z[n+N/2]$ 経由で3,4系のバス接続された遅延フィードバックメモリに格納後、データを先頭から読み出しながら $X[n]$ と $X[n+N/2]$ でバタフライ演算を行う。演算結果のIndex

$0\sim N/2-1$ のデータは $Z[n]$ に出力され、Index $N/2\sim N-1$ のデータは $Z[n+N/2]$ 経由で3,4系のバス接続された遅延フィードバックメモリに格納される。次の $N/2$ データ期間は、3,4系のバス接続された遅延フィードバックメモリの先頭から演算結果を読み出し $Z[n]$ へ出力しつつ入力データを格納する。

- [0095] 2系の後段のバタフライ演算器40では、データ $N/2=256$ 点を $Z[n+N/2]$ 経由で2系のバス接続された遅延フィードバックメモリに格納後、データを先頭から読み出しながら $X[n]$ と $X[n+N/2]$ でバタフライ演算を行う。この時、バイナリカウンタ20のbit8に従い加減算則制御 $t=1$ であれば加減算を実施し、 $t=0$ であれば $\pm j$ のスワップ加算を実施する。演算結果のIndex $0\sim N/2-1$ のデータは $Z[n]$ に出力され、Index $N/2\sim N-1$ のデータは $Z[n+N/2]$ 経由で2系のバス接続された遅延フィードバックメモリに格納される。次の $N/2$ データ期間は、2系のバス接続された遅延フィードバックメモリの先頭から演算結果を読み出し $Z[n]$ へ出力しつつ入力データを格納する。以降、同処理を繰り返す。次段のRadix-4アルゴリズム演算も遅延フィードバックメモリの容量が異なるだけで、等価動作となる。

- [0096] 1系のRadix-4アルゴリズム演算は、初段入力が2系の複素乗算器17の出力になるだけで、図14の具体的な動作の説明におけるf)項と同様である。回転因子生成及びフーリエ変換結果格納アドレス変換の処理についても、それぞれ図14の具体的な動作の説明におけるg)項及びh)項と同様である。

産業上の利用可能性

- [0097] 例えばIEEE802.16-2004/16eで規格化されているWiMAX(Worldwide Interoperability for Microwave Access)やモバイルWiMAXなどOFDM方式を採用する無線通信装置(無線基地局装置及び無線端末装置を含む)に適用可能である。

請求の範囲

- [1] 高速逆フーリエ変換処理を実行する無線通信装置において、
- 乗算器を介して複数段連結する複数のバタフライ演算手段を有し、各バタフライ演算手段は、直列に接続する1対の第1の2入力2出力バタフライ演算器と第2の2入力2出力バタフライ演算器を有し、
- 前記第1の2入力2出力バタフライ演算器の一方の入力にデータが入力され、一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、他方の出力は前記第2の2入力2出力バタフライ演算器の一方の入力に接続し、前記第2の2入力2出力バタフライ演算器の一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、次段のバタフライ演算手段がある場合は他方の出力は乗算器を介して、次段の前記第1の2入力2出力バタフライ演算器の一方の入力に接続し、
- 前記第1の2入力2出力バタフライ演算器は、一方の入力に入力される入力データの実数成分及び虚数成分それぞれに対して所定の減算処理を行う2つの入力データ用加算器と、他方の入力に入力されるフィードバックデータの実数成分及び虚数成分それぞれに対して所定の加算処理を行う2つのフィードバックデータ用加算器とを有し、
- 前記第2の2入力2出力バタフライ演算器は、一方の入力に入力される入力データの実数成分に対して所定の減算処理又は制御信号に応じた切替制御による加算処理を選択的に実行する入力データ用加算器と虚数成分に対して所定の減算処理を行う別の入力データ用加算器と、他方の入力に入力されるフィードバックデータの実数成分に対して所定の加算処理又は制御信号に応じた切替制御による減算処理を選択的に実行するフィードバックデータ用加算器と虚数成分に対して所定の加算処理を行う別のフィードバックデータ用加算器と、一方の入力に入力される入力データの実数成分と虚数成分とを入れ替える第1の入れ替え手段とを有することを特徴とする無線通信装置。
- [2] 請求項1において、
- 初段の前記第1の2入力2出力バタフライ演算器は、一方の入力に入力さ

れる入力データの実数成分及び虚数成分と他方の入力に入力されるフィードバックデータの実数成分及び虚数成分とをそれぞれ入れ替える第2の入れ替え手段とを備えることを無線通信装置。

[3] 高速フーリエ変換処理及び高速逆フーリエ変換処理を実行する無線通信装置において、

乗算器を介して複数段連結する複数のバタフライ演算手段を有し、各バタフライ演算手段は、直列に接続する1対の第1の2入力2出力バタフライ演算器と第2の2入力2出力バタフライ演算器を有し、

前記第1の2入力2出力バタフライ演算器の一方の入力にデータが入力され、一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、他方の出力は前記第2の2入力2出力バタフライ演算器の一方の入力に接続し、前記第2の2入力2出力バタフライ演算器の一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、次段のバタフライ演算手段がある場合は他方の出力は乗算器を介して、次段の前記第1の2入力2出力バタフライ演算器の一方の入力に接続し、

前記第1の2入力2出力バタフライ演算器は、一方の入力に入力される入力データの実数成分及び虚数成分それぞれに対して所定の減算処理を行う2つの入力データ用加算器と、他方の入力に入力されるフィードバックデータの実数成分及び虚数成分それぞれに対して所定の加算処理を行う2つのフィードバックデータ用加算器とを有し、

前記第2の2入力2出力バタフライ演算器は、一方の入力に入力されるデータの実数成分及び虚数成分それぞれに対して所定の減算処理を行う2つの入力データ用加算器と、他方の入力に入力されるデータの実数成分及び虚数成分それぞれに対して所定の加算処理を行う2つのフィードバックデータ用加算器とを有し、前記入力データ用加算器の一方は、制御信号に応じた切替制御による減算処理又は加算処理を選択的に実行し、前記フィードバックデータ用加算器の一方は、制御信号に応じた切替制御による加算処理又は減算処理を選択的に実行し、

さらに、前記第2の2入力2出力バタフライ演算器は、一方の入力に入力される入力データの実数成分と虚数成分とを入れ替える第1の入れ替え手段と、他方の入力に入力されるフィードバックデータの実数成分と虚数成分とを入れ替える第2の入れ替え手段と、一方の出力から出力されるデータの実数成分と虚数成分とを入れ替える第3の入れ替え手段と、他方の出力から出力されるデータの実数成分と虚数成分とを入れ替える第4の入れ替え手段とを有し、前記第1乃至第4の入れ替え手段それぞれの入れ替え動作は、高速フーリエ変換処理時と高速逆フーリエ変換処理時において反対となることを特徴とする無線通信装置。

[4] 高速フーリエ変換処理及び高速逆フーリエ変換処理を実行する無線通信装置において、

乗算器を介して複数段連結する複数のバタフライ演算手段を有し、各バタフライ演算手段は、直列に接続する1対の第1の2入力2出力バタフライ演算器と第2の2入力2出力バタフライ演算器を有し、

前記第1の2入力2出力バタフライ演算器の一方の入力にデータが入力され、一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、他方の出力は前記第2の2入力2出力バタフライ演算器の一方の入力に接続し、前記第2の2入力2出力バタフライ演算器の一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、次段のバタフライ演算手段がある場合は他方の出力は乗算器を介して、次段の前記第1の2入力2出力バタフライ演算器の一方の入力に接続し、

前記第1の2入力2出力バタフライ演算器は、一方の入力に入力される入力データの実数成分及び虚数成分それぞれに対して所定の減算処理を行う2つの入力データ用加算器と、他方の入力に入力されるフィードバックデータの実数成分及び虚数成分それぞれに対して所定の加算処理を行う2つのフィードバックデータ用加算器とを有し、

前記第2の2入力2出力バタフライ演算器は、一方の入力に入力される入力データの実数成分及び虚数成分それぞれに対して所定の減算処理を行う2

つの入力データ用加算器と、他方の入力に入力されるフィードバックデータの実数成分及び虚数成分それぞれに対して所定の加算処理を行う2つのフィードバックデータ用加算器とを有し、前記入力データ用加算器の一方は、制御信号に応じた切替制御による加算処理又は減算処理を選択的に実行し、前記フィードバックデータ用加算器の一方は、制御信号に応じた切替制御による減算処理又は加算処理を選択的に実行し、高速フーリエ変換処理時と高速逆フーリエ変換処理時において、前記2つの入力データ用加算器の一方と他方の加減則動作が入れ替わり、前記2つのフィードバックデータ用加算器の一方と他方の加減則動作が入れ替わることを特徴とする無線通信装置。

- [5] 高速フーリエ変換処理及び高速逆フーリエ変換処理の少なくとも一方を実行する無線通信装置において、

乗算器を介して複数段連結する複数のバタフライ演算手段を有し、各バタフライ演算手段は、直列に接続する1対の第1の2入力2出力バタフライ演算器と第2の2入力2出力バタフライ演算器を有し、

前記第1の2入力2出力バタフライ演算器の一方の入力にデータが入力され、一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、他方の出力は前記第2の2入力2出力バタフライ演算器の一方の入力に接続し、前記第2の2入力2出力バタフライ演算器の一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、次段のバタフライ演算手段がある場合は他方の出力は乗算器を介して、次段の前記第1の2入力2出力バタフライ演算器の一方の入力に接続し、

高速フーリエ変換処理又は高速逆フーリエ変換処理のデータ点数に応じて、初段の第1の2入力2出力バタフライ演算器から順に所定数のバタフライ演算器のバタフライ演算動作を停止させ、途中段の前記第1又は第2の2入力2出力バタフライ演算器からバタフライ演算動作が開始されることを特徴とする無線通信装置。

- [6] 請求項5において、

途中段の前記第2の2入力2出力バタフライ演算器からバタフライ演算動

作が開始される場合、前記第2の2入力2出力バタフライ演算器は、前記第1の2入力2出力バタフライ演算器のバタフライ演算動作を実行することを特徴とする無線通信装置。

[7] 高速フーリエ変換処理及び高速逆フーリエ変換処理の少なくとも一方を実行する無線通信装置において、

乗算器を介して複数段連結する複数のバタフライ演算手段をそれぞれ有するデータ点数 $N=2^n$ で動作する複数 p の処理部を備え、該複数の処理部は、データ点数 $N=2^n \times p$ による並列処理動作を実行し、各バタフライ演算手段は、直列に接続する1対の第1の2入力2出力バタフライ演算器と第2の2入力2出力バタフライ演算器を有し、

前記第1の2入力2出力バタフライ演算器の一方の入力にデータが入力され、一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、他方の出力は前記第2の2入力2出力バタフライ演算器の一方の入力に接続し、前記第2の2入力2出力バタフライ演算器の一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、次段のバタフライ演算手段がある場合は他方の出力は乗算器を介して、次段の前記第1の2入力2出力バタフライ演算器の一方の入力に接続し、

データ点数 $N=2^n \times p$ による並列処理動作を実行する前記複数の処理部を、データ点数 $N=2^{n+\alpha}$ ($\alpha: p \geq 2^\alpha$ を満たす整数)による直列処理動作させる切替手段を有することを特徴とする無線通信装置。

[8] 請求項7において、

直列処理動作時は、前記切替手段により、前記複数の処理部のうちの第1の処理部の少なくとも一つの第1又は第二のバタフライ演算器が、乗算器を介して前記複数の処理部のうちの第2の処理部の初段の第1の2入力2出力バタフライ演算器に直列に接続し、

前記複数の処理部における各バタフライ演算器に対応付けられた遅延フィードバックメモリを他のバタフライ演算器と共有可能とするために、各バタフライ演算器と各遅延フィードバックメモリはバス接続することを特徴とす

る無線通信装置。

[9] 請求項 7 又は 8 において、

各処理部は、各バタフライ演算器に対応付けられていない少なくとも 1 ワード分の追加の遅延フィードバックメモリを備えることを特徴とする無線通信装置。

[10] 乗算器を介して複数段連結する複数のバタフライ演算手段を有し、各バタフライ演算手段は、直列に接続する 1 対の第 1 の 2 入力 2 出力バタフライ演算器と第 2 の 2 入力 2 出力バタフライ演算器を有する無線通信装置であって、前記第 1 の 2 入力 2 出力バタフライ演算器の一方の入力にデータが入力され、一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、他方の出力は前記第 2 の 2 入力 2 出力バタフライ演算器の一方の入力に接続し、前記第 2 の 2 入力 2 出力バタフライ演算器の一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、次段のバタフライ演算手段がある場合は他方の出力は乗算器を介して、次段の前記第 1 の 2 入力 2 出力バタフライ演算器の一方の入力に接続する前記無線通信装置の高速逆フーリエ変換処理方法において、

前記第 1 の 2 入力 2 出力バタフライ演算器は、一方の入力に入力される入力データの実数成分及び虚数成分それぞれに対して所定の減算処理を行い、他方の入力に入力されるフィードバックデータの実数成分及び虚数成分それぞれに対して所定の加算処理を行い、

前記第 2 の 2 入力 2 出力バタフライ演算器は、一方の入力に入力される入力データの実数成分に対して所定の減算処理又は制御信号に応じた切替制御による加算処理を選択的に実行し、虚数成分に対して所定の減算処理を行い、他方の入力に入力されるフィードバックデータの実数成分に対して所定の加算処理又は制御信号に応じた切替制御による減算処理を選択的に実行し、虚数成分に対して所定の加算処理を行い、一方の入力に入力される入力データの実数成分と虚数成分とを入れ替えることを特徴とする高速逆フーリエ変換処理方法。

[11] 請求項 10 において、

初段の前記第 1 の 2 入力 2 出力バタフライ演算器は、一方の入力に入力される入力データの実数成分及び虚数成分と他方の入力に入力されるフィードバックデータの実数成分及び虚数成分とをそれぞれ入れ替えることを高速逆フーリエ変換処理方法。

[12] 乗算器を介して複数段連結する複数のバタフライ演算手段を有し、各バタフライ演算手段は、直列に接続する 1 対の第 1 の 2 入力 2 出力バタフライ演算器と第 2 の 2 入力 2 出力バタフライ演算器を有する無線通信装置であって、前記第 1 の 2 入力 2 出力バタフライ演算器の一方の入力にデータが入力され、一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、他方の出力は前記第 2 の 2 入力 2 出力バタフライ演算器の一方の入力に接続し、前記第 2 の 2 入力 2 出力バタフライ演算器の一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、次段のバタフライ演算手段がある場合は他方の出力は乗算器を介して、次段の前記第 1 の 2 入力 2 出力バタフライ演算器の一方の入力に接続する前記無線通信装置の高速フーリエ変換処理及び高速逆フーリエ変換処理方法において、

前記第 1 の 2 入力 2 出力バタフライ演算器は、一方の入力に入力される入力データの実数成分及び虚数成分それぞれに対して所定の減算処理を行い、他方の入力に入力されるフィードバックデータの実数成分及び虚数成分それぞれに対して所定の加算処理を行い、

前記第 2 の 2 入力 2 出力バタフライ演算器は、一方の入力に入力されるデータの実数成分及び虚数成分それぞれに対して所定の減算処理を行い、他方の入力に入力されるデータの実数成分及び虚数成分それぞれに対して所定の加算処理を行い、一方の入力に入力されるデータの実数成分及び虚数成分それぞれに対して制御信号に応じた切替制御による減算処理又は加算処理を選択的に実行し、他方の入力に入力されるデータの実数成分及び虚数成分それぞれに対して制御信号に応じた切替制御による加算処理又は減算処理を選択的に実行し、

さらに、前記第2の2入力2出力バタフライ演算器は、一方の入力に入力される入力データの実数成分と虚数成分とを入れ替え、他方の入力に入力されるフィードバックデータの実数成分と虚数成分とを入れ替え、一方の出力から出力されるデータの実数成分と虚数成分とを入れ替え、他方の出力から出力されるデータの実数成分と虚数成分とを入れ替え、それぞれの入れ替え動作は、高速フーリエ変換処理時と高速逆フーリエ変換処理時において反対となることを特徴とする高速フーリエ変換処理及び高速逆フーリエ変換処理方法。

- [13] 乗算器を介して複数段連結する複数のバタフライ演算手段を有し、各バタフライ演算手段は、直列に接続する1対の第1の2入力2出力バタフライ演算器と第2の2入力2出力バタフライ演算器を有する無線通信装置であって、前記第1の2入力2出力バタフライ演算器の一方の入力にデータが入力され、一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、他方の出力は前記第2の2入力2出力バタフライ演算器の一方の入力に接続し、前記第2の2入力2出力バタフライ演算器の一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、次段のバタフライ演算手段がある場合は他方の出力は乗算器を介して、次段の前記第1の2入力2出力バタフライ演算器の一方の入力に接続する前記無線通信装置における高速フーリエ変換処理及び高速逆フーリエ変換処理方法において、

前記第1の2入力2出力バタフライ演算器は、一方の入力に入力される入力データの実数成分及び虚数成分それぞれに対して所定の減算処理を行い、他方の入力に入力されるフィードバックデータの実数成分及び虚数成分それぞれに対して所定の加算処理を行い、

前記第2の2入力2出力バタフライ演算器は、一方の入力に入力される入力データの実数成分及び虚数成分それぞれに対して所定の減算処理を行い、他方の入力に入力されるフィードバックデータの実数成分及び虚数成分それぞれに対して所定の加算処理を行い、一方の入力に入力される入力データの実数成分及び虚数成分それぞれに対して制御信号に応じた切替制御による加

算処理又は減算処理を選択的に実行し、他方の入力に入力されるフィードバックデータの実数成分及び虚数成分それぞれに対して制御信号に応じた切替制御による減算処理又は加算処理を選択的に実行し、高速フーリエ変換処理時と高速逆フーリエ変換処理時において、前記切替制御による加減則動作が入れ替わることを特徴とする高速フーリエ変換処理及び高速逆フーリエ変換処理方法。

- [14] 乗算器を介して複数段連結する複数のバタフライ演算手段を有し、各バタフライ演算手段は、直列に接続する1対の第1の2入力2出力バタフライ演算器と第2の2入力2出力バタフライ演算器を有する無線通信装置であって、前記第1の2入力2出力バタフライ演算器の一方の入力にデータが入力され、一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、他方の出力は前記第2の2入力2出力バタフライ演算器の一方の入力に接続し、前記第2の2入力2出力バタフライ演算器の一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、次段のバタフライ演算手段がある場合は他方の出力は乗算器を介して、次段の前記第1の2入力2出力バタフライ演算器の一方の入力に接続する前記無線通信装置における高速フーリエ変換処理及び高速逆フーリエ変換処理方法において、

高速フーリエ変換処理又は高速逆フーリエ変換処理のデータ点数に応じて、初段の第1の2入力2出力バタフライ演算器から順に所定数のバタフライ演算器のバタフライ演算動作を停止させ、途中段の前記第1又は第2の2入力2出力バタフライ演算器からバタフライ演算動作を開始させることを特徴とする高速フーリエ変換処理及び高速逆フーリエ変換処理方法。

- [15] 請求項14において、

途中段の前記第2の2入力2出力バタフライ演算器からバタフライ演算動作が開始される場合、前記第2の2入力2出力バタフライ演算器は、前記第1の2入力2出力バタフライ演算器のバタフライ演算動作を実行することを特徴とする高速フーリエ変換処理及び高速逆フーリエ変換処理方法。

- [16] 乗算器を介して複数段連結する複数のバタフライ演算手段をそれぞれ有す

るデータ点数 $N=2^n$ で動作する複数 p の処理部を備え、該複数の処理部は、データ点数 $N=2^n \times p$ による並列処理動作を実行し、各バタフライ演算手段は、直列に接続する1対の第1の2入力2出力バタフライ演算器と第2の2入力2出力バタフライ演算器を有する無線通信装置であって、前記第1の2入力2出力バタフライ演算器の一方の入力にデータが入力され、一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、他方の出力は前記第2の2入力2出力バタフライ演算器の一方の入力に接続し、前記第2の2入力2出力バタフライ演算器の一方の出力は遅延フィードバックメモリを介して他方の入力に接続し、次段のバタフライ演算手段がある場合は他方の出力は乗算器を介して、次段の前記第1の2入力2出力バタフライ演算器の一方の入力に接続する前記無線通信装置の高速フーリエ変換処理及び高速逆フーリエ変換処理方法において、

切替手段が、データ点数 $N=2^n \times p$ による並列処理動作を実行する前記複数の処理部を、データ点数 $N=2^{n+\alpha}$ ($\alpha : p \geq 2^\alpha$ を満たす整数)による直列処理動作させることを特徴とする高速フーリエ変換処理及び高速逆フーリエ変換処理方法。

[17] 請求項16において、

直列処理動作時は、前記切替手段により、前記複数の処理部のうちの第1の処理部の少なくとも一つの第1又は第二のバタフライ演算器が、乗算器を介して前記複数の処理部のうちの第2の処理部の初段の第1の2入力2出力バタフライ演算器に直列に接続させ、

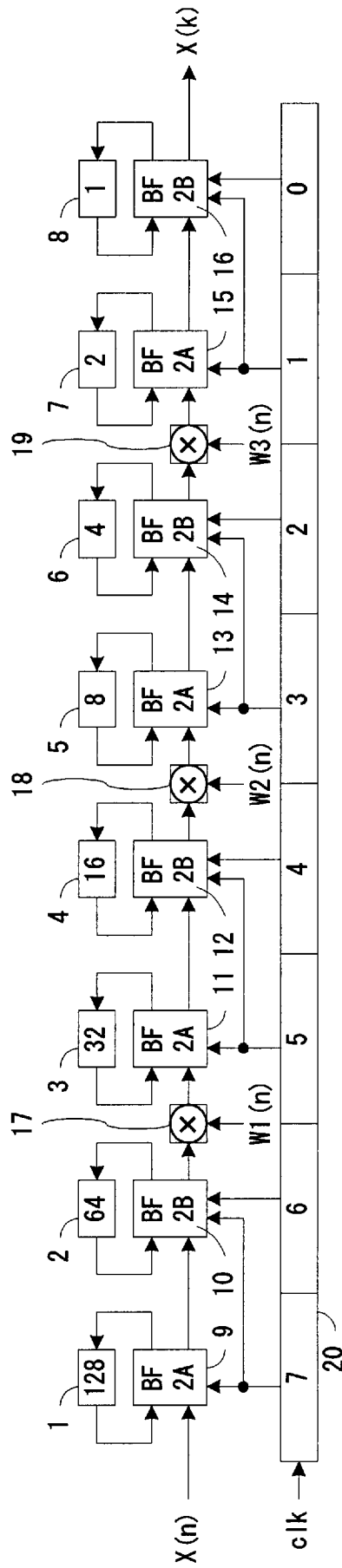
前記複数の処理部における各バタフライ演算器に対応付けられた遅延フィードバックメモリを他のバタフライ演算器と共有可能とするために、各バタフライ演算器と各遅延フィードバックメモリをバス接続することを特徴とする高速フーリエ変換処理及び高速逆フーリエ変換処理方法。

[18] 請求項16又は17において、

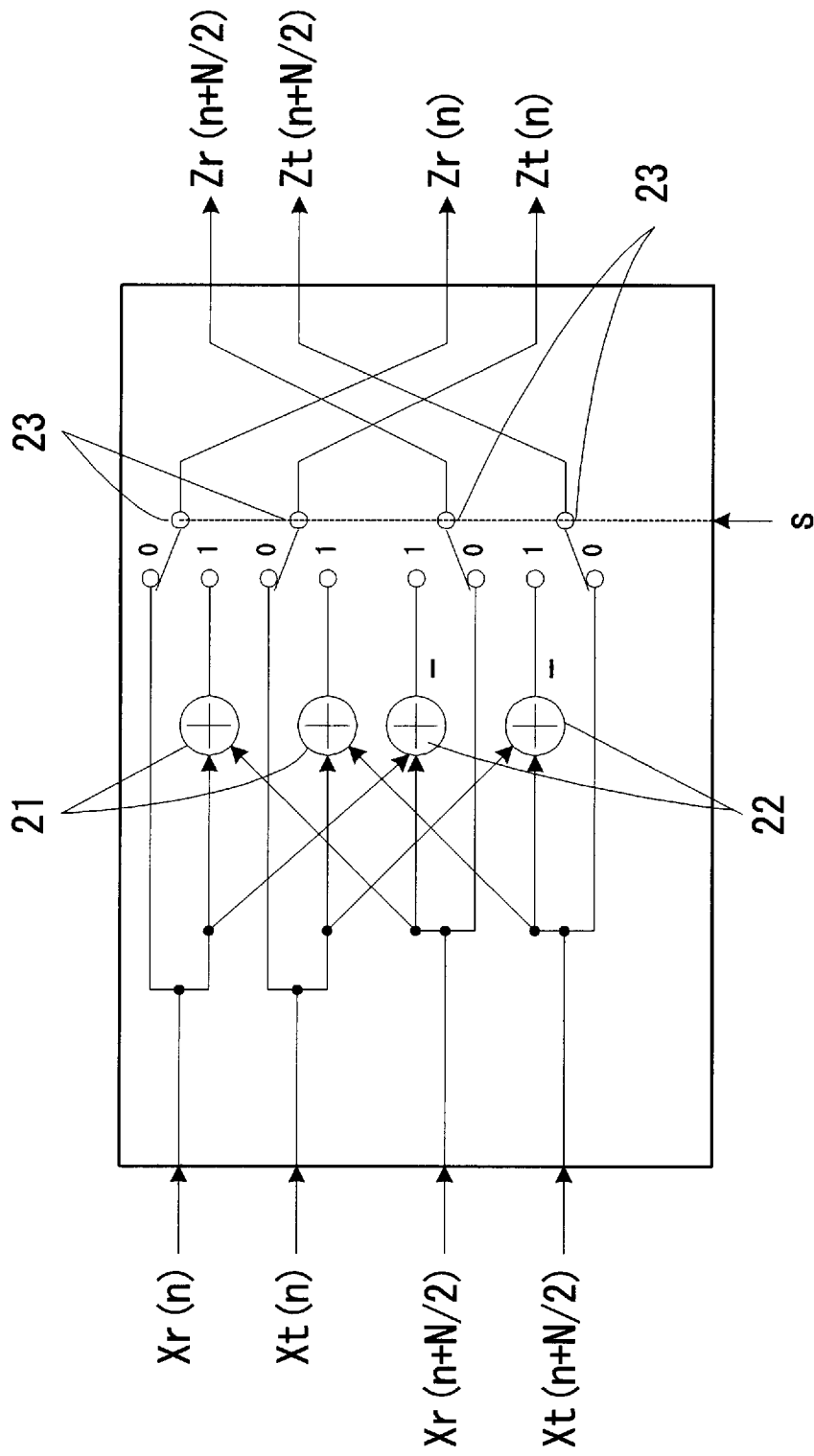
各処理部に、各バタフライ演算器に対応付けられていない少なくとも1ワード分の追加の遅延フィードバックメモリが設けることを特徴とする高速フー

リエ変換処理及び高速逆フーリエ変換処理方法。

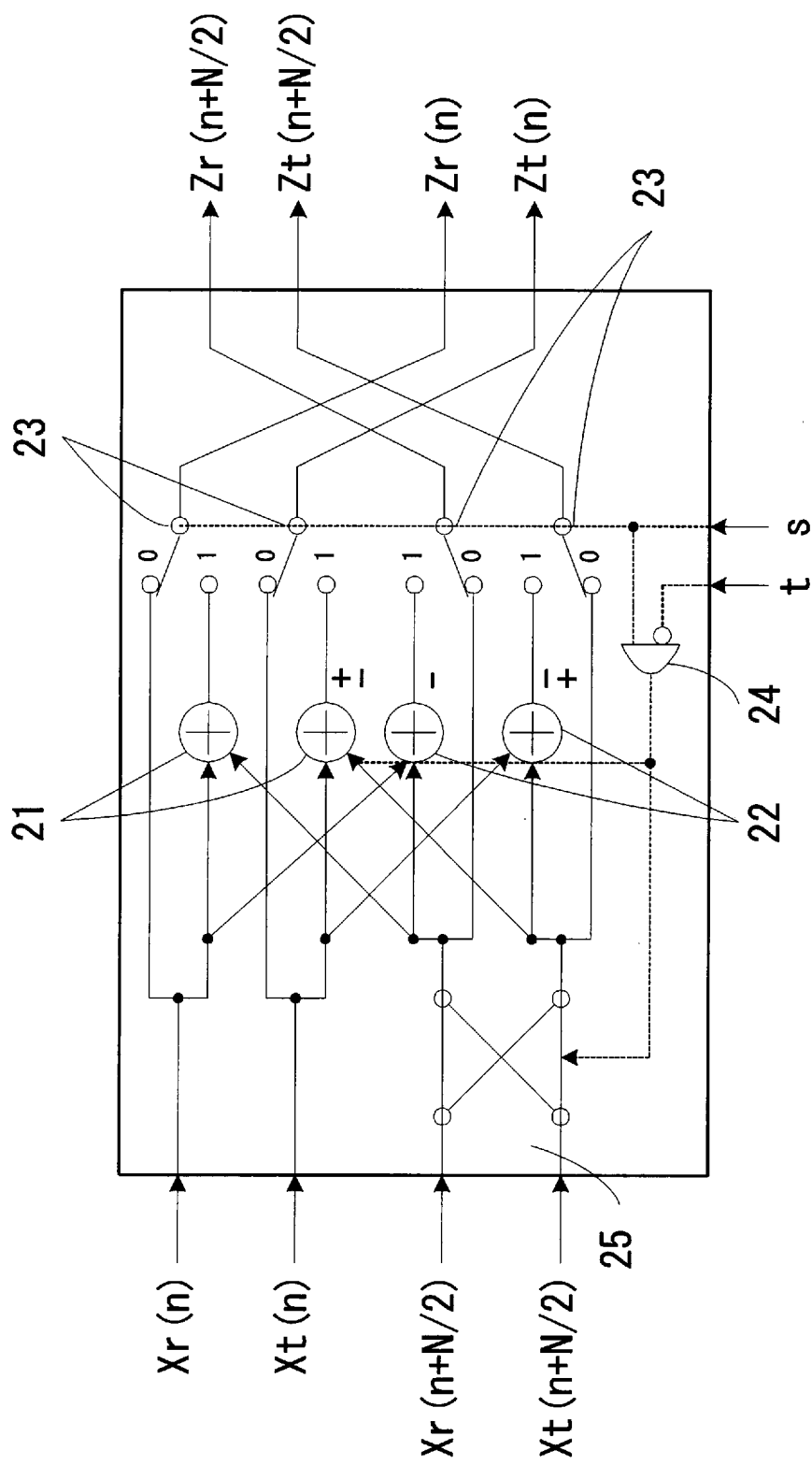
[図1]



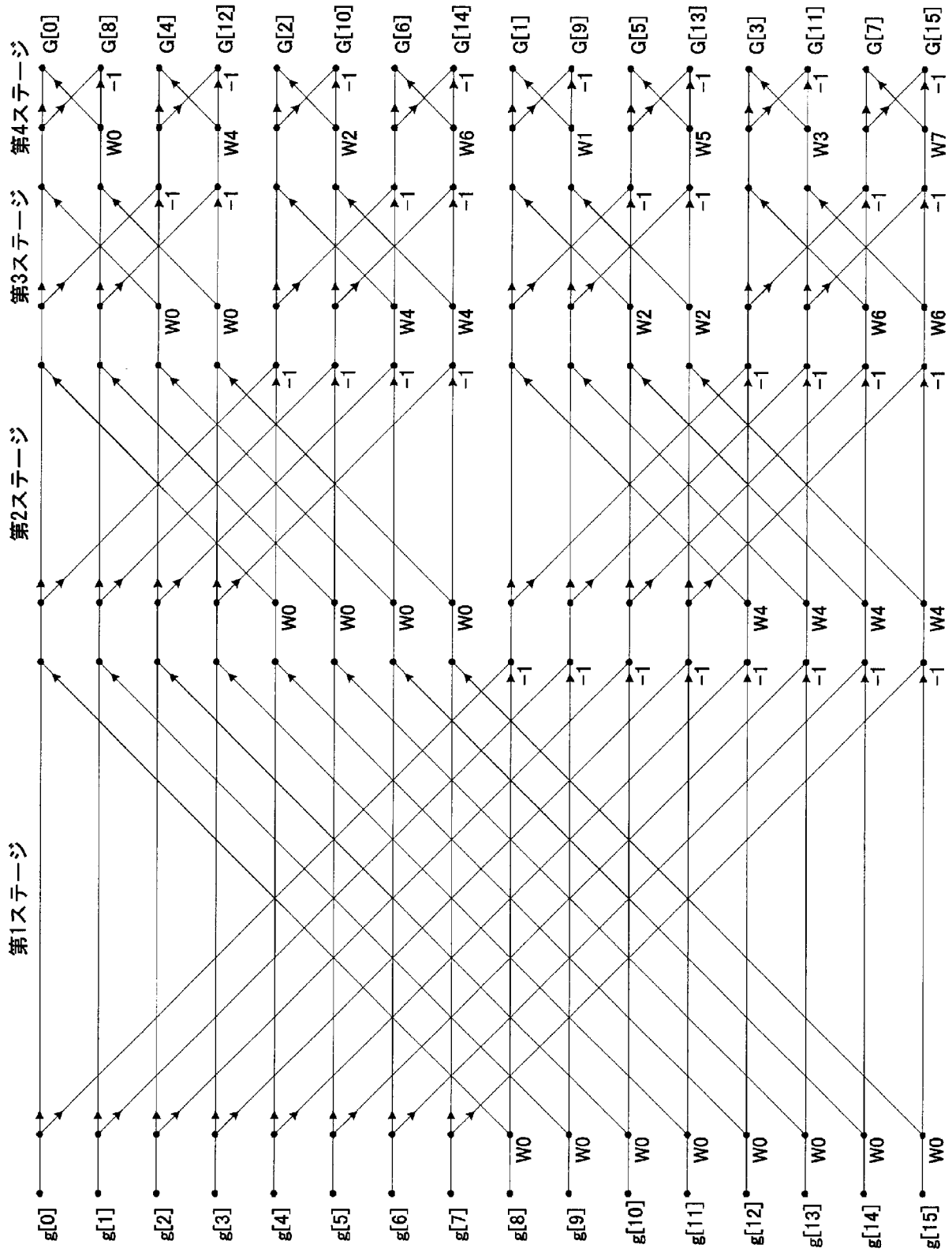
[図2]



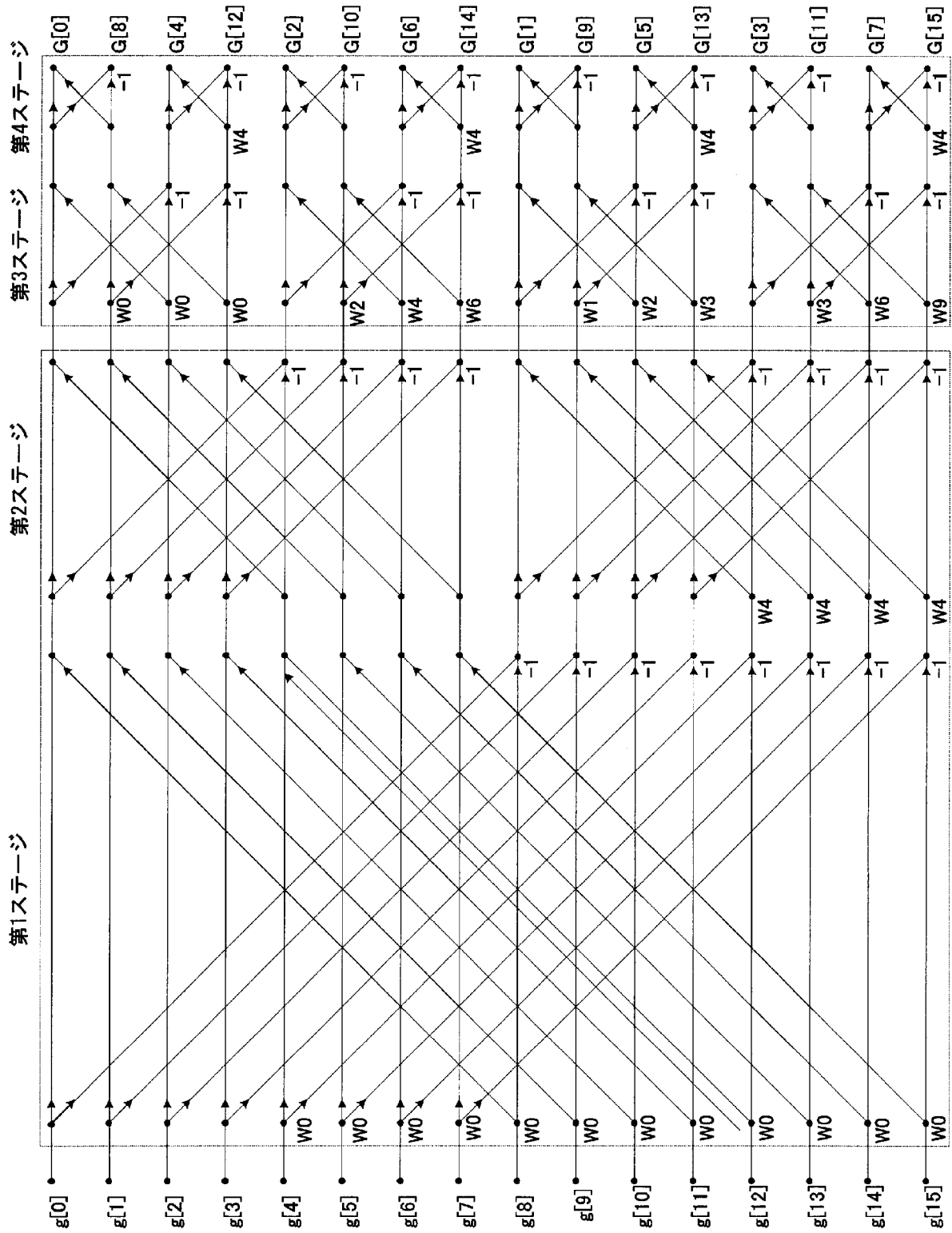
[図3]



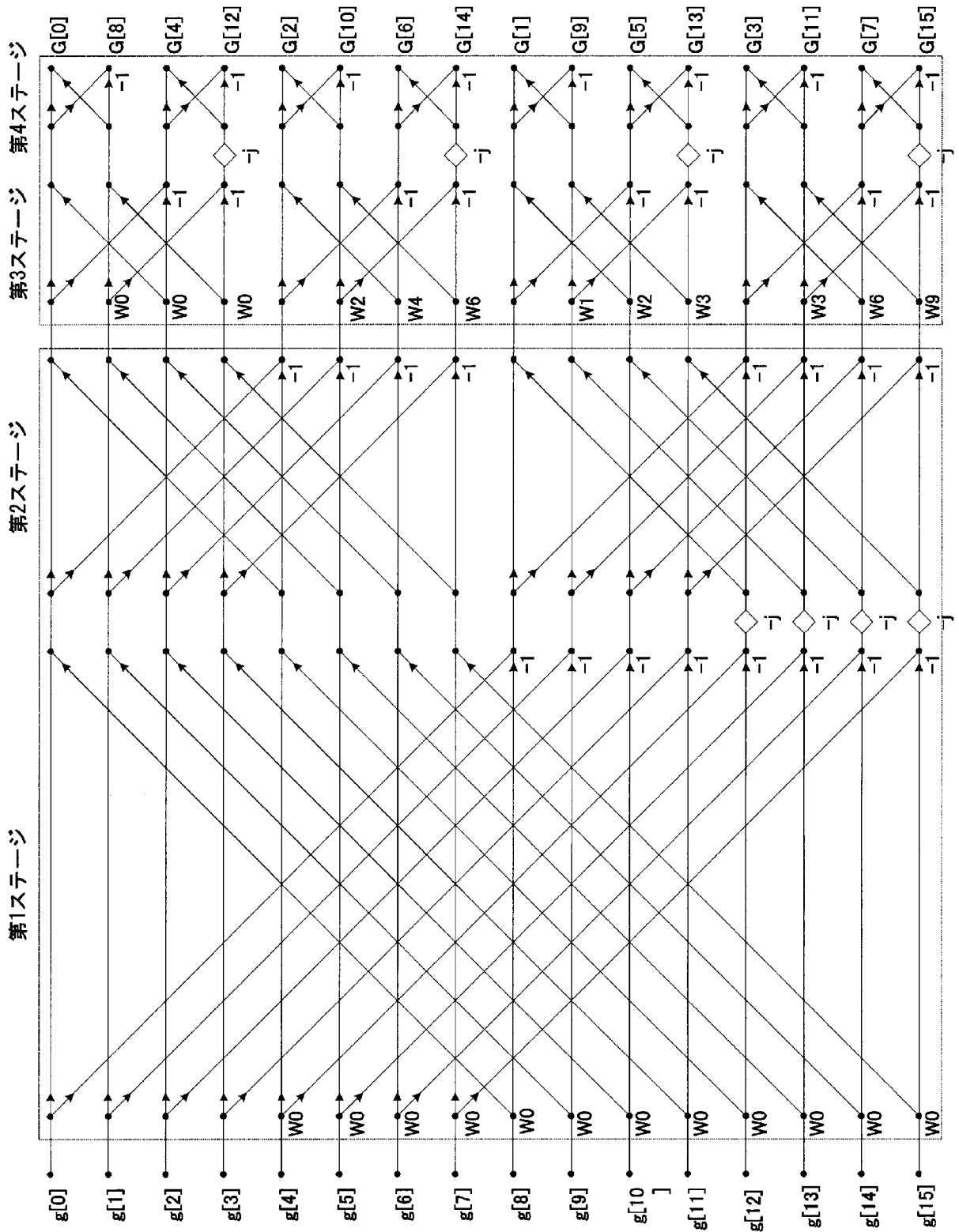
【図4】



[図5]



[図6]



[図7]

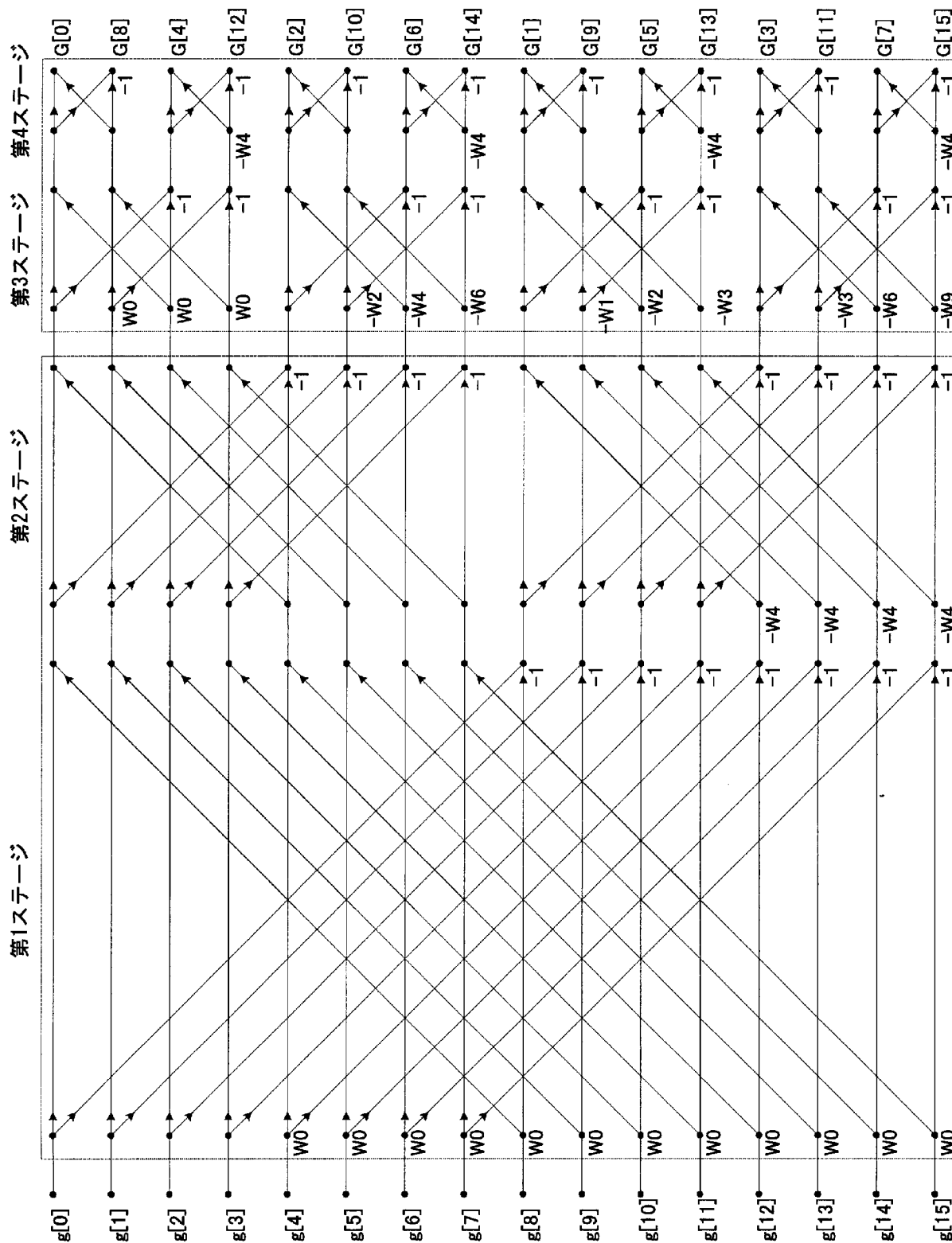
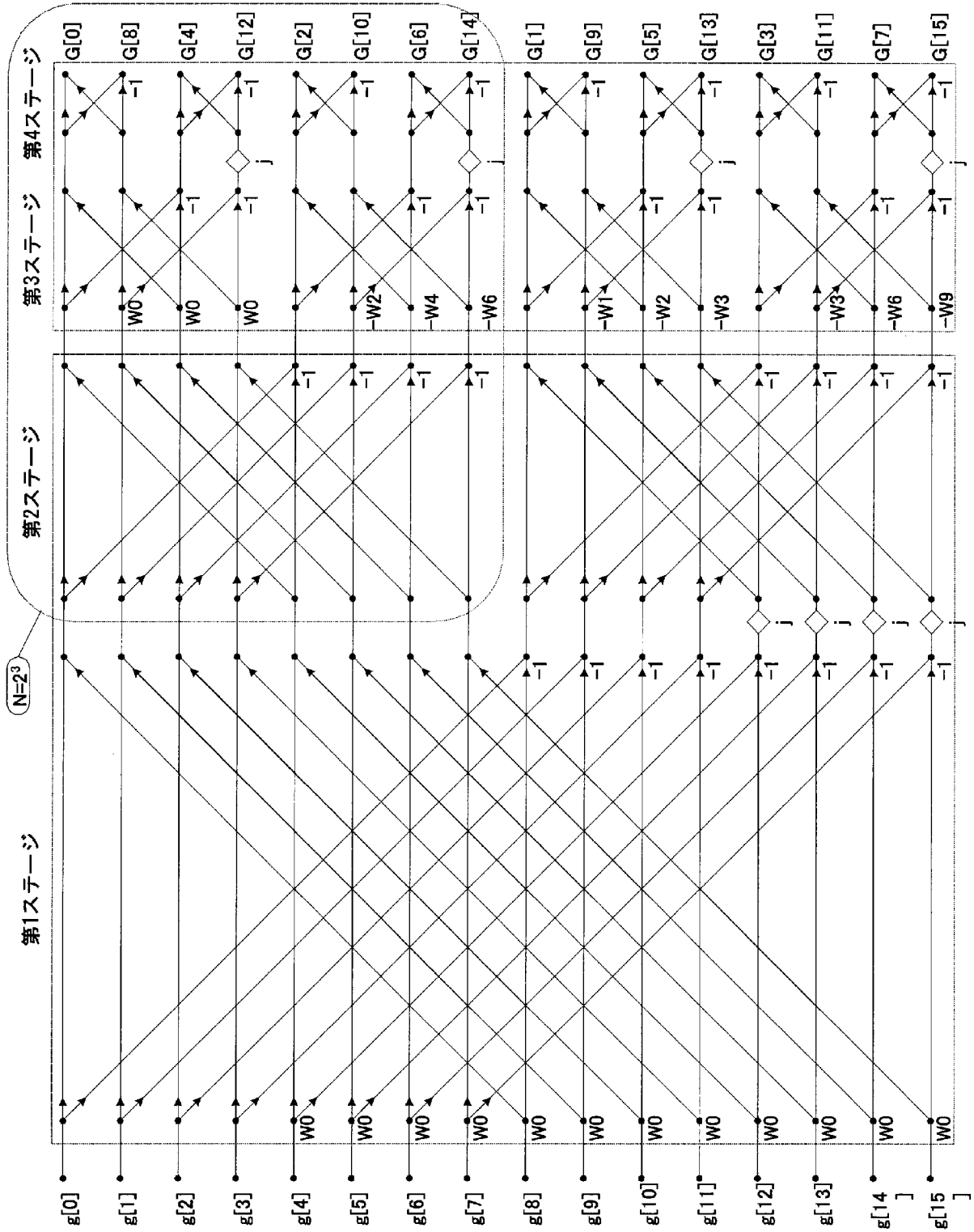
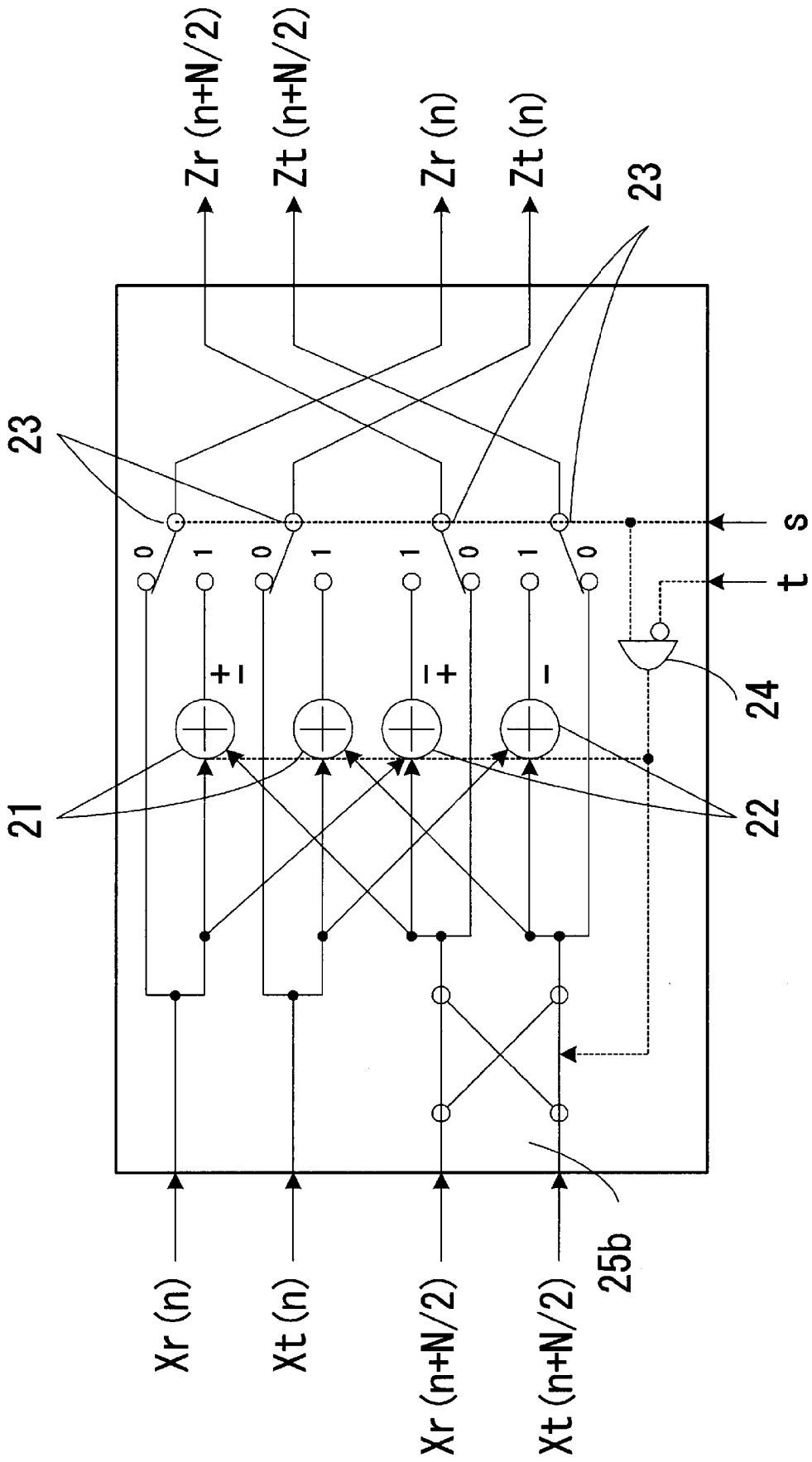


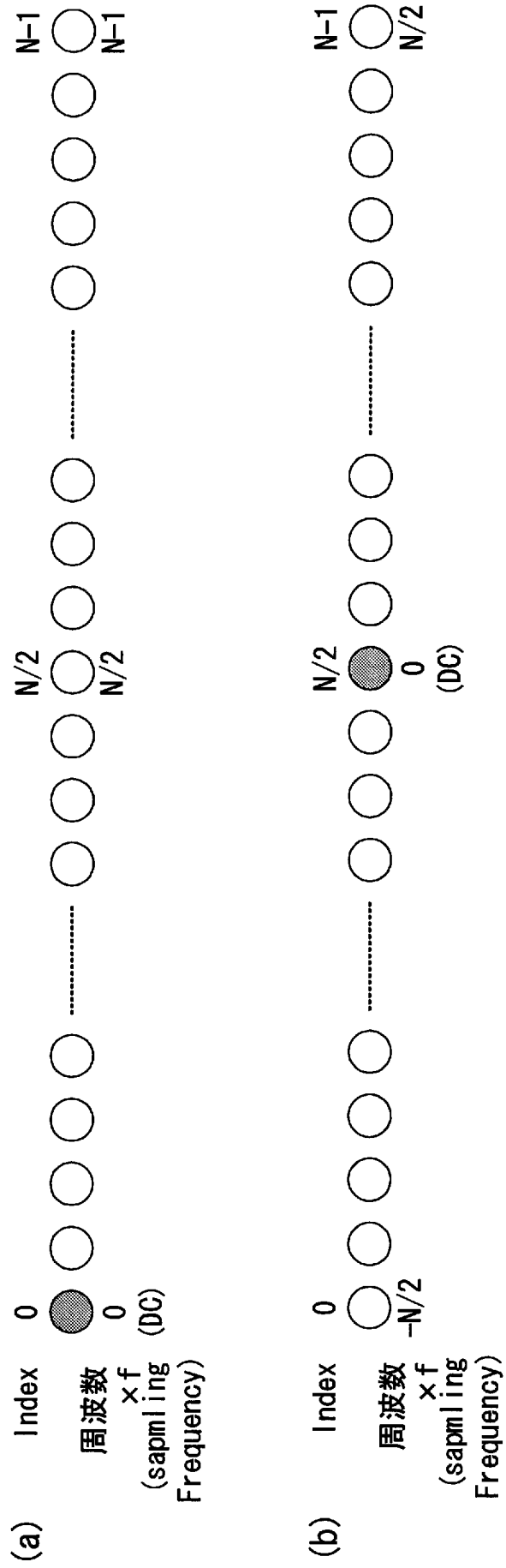
図8



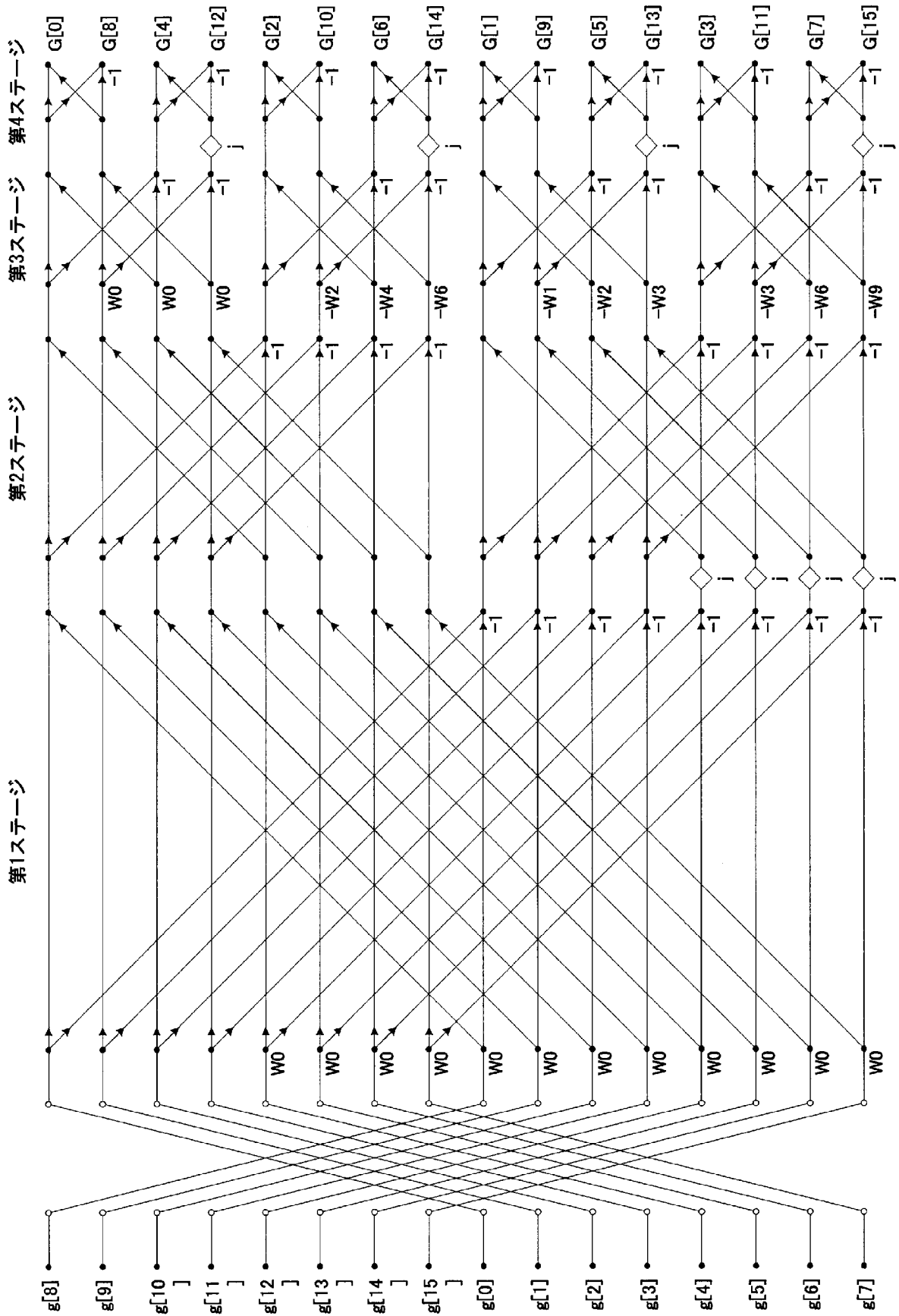
[図9]



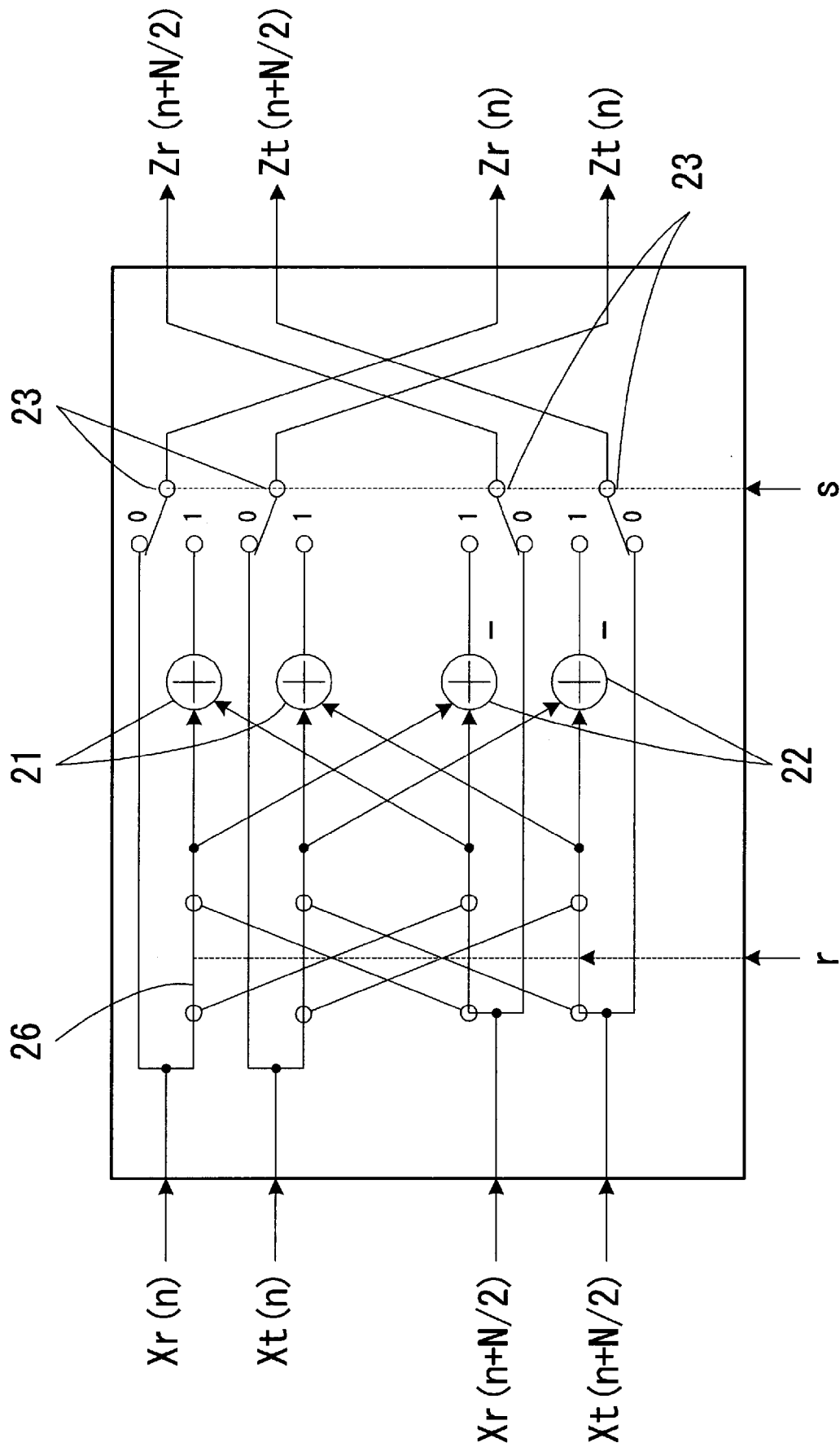
[図10]



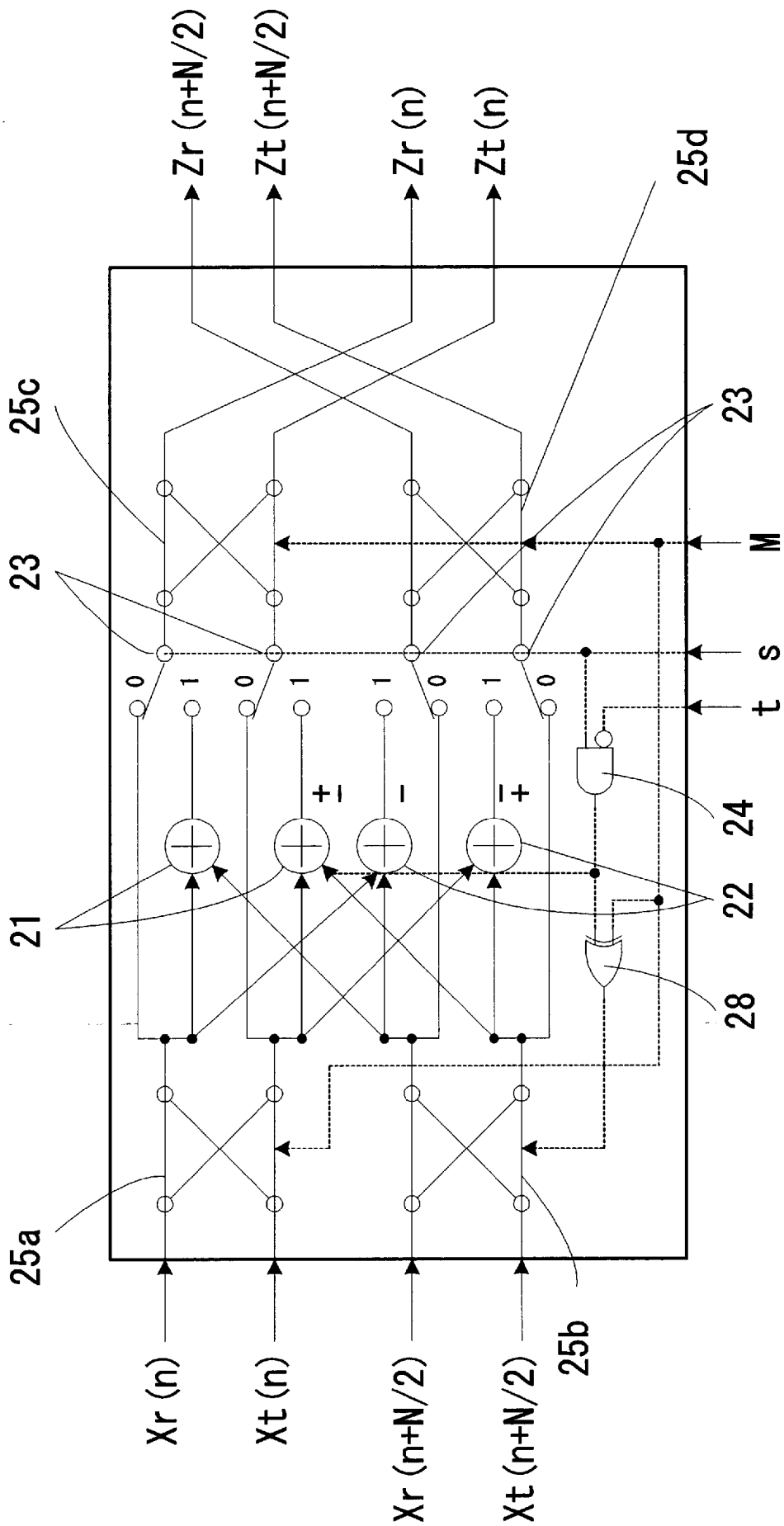
[図11]



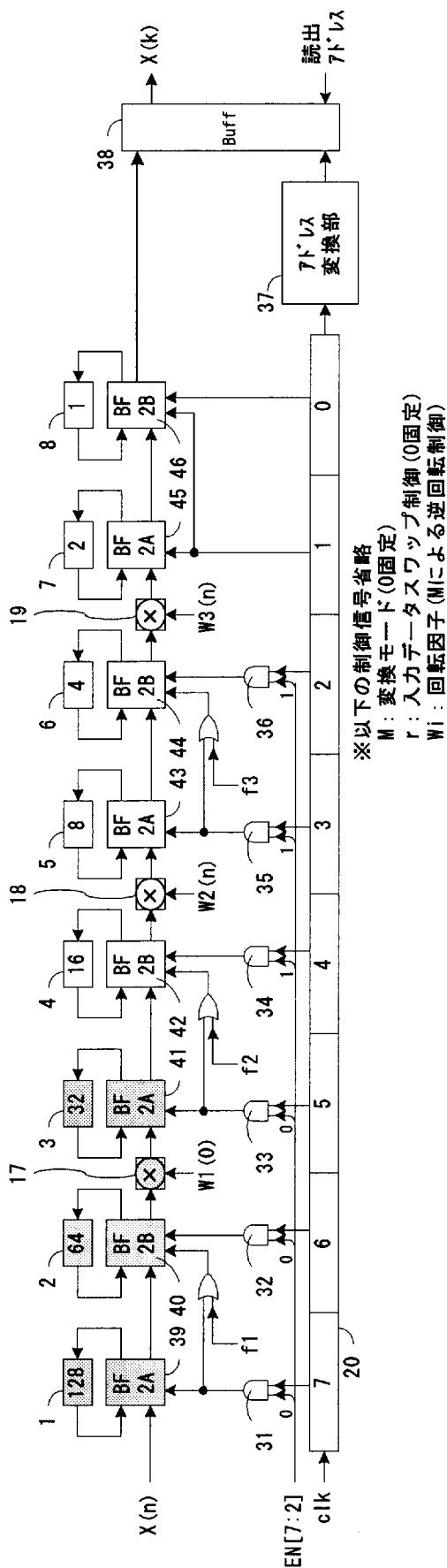
[図12]



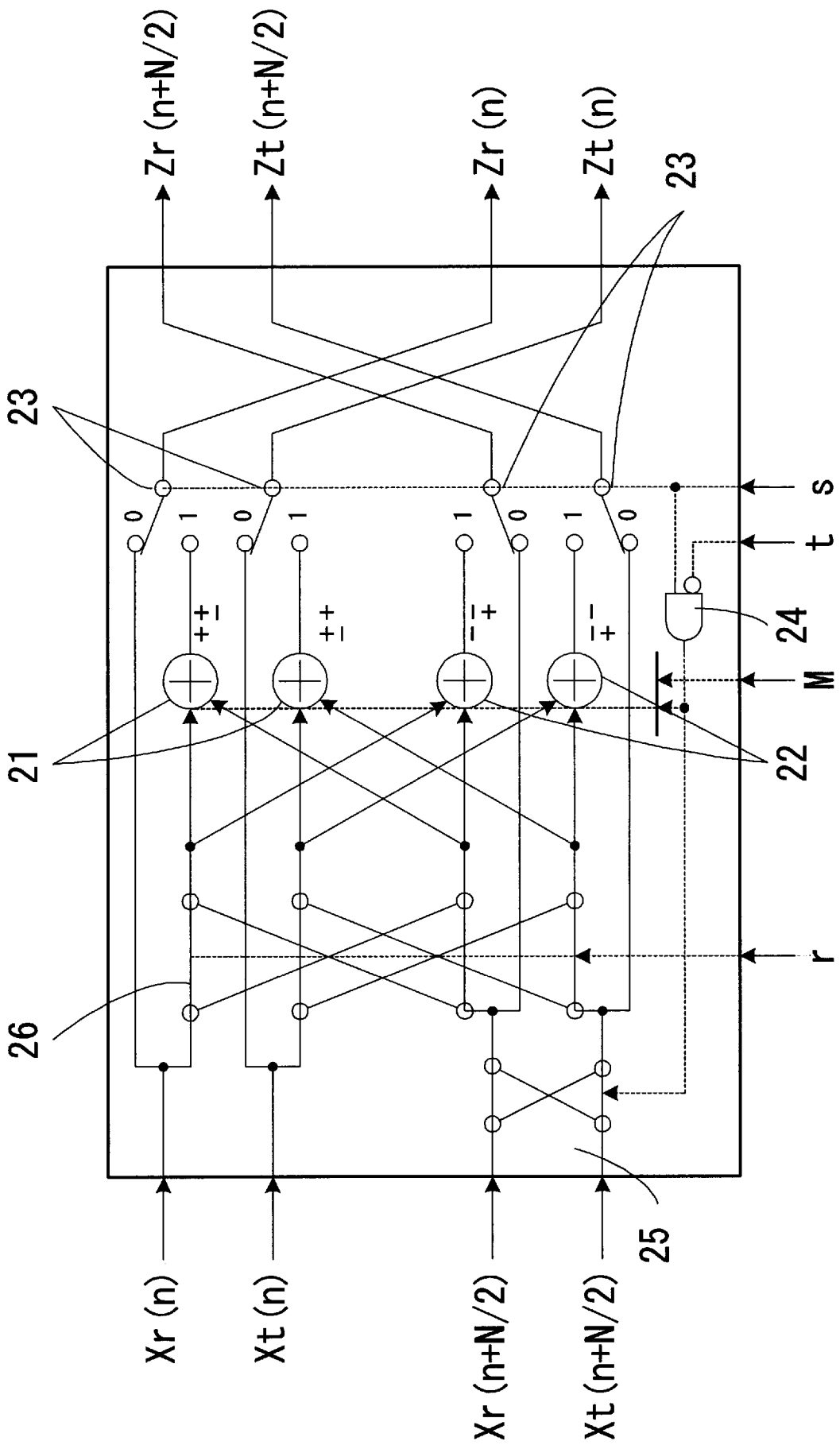
[図13]



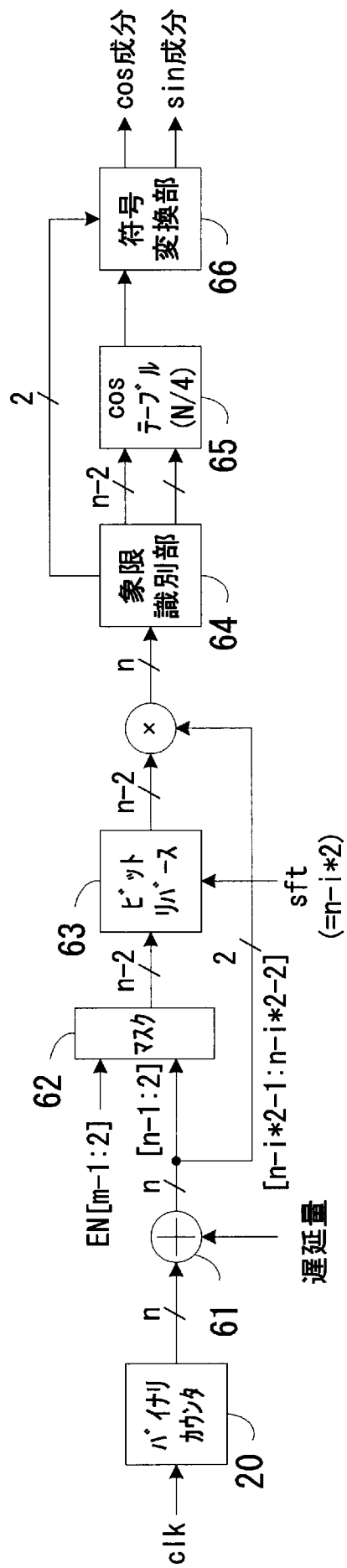
[図14]



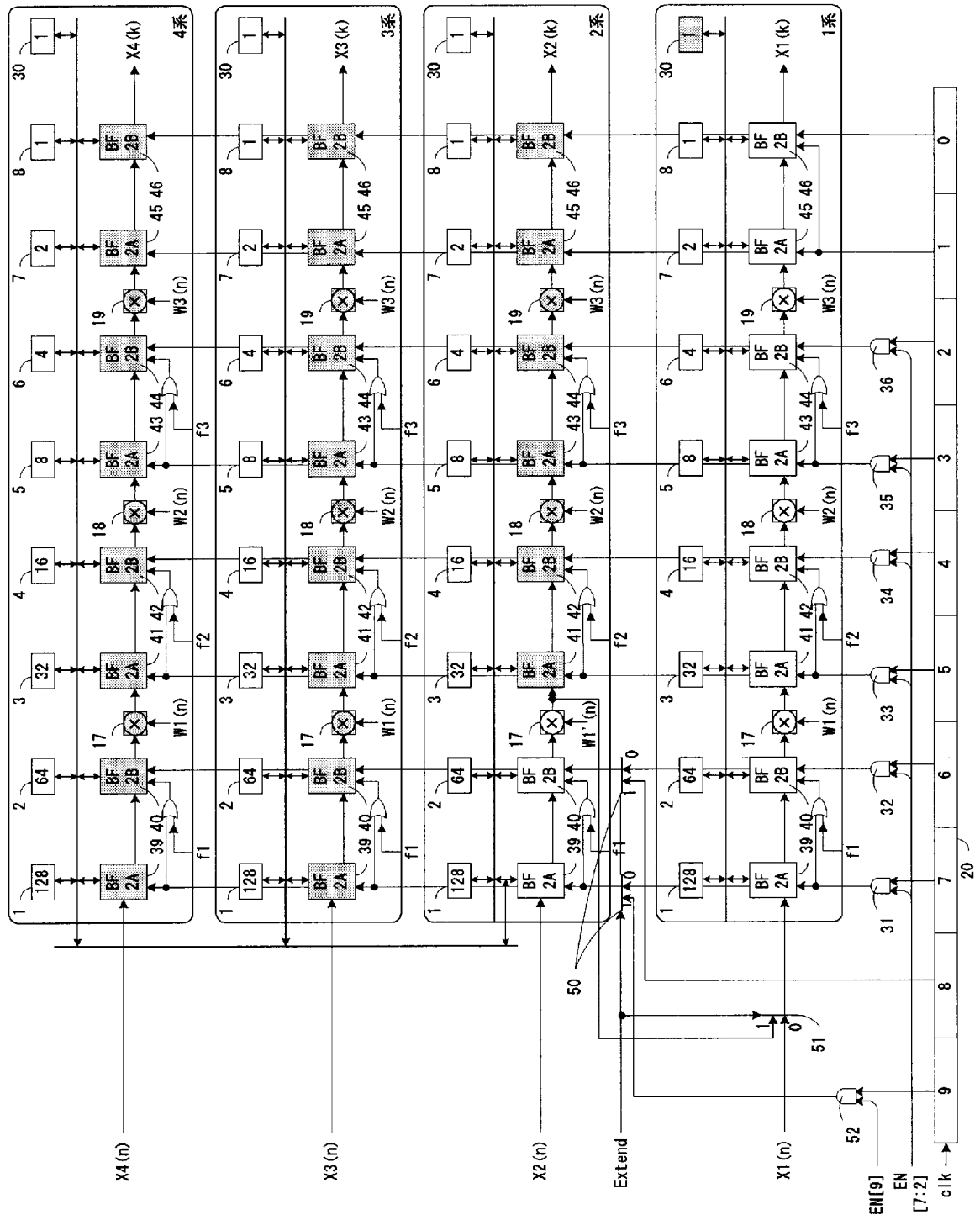
[図15]



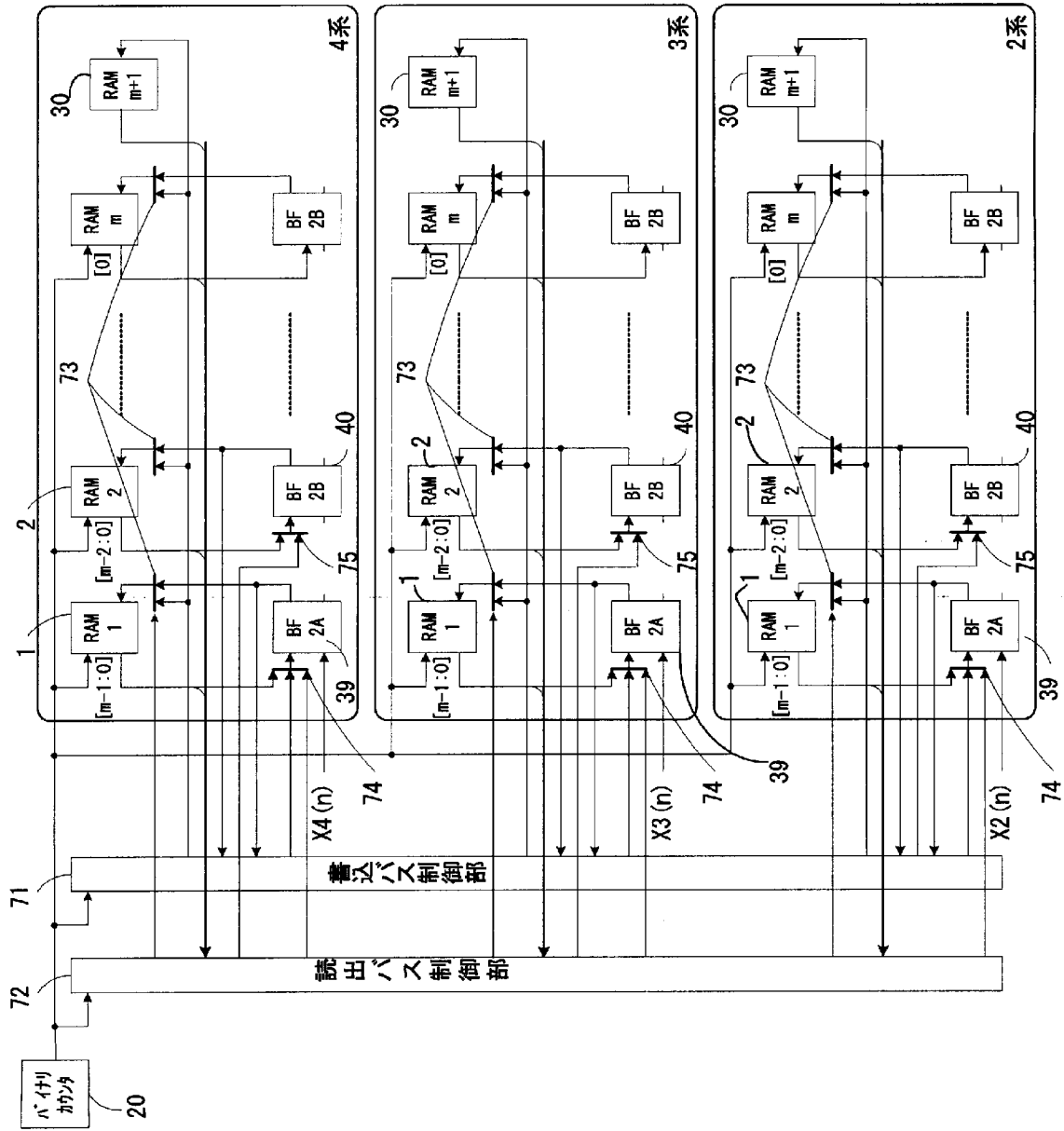
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/000415

A. CLASSIFICATION OF SUBJECT MATTER
G06F17/14 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F17/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 6098088 A (Teracom AB.), 01 August, 2000 (01.08.00), Figs. 9 to 11; column 8, line 61 to column 10, line 42 & WO 1997/019412 A1 & EP 0824730 A1	1-4, 10-13 5-9, 14-18
Y A	JP 2008-506191 A (Asocs Ltd.), 28 February, 2008 (28.02.08), Fig. 11; Par. Nos. [0004], [0024] & WO 2006/014528 A1 & US 2006/0010188 A1 & EP 1769391 A1	1-4, 10-13 5-9, 14-18
A	WO 2005/008516 A2 (SIWORKS INC.), 27 January, 2005 (27.01.05), Figs. 8 to 17 & US 2005/0015420 A1 & EP 1646953 A2	1-18

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 27 May, 2008 (27.05.08)	Date of mailing of the international search report 03 June, 2008 (03.06.08)
--	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/000415

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-501253 A (Telefonaktiebolaget LM Ericsson (publ)), 15 January, 2002 (15.01.02), Full text; all drawings & WO 1999/038089 A1 & US 6061705 A & EP 1051680 A1	1-18

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G06F17/14(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G06F17/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2008年
日本国実用新案登録公報	1996-2008年
日本国登録実用新案公報	1994-2008年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	US 6098088 A (Teracom AB) 2000.08.01, 第9-11図, 第8欄第61行-第10欄第42行 & WO 1997/019412 A1 & EP 0824730 A1	1-4, 10-13 5-9, 14-18
Y A	JP 2008-506191 A (アソクス リミテッド) 2008.02.28, 第11図, 【0004】 【0024】 段落 & WO 2006/014528 A1 & US 2006/0010188 A1 & EP 1769391 A1	1-4, 10-13 5-9, 14-18

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

27.05.2008

国際調査報告の発送日

03.06.2008

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)	5 B	8941
須田 勝巳		
電話番号 03-3581-1101 内線 3545		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	WO 2005/008516 A2 (SIWORKS INC.) 2005.01.27, 第8-17 図 & US 2005/0015420 A1 & EP 1646953 A2	1-18
A	JP 2002-501253 A (テレフオンアクチーボラゲット エル エム エ リクソン (パブル)) 2002.01.15, 全文, 全図 & WO 1999/038089 A1 & US 6061705 A & EP 1051680 A1	1-18