

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種固態硬碟(SSD)儲存系統，且特別是有關於一種具有平行資料存取架構的固態硬碟(SSD)儲存系統與固態硬碟控制器。

【先前技術】

由於近年來高速串列埠(Serial Port)與並列埠(Parallel Port)的資料傳輸技術不斷進步，因而發展出如通用串列匯流排(USB) 2.0、IEEE1394、IDE Ultra DMA Mode 等等高速界面的問世，讓資料傳輸速度大幅的提升。可惜的是，快閃記憶體(Flash Memory)類儲存元件的資料傳輸速度並沒有隨之提升，且遠低於高速串列埠與並列埠的資料傳輸速度。以高速串列埠例如以 USB 2.0 或 IEEE1394 為例，其定義的資料傳輸速率分別為 480 Mbps 與 800 Mbps。而並列埠界面以 IDE Ultra DMA Mode 為例，其定義的資料傳輸速率可達 133 MB/s。再者，市面上更擁有傳輸速度遠高於上述傳輸界面之串列 ATA(Serial ATA，簡稱 SATA)匯流排及 SATA II，其傳輸速度分別可高達 150MB/s(或者 1.2Gb/s)及 300MB/s(或者 2.4Gb/s)。但是快閃記憶體類儲存元件受限於其物理特性的關係，目前平均傳輸速率僅達 5MB/s 左右，因此資料傳輸速度在此產生了瓶頸。

除此之外，目前快閃記憶體又分為單階儲存記憶胞(Single Level Cell，簡稱 SLC)與多階儲存記憶胞(Multi

Level Cell，簡稱 MLC)。單階儲存記憶胞(SLC)為一個陣列儲存一個二進位位元(Bit)，而多階儲存記憶胞(MLC)為用電子數量的多少來分級，也就可以用一個陣列儲存多於 1 個位元。原來的快閃記憶體多為單階儲存記憶胞(SLC)，因此具有速度比較快、耗電量較低的優點。多階儲存記憶胞(MLC)雖然速度較慢，但是由於其成本比較低，因此更具有競爭力，也逐漸廣泛的使用。因此，為了解決快閃記憶體類儲存元件界面傳輸速度不佳的問題，並提升產品整體效能，則成為了廠商開發新產品時的重點課題，例如需要擁有高速資料傳輸功能的隨身碟、MP3 播放器、PDA（個人數位助理）、口袋型個人電腦（Pocket PC）、數位相機等產品。另外

再者，目前的資料傳輸儲存裝置上，係利用連接於電腦高速串列埠（如 USB 2.0 界面）來進行資料傳遞的媒介，請參閱圖 1 所示，係為習用儲存裝置與個人電腦連接之方塊示意圖，其整體是利用儲存裝置器之串列匯流排連接埠 120 連接於個人電腦 110 之高速串列匯流排連接埠 112，將資料經由控制器 130 將 USB 2.0 界面轉換為快閃記憶體界面，並儲存於快閃記憶體 140。雖然 USB 2.0 界面是高速串列埠，但當資料儲存於快閃記憶體 140 時，卻得等待快閃記憶體 140 之忙碌狀態，因此大大降低儲存之傳輸速度，實無法發揮高速串列埠的效能。

另外，採用 NAND 快閃記憶體取代硬碟儲存裝置的趨勢逐漸看好，也就是目前所提出的固態硬碟(Solid State

Disk，簡稱 SSD)，主要的特色是採用快閃記憶體取代傳統硬碟的碟片，並加上一顆控制晶片與傳統硬碟機的界面，模擬成硬碟機。優點很明顯的就是既有硬碟機的通用性，又有記憶體的高搜尋效率、無聲、低溫等優勢。因為 NAND 快閃記憶體可以降低硬碟固有的機械延遲(Mechanical Latency)，並且可以縮短其任務週期(Duty Cycle)，因而降低其功耗並減少操作中的震盪衝擊。

例如微軟(Microsoft)在新的作業系統 Vista 作業系統中提出採用混合式硬碟(Hybrid Drive)，由 NAND 快閃記憶體扮演電腦作業系統與旋轉中的硬碟之間的快取記憶體要角，此方案被稱為 ReadyDrive。而英特爾(Intel)的 Robson 技術方案，則是將 NAND 快閃記憶體置於更靠近微處理器的單獨模組，並安裝在主機板上。但是上述的架構對於 NAND 快閃記憶體模組與電腦高速串列埠之間的傳輸問題仍然沒有任何的改進。

而若是使用目前傳輸速度非常快的串列 ATA(Serial ATA，簡稱 SATA)匯流排界面或是 SATA II 匯流排界面，則上述的問題更加顯著。例如有相關業者提出經由 ATA 匯流排架構，經由兩階的共享匯流排(Shared Bus)連接到多個快閃記憶體模組，請參照圖 2 所示。ATA 匯流排控制器 250 經由共享匯流排 260 連接到多個快閃記憶體模組 210、220、230 與 240。而此 ATA 匯流排控制器 250 則經由匯流排 270 與主機 280 的主機端 ATA 匯流排界面 282 連接，以便做為這些快閃記憶體模組 210、220、230 與 240 與主

機 280 的傳輸控制架構。然而，這樣的架構，主要是將多個快閃記憶體模組的存取控制、資料、甚至快閃記憶體所需要的最佳化等等操作都集中由主機 280 的中央微處理器處理，因此必須占用主機 280 的中央微處理器資源，會使得主機 280 的效能變差。

另外，因為是使用共享匯流排(Shared Bus)260，因此，將無法連接到過多的快閃記憶體模組，如此將無法達到擴充的目的。這樣的架構顯然無法達到使用快閃記憶體取代硬碟儲存裝置的目的。

【發明內容】

本發明提出一種具有平行資料存取架構的固態硬碟(SSD)儲存系統，包括固態硬碟(SSD)控制器與多個具有預先決定位元數與頻寬的傳輸界面。此 SSD 控制器經由每個傳輸界面與一或多個快閃記憶體構成傳送控制信號與資料的通道。也就是在 SSD 控制器、具有多位元的傳輸界面、以及快閃記憶體之間構成獨立的傳輸通道。

在一實施例中，此傳輸界面為多媒體記憶卡(MMC)控制機制，包括在 SSD 控制器內部的 MMC 主機端控制器與用以連接一或多個快閃記憶體的 MMC 到快閃記憶體控制器。在另外一實施例中，也可選擇安全數位(Security Card，簡稱 SD)卡控制機制，包括 SSD 控制器內部的 SD 卡主機端控制器與多個 SD 到快閃記憶體控制器之間的連接。在另外一實施例中，也可選擇 CF(CompactFlash)卡控

制機制，包括 SSD 控制器內部的 CF 卡主機端控制器與多個 CF 到快閃記憶體控制器之間的連接。

另外，主機經由 SATA 連接界面、PCI Express 連接界面、或是串列 SCSI(SAS)連接界面等等其中之一種傳輸協定與 SSD 控制器進行快閃記憶體的 control 與存取，是利用在 SSD 控制器內具有雙向連接埠的直接記憶體存取引擎(DMA Engine)傳送資料。

在一實施例中，本發明提出一種具有平行資料存取架構的固態硬碟(SSD)儲存系統，包括一固態硬碟控制器、多個快閃記憶體控制器與多個快閃記憶體。此固態硬碟控制器經由一 SATA 匯流排連接到外部的一主機。此固態硬碟控制器包括一微處理器、一 SATA 連接界面、一直接記憶體存取引擎、一緩衝器、與一主機端傳輸界面。此主機端傳輸界面具有多個傳輸界面主機端控制器，其中直接記憶體存取引擎透過緩衝器連接到主機端傳輸界面，並經由 SATA 連接界面及 SATA 匯流排連接到主機。而每一快閃記憶體控制器連接到對應的一傳輸界面主機端控制器，而所述快閃記憶體控制器與傳輸界面主機端控制器是以平行的方式連接。而所述快閃記憶體控制器以一平行方式連接到至少兩個快閃記憶體。在固態硬碟控制器與平行連接的快閃記憶體控制器之間，建立多個獨立平行的傳輸通道，藉由直接記憶體存取引擎之控制，在所述傳輸通道完成在主機與快閃記憶體之間資料的傳送。

在一實施例中，本發明提出一種固態硬碟控制器，經

由一高速串列匯流排連接界面連接到外部的一主機，並經由多個快閃記憶體控制器連接到多個快閃記憶體。此固態硬碟控制器包括一微處理器、一直接記憶體存取引擎、一緩衝器、一高速串列連接界面與一主機端傳輸界面。此直接記憶體存取引擎，連接到微處理器，用以由此微處理器控制啟始設定與關閉。緩衝器則耦接到微處理器與直接記憶體存取引擎，用以暫存資料。而高速串列連接界面經由所連接的高速串列匯流排連接界面與主機的一主機端連接埠相互連接。主機端傳輸界面具有多個傳輸界面主機端控制器，每一傳輸界面主機端控制器以平行的方式分別連接到多個快閃記憶體控制器其中之一，而快閃記憶體控制器以平行方式連接到至少兩個快閃記憶體。此固態硬碟控制器與這些平行連接的快閃記憶體控制器之間，建立多個獨立平行的傳輸通道，藉由直接記憶體存取引擎之控制，在傳輸通道完成在主機與這些快閃記憶體之間資料的傳送。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

本發明提出一種具有平行資料存取架構的固態硬碟(SSD)儲存系統。此固態硬碟(SSD)儲存系統採用快閃記憶體作為儲存的媒介。本發明所提出的固態硬碟(SSD)儲存系統，包括固態硬碟(SSD)控制器與多個具有預先決定位元數

與頻寬的傳輸界面，此 SSD 控制器經由每個傳輸界面與一或多個快閃記憶體構成傳送控制信號與資料的通道。也就是在 SSD 控制器、具有多位元的傳輸界面、以及快閃記憶體之間構成獨立的傳輸通道。

本發明所提出的固態硬碟(SSD)儲存系統，所建構 SSD 控制器、傳輸界面、控制界面以及快閃記憶體之間多個平行的傳輸通道，可讓主機經由高速串列匯流排連接界面與 SSD 控制器相連接，例如透過 SATA 匯流排連接界面、PCI Express 連接界面、或是串列 SCSI(Serial Attached SCSI，簡稱為 SAS)連接界面等等。而經由這些建立的多個傳輸通道進行快閃記憶體的 control 與存取。而這些平行的傳輸通道則是建構在 SSD 控制器 control 與仲裁下傳輸資料。

此傳輸界面可選擇任一種快閃記憶體卡控制架構，例如在一實施例中，可選擇多媒體記憶卡(Multimedia Card，簡稱 MMC)控制機制，包括在 SSD 控制器內部的 MMC 主機端控制器與用以連接一或多個快閃記憶體的 MMC 到快閃記憶體控制器。在另外一實施例中，也可選擇安全數位(Security Card，簡稱 SD)卡控制機制，包括 SSD 控制器內部的 SD 卡主機端控制器與多個 SD 到快閃記憶體控制器之間的連接。在另外一實施例中，也可選擇 CF(CompactFlash)卡控制機制，包括 SSD 控制器內部的 CF 卡主機端控制器與多個 CF 到快閃記憶體控制器之間的連接。

另外，主機經由高速串列匯流排連接界面與 SSD 控制

器進行快閃記憶體的控制與存取，是利用在 SSD 控制器內具有雙向連接埠的直接記憶體存取引擎(Direct Memory Access Engine，底下簡稱 DMA Engine)傳送資料。此 SSD 控制器連接在主機與多個快閃記憶體之間，並建立平行的傳輸通道，並且利用固定位元數的資料頻寬建立起這些傳輸通道，例如利用八位元的資料頻寬，並利用此直接記憶體存取引擎進行資料的傳輸。

本發明所提出的固態硬碟(SSD)儲存系統，更具有快閃記憶體管理能力，包括快閃記憶體的位址轉換層(Flash Translation Layer，簡稱 FTL)中關於平均磨損(wear-leveling)演算法與記憶體管理的垃圾收集(Garbage Collection)功能，或是在硬體接口層(Hardware Adaptation Layer)的低階驅動程式(Low Level Driver，簡稱 LLD)、錯誤更正碼(Error Correction Code，簡稱 ECC)解錯功能與壞磁區塊管理(Bad Block Management，簡稱 BBM)功能等等。

本發明所提出的固態硬碟(SSD)儲存系統，所儲存的快閃記憶體可以是單階儲存記憶胞(Single Level Cell，簡稱 SLC)或是多階儲存記憶胞(Multi Level Cell，簡稱 MLC)。雖然多階儲存記憶胞(MLC)存取速度較慢，但是由於運用在本發明所提出的固態硬碟(SSD)儲存系統，由於具有平行資料存取的架構，因此可以克服此 MLC 快閃記憶體的存取速度，而達到更廣泛的運用。

請參照圖 3，用以說明本發明一實施例的固態硬碟(SSD)儲存系統組成元件方塊示意圖。此固態硬碟(SSD)儲

存系統 300 包括固態硬碟(SSD)控制器 310、傳輸界面、控制器與快閃記憶體。在此實施例中，此傳輸界面以 MMC 傳輸界面為例說明，而快閃記憶體則以 NAND 快閃記憶體說明，然並非限於此。例如此 MMC 傳輸界面亦可由 SD 卡控制機制所取代，或是由 CF (CompactFlash)卡控制機制所取代，只要在 SSD 控制器 310 與快閃記憶體控制器之間使用相同界面即可。

因此， SSD 控制器 310 經由傳輸界面，並經匯流排 311、313、315 與 317 連接到 MMC 到快閃記憶體控制器 320、322、324 與 326。而此 MMC 到快閃記憶體控制器 320、322、324 與 326 則分別與兩個 NAND 快閃記憶體平行方式連接，例如圖中的 NAND 快閃記憶體 330~337。而 SSD 控制器 310 經由高速串列匯流排連接界面與主機 350 連接，例如使用 SATA 匯流排連接界面與主機 350 連接。或是在另外實施例中亦可透過 PCI Express 連接界面或是串列 SCSI(SAS)連接界面等等連接。在此僅介紹 SATA 匯流排連接界面 340，以方便說明。

以 MMC 到快閃記憶體控制器 320 為例說明固態硬碟(SSD)儲存系統的操作方式。此 MMC 到快閃記憶體控制器 320 經由匯流排 311 與 SSD 控制器 310 連接，而另外以平行方式連接到兩個 NAND 快閃記憶體 330 與 331。對於兩個 NAND 快閃記憶體 330 與 331 而言，主機 350 透過 MMC 到快閃記憶體控制器 320 與這兩個 NAND 快閃記憶體 330 與 331 之間建立了兩個存取的通道，而這些通道的資料傳

輸機制，是經由 SSD 控制器 310 內的直接記憶體存取引擎 (DMA Engine)312 傳送資料。本實施例的 SSD 控制器 310 可以加上一個仲裁器 (Memory Arbitrator)316，是用來仲裁某一個時點，對於緩衝器 314 的存取權限與優先順序。

在此說明資料寫入的情況。假設目前主機 350 欲寫入資料到 NAND 快閃記憶體 330~337 時，SSD 控制器 310 經由內部的微處理器進行設定後，啟動 DMA 引擎 312。此時，經由 DMA 引擎 312 的直接資料傳送，主機 350 傳來的資料會暫時搬到緩衝器 314 儲存，接著再由緩衝器 314 根據資料量的多寡搬到 MMC 到快閃記憶體控制器 320~326 其中之一或同時平行搬到多個 MMC 到快閃記憶體控制器 320~326 中。由於 SSD 控制器 310 對 MMC 到快閃記憶體控制器 320~326 的資料傳輸方式是採用平行處理的方式，因此，所有 SSD 控制器 310 對任一個 MMC 到快閃記憶體控制器的所有控制與資料信號傳送都是獨立的，不需要再經由微處理器進行搬動的控制與操作。

在此說明主機欲讀出資料的情況。假設目前主機 350 欲讀取資料時，SSD 控制器 310 經由內部的微處理器進行設定後，啟動 DMA 引擎 312。此時，SSD 控制器 310 會經由 MMC 到快閃記憶體控制器 320~326，對 NAND 快閃記憶體 330~337 直接讀取資料。資料是以平行的方式讀出，並且暫存在緩衝器 314 內。也就是說，SSD 控制器 310 與 MMC 到快閃記憶體控制器 320~326 之間的資料傳送都是獨立的。之後，SSD 控制器 310 會經由 SATA 匯流排連

接界面 340 將資料搬到主機 350。

本實施例所提出的固態硬碟(SSD)儲存系統中，由於所連接的是具有較大頻寬的 SATA 匯流排界面，所以使用直接記憶體存取引擎(DMA Engine)傳送資料而不選擇經由微處理器控制搬運資料，這樣會節省許多的時間，而且會使整個讀寫的效能更好。

請參照圖 4，用以說明本發明實施例的固態硬碟(SSD)儲存系統組成元件方塊詳細示意圖。固態硬碟(SSD)儲存系統的整體架構類似於圖 3 所示，在此僅針對更詳細的方塊示意圖提出說明。

固態硬碟(SSD)儲存系統 400 包括固態硬碟(SSD)控制器 410、MMC 到快閃記憶體控制器 430~436，以及 NAND 快閃記憶體陣列 440。此 SSD 控制器 410 經由傳輸界面，並經匯流排 411、413、415 與 417 連接到 MMC 到快閃記憶體控制器 430、432、434 與 436。而此 MMC 到快閃記憶體控制器 430、432、434 與 436 則分別與兩個 NAND 快閃記憶體平行方式連接，另外在另一實施例中，每個通道可連接一個 NAND 快閃記憶體，或是同時連接超過一個以上的 NAND 快閃記憶體，此係設計上的需要而定。例如以 MMC 到快閃記憶體控制器 430 為例，其中一個通道連接到 NAND 快閃記憶體 441、443 或 445 等等。另一通道則連接到 NAND 快閃記憶體 442、444 或 446 等等。

以 MMC 到快閃記憶體控制器 430 為例說明固態硬碟(SSD)儲存系統的操作方式。此 MMC 到快閃記憶體控制器

430 經由匯流排 411 與 SSD 控制器 410 連接，而另外以平行方式連接到兩排 NAND 快閃記憶體 441~446。對於兩排 NAND 快閃記憶體 441~446 而言，主機 450 與這兩排 NAND 快閃記憶體 441~446 之間建立了兩個存取的通道，而這些通道的資料傳輸機制，是經由 SSD 控制器 410 內的直接記憶體存取引擎(DMA Engine)412 傳送資料。

在 SSD 控制器 410 內，除了 DMA 引擎 412、緩衝器 414、記憶體仲裁器(Memory Arbitrator)416 之外，更包括微處理器 418、MMC 界面 420 與 SATA 連接界面 421。微處理器 418 控制內部所有電路的運作，包括 DMA 引擎 412、緩衝器 414、記憶體仲裁器 416、MMC 傳輸界面 420 與 SATA 連接界面 421。而記憶體仲裁器 416，連接到微處理器 418、MMC 界面 420 與 SATA 連接界面 421，是用來仲裁某一個時點，對於緩衝器 414 的存取權限與優先順序。

為達到本發明所提出的 SSD 控制器可經由每個傳輸界面與一或多個快閃記憶體構成傳送控制信號與資料的通道。也就是在 SSD 控制器、傳輸界面、以及快閃記憶體之間構成獨立的傳輸通道。此 SSD 控制器 410 的 MMC 傳輸界面 420 包括了多個 MMC 傳輸界面，與快閃記憶體控制器平行連接，例如圖中所示的四個 MMC 傳輸界面 422、424、426 與 428，都有其對應的 MMC 到快閃記憶體控制器 430、432、434 與 436。此數量是根據所要連接的快閃

記憶體控制器數量而定，以便建立獨立的傳輸通道。

而 SATA 連接界面 421 則包括了一個 SATA 實體層連接界面(如圖所示的 SATA PHY)423 與一個 SATA 控制器 425，以便經由 SATA 匯流排連接界面 451 及 SATA 主機端界面 452 與主機 450 進行控制信號與資料的傳輸溝通。

在此說明資料寫入的情況。假設目前主機 450 欲寫入資料到 NAND 快閃記憶體陣列 440 中的任一 NAND 快閃記憶體時，SSD 控制器 410 經由內部的微處理器進行設定後，啟動 DMA 引擎 412。此時，經由 DMA 引擎 412 的直接資料傳送，主機 450 傳來的資料會暫時搬到緩衝器 414 儲存，接著再依據資料量的多寡由緩衝器 414 搬到 MMC 到快閃記憶體控制器 430~436 其中之一、多個或全部。由於 SSD 控制器 410 對 MMC 到快閃記憶體控制器 430~436 的資料傳輸方式是採用平行處理的方式，因此，SSD 控制器 410 對任一個 MMC 到快閃記憶體控制器的所有控制與資料信號傳送都是獨立的，不需要再經由微處理器進行搬動的控制與操作。以 MMC 到快閃記憶體控制器 430 為例，資料可經由 MMC 到快閃記憶體控制器 430 對 NAND 快閃記憶體 441 或 442 其中之一通道的快閃記憶體進行存取，也可對記憶體 441 及 442 二個通道同時平行進行存取。或者在同一通道中，可對 NAND 快閃記憶體 441、443 或是 445 等其中之一進行存取或同時對多個 NAND 快閃記憶體以交錯(interleave)的方式寫入。

在此說明主機欲讀出資料的情況。假設目前主機 450

欲讀取資料時，SSD 控制器 410 經由內部的微處理器進行設定後，啟動 DMA 引擎 412。此時，SSD 控制器 410 會經由 MMC 到快閃記憶體控制器 430~436，對 NAND 快閃記憶體陣列 440 讀取資料。資料是以平行的方式讀出，並且暫存在緩衝器 414 內。也就是說，SSD 控制器 410 與 MMC 到快閃記憶體控制器 430~436 之間的資料傳送都是獨立的。之後，SSD 控制器 410 會將資料經由 SATA 連接界面 421 透過 SATA 匯流排連接界面 451 及 SATA 主機端界面 452 搬到主機 450。

根據 MMC 4.0 協定版本中，傳輸界面的信號內容如圖 5A 的表 510 所示，共有 13 接腳(Pin)，包括八個資料位元(Data0~Data7)接腳、提供操作電壓 VDD 的接腳、提供命令信號的接腳(CMD)、時脈信號(CLK)的接腳與兩個提供接地電壓(Supply Voltage Ground)。圖 5B 則是說明 MMC 傳輸界面的多個 MMC 傳輸界面與快閃記憶體控制器平行連接架構示意圖。如圖中所示，MMC 傳輸界面 420 中的多個 MMC 主機端控制器 422、424、426 與 428 分別與對應的 MMC 到快閃記憶體控制器 430、432、434 與 436 以平行獨立的方式相連接。

在圖 4 所說明的實施例中，MMC 傳輸界面 422、424、426 與 428 與對應的 MMC 到快閃記憶體控制器 430、432、434 與 436 之間的控制信號與資料傳送，請參照圖 5B，僅需要 MMC 傳輸界面 13 個接腳信號中的 10 位元信號即可，其中包括一個時脈信號(CLK)、命令信號(CMD)與資

料信號(Data0~Data7 的八個位元)。

而在圖 4 所說明的實施例中，MMC 到快閃記憶體控制器 430、432、434 與 436 到 NAND 快閃記憶體陣列 440 的連接請參照圖 6A 到 6C 所示。

首先，在圖 6A 中，以 MMC 到快閃記憶體控制器 430 與連接的 NAND 快閃記憶體 441、442 為例提出說明。SSD 控制器 410 經由 MMC 傳輸界面 420 與具有 10 位元的匯流排 411，傳送具有 8 位元的資料(Data0~Data7)到 MMC 到快閃記憶體控制器 430 的八根接腳 431。而後，MMC 到快閃記憶體控制器 430 則以平行的方式經由兩個匯流排 433 與 435，分別與 NAND 快閃記憶體 441 與 442 相連接。而在匯流排 433 與 435 中，分別具有 8 位元的資料信號，連接在 MMC 到快閃記憶體控制器 430 與 NAND 快閃記憶體 441 與 442 之間。

因此，在此實施例中，所建立的資料傳輸通道為指定固定的八位元資料頻寬作為資料的傳送，而此 MMC 到快閃記憶體控制器 430 則是為一個輸入兩個平行輸出的架構，而是否增加平行輸出的連接埠可視設計上的需要增加。此 MMC 到快閃記憶體控制器 430 將此具有八位元的輸出傳送到不只一個 NAND 快閃記憶體 441，而如圖 4 的實施例可知，對應於同一通道，MMC 到快閃記憶體控制器 430 的輸出可以使用交錯(Interleave)的方式寫入 NAND 快閃記憶體 441、443 或 445 等等。而 MMC 到快閃記憶體控制器 430 另一通道的輸出也可以使用交錯(Interleave)的

方式寫入 NAND 快閃記憶體 442、444 或 446 等等。而 MMC 到快閃記憶體控制器 430 可以經由兩個平行輸出的通道，平行地對 NAND 快閃記憶體 441、443 或 445 這一系列與 NAND 快閃記憶體 442、444 或 446 另外一系列進行存取。

上述的 MMC 到快閃記憶體控制器 430，具有快閃記憶體管理能力，包括快閃記憶體的位址轉換層(Flash Translation Layer，簡稱 FTL)中關於平均磨損(wear-leveling)演算法與記憶體管理的垃圾收集(Garbage Collection)功能，或是在硬體接口層(Hardware Adaptation Layer)的低階驅動程式(Low Level Driver，簡稱 LLD)、錯誤更正碼(Error Correction Code，簡稱 ECC)解錯功能與壞磁區塊管理(Bad Block Management，簡稱 BBM)功能等等。

而上述 MMC 到快閃記憶體控制器 430 經由匯流排 433 與 435 分別與 NAND 快閃記憶體 441 與 442 相連接的示意圖，如圖 6B 與 6C 所示。NAND 快閃記憶體 441 接收的信號包括八位元的資料輸入/輸出信號 I/O[0]到 I/O[7]，與其他的控制信號。這些控制信號包括命令拴鎖致能信號 CLE(Command Latch Enable)、位址拴鎖致能信號 ALE(Address Latch Enable)、寫入致能反相信號 #WE (Complementary of Write Enable)、寫入保護反相信號 #WP (Complementary of Write Protect)、晶片致能反相信號 #CE、讀取致能反相信號 #RE 與備妥/忙碌反相信號 R/#B (Read/Busy)。

上述資料輸入/輸出信號(Data Inputs/Outputs)I/O[0]到

I/O[7]的腳位用以輸入命令、位址與資料內容，以及在讀取操作(Read Operation)時輸出資料或狀態資訊。這些 I/O 腳位在沒有使用的情況下或是輸出是非致能的條件下，是處於高阻抗的狀態。上述命令拴鎖致能信號 CLE(Command Latch Enable)用以控制命令的啟動路徑(Activating Path for Command)，當位於邏輯高準位時，在寫入致能反相信號 #WE 被觸發後的上升邊緣，命令會被拴鎖到控制器內部的指令暫存器。上述位址拴鎖致能信號 ALE 用以控制位址的啟動路徑(Activating Path for Command)，當位於邏輯高準位時，在寫入致能反相信號 #WE 被觸發後的上升邊緣，位址會被拴鎖到控制器內部的位址暫存器。

上述晶片致能反相信號 #CE 用以控制此快閃記憶體是否被選擇操作。當此快閃記憶體處於忙碌的狀態時，此 #CE 信號則會被忽略，而此快閃記憶體若是在程式化(Program Operation)或是抹除操作(Erase Operation)時，將不會回到待機模式(Standby Mode)。上述讀取致能反相信號 #RE 為一串列資料輸出(Data-out)控制，而在啟動(Active)後，資料將可以從資料輸入/輸出信號腳位 I/O[0]到 I/O[7]傳送。

上述寫入致能反相信號 #WE 用以控制是否將資料經由輸入/輸出信號腳位寫入。而在 #WE 信號位於上升邊緣時可以將命令、位址與資料拴鎖住。而寫入保護反相信號 #WP 則是用以控制在電源轉換時，不當的程式化或是抹除的操作。當 #WP 信號位於邏輯低的狀態時，快閃記憶體將無法被寫入資料。上述的備妥/忙碌反相信號 R/#B 用以指

出快閃記憶體的操作狀態，當位於邏輯低狀態時，則是指指出此快閃記憶體正忙於內部資料存取、資料抹除或其他操作，並且在完成後會返回邏輯高狀態，然而要特別說明的是，以上的 NAND 快閃記憶體的運作會因不同的設計或改進而有不同操作方式與設定。

綜上所述，本實施例說明具有平行資料存取架構的固態硬碟(SSD)儲存系統。此固態硬碟(SSD)儲存系統包括固態硬碟(SSD)控制器、MMC 4.0 以上的傳輸界面、相容於 MMC 界面的快閃記憶體控制器與快閃記憶體。在本實施例中，上述的 SSD 控制器經由獨立且平行處理的傳輸通道，每個傳輸通道包括平行連接的一個 MMC 傳輸界面與一個快閃記憶體控制器，而每個快閃記憶體控制器則平行連接至少兩個快閃記憶體。在此選擇 MMC 4.0 傳輸界面主要是利用其傳輸界面中所具有的八位元資料傳輸頻寬，包括操作電壓的接腳 V_{DD} 、提供命令信號的接腳(CMD)、時脈信號(CLK)與八個資料位元(Data0~Data7)接腳。然而，此僅為達到本發明之其中一種選項，也可以採用其他形式的傳輸界面，只要其連接匯流排中可以具有固定資料位元，用以建構上述的獨立且平行處理的傳輸通道即可，然而此資料傳輸位元數或是頻寬必須配合快閃記憶體控制器的資料傳輸界面的資料傳輸位元數或是頻寬。

另外，平行連接到 SSD 控制器的快閃記憶體控制器，每個快閃記憶體控制器所能控制傳送控制信號與資料的快閃記憶體數量，在本實施例中是由兩個平行連結，但是並

不受限制，但考量到整體的表現與資料傳遞的效率，仍以選擇兩個或是兩列平行連接的快閃記憶體為佳。

另外，本實施例中的 SSD 控制器，是利用在 SSD 控制器內具有雙向連接埠的直接記憶體存取引擎(DMA Engine)傳送資料。因此，SSD 控制器 310 對任一個快閃記憶體控制器的所有控制與資料信號傳送都是獨立的，不需要再經由微處理器進行搬動的控制與操作，可減少占用其資源而增加整體的效率。

除此之外，本實施例中的快閃記憶體控制器，具有快閃記憶體管理能力，包括快閃記憶體的位址轉換層(FTL)中關於平均磨損(wear-leveling)演算法與記憶體管理的垃圾收集(Garbage Collection)功能，或是在硬體接口層(Hardware Adaptation Layer)的低階驅動程式(LLD)、錯誤更正碼(ECC)解錯功能與壞磁區塊管理(BBM)功能等等，亦可大幅提高快閃記憶體的可使用年限，並且可減少占用微處理器的資源而增加整體的效率。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 是傳統儲存裝置與個人電腦連接之方塊示意圖。

圖 2 是使用 ATA 匯流排架構的傳統儲存裝置，經由兩階的共享匯流排(Shared Bus)連接到多個快閃記憶體模組。

圖 3 是說明本發明一實施例的固態硬碟(SSD)儲存系統組成元件方塊示意圖。

圖 4 本發明一實施例的固態硬碟(SSD)儲存系統組成元件方塊詳細示意圖。

圖 5 A 是說明 MMC 4.0 協定版本中，傳輸界面的信號內容。

圖 5B 則是說明 MMC 傳輸界面的多個 MMC 傳輸界面與快閃記憶體控制器平行連接架構示意圖。

圖 6A 是說明以 MMC 到快閃記憶體控制器平行連接到兩個平行 NAND 快閃記憶體的架構示意圖。

圖 6B 與 6C 是說明 MMC 到快閃記憶體控制器分別與快閃記憶體連接的接腳信號與其定義示意圖。

【主要元件符號說明】

120：串列匯流排連接埠

110：個人電腦

112：高速串列匯流排連接埠

130：快閃記憶體界面控制器

140：快閃記憶體

210、220、230 與 240：快閃記憶體模組

250：ATA 匯流排控制器

260：共享匯流排
270：匯流排
280：主機
282：主機端 ATA 匯流排界面
300：固態硬碟(SSD)儲存系統
310：固態硬碟(SSD)控制器
311、313、315 與 317：匯流排
312：直接記憶體存取引擎(DMA Engine)
314：緩衝器
316：記憶體仲裁器(Memory Arbitrator)
320、322、324 與 326：快閃記憶體控制器
330、331、332、333、334、335、336、337：NAND

快閃記憶體

340：SATA 匯流排連接界面
350：主機
400：固態硬碟(SSD)儲存系統
410：固態硬碟(SSD)控制器
411、413、415 與 417：匯流排
412：直接記憶體存取引擎(DMA Engine)
414：緩衝器
416：記憶體仲裁器(Memory Arbitrator)
418：微處理器
420：MMC 傳輸界面
421：SATA 連接界面

- 422、424、426 與 428：MMC 傳輸界面
- 423：SATA 實體層連接界面
- 425：SATA 控制器
- 430、432、434、436：MMC 到快閃記憶體控制器
- 431：接腳
- 433 與 435：匯流排
- 440：NAND 快閃記憶體陣列
- 441、442、443、444、445、446：NAND 快閃記憶體
- 450：主機
- 451：SATA 匯流排連接界面
- 452：SATA 主機端界面

五、中文發明摘要：

在此提出一種具有平行資料存取架構的固態硬碟(SSD)儲存系統與固態硬碟控制器，其中固態硬碟(SSD)控制器與多個具有預先決定位元數與頻寬的傳輸界面。此 SSD 控制器經由每個傳輸界面與一或多個快閃記憶體構成傳送控制信號與資料的通道。也就是在 SSD 控制器、具有多位元的傳輸界面、以及快閃記憶體之間構成獨立的傳輸通道。在一實施例中，此傳輸界面為 MMC 4.0 以上的傳輸協定。另外，主機經由 SATA 匯流排界面與 SSD 控制器進行快閃記憶體的 control 與存取，是利用在 SSD 控制器內具有雙向連接埠的直接記憶體存取引擎(DMA Engine)傳送資料。

六、英文發明摘要：

A solid state disk (SSD) storage system with a parallel accessing architecture and a solid state disk controller are provided herein. The architecture includes a SSD controller and a plurality of transmission interfaces with a predetermined bit number and data bandwidth reserved for the parallel accessing operation. A plurality of parallel transmission channels for control signals and data are constituted by the SSD controller and the plurality of transmission interfaces between a host and a plurality of flash memories. The parallel transmission channels can

transmit control signals and data signals concurrently and independently, which significantly improves the transmission efficiency. In one embodiment, the transmission interface is compatible with MMC 4.0 protocol. The SSD controller further includes a DMA Engine for bidirectional transmission between the host and the plurality of flash memories.

七、指定代表圖：

(一) 本案之指定代表圖：圖 3

(二) 本代表圖之元件符號簡單說明：

300：固態硬碟(SSD)儲存系統

310：固態硬碟(SSD)控制器

311、313、315 與 317：匯流排

312：直接記憶體存取引擎(DMA Engine)

314：緩衝器

316：記憶體仲裁器(Memory Arbitrator)

320、322、324 與 326：快閃記憶體控制器

330、331、332、333、334、335、336、337：NAND

快閃記憶體

340：SATA 匯流排連接界面

350：主機

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

十一、圖式：

23384TW_T

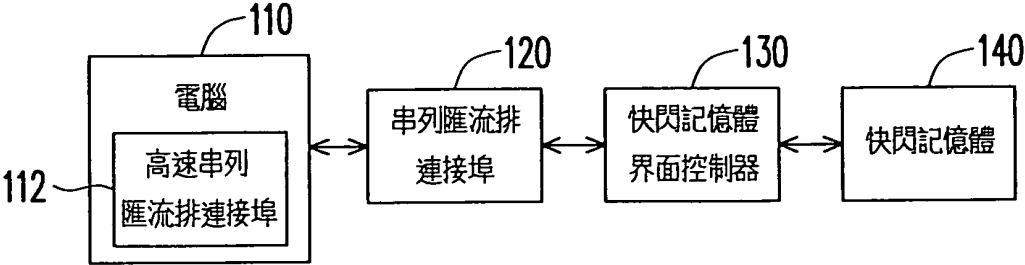


圖 1

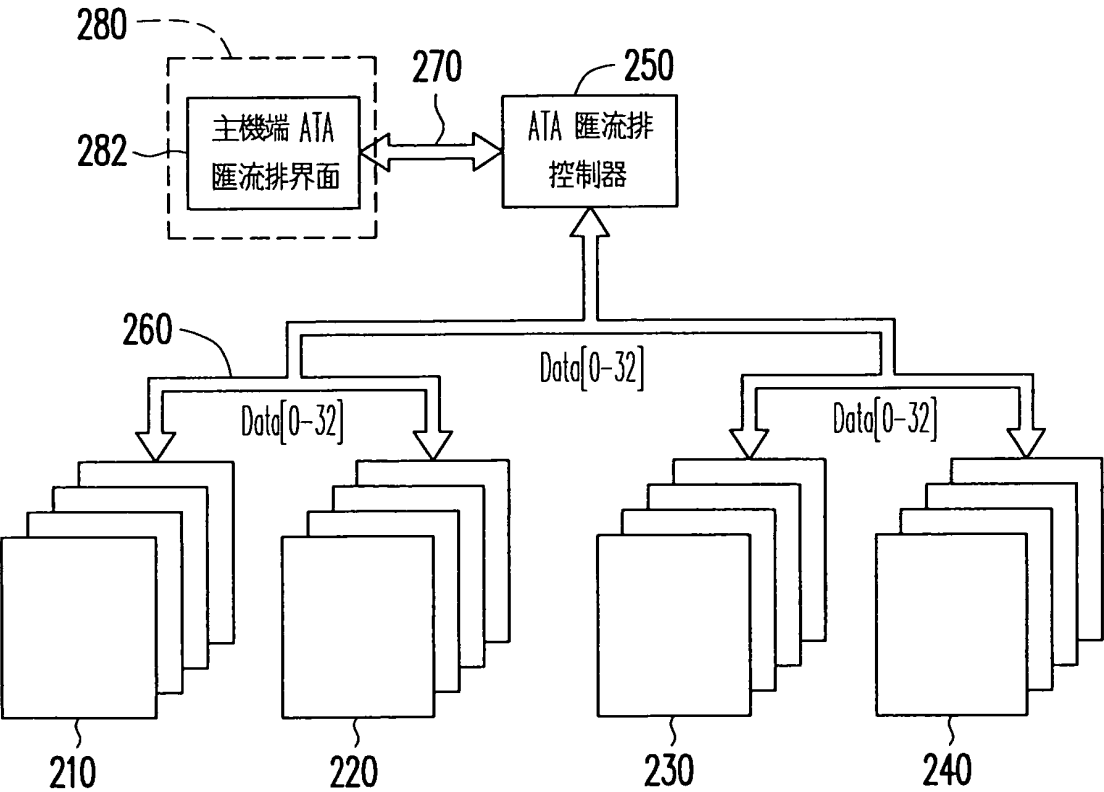


圖 2

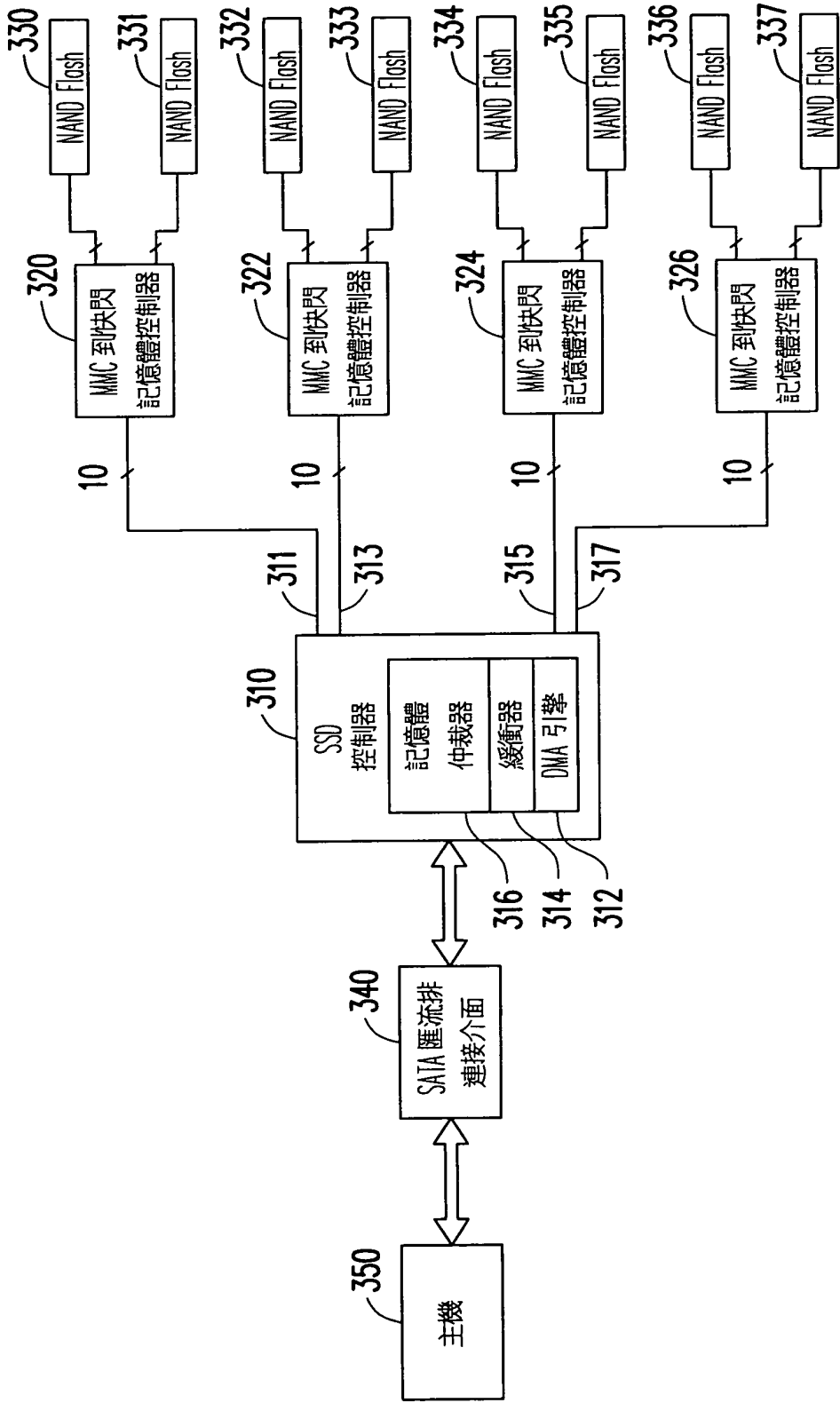
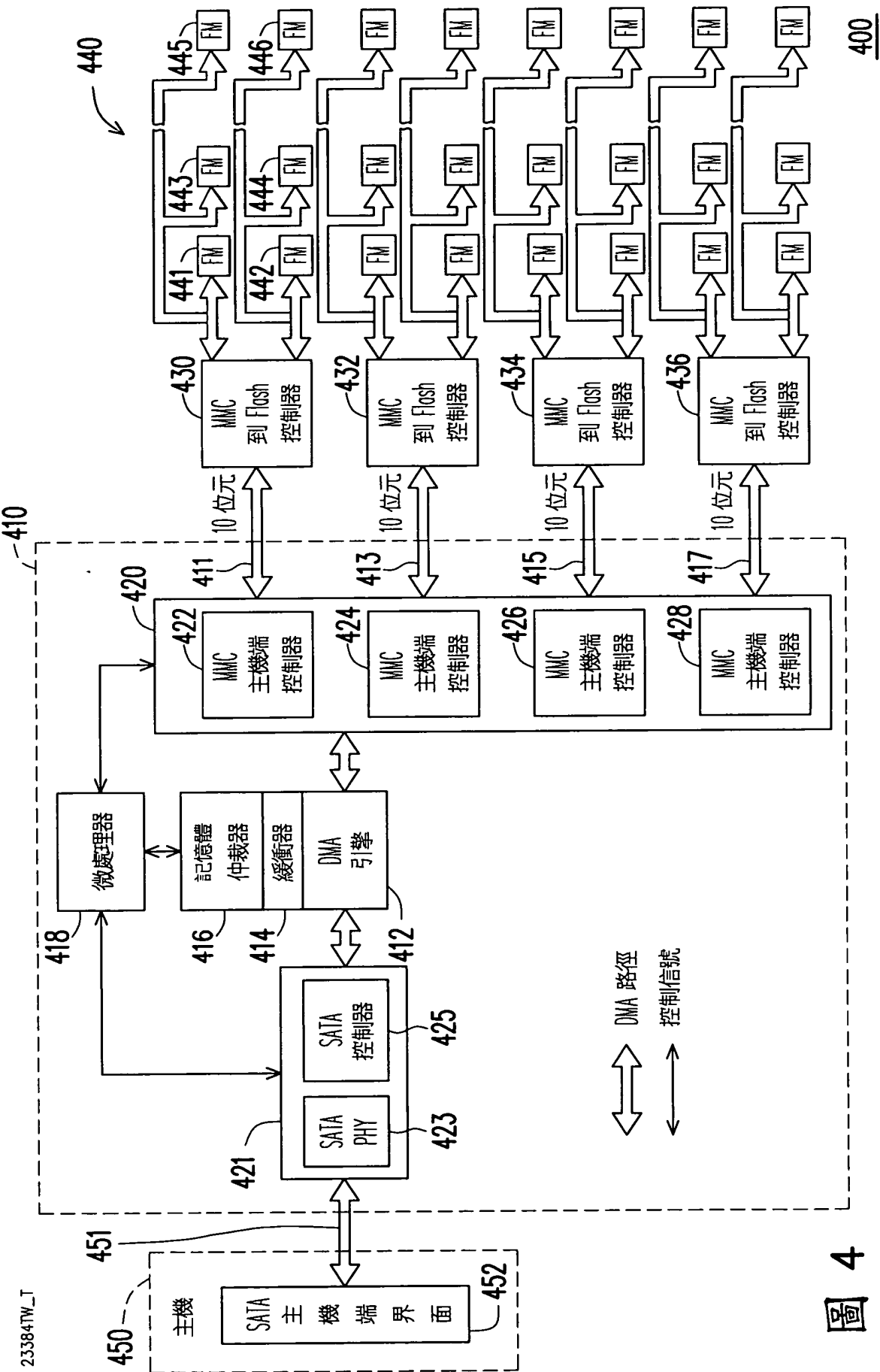


圖 3



510

接腳 (PIN)	名稱 (Name)	方向 (Dir)	描述 (Description)
1	DAT3	↔ PP)	第 3 資料位元
512 → 2	CMD	↔ PP)OD)	命令 / 回應
3	VSS	—	提供接地電壓
4	VDD	←	提供操作電壓
514 → 5	CLK	←	時脈 (Clock)
6	VSS	—	提供接地電壓
7	DAT0	↔ PP)	第 0 資料位元
8	DAT1	↔ PP)	第 1 資料位元
9	DAT2	↔ PP)	第 2 資料位元
10	DAT4	↔ PP)	第 4 資料位元
11	DAT5	↔ PP)	第 5 資料位元
12	DAT6	↔ PP)	第 6 資料位元
13	DAT7	↔ PP)	第 7 資料位元

圖 5A

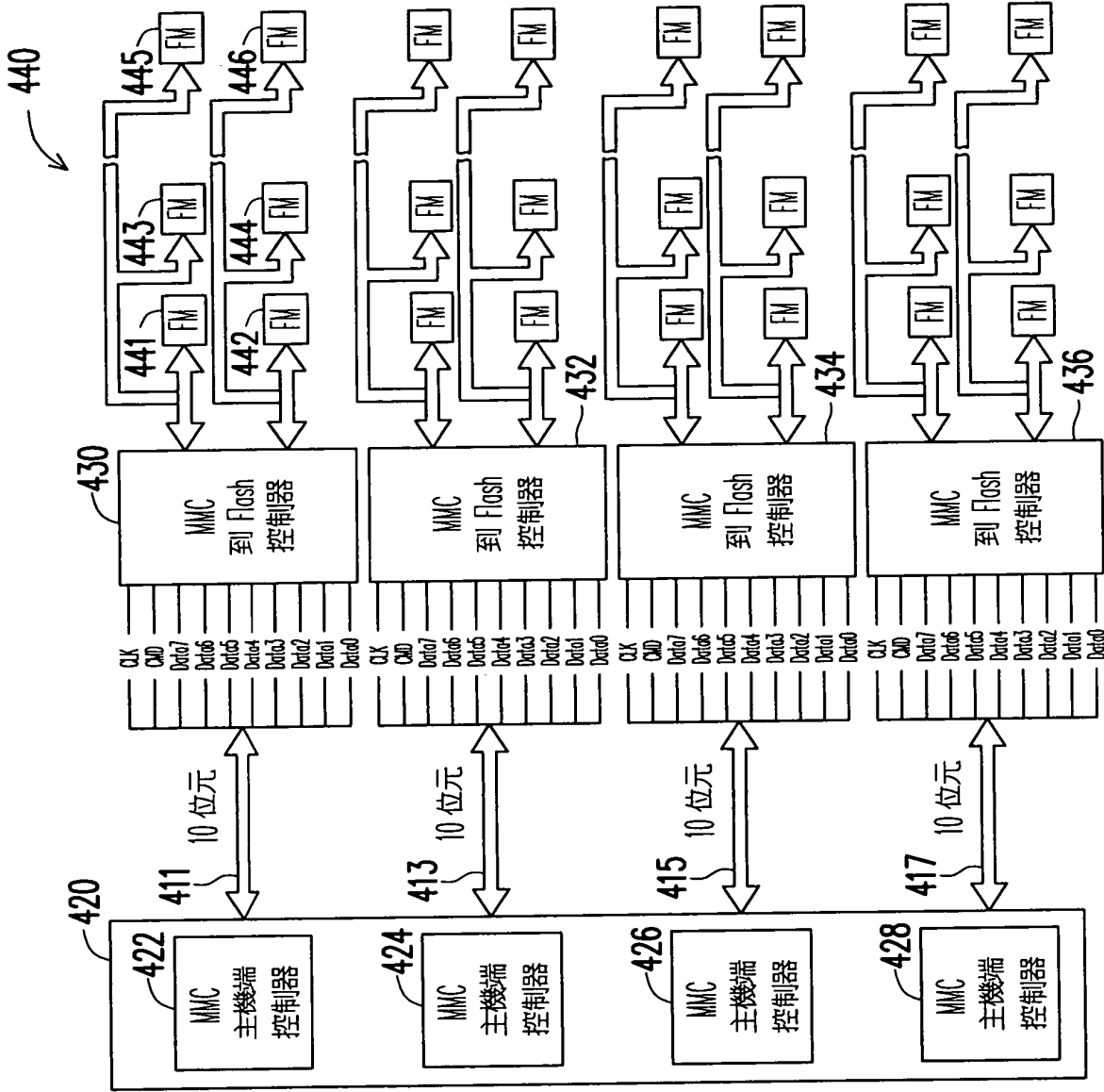


圖 5B

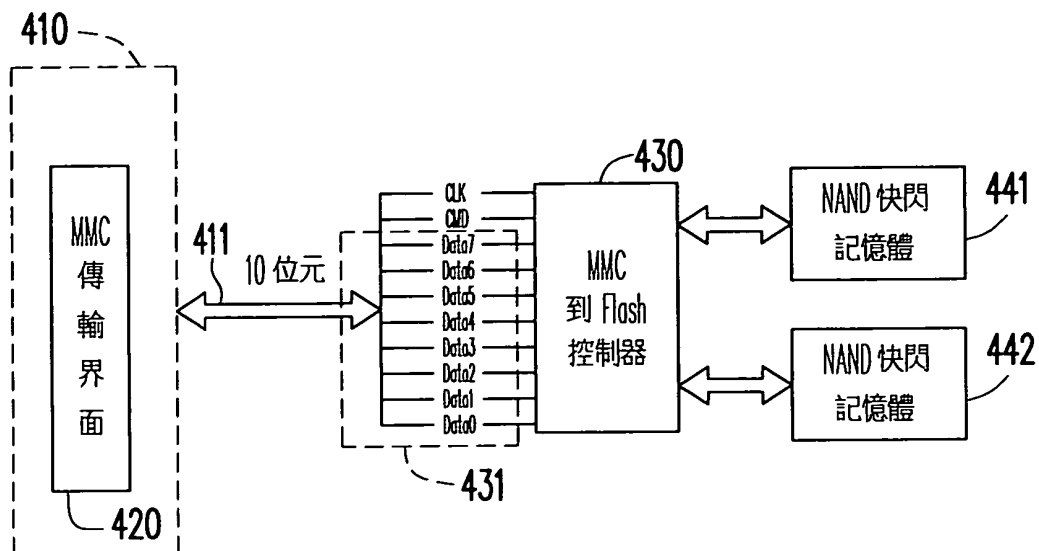


圖 6A

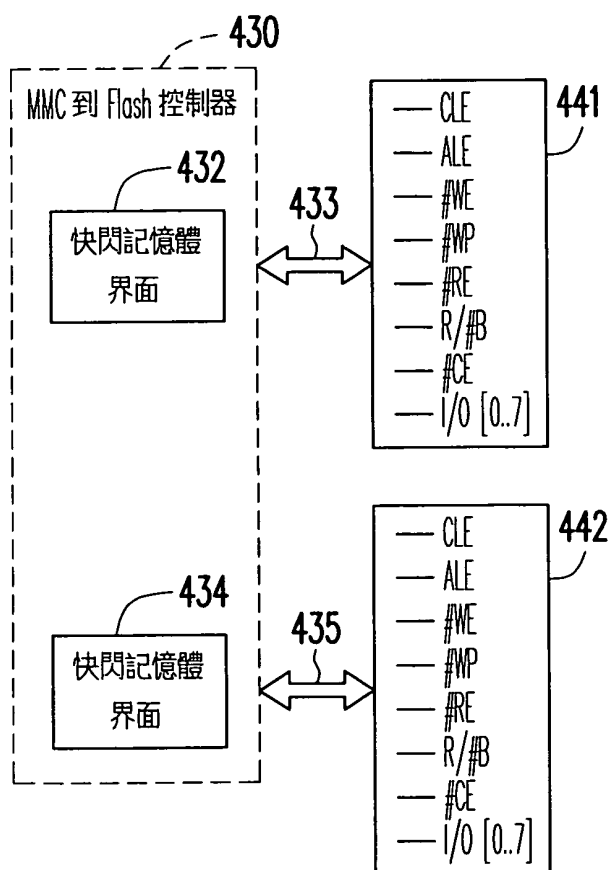


圖 6B

I/O [0]~I/O [7]	Data INPUT/OUTPUT 資料輸入／輸出 8 位元資料
CLE	COMMAND LATCH ENABLE
ALE	ADDRESS LATCH ENABLE
#CE	CHIP ENABLE
#RE	READ ENABLE
#WE	WRITE ENABLE
#WP	WRITE PROTECT
R/#B	READ/BUSY

圖 6C

transmit control signals and data signals concurrently and independently, which significantly improves the transmission efficiency. In one embodiment, the transmission interface is compatible with MMC 4.0 protocol. The SSD controller further includes a DMA Engine for bidirectional transmission between the host and the plurality of flash memories.

七、指定代表圖：

(一) 本案之指定代表圖：圖 3

(二) 本代表圖之元件符號簡單說明：

300：固態硬碟(SSD)儲存系統

310：固態硬碟(SSD)控制器

311、313、315 與 317：匯流排

312：直接記憶體存取引擎(DMA Engine)

314：緩衝器

316：記憶體仲裁器(Memory Arbitrator)

320、322、324 與 326：快閃記憶體控制器

330、331、332、333、334、335、336、337：NAND

快閃記憶體

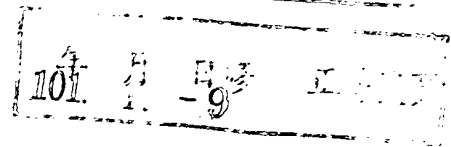
340：SATA 匯流排連接界面

350：主機

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無



發明專利說明書



(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96135376

※申請日期：96.9.21.

※IPC 分類：G06F13/14(2006.01)

一、發明名稱：(中文/英文)

具有平行資料存取架構的固態硬碟(SSD)儲存系統與
固態硬碟控制器 / SOLID STATE DISK STORAGE
SYSTEM WITH A PARALLEL ACCESSING
ARCHITECTURE AND A SOLID STATE DISK
CONTROLLER

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

群聯電子股份有限公司/PHISON ELECTRONICS CORP.

代表人：(中文/英文) 潘健成 / KHEIN-SENG PUA

住居所或營業所地址：(中文/英文)

苗栗縣竹南鎮群義路 1 號/NO. 1, QUN YI RD., JHUNAN,
MIAOLI, TAIWAN 350, R.O.C.

國 籍：(中文/英文) 中華民國/TW

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 潘健成 / PUA KHEIN-SENG

2. 李建龍 / LEE KIAN-LENG

國 籍：(中文/英文) 1-2 馬來西亞/MY

十、申請專利範圍：

1.一種固態硬碟儲存系統，包括

一固態硬碟控制器，經由一高速串列匯流排連接界面連接到外部的一主機，其中該固態硬碟控制器包括一微處理器、一直接記憶體存取引擎、一緩衝器、與一主機端傳輸界面，該主機端傳輸界面具有多個傳輸界面主機端控制器，其中該直接記憶體存取引擎連接到該緩衝器，並經由該高速串列匯流排連接界面連接到該主機；

多個快閃記憶體控制器，其中每一該快閃記憶體控制器連接到對應的一該傳輸界面主機端控制器，而該些快閃記憶體控制器與傳輸界面主機端控制器是以平行的方式連接；以及

多個快閃記憶體，其中該快閃記憶體控制器以一平行方式連接到至少兩個該些快閃記憶體，

其中在該固態硬碟控制器與該些平行連接的快閃記憶體控制器之間，建立多個獨立平行的傳輸通道，藉由該直接記憶體存取引擎之控制，在該些傳輸通道完成在該主機與該些快閃記憶體之間資料的傳送，其中該主機端傳輸界面具有多個第一儲存卡控制界面，且每一該快閃記憶體控制器具有與該第一儲存卡控制界面相同界面的一第二儲存卡控制界面及一快閃記憶體界面，其中，每一該快閃記憶體的該第二儲存卡控制界面經由該第一儲存卡控制界面連接到對應的傳輸介面主機端控制器。

2.如申請專利範圍第 1 項所述的固態硬碟儲存系統，其中該高速串列匯流排連接界面為 SATA 匯流排連接界面。

3.如申請專利範圍第 1 項所述的固態硬碟儲存系統，其中該高速串列匯流排連接界面為 PCI Express 連接界面。

4.如申請專利範圍第 1 項所述的固態硬碟儲存系統，其中該高速串列匯流排連接界面為串列 SCSI(SAS)連接界面。

5.如申請專利範圍第 1 項所述的固態硬碟儲存系統，其中該固態硬碟控制器更包括一記憶體仲裁器，連接到該微處理器與該主機端傳輸界面，用以仲裁該緩衝器由該微處理器或該主機端傳輸界面存取的優先順序。

6.如申請專利範圍第 1 項所述的固態硬碟儲存系統，其中該主機端傳輸界面為 MMC 界面，而該傳輸界面主機端控制器為 MMC 主機端控制器，該快閃記憶體控制器為 MMC 到快閃記憶體控制器。

7. 如申請專利範圍第 1 項所述的固態硬碟儲存系統，其中該主機端傳輸界面為 SD 卡控制界面。

8. 如申請專利範圍第 1 項所述的固態硬碟儲存系統，其中該主機端傳輸界面為 CF 卡控制界面。

9.如申請專利範圍第 1 項所述的固態硬碟儲存系統，其中該些傳輸界面主機端控制器與該些快閃記憶體控制器之間資料傳送匯流排包括八位元的資料匯流排，而該快閃

記憶體控制器與平行連接的該些快閃記憶體之間也包括八位元的資料匯流排。

10.如申請專利範圍第 1 項所述的固態硬碟儲存系統，其中當該固態硬碟控制器接受到該主機的存取要求信號時，該微處理器啟動並設定該直接記憶體存取引擎，以便讓該直接記憶體存取引擎控制該些傳輸通道在該主機與該些快閃記憶體之間資料的傳送。

11.如申請專利範圍第 1 項所述的固態硬碟儲存系統，其中該高速串列匯流排連接界面為一 SATA 匯流排連接界面，而該固態硬碟控制器更包括一 SATA 實體層連接界面與一 SATA 控制器，用以連接到該 SATA 匯流排連接界面，以便與該主機的一 SATA 主機端界面連接。

12.如申請專利範圍第 1 項所述的固態硬碟儲存系統，其中該主機透過該固態硬碟控制器對該些快閃記憶體可同時平行存取。

13.如申請專利範圍第 1 項所述的固態硬碟儲存系統，其中該快閃記憶體控制器對該些快閃記憶體具有快閃記憶體管理功能。

14.如申請專利範圍第 13 項所述的固態硬碟儲存系統，其中該快閃記憶體管理功能具有平均磨損(wear-leveling)演算法之功能，用以計算並平均該些快閃記憶體的磨損程度。

15.如申請專利範圍第 13 項所述的固態硬碟儲存系統，其中該快閃記憶體管理功能具有記憶體管理的垃圾收

集(Garbage Collection)功能，用以蒐集並重整該些快閃記憶體之儲存區塊。

16.如申請專利範圍第 13 項所述的固態硬碟儲存系統，其中該快閃記憶體管理功能具有錯誤更正碼(ECC)解錯功能與壞磁區塊管理(BBM)功能。

17.如申請專利範圍第 1 項所述的固態硬碟儲存系統，其中該快閃記憶體控制器連接到該些快閃記憶體的匯流排中包括控制信號與資料信號，其中該資料信號具有八位元，而該控制信號包括命令拴鎖致能信號、位址拴鎖致能信號、寫入致能反相信號、寫入保護反相信號、晶片致能反相信號、讀取致能反相信號與備妥/忙碌反相信號。

18.一種固態硬碟儲存系統，包括

一固態硬碟控制器，經由一高速串列匯流排連接界面連接到外部的一主機，其中該固態硬碟控制器包括一微處理器、一直接記憶體存取引擎、一緩衝器、與一主機端傳輸界面，該主機端傳輸界面具有多個傳輸界面主機端控制器，其中該直接記憶體存取引擎連接到該緩衝器，並經由該高速串列匯流排連接界面連接到該主機；

多個快閃記憶體控制器，其中每一該快閃記憶體控制器連接到對應的一該傳輸界面主機端控制器，而該些快閃記憶體控制器與傳輸界面主機端控制器是以平行的方式連接；以及

一快閃記憶體陣列，其中該快閃記憶體陣列包括多列快閃記憶體，其中至少該些列的快閃記憶體中的兩列以一

平行方式連接到該快閃記憶體控制器，

其中在該固態硬碟控制器與該些平行連接的快閃記憶體控制器之間，建立多個獨立平行的傳輸通道，經由該直接記憶體存取引擎之控制，藉由該些傳輸通道完成在該主機與該些快閃記憶體列之間資料的傳送，其中該主機端傳輸界面具有多個第一儲存卡控制界面，且每一該快閃記憶體控制器具有與該第一儲存卡控制界面相同界面的一第二儲存卡控制界面及一快閃記憶體界面，其中，每一該快閃記憶體控制器的該第二儲存卡控制界面經由該第一儲存卡控制界面連接到對應的傳輸介面主機端控制器。

19.如申請專利範圍第 18 項所述的固態硬碟儲存系統，其中該主機對該快閃記憶體列的多個快閃記憶體以一交錯(Interleave)的方式寫入資料。

20.如申請專利範圍第 18 項所述的固態硬碟儲存系統，其中該主機透過該固態硬碟控制器對該些快閃記憶體列可同時平行存取。

21.如申請專利範圍第 18 項所述的固態硬碟儲存系統，其中該高速串列匯流排連接界面為 SATA 匯流排連接界面、PCI Express 連接界面或串列 SCSI(SAS)連接界面其中之一。

22.如申請專利範圍第 18 項所述的固態硬碟儲存系統，其中該固態硬碟控制器更包括一記憶體仲裁器，連接到該微處理器與該主機端傳輸界面，用以仲裁該緩衝器由該微處理器或該主機端傳輸界面存取的優先順序。

23.如申請專利範圍第 18 項所述的固態硬碟儲存系統，其中該主機端傳輸界面為 MMC 4.0 以上界面，而該傳輸界面主機端控制器為 MMC 主機端控制器，該快閃記憶體控制器為 MMC 到快閃記憶體控制器。

24.如申請專利範圍第 18 項所述的固態硬碟儲存系統，其中該些傳輸界面主機端控制器與該些快閃記憶體控制器之間資料傳送匯流排包括八位元的資料匯流排，而該快閃記憶體控制器與平行連接的該些快閃記憶體列之間也包括八位元的資料匯流排。

25.如申請專利範圍第 18 項所述的固態硬碟儲存系統，其中當該固態硬碟控制器接受到該主機的存取要求信號時，該微處理器啟動並設定該直接記憶體存取引擎，以便讓該直接記憶體存取引擎控制該些傳輸通道在該主機與該些快閃記憶體列之間資料的傳送。

26.如申請專利範圍第 18 項所述的固態硬碟儲存系統，其中該高速串列匯流排連接界面為一 SATA 匯流排連接界面，而該固態硬碟控制器更包括一 SATA 實體層連接界面與一 SATA 控制器，用以連接到該 SATA 匯流排連接界面，以便與該主機的一 SATA 主機端界面連接。

27.如申請專利範圍第 18 項所述的固態硬碟儲存系統，其中該快閃記憶體控制器對該些快閃記憶體列具有快閃記憶體管理功能。

28.如申請專利範圍第 27 項所述的固態硬碟儲存系統，其中該快閃記憶體管理功能具有平均磨損

(wear-leveling)演算法之功能，用以計算並平均該些快閃記憶體列中的多個快閃記憶體的磨損程度。

29.如申請專利範圍第 27 項所述的固態硬碟儲存系統，其中該快閃記憶體管理功能具有記憶體管理的垃圾收集(Garbage Collection)功能，用以蒐集並重整該些快閃記憶體列中的多個快閃記憶體的儲存區塊。

30.如申請專利範圍第 27 項所述的固態硬碟儲存系統，其中該快閃記憶體管理功能具有錯誤更正碼(ECC)解錯功能與壞磁區塊管理(BBM)功能。

31.一固態硬碟控制器，經由一高速串列匯流排連接界面連接到外部的一主機，並經由多個快閃記憶體控制器連接到多個快閃記憶體，其中該固態硬碟控制器包括：

- 一微處理器；

- 一直接記憶體存取引擎，連接到該微處理器，用以由該微處理器控制啟始設定與關閉；

- 一緩衝器，耦接到該微處理器與該直接記憶體存取引擎，用以暫存資料；

- 一高速串列連接界面，經由所連接的該高速串列匯流排連接界面與該主機的一主機端連接埠相互連接；以及

- 一主機端傳輸界面，具有多個傳輸界面主機端控制器，每一該傳輸界面主機端控制器以平行的方式分別連接到該些多個快閃記憶體控制器其中之一，而該快閃記憶體控制器以一平行方式連接到至少兩個該些快閃記憶體，其中在該固態硬碟控制器與該些平行連接的快閃記憶體控

制器之間，建立多個獨立平行的傳輸通道，藉由該直接記憶體存取引擎之控制，在該些傳輸通道完成在該主機與該些快閃記憶體之間資料的傳送，其中該主機端傳輸界面具有多個第一儲存卡控制界面，且每一該快閃記憶體控制器具有與該第一儲存卡控制界面相同界面的一第二儲存卡控制界面及一快閃記憶體界面，其中，每一該快閃記憶體控制器的該第二儲存卡控制界面經由該第一儲存卡控制界面連接到對應的傳輸介面主機端控制器。

32.如申請專利範圍第 31 項所述的固態硬碟控制器，其中該高速串列連接界面為 SATA 連接界面、PCI Express 連接界面或串列 SCSI(SAS)連接界面其中之一。

33.如申請專利範圍第 31 項所述的固態硬碟控制器，其中該固態硬碟控制器更包括一記憶體仲裁器，連接到該高速串列連接界面、該微處理器、與該主機端傳輸界面，用以仲裁該緩衝器由該高速串列連接界面、該微處理器、或該主機端傳輸界面存取的優先順序。

34.如申請專利範圍第 31 項所述的固態硬碟控制器，其中該主機端傳輸界面為 MMC 界面，而該傳輸界面主機端控制器為 MMC 主機端控制器，該快閃記憶體控制器為 MMC 到快閃記憶體控制器。

35.如申請專利範圍第 31 項所述的固態硬碟控制器，其中該些傳輸界面主機端控制器與該些快閃記憶體控制器之間資料傳送匯流排包括八位元的資料匯流排，而該快閃記憶體控制器與平行連接的該些快閃記憶體之間也包括八位元的資料匯流排。