[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
G06F 13/42

[12]发明专利说明书

[21] ZL 专利号 96193623.1

[45]授权公告日 2002 年 11 月 20 日

[11]授权公告号 CN 1094614C

[22]申请日 1996.12.20 [21]申请号 96193623.1

[30]优先权

[32]1996.1.27 [33]GB [31]9601693.6

[86]国际申请 PCT/IB96/01499 1996.12.20

[87]国际公布 WO97/27547 英 1997.7.31

[85]进入国家阶段日期 1997.10.30

[73]专利权人 摩托罗拉以色列有限公司

地址 以色列特拉维夫

[72]发明人 戴维德·噶兰蒂 爱坦·佐拉

阿那·高兰

[56]参考文献

EP0183231A2 1986. 6. 4 G06F12/06

EP0597307A1 1994. 3.18 G06F13/42,G06F15/78

US5394541 1995. 2.28 G06F9/00

审查员 张雪梅

[74]专利代理机构 中国国际贸易促进委员会专利商标事务所

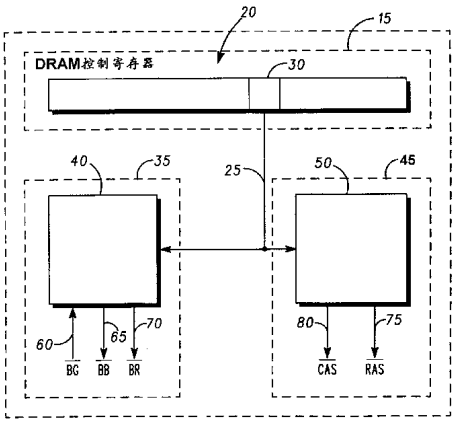
代理人 陆立英

权利要求书 2 页 说明书 5 页 附图 3 页

[54]发明名称 微处理器

[57]摘要

一种微处理器具有 RAS 和 CAS 输出端,它们经由一条总线独占地耦连接到一个专用 DRAM 的 RAS 和 CAS 输入端上。该微处理器具有:一个 DRAM 控制寄存器,至少有 1 个比特,该比特被置位以指示该 DRAM 对该微处理器是否是专用的;一个读电路,用以读出该 1 个比特并确定该比特是否被置位;以及一个控制逻辑电路,耦连到读电路上,根据 DRAM 对微处理器是否是专用的来控制该微处理器的功能。



ISSN1008-4274

1.一种微处理器，至少具有 RAS 和 CAS 输出端，它们经由一条总线独占地耦连到一个专用的 DRAM 的 RAS 和 CAS 输入端上，其特征在于，该微处理器含有：一个 DRAM 控制寄存器，至少具有 1 个比特，该比特被置位以指示该 DRAM 对该微处理器是否是专用的；一个读电路，用以读出该 1 个比特并确定该比特是否被置位；以及一个控制逻辑电路，耦连到该读电路上，用以根据 DRAM 对微处理器是否是专用的来控制该微处理器的功能。

2.根据权利要求 1 所述的微处理器，其特征在于，所述的控制逻辑电路控制该微处理器的 DRAM 刷新功能，以在该 1 个比特被置位而指示该 DRAM 是专用时，在不发请求也不用断定对总线的控制的情况下，该微处理器利用 RAS 和 CAS 输出来执行 DRAM 刷新功能 。

3.根据权利要求 1 所述的微处理器，其特征在于，所述的控制逻辑电路控制该微处理器的 DRAM 寻址功能，以允许该微处理器放弃对总线的控制，而无需释放 RAS 和 CAS 线，借此，在下一次微处理器具有对总线的控制时，允许以快速页面方式访问 DRAM 。

4.一种微处理器，具有地址、控制、数据、RAS 和 CAS 引脚，分别耦连到总线的地址、控制、数据、RAS 和 CAS 线上；至少一个 DRAM，具有地址、控制、数据、RAS 和 CAS 引脚；分别耦连到总线的地址、控制、数据、RAS 和 CAS 线上，该 DRAM 对该微处理器是专用的，该 DRAM 与微处理器的 RAS 和 CAS 引脚在逻辑上连结在一起，以使该微处理器不能访问任何其它的 DRAM 和该 DRAM 也不能被任何其它的微处理器来访问，

其特征在于：

该微处理器包括：一个 DRAM 控制寄存器，具有至少 1 个比特，该比特被置位，以指示该 DRAM 对该微处理器是专用的；一个读电路，用以读出该 1 个比特并确定该比特是否被置位；以及一个控制逻辑电路，耦连到该读电路，该控制逻辑电路控制该微处理器的 DRAM 刷新功能，以在该比特被置位时，在不发请求也不用断定对总线的控制的情况

下，该微处理器利用总线的 RAS 和 CAS 线执行 DRAM 刷新功能，并且该逻辑控制电路控制该微处理器的 DRAM 寻址功能，以在该比特被置位时，如果需要，允许该微处理器放弃对总线的控制，而无需释放 RAS 和 CAS 线，借此，允许在下一次微处理器具有对总线的控制时页内访问 DRAM 。

微处理器

技术领域

本发明涉及微处理器，具体涉及应用于具有动态随机存取存储器（DRAM）的系统中的微处理器。

背景技术

在许多已知的处理系统中具有几个处理器、或含有处理单元（下文称为主机）（master）的其它电路，它们耦连到一个公共总线上，可使它们能够访问所有也耦连到该总线上的各种各样的从属装置，例如各种类型的存储器装置，如 DRAM、静态随机存取存储器（SRAM）、只读存储器（ROM），或其它类型的外围装置，如存储器装置或通信接口。然而，在某些情况下，一个特定的 DRAM 总是只由单一个主装置（master device）来进行访问，因而它可认为是那个主装置独占的或专用的。

DRAM 配备有行访问选通（RAS）线输入和列访问选通（CAS）线输入，它们借助于存储器单元的行地址和列地址来选址一个特定的存储器单元，以便读和写该单元。为了选址而利用 RAS 和 CAS 线的特点是用 RAS 输入来指定 DRAM 的一个所谓的页面，而 CAS 输入指定该页内的一个特定位置或地址，为此，只要被寻址的相继单元处于同一页面内（所谓的快速“页面方式”），则只需要改变 CAS 输入，而 RAS 输入仍可保持已确定的状态但无需每次被读出，从而缩短访问周期。当然，这种情况只发生在只要同一个主装置控制了总线、以使它能够确保无其它的主装置在其两次访问之间访问该 DRAM 的另一页的时候。于是，每当主装置得到总线控制时，它必须应用 RAS 线和 CAS 线进行寻址（所谓的不同页面访问），这涉及较多的时间。

此外，众所周知，DRAM 需要刷新，以使它们保持住其存储器单元内的数据，这是首先借助于使 CAS 输入起作用、然后 RAS 输入起作用而实现的，不象寻址时那样，先使 RAS 输入起作用，随后 CAS 输入起作用。这样的刷新需要定期地做，以使控制刷新的主装置必须获得对

总线的控制，执行刷新，然后放弃对总线的控制。这将耗尽宝贵的总线时间，而这可由其它主装置来应用。

发明内容

据此，本发明寻求提供一种可与专用的 DRAM 一起应用的微处理器，以便克服或至少减小先有技术中的上述问题。术语“微处理器”在下文的描述中预定包括所有的主装置。

根据本发明的第一方面，这里提供一种微处理器，它至少具有 RAS 和 CAS 输出端，它们经由一条总线独占地耦连到一个专用的 DRAM 的 RAS 和 CAS 输入端上。该微处理器包含：一个 DRAM 控制寄存器，它至少具有 1 个比特，该比特被置位，以指示该 DRAM 对该微处理器是否是专用的；一个读电路，用以读出该 1 个比特并确定这比特是否被置位；以及一个控制逻辑电路，耦连到该读电路，用以根据 DRAM 是否对微处理器是专用的来控制该微处理器的功能。

在一个实施例中，该控制逻辑电路控制该微处理器的 DRAM 的刷新功能，以在该 1 个比特被置位来指示该 DRAM 是专用的时，该微处理器利用 RAS 和 CAS 输出来执行 DRAM 刷新功能，而无需发出请求，也无需断定对总线的控制。

在另一个实施例中，当该 1 个比特被置位以指示该 DRAM 是专用的时，该控制逻辑电路控制该微处理器的 DRAM 寻址功能，以允许该微处理器放弃对总线的控制，而无需释放 RAS 和 CAS 线，借此，允许在下一次微处理器具有对总线控制时、以快速页面方式访问 DRAM。

根据本发明的第二方面，这里提供一种系统，它含有：一个微处理器，具有地址、控制、数据、RAS 和 CAS 引脚，分别耦连到总线的地址、控制、数据、RAS 和 CAS 线上；至少一个 DRAM，具有地址、控制、数据、RAS 和 CAS 引脚，分别耦连到总线的地址、控制、数据、RAS 和 CAS 线上，该 DRAM 对该微处理器是专用的，该 DRAM 与微处理器的 RAS 和 CAS 引脚在逻辑上连结在一起，以使该微处理器不能访问任何其它的 DRAM，该 DRAM 也不能由任何其它的微处理器来访问。该微处理器含有：一个 DRAM 控制寄存器，至少具有 1 个比特，并被置位以指示该 DRAM 对该微处理器是专用的；一个读电路，读出该 1 个比特并确定该比特是否被置位；以及一个控制逻辑电路，耦连到该读电路，

该控制逻辑电路控制微处理器对DRAM的刷新功能，以在该比特被置位时可使该微处理器利用总线的RAS和CAS线对DRAM执行刷新功能，而无需发出请求，也无需断定确认对总线的控制；并且控制逻辑电路控制微处理器的DRAM的寻址功能，当该比特被置位，如果需要，以允许微处理器放弃对总线的控制，而无需释放RAS和CAS线，借此，在下一次微处理器具有对总线的控制时，允许对DRAM进行页内访问。

按照这种方式，在微处理器不是总线主机时，DRAM能够被刷新，并且在获得主机身份后可立即以快速“页面方式”进行访问，而无需驱动地址总线上的行地址和事先断定确认RAS。

附图说明

现以示例方式并参考以下附图来较全面地描述本发明的一个实施例。

图1示出根据本发明的一种处理器和DRAM的配置；

图2示出对于图1所示处理器和DRAM的刷新功能的时序图；

图3示出一种处理器和DRAM的先有技术寻址功能的时序图；

图4示出图1所示的处理器和DRAM的快速页面方式寻址功能的时序图；

具体实施方式

参看图1，图中示出一种处理器和DRAM的配置。处理器15含有一个可编程寄存器20，称为DCR（DRAM控制寄存器）。该DCR20含有一个状态比特30。该处理器15通过一条总线25耦连到各种其它的装置上。总线25含有：一个总线许可（BG）线、一个总线忙（BB）线和一个总线请求（BR）线，并由一个仲裁器（图中未示出）来管理。

在该配置中，一个总线主机35，耦连到总线25上，包含：一个总线控制块40，用以提供对总线的控制；一个DRAM45，也耦连到总线25上，包含一个DRAM控制块50，用以提供对DRAM45的控制。DRAM45具有RAS和CAS线（图中未示出）。如果DCR20的状态比特30被置位，则后果是DRAM45对于微处理器15是专用的，而且RAS和CAS线只由处理器15来驱动。

总线控制块40含有：一个总线许可（BG）输入60端、一个总线忙（BB）输出端65和一个总线请求（BR）输出端70，它们耦连到总线25的各自相应的线上。DRAM控制块50具有：输出CAS80和

RAS75，用以控制 DRAM45 的 CAS 和 RAS 线。DCR20 的状态比特 30 被安排得可由总线控制块 40 和 DRAM 控制块 50 经由总线 25 并行地读出。

现在还参看图 2，图中示出一个刷新序列，在操作中无需处理器 15 对总线 25 的主机身份。所示的所有控制线都是上拉的（pull-up）（逻辑 1 等于低电压电平）。

区段 100 示出总线释放，其中，BR70 在总线活动性的端部被求反，BG60 由仲裁器求反，其结果是 BB65 由处理器 15 求反。。在 BB65 求反之后，在区段 200 内，所有的处理器 15 输出都变为第三态（浮动）。另一个处理器（图中未示出）变为总线 25 的主机，它断定 BB65 给出信号，以表明它的主机身份。如果 DCR20 中的比特 30 被置位，则 RAS75 和 CAS80 线继续由微处理器 15 驱动，不变为第三态。

在区段 300 内，当先前所断定确认的主机身份失去时，控制块 50 保持驱动 RAS 线 75 为所断定确认的情况。然后，在需要刷新被检测到时，DRAM 控制块 50 立即开始刷新操作(在 RAS75 之前驱动 CAS80)，控制块 40 控制处理器 15 的 DRAM 的刷新功能以使处理器 15 利用总线 25 的 RAS75 和 CAS80 线来执行 DRAM 刷新功能，而无需发出请求，也无需断定确认对总线 25 的控制。该刷新是借助在 RAS75 之前断定确认 CAS80 来执行的。

与之相反，在检测到需要刷新外部 DRAM 时，先有技术的配置请求对总线的主机身份。于是，在开始实际刷新之前不得不获准主机身份。这也是在状态比特 30 未被置位时的情况。

现在参看图 3 和图 4，它们示出在获准主机身份之后首次访问 DRAM45 作为“页面方式”访问的可能性。图 3 中，区段 101、201、301 和 401 表示先有技术配置的各阶段。图 4 中，区段 102、202、302 和 402 表示“页面方式”访问的各阶段。

在区段 101 和 102 内，行地址被驱动，RAS75 被断定确认。在区段 201 和 202 内，两个列地址被先后被驱动而 CAS80 据此被断定确认并被求反。在这个时段的端部附近，BG60 被求反而发出信号，指示处理器 15 失去主机身份。

如果 DCR20 的状态比特 30 被置位，则在区段 302 内该总线 25 被释放， RAS75 保持被驱动为现用状态，而 CAS80 保持被驱动为求反状态。在所示的先有技术配置中，在区段 301 内 RAS75 先被求反，然后变为第三态，而且 CAS80 已求反，现在为第三态。

在时段 402 中，总线主机身份再归属于处理器 15 所有，它立即开始列地址驱动，随后是 CAS80 的断定确认，如此进行下去，于是首次访问的访问时间明显缩短许多。

与之相反，先有技术的 DRAM 控制块执行一个完整的访问程序如区段 401 所示，具有所有的需要阶段：行地址驱动， RAS 断定确认，列地址驱动， CAS 断定确认，等等。这也是状态比特 30 未被置位的情况。

可以理解，虽然这里仅详细叙述了本发明的一个具体实施例，但本领域的技术人员可以作出各种修改和改进，而不偏离本发明的范畴。

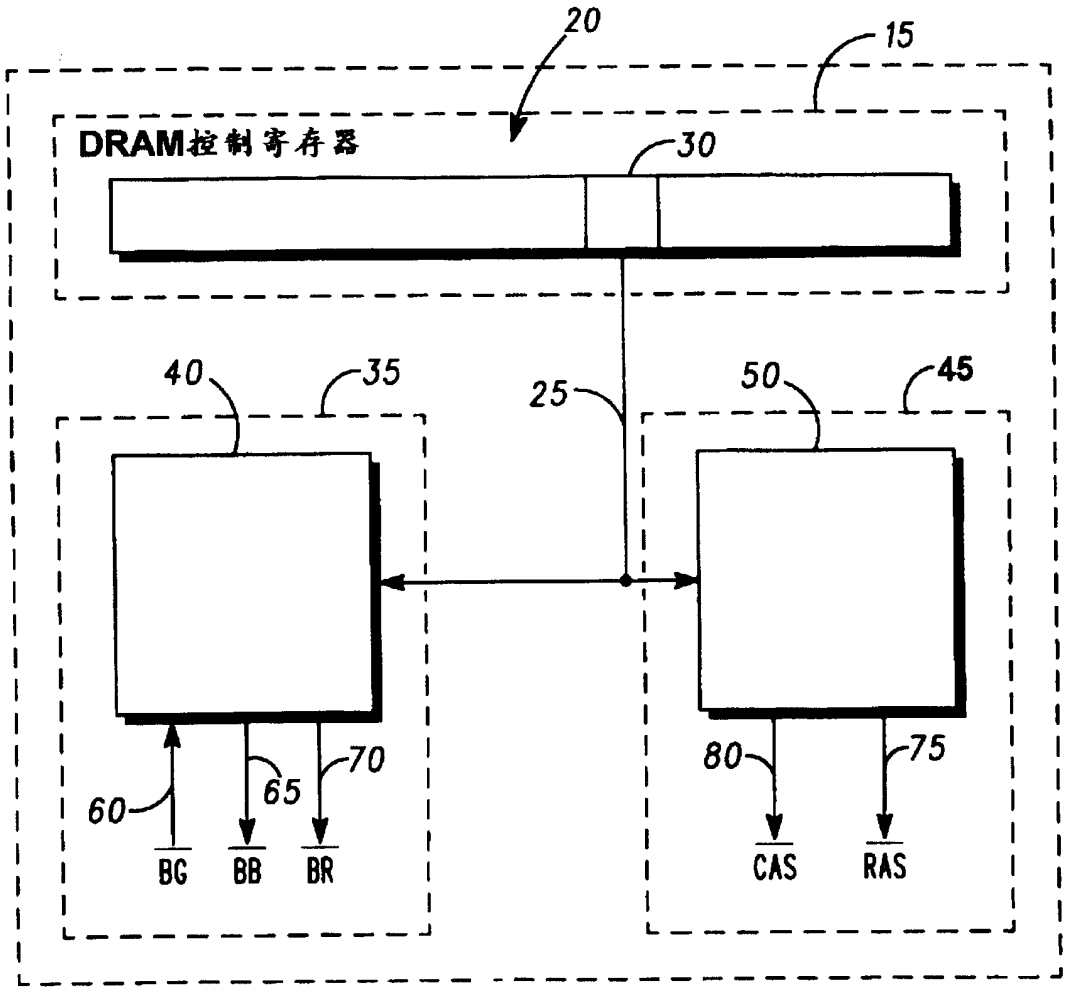
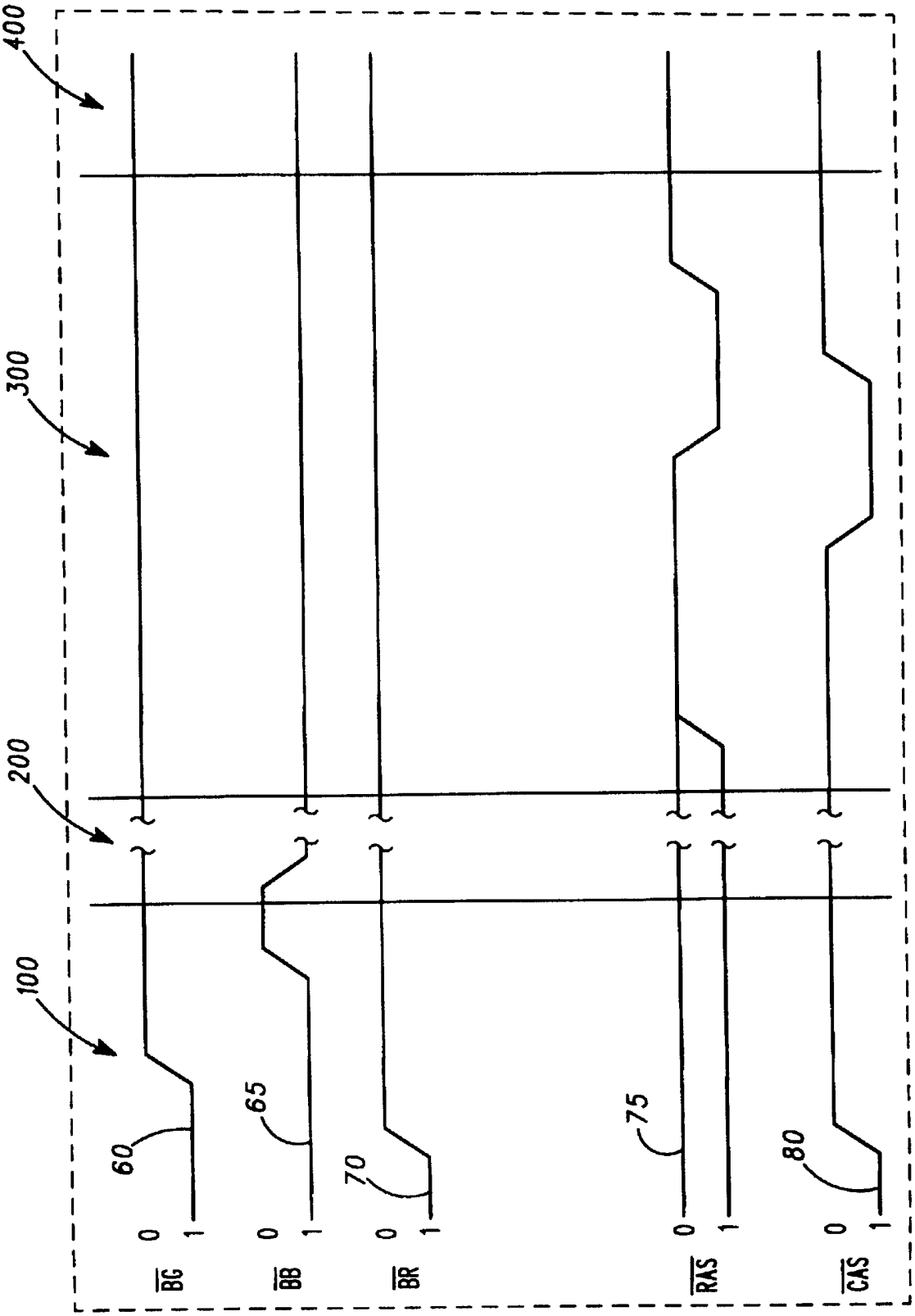


图1

图2


400
300
200
100
60
65
70
75
80
0
1
$\overline{BG}$
$\overline{BB}$
$\overline{BR}$
$\overline{RAS}$
$\overline{CAS}$

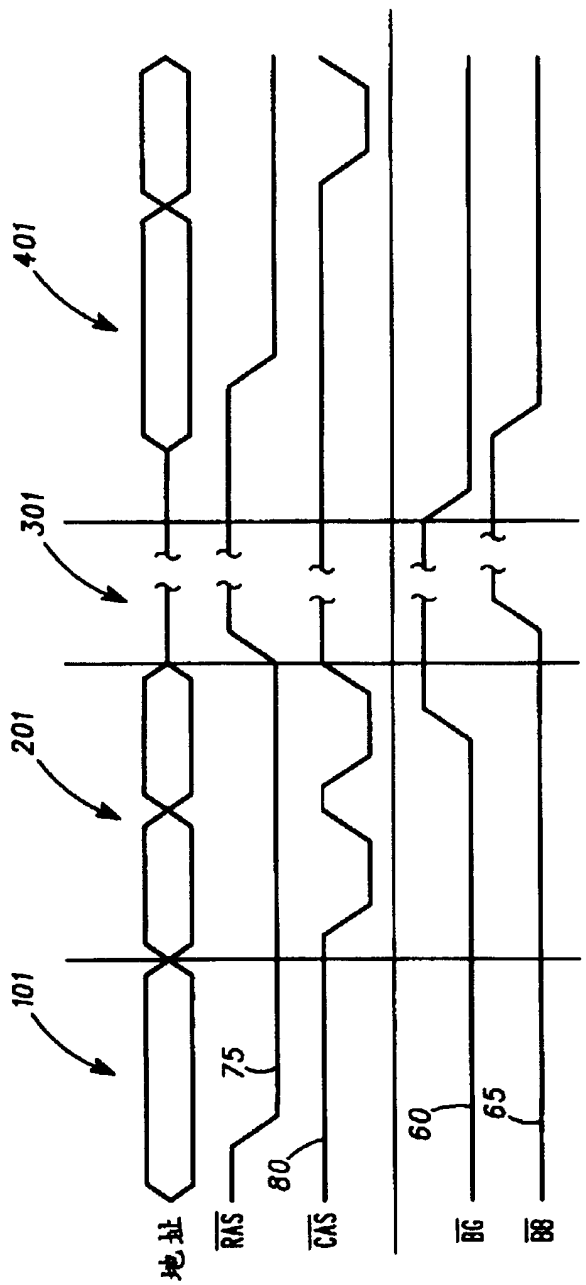

101
201
301
401
地址
RAS
CAS
BG
BB
75
80
60
65

图3
先有技术

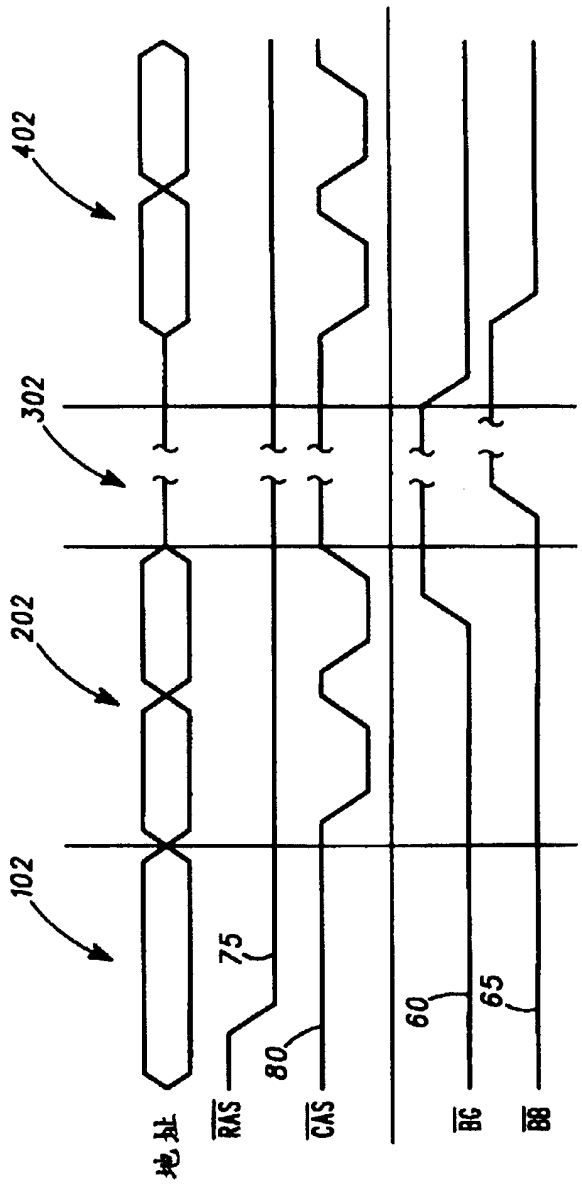

102
202
302
402
地址
RAS
CAS
BG
BB
75
80
60
65

图4