

公告本

413863

申請日期	88.5.29
案號	88108909
類別	H01L 21/335

A4
C4

413868

(以上各欄由本局填註)

發 明 專 利 說 明 書		
發 新 型		
一、發明 名稱	中 文	在半導體元件中之自動對準接觸墊及其形成方法
	英 文	
二、發明 創作人	姓 名	1 李宰求 2 趙昶賢
	國 籍	韓國
	住、居所	1 大韓民國漢城市冠岳區新林 11 洞 1574-1 2 大韓民國漢城市宋波區新天洞 17-6 番地美星 Apt.9-408
三、申請人	姓 名 (名稱)	三星電子股份有限公司
	國 籍	韓國
	住、居所 (事務所)	大韓民國京畿道水原市八達區梅灘洞 416 番地
	代 表 人 姓 名	尹鍾龍

裝 訂 線

經濟部中央標準局員工消費合作社印製

413868

A6
B6

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權

韓國

1998/11/20 No. 98-49959

有關微生物已寄存於：

, 寄存日期：

, 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (/)

發明背景

發明領域

本發明是有關於一種半導體元件的製造方法，並且特別是一種自動對準接觸墊(self aligned contact pad)及其形成方法。

習知技藝

近年來由於半導體技術的日新月異，半導體元件朝向較小設計準則的趨勢，例如十億位元動態隨機存取記憶體(Gbit scale DRAMs)，所達到的範圍，已使得接觸插塞在與半導體層或接觸插塞下方的內連接層對準時，很難獲得對準預度(alignment margin)。於是為了產生深次微米(sub-quarter micron)的半導體元件，使用能藉由與半導體層或接觸插塞下方的內連線層自動對準而形成接觸插塞的製程。美國專利案號 4,992,848 揭露了自動對準接觸窗製程，其之揭露在此入參考。

自動對準接觸窗(此後稱為“SAC”)的優點如下。首先可以增加藉由微影製程(photographic process)形成接觸窗開口的對準預度。接著，因為所有界定接觸窗開口之區域可用以做為接觸窗區域，所以能降低接觸電阻(contact resistance)。有鑑於此，已經開始重視 SAC 的技術。

IEDM'95 的第 907 頁以及在 IEDM'96 的第 597 頁，其之揭露在此入參考，揭露了 SAC 製程，其中 SAC 圖案類似圓形種類或橢圓形種類，在厚絕緣層內以分離的方式形成儲存節點接觸窗開口以及位元線接觸窗開口，也就是彼

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

此分離的方式儲存節點。

如眾所皆知，當習知元件的圖案尺寸變小時，也就是當接觸窗開口的高寬比變高時，將降低所蝕刻的區域並增加接觸窗開口的深度。結果在蝕刻厚絕緣層的步驟中，蝕刻副產物無法輕易的從這樣深又窄的開口擴散出來，所以降低了蝕刻率。在嚴重的情況下，顯著的降低蝕刻率並能停止蝕刻，產生了所謂的蝕刻中止現象。

為解決蝕刻中止現象，必須在抑制副產物的形成以及增加蝕刻時間的情況下進行蝕刻。然而，在這樣的蝕刻情況下，既然蝕刻層與另一終止層之間的蝕刻選擇性變差，在 SAC 蝕刻時也會蝕刻閘極上蓋層以及閘極間隙壁，所以產生了 SAC 墊與閘極電極之間的電性橋接。

在 1997 年 VLSI 技術座談會的科技文摘之第 17 到 18 頁名為“一種完全可列印、自動對準並平坦堆疊電容 DRAM 晶胞技術適用於十億位元以及更高的 DRAM”的報導中，Y. Kohyama 等人提出一種形成 SAC 墊的方法，其中合併儲存節點與位元線的 SAC 開口，其之揭露在此入參考。

在此方法下，閘極 SAC 圖案(代表光阻區)與主動區域相同並且向閘極方向移動一半間距。因此，光阻圖案區域很小，以致在 SAC 的蝕刻步驟中聚合物的形成非常低。結果，使絕緣層與閘極間隙壁的氮化物層以及閘極罩幕層之間的蝕刻選擇性變差。這是因為聚合物的形成是與光阻圖案區域呈正比，而蝕刻選擇比依聚合物的形成所增加。

而且，SAC 墊具有限制在相鄰閘極線之間的空間內之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

上表面尺寸。這是因為過度蝕刻一般是在多晶矽的化學機械研磨後進行，因此結果的 SAC 墊之上表面比閘極堆疊之上表面更低。此導致 SAC 墊與隨後形成的位元線接觸窗間之狹窄的對準預度。在進行為產生電性分離的習知化學機械研磨(chemical mechanical polishing, CMP)製程後，在多晶矽、氮化物、以及氧化物的曝露層上進行過度蝕刻製程，所以產生必須以額外清洗過程去除的副產品。

發明概要

因此，本發明的目的是要提供一種在半導體元件內形成 SAC 墊的方法，其可在絕緣層的 SAC 蝕刻時避免蝕刻閘極上蓋層，並且能增加 SAC 墊的上表面區域為產生寬製程窗。

本發明的特徵是形成合併式(merged)SAC 開口，其暴露半導體基底的複數個接觸窗區域。合併式 SAC 開口可能同時曝露儲存節點接觸區域以及位元線接觸區域。SAC 是相對堆疊式閘極電極的上蓋層以及間隙壁選擇性的蝕刻絕緣層所開口。為要在 SAC 蝕刻時增加蝕刻選擇性並且提供大型製程窗，合適地形成此一合併 SAC 圖案。

本發明的另一特徵是進行不同於習知化學機械研磨技術的回蝕技術以達電性分離每一 SAC 墊的目的。回蝕技術是運用根據氟與碳的氣體化學。更特別的是，回蝕技術包括第一步驟蝕刻由材質所組成的 SAC 向下至在下層的絕緣層。回蝕的第一步驟使用包含 SF_6 、 CF_4 、以及 CHF_3 的混合氣體。回蝕的第二步驟是利用包含 SF_6 、 CF_4 、以及 CHF_3

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

的混合氣體在導電材質以及絕緣層上向下進行至上蓋層的上表面。回蝕的第三步驟是使用包含 CF_4 以及 CHF_3 的混合氣體相對導電材質在上蓋層上選擇性的進行。

根據本發明，藉由在半導體基底上形成多晶矽的閘極電極層以及金屬矽化物，例如矽化鎢層，提供了這些以及其他特徵。在閘極電極層上沉積氮化物層的閘極上蓋層以及氧化物層。經由微影製程，蝕刻沉積層的選擇部位以形成間隔的閘極電極結構。接著，藉由沉積材質層及其回蝕過程，在閘極電極結構的側壁上形成間隙壁。此側壁之間隙壁的材質包括氮化矽層。

接著沉積由氧化物所組成的絕緣層以完全覆蓋閘極結構，填塞鄰近閘極結構之間的空間。絕緣層包括硼磷矽玻璃(borophosphosilicate, BPSG)氧化物、未摻雜矽玻璃(undoped silicate glass, USG)氧化物、以及高密度電漿(high density plasma, HDP)氧化物。

依照上蓋層的氮化物以及間隙壁，使用接觸墊形成罩幕(contact pad formation mask)以選擇性地蝕刻氧化絕緣層的選擇部位，因此形成基底的 SAC 開口。為產生寬製程窗口，以單一 SAC 開口同時曝露儲存節點以及位元線接觸區域。

接著，在 SAC 開口內以及氧化絕緣層上沉積導電層。導電材質是由具有依照氮化物之蝕刻選擇性的材質所製作。為使每一 SAC 墊彼此電性分離，在導電材質以及絕緣材質上進行向下回蝕至上蓋層的上表面。在回蝕過程的最

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

終，依照導電材質選擇性蝕刻上蓋層的上表面並形成 SAC 墊。

隨後形成位元線以及電容，以便經由在絕緣層之選擇部位所形成的接觸插塞與對應的 SAC 墊產生電性連接。

為讓本發明及其目的可配合所附圖式而為熟於此項技藝人士所瞭解：

圖式之簡單說明：

第 1 圖是根據本發明繪示 SAC 墊的上視平面視圖；以及

第 2A 圖到第 2F 圖是依照第 1 圖中沿 A-A' 線的剖面，繪示 SAC 墊之形成方法的流程圖。

圖式之標記說明：

- 100：半導體基底
- 101：主動區域
- 102：元件隔離層
- 103、104：閘極電極層
- 105：閘極上蓋層
- 110：蝕刻中止層
- 112、118：絕緣層
- 114：SAC 開口
- 116a：儲存節點 SAC 墊
- 116b：位元線 SAC 墊

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

實施例

本發明將參考所附圖示作更完整的說明如下，其中繪示了本發明的較佳實施例。然而本發明能以不同形式所表示，所以不應該只限定在所提出的實施例中。提供這些實施例是爲了徹底且完整的揭露並使熟知此技藝者能清楚的了解本發明的範圍。在圖示中爲了明確起見，擴大了層厚度以及區域。而當提到一層是在另一層或基底“上”時，也能清楚的了解其是直接在其他層或基底的上方或也可能有中介層的存在。而在此說明並繪示的每一實施例也包括其互補導電型的實施例。

本發明的實施例將參照第 1 圖以及第 2A 圖到第 2F 圖作詳細說明如下。第 1 圖是根據本發明繪示 SAC 墊的上視平面視圖，而第 2A 圖到第 2F 圖是依照第 1 圖中沿 A-A' 線的剖面，繪示 SAC 墊之形成方法的流程圖。

爲更清楚了解本發明，同時參考第 1 圖與第 2 圖進行說明。請參照第 2A 圖，在半導體基底 100 的預定區形成元件隔離層 102 以界定主動區 101 來產生電性連接。元件隔離層 102 是藉由任何合適方法，如淺溝渠隔離(shallow trench isolation)技術以及局部氧化矽(local oxidation of silicon)技術所形成。

隨後沉積閘極氧化層(未繪示於圖中)、閘極電極層 103 與 104、以及閘極上蓋層 105。經由傳統的光蝕刻製程圖案化沉積層以形成隔開的閘極電極結構 107。進行習知的混雜離子植入(impurity ions implantation)爲形成源極/汲極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

區。在閘極電極結構 107 以及基底 100 上沉積氮化矽層並進行回蝕，以在閘極電極結構 107 的側端形成間隙壁 108。結果完成了閘極的結構。

更具體的來說，閘極電極層是由多晶矽 103 以及如矽化鎢之金屬矽化物 104 的雙層所製作，並且也能運用其組合的多層結構。在雙層的情況下，分別形成厚度大約 1000 埃的多晶矽以及矽化鎢層。上蓋層是由氮化層 105 以及在其上方之氧化物層 106 的雙層所製作，並且也能運用其組合的多層結構。在雙層結構的情況下，形成厚度大約 1000 埃至 2000 埃的氮化層 105 並形成厚度大約 300 埃至 1000 埃的氧化物層 106。

所形成的間隙壁 108 的厚度大約在 300 埃至 1000 埃，而較佳的厚度是大約 500 埃。

如第 2A 圖所繪示，依照閘極結構的外型在基底 100 的整個表面上沉積蝕刻中止層 110。蝕刻中止層 110 是由氮化矽層所製作並具有大約 50 埃至 200 埃的厚度。在 SAC 蝕刻時，蝕刻終止層 110 與上蓋層以及間隙壁一起保護基底表面以及閘極電極層。

請參照第 2B 圖，在結果結構上沉積沉絕緣層 112 以覆蓋閘極結構，而完全填塞鄰近閘極結構之間的空間。絕緣層 112 是由依照蝕刻中止層的氮化物、上蓋層、以及間隙壁之蝕刻選擇性的材質所製作。氧化物層較有可能形成絕緣層 112。氧化物層 112 包括硼磷矽玻璃、未摻雜矽玻璃、以及高緻密度電漿。所形成的絕緣層厚度大約為 3500 埃

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

至 5500 埃。為獲得光蝕刻製程的寬製程窗口，藉由去除其部分厚度來平坦化絕緣層的上表面，而在閘極結構上保留 500 埃至 1000 埃的厚度。

在平坦絕緣層 112 上形成 SAC 圖案(未繪示於圖中)。SAC 圖案類似“T”型並且是由光阻層所製作。依照蝕刻中止層 110 的氮化矽，利用此 SAC 圖案選擇性的非等向蝕刻曝露的氧化介層絕緣層。藉由濕蝕刻去除蝕刻中止層 110，而因此形成如第 2C 圖所繪示的 SAC 開口 114。結果的“T”型 SAC 開口 114 曝露了基底的儲存節點接觸區域以及位元線接觸區域(請參照第 1 圖)。這樣的 SAC 圖案能提供光蝕刻製程的寬製程窗口以及在 SAC 蝕刻時氧化層 112 與氮化層 110 之間的良好蝕刻選擇性。

請參照第 2D 圖，在絕緣層 112 上沉積具有依照氮化層之蝕刻選擇性的導電材質層 116 以填塞 SAC 開口 114。例如沉積厚度大約 3500 埃至 5000 埃的多晶矽。

不同於習知首先進行化學機械研磨以及最終進行過度蝕刻製程，乃是藉由回蝕製程形成彼此電性分離的 SAC 墊。在此方法中進行回蝕製程的三個步驟。第一個步驟是利用氧化絕緣層為終點，進行多晶矽層的回蝕。此終點利用包含六氟化矽(SF₆)以及四氟化碳(CF₄)的混合氣體依照氧化層偵測多晶矽的回蝕。

第二個步驟是利用包含六氟化矽、四氟化碳、以及三氟化碳(CHF₃)的混合氣體同時回蝕多晶矽以及氧化物。小心的控制(也就是，計時蝕刻)並在接近上蓋層的上表面時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

停止多晶矽以及氧化物的同時回蝕。例如，假如在閘極上蓋層上的厚度大約為 1000 埃至 1500 埃時，進行大約 40 秒的計時回蝕。

最後一個步驟是依照多晶矽選擇性的回蝕上蓋層的一部份氮化層。小心的控制氮化層的選擇性回蝕，而使其與多晶矽具有大約 2:1 至 4:1 的蝕刻率並蝕刻相當於最初厚度三分之一的一部份氮化層厚度。更明確的來說，此回蝕是利用包含四氟化碳以及三氟化碳的混合氣體。

在改變每一回蝕製程所需的蝕刻氣體時，在單一反應室內進行上述回蝕製程，也就是內部製程(in-situ process)。於是，與習知化學機械研磨製程相比時，其具有低製作成本以及製作簡易性的優點。與習知 SAC 墊是藉由過度蝕刻增加其上表面相比時，SAC 墊的上表面能藉由蝕刻氮化上蓋層的部分厚度所增加。於是，具有足夠的空間來產生 SAC 墊與隨後形成的位元線/儲存節點之間的對準預度。

從上述的回蝕過程，形成如第 2E 圖所繪示的 SAC 墊。結果的 SAC 墊包括儲存節點 SAC 墊 116a 以及位元線 SAC 墊 116b。

在結果的結構上沉積另一絕緣層 118。例如，沉積厚度大約為 1000 埃至 3000 埃的 USG 氧化層或 PE-TEOS 氧化層。隨後在另一絕緣層 118 上形成習知的位元線以便與位元線 SAC 墊 116b 產生電性連接。連續下去將形成儲存節點而與儲存節點 SAC 墊 116a 產生電性連接。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 在半導體元件中之自動對準接觸墊及其形成方法)

一種在半導體元件內的自動對準接觸墊及其形成方法，其中在包括材質層以及絕緣層的接觸墊上進行回蝕過程至閘極電極之上蓋層的上表面，並且在蝕刻過程的最終依照由材質層所組成的接觸墊選擇性的蝕刻部分的上蓋層，所以形成彼此電性分離的接觸墊。利用自動對準閘極罩幕選擇性的蝕刻絕緣層至上蓋層來=在自動對準接觸墊上開口。在絕緣層上沉積自動對準接觸墊的導電材質以填滿自動對準接觸開口。進行回蝕過程以形成自動對準接觸墊。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

六、申請專利範圍

1. 一種在半導體元件內形成一自動對準接觸墊的方法，該方法包括以下步驟：

在一半導體基底上形成複數個隔離閘極結構，其中每一該閘極結構包括一閘極電極層、在其上方的一閘極上蓋層、以及一閘極間隙壁；

在該基底以及該閘極電極層上形成一絕緣層以完全填滿該閘極電極結構之間的空間；

使用一接觸墊形成罩幕並蝕刻該絕緣層以形成複數個開口而同時曝露該基底的複數個接觸區；

以相對該上蓋層具有蝕刻選擇性的導電層填塞該開口；

回蝕該導電材質以及該絕緣層直到曝露該上蓋層的上表面，並且形成複數個接觸墊與該基底的該對應接觸區電性連接但彼此電性隔離；以及

其中在該上蓋層上進行回蝕，以便在該回蝕過程的最終相對該導電材質具有一蝕刻選擇性。

2. 如申請專利範圍第 1 項所述的方法，其中形成該閘極結構的該步驟包括：

沉積該閘極電極層以及該閘極上蓋層；

使用一閘極形成罩幕並圖案化該上蓋層以及該閘極電極層；以及

沉積一間隙壁形成層並對其進行回蝕以形成該間隙壁。

3. 如申請專利範圍第 1 項所述的方法，其中該閘極電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

訂

六、申請專利範圍

極層是由一多晶矽以及在其上方的一金屬矽化物所製作而該上蓋層是由一氮化矽以及一氧化物的一雙層結構或其組合的一多層結構所製作。

4.如申請專利範圍第 3 項所述的方法，其中所形成的該多晶矽與金屬矽化物的厚度分別是在大約 1000 埃的範圍內，所形成的該氮化矽的厚度大約是在 1000 至 2000 埃的範圍內，而所形成的該氧化物的厚度大約是在 300 至 1000 埃的範圍內。

5.如申請專利範圍第 1 項所述的方法，其中在形成一絕緣層的該步驟之前在該導電結構以及該基底上形成一蝕刻中止層，而在該蝕刻該絕緣層的該步驟後蝕刻曝露該蝕刻中止層。

6.如申請專利範圍第 5 項所述的方法，其中該蝕刻中止層包括一氮化矽並具有大約 50 至 200 埃的一厚度範圍。

7.如申請專利範圍第 1 項所述的方法，其中該絕緣層包括一硼磷矽玻璃氧化物(borophosphosilicate glass oxide, BPSG oxide)、未摻雜矽玻璃(undoped silicate glass, USG)氧化物、以及高密度電漿(high density plasma, HDP)氧化物並具有大約 3500 至 5500 埃的一厚度範圍。

8.如申請專利範圍第 1 項所述的方法，其中回蝕該導電材質以及該絕緣層的該步驟包括選擇性將該導電層向下回蝕至該絕緣層，並且以之間具有大約 1:1 的一蝕刻率同時將該導電材質以及該絕緣層向下回蝕至該上蓋層的該上表面。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

9.如申請專利範圍第 1 項所述的方法，其中回蝕該上蓋層的步驟相對該導電材質具有大約 2:1 到 4:1 的一蝕刻率。

10.如申請專利範圍第 8 項所述的方法，其中將該導電材質向下選擇性回蝕該絕緣層的該步驟是使用包含六氟化矽(SF₆)以及四氟化碳(CF₄)的混合氣體。

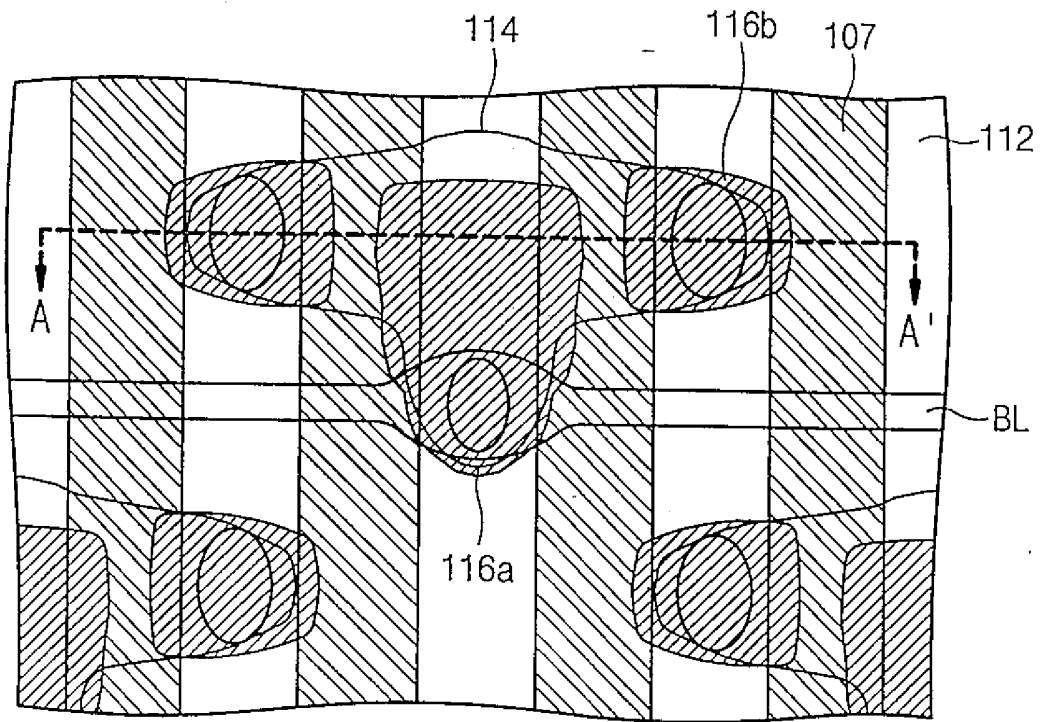
11.如申請專利範圍第 8 項所述的方法，其中回蝕該導電材質以及該絕緣層的該步驟是使用包含六氟化矽(SF₆)、四氟化碳(CF₄)、以及三氟化碳(CHF₃)的混合氣體。

12.如申請專利範圍第 9 項所述的方法，其中該回蝕步驟是使用包含四氟化碳以及三氟化碳的混合氣體。

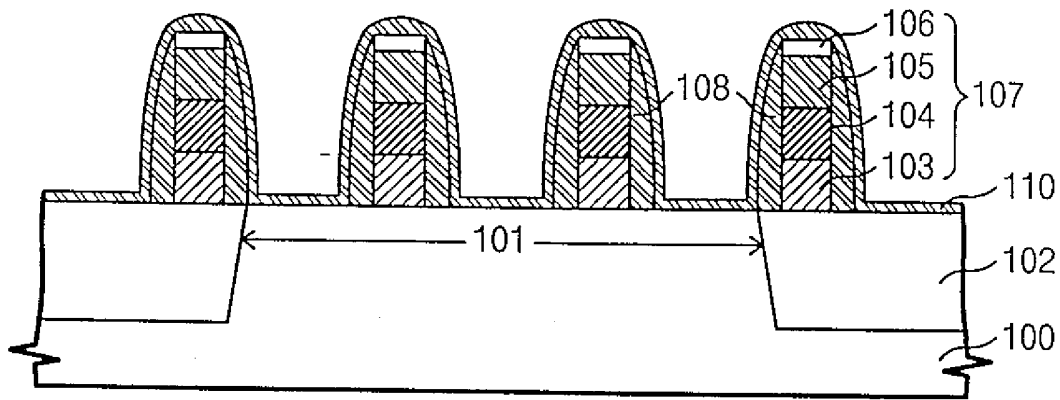
(請先閱讀背面之注意事項再填寫本頁)

表

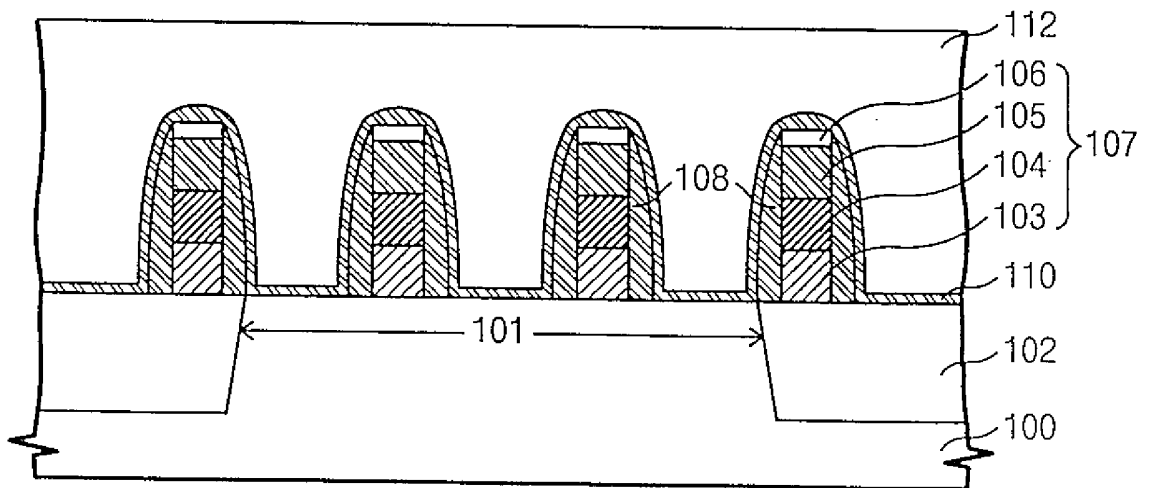
訂



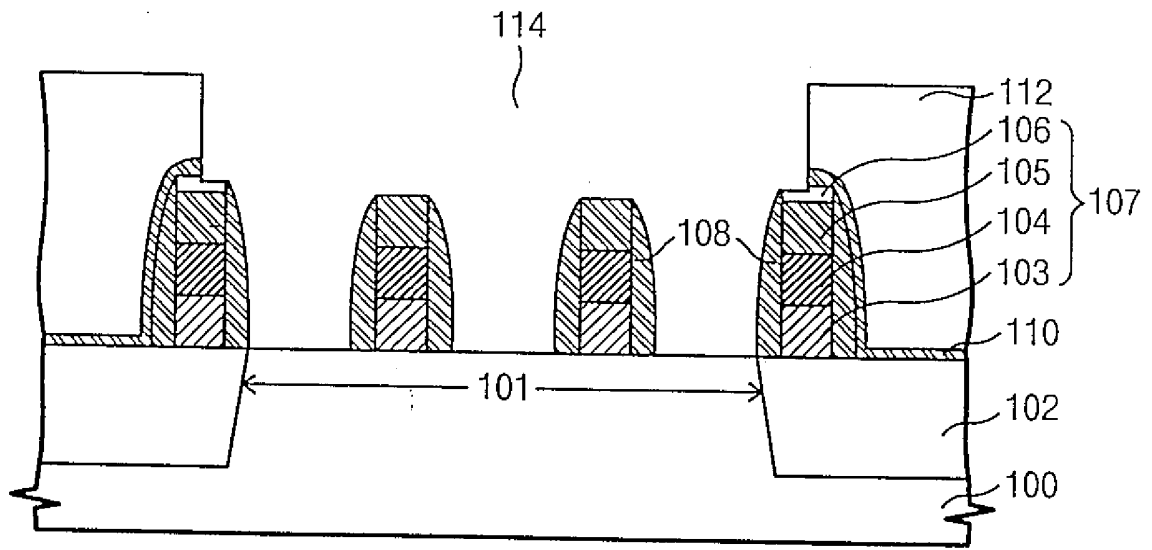
第 1 圖



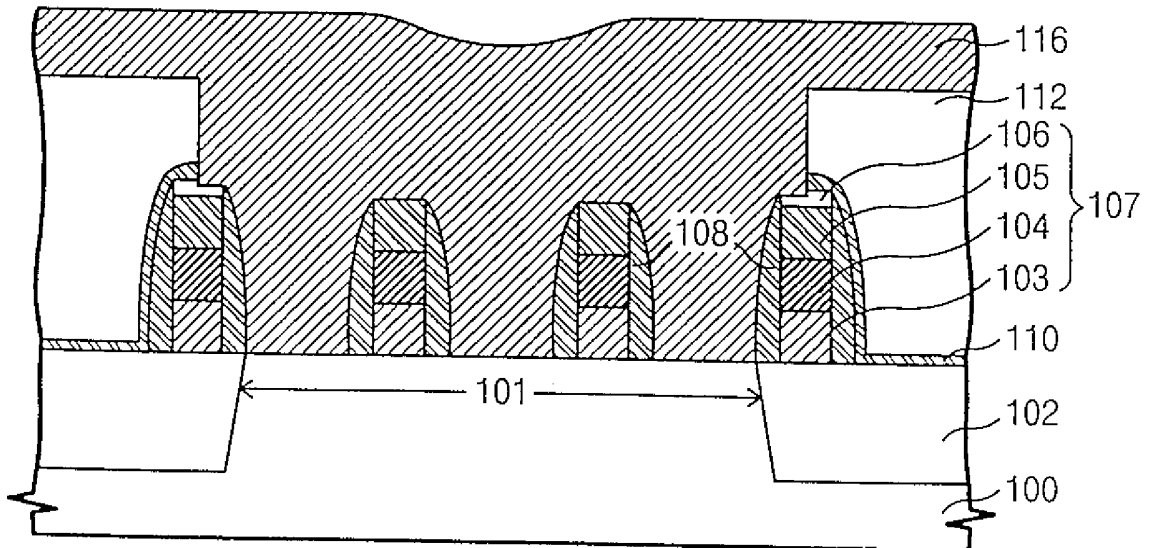
第2A圖



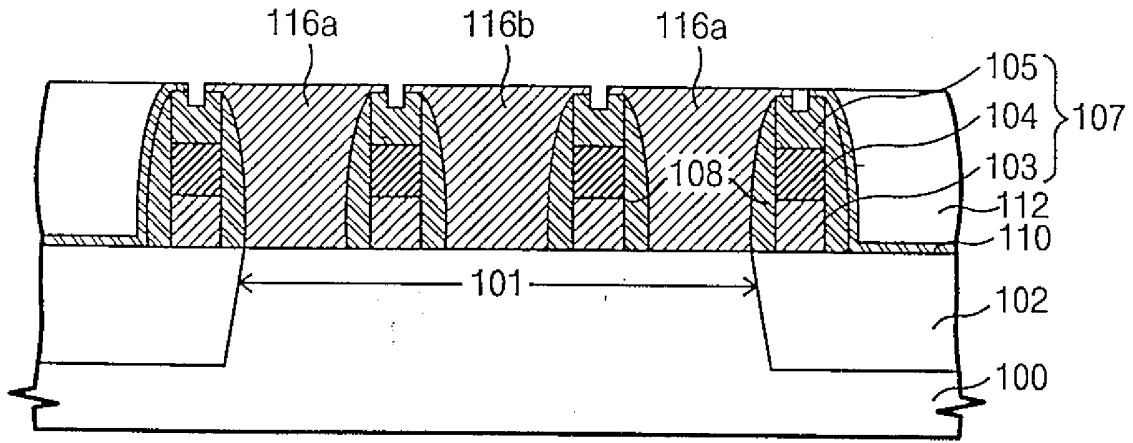
第2B圖



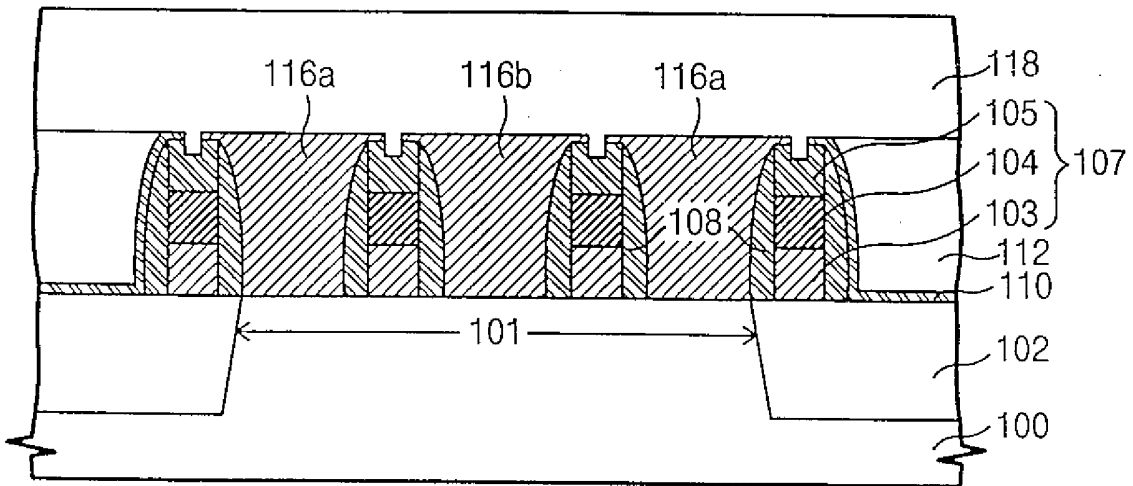
第2C圖



第2D圖



第 2E 圖



第 2F 圖