

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 3 区分  
 【発行日】令和 2 年 4 月 30 日 (2020.4.30)

【公表番号】特表 2019-516258 (P2019-516258A)  
 【公表日】令和 1 年 6 月 13 日 (2019.6.13)  
 【年通号数】公開・登録公報 2019-022  
 【出願番号】特願 2018-523787 (P2018-523787)  
 【国際特許分類】

H 0 3 M 1/50 (2006.01)

H 0 3 M 1/10 (2006.01)

H 0 3 M 1/12 (2006.01)

【F I】

H 0 3 M 1/50

H 0 3 M 1/10 A

H 0 3 M 1/12 C

【手続補正書】

【提出日】令和 2 年 3 月 18 日 (2020.3.18)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

マイクロコントローラであって、

プロセッサコアと、

メモリと、

差動デジタル遅延ラインアナログ・デジタルコンバータを含む複数の周辺デバイスとを備え、

前記デジタル遅延ラインアナログ・デジタルコンバータは、

2 つのデジタル遅延ラインであって、前記 2 つのデジタル遅延ラインの各々は、差動入力電圧を差動電流に変換するトランスコンダクタ段から得られる前記差動電流によってバイアスされ、各デジタル遅延ラインは、それぞれの遅延ラインに関連付けられた電流によってバイアスされる電流スターブ型バッファの第 1 のセットを備える第 1 の回路を備え、前記 2 つのデジタル遅延ラインのうちのより高速なものは、それぞれの他のデジタル遅延ラインのサンプリングをトリガし、前記入力電圧のアナログ・デジタル変換を表すサーモメータコードを発生させ、各デジタル遅延ラインは、前記第 1 の回路と直列に結合される第 2 の回路を備え、前記第 2 の回路は、前記トランスコンダクタ段を制御し、前記デジタル遅延ラインアナログ・デジタルコンバータの測定レンジを調節するように構成される、2 つのデジタル遅延ラインと、

前記デジタル遅延ラインアナログ・デジタルコンバータの出力および関連付けられたレジスタと結合されるデジタルコンパレータであって、前記デジタルコンパレータの少なくとも 1 つの出力は、直接、複数の周辺機器の別の周辺機器を制御するように構成される、デジタルコンパレータと

を備える、マイクロコントローラ。

【請求項 2】

前記デジタルコンパレータは、より大きい、より小さい、等しい、より大きいか等しい、より小さいか等しい出力から成るグループから選択された複数の出力を有する、請求項

1 に記載のマイクロコントローラ。

【請求項 3】

複数のデジタルコンパレータを備え、各デジタルコンパレータは、前記デジタル遅延ラインアナログ・デジタルコンバータの出力および関連付けられたレジスタと結合され、各デジタルコンパレータは、前記デジタル遅延ラインアナログ・デジタルコンバータの出力が前記関連付けられたレジスタの値を上回ることを示す第 1 の出力と、前記デジタル遅延ラインアナログ・デジタルコンバータの出力が前記関連付けられたレジスタの値を下回るか等しいことを示す第 2 の出力とを備える、請求項 1 に記載のマイクロコントローラ。

【請求項 4】

前記デジタル遅延ラインアナログ・デジタルコンバータの出力と結合される内部バスと、前記少なくとも 1 つのデジタルコンパレータの第 1 の入力とをさらに備える、請求項 1 に記載のマイクロコントローラ。

【請求項 5】

前記他の周辺機器は、パルス幅変調モジュールである、請求項 1 に記載のマイクロコントローラ。

【請求項 6】

前記デジタルコンパレータの出力は、直接、前記パルス幅変調モジュールの電圧調節を駆動するように構成される、請求項 5 に記載のマイクロコントローラ。

【請求項 7】

前記デジタル遅延ラインアナログ・デジタルコンバータの各デジタル遅延ラインは、第 2 の回路をさらに備え、前記第 2 の回路は、それぞれの遅延ラインに関連付けられた電流によってバイアスされる電流スターブ型バッファの第 2 のセットを備え、前記第 2 の回路は、前記第 1 の回路と直列に連結され、前記電流スターブ型バッファの第 2 のセットの出力は、前記遅延ラインアナログ・デジタルコンバータへの入力が入力レンジから外れている程度を示すデータを提供する、請求項 1 に記載のマイクロコントローラ。

【請求項 8】

前記デジタル遅延ラインアナログ・デジタルコンバータは、第 3 の回路をさらに備え、前記第 3 の回路は、それぞれの遅延ラインに関連付けられた電流によってバイアスされる電流スターブ型バッファの第 3 のセットを備え、前記第 3 の回路は、前記第 1 の回路および前記第 2 の回路と直列に結合され、較正コマンドの制御下で追加の電流スターブ型バッファを各遅延ラインに追加することによって、前記デジタル遅延ラインを較正するように構成される、請求項 1 に記載のマイクロコントローラ。

【請求項 9】

前記トンラスコンダクタ段は、前記デジタル遅延ラインの各々への基準電流を反映するように構成される制御可能な電流ソース回路を備える、請求項 1 に記載のマイクロコントローラ。

【請求項 10】

前記デジタル遅延ラインアナログ・デジタルコンバータは、  
複数の N A N D ゲートであって、前記複数の N A N D ゲートの入力は、前記デジタル遅延ラインのそれぞれの第 1 の電流スターブ型バッファの出力と結合される、複数の N A N D ゲートと、

前記 N A N D ゲートの出力と結合されるラッチと  
をさらに備え、

前記ラッチは、前記デジタル遅延ラインのうちのより高速なものの完了に応じて、前記デジタル遅延ラインのうちのより低速なものからのデータを保存するように構成される、請求項 1 ~ 9 のいずれかに記載のマイクロコントローラ。

【請求項 11】

前記デジタル遅延ラインアナログ・デジタルコンバータにフィードされる基準電圧を発生させるデジタル・アナログコンバータをさらに備える、請求項 1 ~ 9 のいずれかに記載のマイクロコントローラ。

**【請求項 1 2】**

前記デジタル遅延ラインアナログ・デジタルコンバータの複数のインスタンスをさらに備える、請求項 1 ～ 9 のいずれかに記載のマイクロコントローラ。

**【請求項 1 3】**

請求項 1 ～ 9 のいずれかに記載のマイクロコントローラを作動させるための方法であって、前記方法は、専用バスを通して直接 1 つまたは複数の P W M コントローラまたは回路に前記デジタル遅延ラインアナログ・デジタルコンバータの出力値をルーティングするように前記マイクロコントローラを制御することを含む、方法。

**【請求項 1 4】**

レジスタ値または他のインジケータを用いて前記デジタルコンバータをプログラムすることをさらに含み、デジタル遅延ラインアナログ・デジタルコンバータ信号のレジスタ値または他のインジケータは、所与のデジタルコンバータのために使用されるべきである、請求項 1 3 に記載の方法。

**【請求項 1 5】**

比較値レジスタ内に規定された閾値を前記差動電圧が上回るかどうかに基づいて P W M 信号を発行するように、P W M コントローラを制御することをさらに含む、請求項 1 3 に記載の方法。

**【手続補正 2】**

**【補正対象書類名】**明細書

**【補正対象項目名】**0 0 0 7

**【補正方法】**変更

**【補正の内容】**

**【0 0 0 7】**

本開示の実施形態は、A D C、プロセッサ、マイクロコントローラ、電子デバイス、ダイパッケージ、半導体パッケージ、および前述の実施形態の半導体デバイスのいずれかによって行われる方法を含む。

本発明は、例えば、以下を提供する。

(項目 1)

マイクロコントローラであって、

プロセッサコアと、

メモリと、

差動デジタル遅延ラインアナログ・デジタルコンバータ (A D C) を含む複数の周辺デバイスであって、前記 A D C は、

複数の差動デジタル遅延ラインと、

入力のアナログ・デジタル変換を表すデータを発生させるように構成される、前記差動デジタル遅延ライン内に含まれる、遅延要素のセットを備える、第 1 の回路と、

前記 A D C の出力および関連付けられたレジスタと結合されるデジタルコンバータであって、前記デジタルコンバータの少なくとも 1 つの出力は、直接、複数の周辺機器の別の周辺機器を制御するように構成される、デジタルコンバータと

を備える、複数の周辺デバイスと

を備える、マイクロコントローラ。

(項目 2)

前記デジタルコンバータは、より大きい、より小さい、等しい、より大きいか等しい、より小さいか等しい出力から成るグループから選択された複数の出力を有する、項目 1 または 3 - 1 6 のいずれかに記載のマイクロコントローラ。

(項目 3)

複数のデジタルコンバータを備え、各デジタルコンバータは、前記 A D C の出力および関連付けられたレジスタと結合され、各デジタルコンバータは、前記 A D C の出力が前記関連付けられたレジスタの値を上回ることを示す第 1 の出力と、前記 A D C の出力

が前記関連付けられたレジスタの値を下回るか等しいことを示す第2の出力とを備える、項目1 - 2または4 - 16のいずれかに記載のマイクロコントローラ。

(項目4)

前記デジタル遅延ラインアナログ・デジタルコンバータの出力と結合される内部バスと、前記少なくとも1つのデジタルコンパレータの第1の入力とをさらに備える、項目1 - 3または5 - 16のいずれかに記載のマイクロコントローラ。

(項目5)

前記他の周辺機器は、パルス幅変調モジュールである、項目1 - 4または7 - 16のいずれかに記載のマイクロコントローラ。

(項目6)

前記他の周辺機器は、パルス幅変調モジュールであり、前記デジタルコンパレータの出力は、直接、パルス幅変調回路の電圧調節を駆動し、ソフトウェア制御をバイパスするように構成される、項目1 - 4、7 - 10、または12 - 16のいずれかに記載のマイクロコントローラ。

(項目7)

前記ADCはさらに、第2の回路を備え、前記第2の回路は、前記ADCへの入力が入力レンジから外れている程度を示すデータを生成するように構成される、前記差動デジタル遅延ライン内に含まれる遅延要素のセットを備える、項目1 - 4、7 - 10、または12 - 16のいずれかに記載のマイクロコントローラ。

(項目8)

前記ADCはさらに、第2の回路を備え、前記第2の回路は、前記差動デジタル遅延ラインへのソースを校正するように構成される、前記差動デジタル遅延ライン内に含まれる遅延要素のセットを備える、項目1 - 4、7 - 10、または12 - 16のいずれかに記載のマイクロコントローラ。

(項目9)

前記第1の回路は、入力電圧と基準電圧との間の差異を測定するように構成される、項目1 - 8または10 - 16のいずれかに記載のマイクロコントローラ。

(項目10)

前記差動デジタル遅延ラインのそれぞれへの基準電流を反映するように構成される電流ソース回路をさらに備える、項目1 - 9または12 - 16のいずれかに記載のマイクロコントローラ。

(項目11)

前記ADCはさらに、第2の回路を備え、前記第2の回路は、前記差動デジタル遅延ラインへのソースを校正するように構成される、前記差動デジタル遅延ライン内に含まれる遅延要素のセットを備え、

前記マイクロコントローラはさらに、前記差動デジタル遅延ラインのそれぞれへの基準電流を反映するように構成される電流ソース回路を備え、前記第2の回路は、前記基準電流を調節し、誤差を最小限にするように構成される、

項目1 - 4または12 - 16のいずれかに記載のマイクロコントローラ。

(項目12)

入力差動電圧を差動電流に変換するように構成されるトランスコンダクタをさらに備え、前記第1の回路は、前記差動電流を測定し、前記差動電圧を表すデータを発生させるように構成される、項目1 - 11または14 - 16のいずれかに記載のマイクロコントローラ。

(項目13)

入力差動電圧を差動電流に変換することと、

前記複数の差動デジタル遅延ラインに基づいて、入力を受け取り、電圧・電流レンジを調節することと

を行うように構成される、トランスコンダクタ

をさらに備える、項目1 - 11または14 - 16のいずれかに記載のマイクロコントロ

ーラ。

(項目 1 4 )

各差動デジタル遅延ラインは、電流限定バッファ鎖を含む、項目 1 - 1 3 または 1 5 - 1 6 のいずれかに記載のマイクロコントローラ。

(項目 1 5 )

所与の差動デジタル遅延ラインが、前記所与の差動デジタル遅延ラインに適用される差動電流に従って、ある速度で動作するように構成され、

前記 A D C はさらに、ラッチを備え、

前記ラッチは、より高速の差動デジタル遅延ラインの完了に応じて、より低速の差動デジタル遅延ラインからのデータを保存するように構成される、

項目 1 - 1 4 または 1 6 のいずれかに記載のマイクロコントローラ。

(項目 1 6 )

前記差動デジタル遅延ライン内に含まれる遅延要素のさらに別のセットを備える第 3 の回路をさらに備え、前記第 3 の回路は、前記差動デジタル遅延ラインへのソースを較正するように構成される、項目 1 - 1 5 のいずれかに記載のマイクロコントローラ。

(項目 1 7 )

項目 1 - 1 6 に記載のマイクロコントローラのいずれかの構成を行うためのステップを含む、方法。