

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5313687号
(P5313687)

(45) 発行日 平成25年10月9日(2013.10.9)

(24) 登録日 平成25年7月12日(2013.7.12)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)
 G09G 3/36 (2006.01)
 G09G 3/20 (2006.01)
 H01L 51/50 (2006.01)
 H05B 33/12 (2006.01)

G09G 3/30 J
 G09G 3/36
 G09G 3/20 612U
 G09G 3/20 621A
 G09G 3/20 622P

請求項の数 16 (全 29 頁) 最終頁に続く

(21) 出願番号 特願2008-547884 (P2008-547884)
 (86) (22) 出願日 平成18年12月21日(2006.12.21)
 (65) 公表番号 特表2009-522590 (P2009-522590A)
 (43) 公表日 平成21年6月11日(2009.6.11)
 (86) 国際出願番号 PCT/EP2006/012362
 (87) 国際公開番号 W02007/079947
 (87) 国際公開日 平成19年7月19日(2007.7.19)
 審査請求日 平成21年10月29日(2009.10.29)
 (31) 優先権主張番号 102005063159.2
 (32) 優先日 平成17年12月30日(2005.12.30)
 (33) 優先権主張国 ドイツ(DE)

(73) 特許権者 513037845
 ユニベルズィテート デス ザールランデ
 ス
 ドイツ国 66123 ザールブリュッケ
 ン, キャンパス ツェー 3 1
 (74) 代理人 110001427
 特許業務法人前田特許事務所
 (73) 特許権者 508196726
 キョウセラ ディスプレイ ヨーロッパ
 ゲーエムベーハー
 ドイツ国 64832 パーベンハウゼン
 , ゼーリングゲンシュテーター シュトラ
 セ 40

最終頁に続く

(54) 【発明の名称】マトリクスディスプレイの駆動方法、自己発光型ディスプレイ、非自己発光型ディスプレイ、および、表示制御システム

(57) 【特許請求の範囲】

【請求項 1】

独立した画素 (i j) を有する複数のラインを備えたマトリクスディスプレイ (D) 又はこのマトリクスディスプレイ (D) の一部領域を駆動する方法であって、

前記ラインは行 (i) 及び列 (j) として構成されており、

個々のラインは、行 (i) を所定のロウアドレス時間 (t_i) の間アクティブ化し、画素 (i j) の所望の輝度 (D_{i j}) に応じて、前記アクティブ化された行 (i) に対して相関関係を有する列 (j) に動作電流 (I) 又はそれに対応する電圧を印加することによって、選択的に駆動されるものであり、

各行 (i) のロウアドレス時間 (t_i) は、この行 (i) の全ての列の最高輝度 (D_{i m a x}) の、マトリクスにおける最高輝度に対する割合の関数として、可変に決定され、
 原画像が、別個に駆動される複数の画像マトリクスに分解され、複数の行が同時に駆動され、前記画像マトリクスの全てを重畳することにより、各画素 (i j) の所望の輝度 (D_{i j}) で、前記マトリクスディスプレイ (D) 又はその一部の画像が生成され、

前記複数の画像マトリクスとして、前記マトリクスディスプレイの1つの行 (i) を駆動するのに用いられ、各画素が所望の輝度になるよう独立して調整するシングルラインマトリクス (S) と、前記マトリクスディスプレイの複数の行 (i) を駆動するのに用いられる1つ又は複数のマルチラインマトリクス (M₂, M₃, M₄) とが組み合わせられ、

前記マトリクスディスプレイの少なくとも1つの行は、前記シングルラインマトリクスを用いて単独で駆動されるとともに、前記マルチラインマトリクスを用いて他の行と併せ

10

20

て駆動される

ことを特徴とするマトリクスディスプレイの駆動方法。

【請求項 2】

請求項 1 において、

全ての行 (i) をアクティブ化する合計時間 (T_{Frame}) は、一定に維持されており、全ての行に亘る前記ロウアドレス時間 (t_i) の合計 (T_{Sum}) が前記合計時間 (T_{Frame}) に対応している

ことを特徴とするマトリクスディスプレイの駆動方法。

【請求項 3】

請求項 1 において、

隣接する行 ($i, i + 1$) が同時に駆動される

ことを特徴とするマトリクスディスプレイの駆動方法。

【請求項 4】

請求項 1 において、

前記マトリクスディスプレイ (D) は、前記列内の個々の画素の輝度差に対応する要素を有するフローマトリクス (d') に変換される

ことを特徴とするマトリクスディスプレイの駆動方法。

【請求項 5】

請求項 4 において、

前記フローマトリクス (d') は 2 つのマトリクスの差分から生成され、前記 2 つのマトリクスのうち、第 1 のマトリクスは、前記マトリクスディスプレイ (D) とその末尾に付された、要素がゼロの行とからなり、第 2 のマトリクスは、前記マトリクスディスプレイ (D) とその先頭に付された、要素がゼロの行とからなる

ことを特徴とするマトリクスディスプレイの駆動方法。

【請求項 6】

請求項 4 において、

前記頂点は、割り当てが指定された、好適にはその長さに応じて前記複数の個々に駆動されるマトリクス ($S, M2, M3, M4$) の要素に対応する、弧と呼ばれる矢印によって繋がる

ことを特徴とするマトリクスディスプレイの駆動方法。

【請求項 7】

請求項 6 において、

マトリクス ($S, M2, M3, M4$) の各行に、容量が割り当てられる

ことを特徴とするマトリクスディスプレイの駆動方法。

【請求項 8】

請求項 7 において、

前記容量値は、可変であり、前記弧の有効な指定が得られるまで増加する

ことを特徴とするマトリクスディスプレイの駆動方法。

【請求項 9】

請求項 7 において、

最小カットに応じて選択された前記容量が、増加する

ことを特徴とするマトリクスディスプレイの駆動方法。

【請求項 10】

請求項 9 において、

最小カットの履歴の情報が用いられる

ことを特徴とするマトリクスディスプレイの駆動方法。

【請求項 11】

請求項 8 において、

前記容量値が増加するステップサイズは動的に適合される

ことを特徴とするマトリクスディスプレイの駆動方法。

10

20

30

40

50

【請求項 1 2】

請求項 4 において、

前記マトリクスディスプレイ (D) は複数のサブマトリクスに分解され、前記サブマトリクス (S, M2, M3, M4) はそれぞれフローサブマトリクスに分解されることを特徴とするマトリクスディスプレイの駆動方法。

【請求項 1 3】

請求項 1 2 において、

混合型局所・全体最適化が実行され、1 行又は数行のマルチラインマトリクス (M2, M3, M4) 並びに / 若しくは (残差) シングルラインマトリクス (S) がフローサブマトリクスから得られる

ことを特徴とするマトリクスディスプレイの駆動方法。

【請求項 1 4】

請求項 1 の駆動方法によって駆動される自己発光型ディスプレイ。

【請求項 1 5】

請求項 1 の駆動方法によって駆動される非自己発光型ディスプレイ。

【請求項 1 6】

表示制御システムであって、

表示コントローラと、独立した画素 (i, j) を有する複数のラインを備えたマトリクスディスプレイ (D) 又はこのマトリクスディスプレイ (D) の一部領域を駆動する表示ドライバとを備えており、

前記ラインは行 (i) 及び列 (j) として構成されており、

個々のラインは、行 (i) を所定のロウアドレス時間 (t_i) の間アクティブ化し、画素 (i, j) の所望の輝度 (D_{i, j}) に応じて、前記アクティブ化された行 (i) に対して相関関係を有する列 (j) に動作電流 (I) 又はそれに対応する電圧を印加することによって、選択的に駆動されるものであり、

各行 (i) のロウアドレス時間 (t_i) を、この行 (i) の全ての列の最大輝度 (D_{i, max}) の、マトリクスにおける最高輝度に対する割合の関数として、可変に決定することを目的として設定された特定用途向け集積回路が設けられており、

原画像が、別個に駆動される複数の画像マトリクスに分解され、複数の行が同時に駆動され、前記画像マトリクスの全てを重畳することにより、各画素 (i, j) の所望の輝度 (D_{i, j}) で、前記マトリクスディスプレイ (D) 又はその一部の画像が生成され、

前記複数の画像マトリクスとして、前記マトリクスディスプレイの 1 つの行 (i) を駆動するのに用いられ、各画素が所望の輝度になるよう独立して調整するシングルラインマトリクス (S) と、前記マトリクスディスプレイの複数の行 (i) を駆動するのに用いられる 1 つ又は複数のマルチラインマトリクス (M2, M3, M4) とが組み合わせられ、

前記マトリクスディスプレイの少なくとも 1 つの行は、前記シングルラインマトリクスを用いて単独で駆動されるとともに、前記マルチラインマトリクスを用いて他の行と併せて駆動される

ことを特徴とする表示制御システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、独立した画素を有する行列状に構成された複数のラインからなるマトリクスディスプレイを駆動する方法であって、個々のラインは、所定のロウアドレス時間の間にアクティブ化される行によって選択的に駆動され、動作電流又はそれに対応する電圧つまり電気駆動信号が、画素の所望の輝度に応じて、アクティブ化された行に相関している列に印加されることを特徴とするマトリクスディスプレイを駆動する方法に関する。

【背景技術】

【0002】

以下のテキストにおいて、水平方向に延びたラインを行と呼び、行に対して直交する垂

10

20

30

40

50

直方向に延びたラインを列と呼ぶ。これは、説明をわかりやすくするためである。しかし、本発明は、厳密にこの構成に限定されるものではない。具体的には、行と列の機能を交換すること、若しくは、行と列との関係として非線形の関係を選択することが可能である。

【 0 0 0 3 】

画像データ、つまり個々の画素 i, j の所望の輝度 D_{ij} は、以下に示す行列 D で説明する。

【 数 1 】

$$D = \begin{pmatrix} D_{11} & D_{12} & \dots & D_{1m} \\ D_{21} & D_{22} & \dots & D_{2m} \\ \vdots & \vdots & \dots & \vdots \\ D_{n1} & D_{n2} & \dots & D_{nm} \end{pmatrix} \quad 10$$

【 0 0 0 4 】

添字の数値は、マトリクス又はマトリクスディスプレイ D によって与えられるディスプレイ上の画素の位置に対応している。マトリクス D の各行 i 及びマトリクス D 上の各列 j は、それぞれの場合において、ディスプレイ上の幾何学的行及び列に対応している。ディスプレイの画素を生成するために、画素ダイオード又は同様の素子が、マトリクスディスプレイ D の各駆動可能画素 i, j に割り当てられる。各画素における時間平均した光強度（輝度 D_{ij} に対応）は、マトリクス D 内の対応する素子に対応している。マトリクス D の全エントリが一体となり、表示しようとする画像を生成する。 20

【 0 0 0 5 】

マトリクスディスプレイ D 上の画素 i, j （各々が具体的には OLED（有機発光ダイオード）として構成され得る）は、一定の範囲内では行毎にアクティブ化されている。この目的のために、選択された行の OLED は、スイッチによって、例えばグランドに接続されることによりアクティブ化される。動作電流 I は、列 j の各々において印加され、この印加された電流により、この行 i 及び列 j の交点に存在する画素 i, j が発光する。光強度 L は、第 1 の近似において、アクティブ相（ロウアドレス時間）の間に印加され且つ OLED 画素において放射再結合される電荷に比例する。比較的高いフレームレートでディスプレイマトリクス又はマトリクスディスプレイ D をアドレッシングする場合、ヒトの目は、以下の式に示す光の強度 L の平均値を認識する： 30

【 数 2 】

$$L_{\text{Licht}} \sim \frac{\int_0^{T_{\text{Frame}}} I_{\text{OLED}} \cdot dt}{T_{\text{Frame}}} \approx \frac{I \cdot \frac{T_{\text{Frame}}}{n}}{T_{\text{Frame}}} = \frac{I}{n}$$

【 0 0 0 6 】

T_{Frame} は、マトリクスディスプレイ D の n 行全てを一度にアクティブ化する場合に完全な画像を形成するのに必要な合計時間である。動作電流 I_{OLED} 、 I 、又は I_0 が各画素に印加される。周波数変調を用いて輝度を制御する場合、ロウアドレス時間に対応する期間 T_{Frame}/n の間、動作電流はアクティブである。パルス幅変調を行うと、動作電流の長さは短くなり、すなわち $d \cdot T_{\text{Frame}}/n$ となる。ここで、 d はパルス幅変調デューティ比であり、その範囲は 0 ~ 1 である。 40

【 数 3 】

$$L_{\text{Licht}} \sim d \cdot \frac{I_0}{n}$$

【 0 0 0 7 】

電流 I_0 は、ここでは、画素の光強度に関係なく一定である。強度 L は、デューティ比 d によって調節される。電子機器における時間単位は非常に正確に調節され、その結果、 d の値も非常に正確なので、このタイプの輝度制御は、振幅変調と比べてより単純で且つより正確である。基準電流 I_0 は、全ての画素 i, j を駆動するのに十分である。それに対して、振幅変調を行った場合、各ケースにおいて、振幅は所望の輝度 $D_{i,j}$ に応じて調節する必要がある。

【0008】

各ケースにおいて、1つの行 i のみに対応する全ての列 j を駆動することにより、各ダイオード又は各画素 i, j を、合計時間 T_{Frame} の n 分の1の最大時間の間のみアクティブにし得る。規定された平均輝度 $D_{i,j}$ を達成するために、合計時間 T_{Frame} の間1つの画素に動作電流が供給される場合と比較して、対応する動作電流に行数 n を乗じる必要がある。つまり、行数が増えるにしたがい、パルス状の動作電流 I 又は I_0 を増大させる必要がある。さらに、パルス幅変調を用いて輝度を調節する場合、駆動しようとする画素 i, j が非常に暗い場合であっても、動作電流は常に高い。この場合、動作電流の印加時間は非常に短い。

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかし、高い動作電流を用いた結果、OLEDの寿命は著しく短くなり得る。必要な高さの動作電流を達成するために、OLEDの電圧を高くする必要もあり、その結果、消費電力が増大し、効率が低下する。この電力損失の増大により、充電電池又は使いきり電池の放電がより速く進むだけでなく、ディスプレイの温度が上昇し、その結果、寿命も同様に低下する。

【0010】

大型で解像度の高いディスプレイを実現するために、LCD（液晶ディスプレイ）と同様に「アクティブマトリクス」を用い得、このことにより、動作電流はパルス状では供給されず、定電流として存在する。しかし、アクティブマトリクス駆動（TFTバックプレーン）は、OLEDディスプレイのためにはかなりの追加コストを要求する。

冒頭で説明した、OLEDディスプレイ用のドライバがWO 03/091983 A1に開示されている。このドライバは、比較的高レベルの効率を有するパッシブマトリクスディスプレイを駆動するのに使用される。この目的のために、画素の空白の行について、つまり、照明されないか又は無視できる程度にしか照明されない画素からなる行について、ドライバ回路内に識別子が設けられる。そのような行は、駆動の間、完全に省略される。これにより、残りの駆動される行の輝度が増大する。この効果を用いて、省略された行に比例する形でディスプレイへのエネルギーの供給を低減することもできる。行が駆動される時間は常に同じである。Clare MicronixのデータシートMXED301は、OLEDディスプレイ用のコントローラを開示している。このコントローラは、部分走査動作モード及びスクリーンセーバー動作モードで所定の行を選択的に駆動するが、その駆動中にディスプレイの他の行を含まない。しかし、所定のロウアドレス時間の間、駆動された行が走査される。

WO 97/16811 A1は、1番目の行を除いて、各ケースにおいて、2つの行が同時に駆動され、これらの行の各々が合計2回駆動される、エレクトロルミネッセンスマトリクスディスプレイを駆動する方法を開示している。駆動期間毎に2回ずつ画素からエネルギーを除去することにより、画素を駆動する度に必要な輝度(luminance)が低減され得る。同じ電流で、輝度を2倍にし得る。同様に、JP 2001-337649Aは、同じ画像コンテンツの2つ又は複数の行を一緒に駆動して、ディスプレイの平均照明寿命を延ばすことができることを開示している。

【0011】

本発明の目的は、冒頭で述べたタイプに対応するマトリクスディスプレイを駆動する方法であって、OLEDディスプレイの寿命を長くし得るか又は任意のマトリクスディス

10

20

30

40

50

レイの性能を向上し得るような駆動方法を提案することである。

【課題を解決するための手段】

【0012】

この目的は、本発明の請求項1の特徴を用いて達成される。具体的には、各行 i のロウアドレス時間 t_i が、該行 i の全ての列 j の最大輝度 D_{max}^i の関数として可变的に決定されるという特徴により達成される。それにより、ロウアドレス時間 t_i は、動作電圧を印加して最大画素輝度 D_{max} が達成される長さだけマトリクスディスプレイの各行がアドレッシングされる場合に生成される一定のロウアドレス時間 t_L 以下の長さになるように選択され得る。本発明によると、ロウアドレス時間 t_i は、該一定のロウアドレス時間 t_L に行 i の全ての列 j における画素の最大輝度 D_{max}^i のマトリクスディスプレイ全体における可能最大画素輝度 D_{max} に対する比を乗算した結果に対応する。

10

【0013】

最大輝度値 D_{max} は、1つの画素 ij に動作電流 I_0 が一定のロウアドレス時間 t_L だけ印加される場合に得られる、当該画素における光強度（輝度）として規定される。この結果、全ての行（ n 行）に亘るロウアドレス時間 t_i の合計時間 T_{sum} が n 行全てをアクティブ化する合計時間 T_{frame} （ $n \times$ 一定のロウアドレス時間 t_L ）以下になる。動作電流 I_0 が一定の場合、本発明によると、マトリクスディスプレイを駆動する合計時間は、合計時間 $T_{sum} < T_{frame}$ となるように低減され得る。これにより、例えば、より高いフレームレートが可能になり、マトリクスディスプレイの達成可能な性能が向上する。

20

【0014】

第1の近似における画素 ij の光強度は画素 ij に印加される電荷に比例する、つまり、ロウアドレス時間 t_i と動作電流との積に比例するので、ある行の複数の列に亘りロウアドレス時間 t_i が最大輝度に応じて変化することを利用して、動作電流を低減することもできる。この目的のために、全ての行 n に亘るロウアドレス時間 t'_i の合計が合計時間 T_{frame} に対応するように、全ての行 i をアクティブ化するための合計時間 T_{frame} を一定に維持できる。したがって、ロウアドレス時間 t'_i は、本発明の方法のこの変形例にしたがって、その合計が合計時間 T_{frame} に等しくなるように延長される。同時に、本発明によると、全ての行 n の（完全に必要な）ロウアドレス時間 t_i の合計時間 T_{sum} の一定のロウアドレス時間 t_L で全ての行をアクティブ化するための合計時間（ T_{frame} ）に対する比により動作電流 I_0 を低減して、動作電流 I_1 とすることができる。ロウアドレス時間と動作電流との積 $t_i * I_0 = t'_i * I_1$ は一定に維持されるので、個々の画素の光強度は変化しない。OLEDの場合、より低い動作電流範囲における量子効率 は、原則として、より高い動作電流での量子効率よりも大きい。したがって、動作電流 I_1 は、量子効率の比 $(I_1) / (I_0)$ によりさらに低減され得る。簡潔に説明するため、以下の説明では、（ T_{frame} に延長又は標準化された）ロウアドレス時間 t'_i を t_i と呼ぶ。

30

【0015】

本発明による、ロウアドレス時間 t_i のダイオード画素のアドレッシングへの適合により、ディスプレイDの個々のダイオード画素 ij の選択的位相（ロウアドレス時間）、つまり、動作電流 I がダイオード画素 ij に印加される時間を、かなり長くすることができる。アクティブの動作電流 I_1 は、選択された位相の長さに反比例して低減され得る。マトリクスディスプレイDの効率は全体として向上し得、特にOLEDディスプレイの場合、寿命が延び得る。したがって、本発明の基本的なアイデアは、行に基づく短縮又はロウアドレス時間の適合によって動作電流の長さを延長する点にある。電荷は規定された光強度に対して何よりも重要なので、動作電流の印加時間が長くなるということは、電流の振幅が低減されるということを意味する。

40

【0016】

マトリクスディスプレイDを、個々に駆動される複数のマトリクス S 、 M に分解した場

50

合、向上した取り扱い及び動作電流のさらなる低減が達成され得る。全てのマトリクスを重ね合わせるにより、それぞれの画素 i, j の所望の輝度 $D_{i,j}$ で、マトリクスディスプレイ D の画像が生成される。複数のマトリクスのそれぞれの輝度 $S_{i,j}$, $M_{i,j}$ の合計から得られる合計輝度 $D_{i,j}$ は、画素 i, j におけるマトリクスディスプレイ D の所望の合計輝度 $D_{i,j}$ に対応している必要がある。本発明によると、マトリクスは、好適には各ケースにおいて行単位又は列単位で上記方法を用いて、次々と表示され得るか又は互いに入れ子状に組み合わせられ得る。2つのマトリクスに分割して、一方のマトリクス S が1つの行 i の駆動を提供し、他方のマトリクス M 2 が2つの行 i の同時駆動を提供する場合、マトリクス S, M 2 の行は、交互にアドレッシングされる。O L E Dディスプレイ又は L C D 等のパッシブマトリクスディスプレイ型の場合、マトリクスディスプレイ D 内に表現されるソース画像は、複数の画像マトリクスに分解され得る。これらの得られたマトリクスの各々は、例えば以下に説明するマルチラインアドレッシングによって、画像の合計が、元のマトリクス D に基づいてディスプレイを直接駆動する場合よりも良好に実施されるように、当該ディスプレイ型に対して良好に実施される必要がある。

【0017】

本発明によると、複数の行 i が同時に駆動されるという前提である限り、駆動される行 i の各列 j における画素 i, j は、各ケースにおいて、同じ信号及び同じ光強度を有する。画素 i, j の光強度が1つの行 i だけを駆動した場合の光強度に対応するように、動作電流 I_0 , I_1 は、同時に駆動される行の数に対応する倍数分だけ増加される。つまり、2つの行が同時に駆動される場合、2倍に増加される。複数の行の同時駆動を、「シングルラインアドレッシング (S L A)」と呼ばれる1行だけの駆動と区別して、「マルチラインアドレッシング (M L A)」と呼ぶ。

【0018】

複数の行が同時に駆動される場合、好適には、隣り合う行 ($i, i + 1$) が駆動され得る。しかし、本発明によると、好適には、互いから数行離れた行 i を同時に駆動することも可能である。例えば、1行おきに存在する行を同時に駆動することができる。同時に駆動される行が近位に存在することが特に賢明である。なぜなら、マトリクスディスプレイ D の画像内で隣り合う行は、多くの場合、同様の輝度分布を有するからである。

【0019】

複数の行が同時に駆動される場合に個々の行及び/又は列の間に強度の差を生じることができるよう、本発明によると、1つの行 (i) が駆動されるマトリクス (S) と複数の行 (i) が駆動される1つ又は複数のマトリクス (M 2, M 3, M 4) を互いに組合せ得る。マトリクス S にシングルラインアドレッシングを適用することにより、所望の輝度 $D_{i,j}$ が各画素 i, j について独立して適合され得る。このマトリクス S を、残留シングルラインマトリクスと呼ぶ。

【0020】

本発明によると、輝度を制御するために、パルス幅変調を用い得る。つまり、例えば、ロウアドレス時間 t_i の間にロウアドレス時間 t_i の一部の間だけ動作電流 I を印加し、ロウアドレス時間 t_i の残りの時間の間は動作電流 I はオフに切り替えられる。

【0021】

あるいは、輝度を制御するために、振幅制御を用い得る。つまり、動作電流 I の振幅を、所望の輝度 $D_{i,j}$ に対応するように適合させる。本発明によると、輝度を制御するために、パルス幅変調及び振幅変調を互いに組み合わせることもできる。これは、輝度 $D_{i,j}$ が量子化された段階として予め規定されている場合に特に有利である。なぜなら、動作電流の振幅は量子化された段階にしたがって低減可能であり、一方で、パルス幅のデューティ比がこれに対応して増加するからである。この駆動は、各種機器において特に単純に実施され得る。1つの列 j において動作電流 I を印加する時間がパルス幅デューティ比の増加後にロウアドレス時間 t_i を越えない場合、この組み合わせた方法を特に柔軟に用いることができる。したがって、振幅変調をパルス幅変調と組み合わせる決定は、これに必要な動作電流印加時間及びマトリクスディスプレイ D の各行 i 及び列 j に割り当てられたロ

10

20

30

40

50

ウアドレス時間に応じて個々に為し得る。組み合わせられたパルス幅変調及び振幅変調を用いる場合、振幅は量子化された段階にしたがって低減され、一方、これに応じてパルス幅変調デューティ比が増大する。量子化は、マルチラインアドレッシングも実施し得る複数のトランジスタセルを用いて実施され得る。

【0022】

マトリクス画素を駆動するために用いるマトリクスを生成するために、好適な実施形態によると、マトリクスディスプレイを、それぞれの列の個々の画素の輝度又は輝度の差についてのデマンドに対応するエントリとして頂点を有するフローマトリクスに変換することが提案される。このことは、上記方法が実施され且つ個々の処理工程を実行する適切なプロセッサ手段を有する適切な制御システムを用いて行われ得る。また、このタイプの制御システムは、本発明の主題を構成する。この変換により、公知のMaxFlow/MinCut原理に基づく組合せ方法を用いてマトリクス分解を実行することができる。このタイプの組合せアルゴリズムのハードウェアの実施費用は低いことが知られている。さらに、組合せアルゴリズムは、素早く処理され得るので、これらのアルゴリズムは、マトリクスディスプレイを制御するのに特に適している。

【0023】

フローマトリクスが2つのマトリクス（第1のマトリクスは、マトリクスディスプレイ及び該マトリクスディスプレイの末尾に取り付けられたゼロエントリを有する行からなり、第2のマトリクスは、マトリクスディスプレイ及び該マトリクスディスプレイの上流側に取り付けられたゼロエントリを有する行からなる）の差分から生成される場合、それが有利であることが証明されている。マトリクスをマルチラインマトリクス及び（残留）シングルラインマトリクスに分解する場合、列の個々の画素の輝度の差分を最適に隠すのが重要である。本発明により提案されるフローマトリクスは、列における画素間の差を説明するものであり、組合せ方法を用いた最適化のための基板又は最適な開始点を提供する。

【0024】

本発明によるフローマトリクスにおいて、頂点は、好適には、弧と呼ばれる、割り当てが指定された、好適にはその長さに応じて複数の別個に駆動されるマトリクス（例えば、 S 、 M_2 、 M_3 、 M_4 ）のエントリに対応し、マトリクスディスプレイが上述のように分解され得る矢印によって繋がれている。それにより、マトリクスの分解は、フロー最適化へと完全に変換される。フロー最適化の結果、つまり、弧の割り当ては、直接的には、シングルラインマトリクス及びマルチラインマトリクス S 、 M_2 、 M_3 、 M_4 等の対応するマトリクス要素である。

【0025】

フロー最適化のために、特にパッシブマトリクスディスプレイを駆動する場合、容量又は容量値を関係するマトリクス（ S 、 M_2 、 M_3 、 M_4 ）の各行に対して指定するのが有利である。容量値は、それぞれの行の最大画素値に対応する。全ての容量の合計を最小化する必要がある。

【0026】

公知のMinCut法又はMaxFlow法の場合、容量は一定に維持され且つフローは最大化されるが、本発明の方法では、フローはソースマトリクス（マトリクスディスプレイD）から得られるので、予め規定されている。最適化の目的は、全ての容量の合計を最小化することである。したがって、本発明によると、容量は変動可能であるように設計される。容量は、全てのフローが均一又は平衡になるまで、以下に説明する戦略にしたがって増加する。その後、弧の有効な割り当てが達成され、マトリクスの分解が完了する。容量値の合計が最小か又は非常に小さいと仮定し得る。理論上の最小値と容量値の合計との比を、最適化の質と呼ぶ。容量値を増加させるために必要な反復の回数を低減するために、弧の割り当てを、初期化における開始値として生成し得る。

【0027】

本発明によると、反復のたびに、有効な解決を妨げるボトルネックとなる容量が選択され増加される。この弧のセット（最小カット（MinCut）とも呼ぶ）は、増加させる

容量についての選択基準として使用され得る。

【0028】

さらに、先行するMinCutの情報は、本発明によると、選択基準として使用可能であり、最後の反復のMinCutが重み付けされ得る。このことにより、素早く効率的な解決が可能になる。

【0029】

反復を促進するために、容量値を増加させる増加幅の大きさは、動的に適合され得る。それにより、最小の増加幅の大きさ「1」に対して、最適化の品質をほとんど低下することなく、必要な反復の回数を少なくすることができる。

【0030】

計算速度を向上し且つ要求されるメモリサイズを低減するために、マトリクスディスプレイを複数のより小さなサブマトリクスに分割し得、これらサブマトリクスをフローサブマトリクスへと個々に分解し得る。このタイプの最適化は局所最適化と考えられ、一方、一回の最適化におけるマトリクスの分解は全体最適化と考えられる。比較的小さなマトリクスを最適化する場合はかなり低減された回数の反復で済むので、S, M2, M3, M4等の結果を、これらのマトリクスのためにバッファメモリを設ける必要なく、出力ドライバ用のレジスタに行単位で直接転送することもできる。これにより、メモリにかかる費用はかなり低くなる。

【0031】

さらに、本発明による、1行又は数行のマルチラインマトリクス(M2, M3, M4)並びに/若しくは残留シングルラインマトリクス(S)がフローサブマトリクスから得られる混合型局所・全体最適化を実施し得る。これにより、局所・全体最適化つまり速度及びメモリサイズについての要件と、最適化の質との間で、良好な妥協が達成される。結果は行単位又はサブマトリクス単位で出力され、マトリクス全体を格納するためのメモリサイズは必要無い。

【0032】

上記方法の好ましいアプリケーションは、自己発光ディスプレイ(例えばOLEDディスプレイ)又は非自己発光ディスプレイ(例えばLCD)の駆動である。マトリクスディスプレイの駆動には関係のない、上記方法の本発明によるさらなるアプリケーションは、概して、マトリクス(例えばCCDカメラにおけるセンサマトリクス)の読み出しに関する。

【0033】

本発明のさらなる利点、特徴及びアプリケーションは、例示実施形態についての以下の説明及び図面において見つけ得る。説明する特徴及び/又は図で示す特徴は、それらがどのように特許請求の範囲において記載されているかやそれらの参照には関係なく、本発明の主題を構成するものである。

【発明を実施するための最良の形態】

【0034】

図1は、4行 $i \times 4$ 列 j からなるマトリクスディスプレイDを模式的に示す。マトリクスディスプレイDは、したがって、合計で16個の画素 i, j を有し、各画素は輝度 $D_{i,j}$ を有する。各画素 i, j は、1つの四角いマスで示され、そのマスの中の数値がデジタル輝度値 $D_{i,j}$ を示す。画素値「0」は暗画素 i, j を示し、画素値「1」は低輝度の明画素 i, j を示し、画素値「2」は高輝度の明画素 i, j を示す。

【0035】

図1a)は、十字形が見えるマトリクスディスプレイDを示す。低輝度の画素 $i, j = 2, 3$ が十字形の中心であり、そのアーチ部分に4つの明画素が存在する。従来のシングルラインアドレッシング(SLA)において、マトリクスディスプレイDは、値「1」(任意単位)で示された一定のロウアドレス時間 t_L の間、第1~第4の行が連続的にアクティブにされるように駆動される。第1の行がアクティブである間、動作電流 I が第3の列に印加され、この電流が、所望の輝度「2」に対応する電荷を画素 $i, j = 1, 3$ に与える。ロウ

10

20

30

40

50

アドレス時間 $t_L = 1$ の後、処理は第 2 の行に切り替わる。第 2 の行において、第 2 及び第 4 の列には輝度「2」に対応する動作電流 I が供給され、これと同時に、第 3 の行には輝度「1」に対応する動作電流 I が供給される。非自己発光型ディスプレイの場合、個々の列における駆動のために印加される電圧のために、類似の動作が行われる。典型的なアプリケーションは、LCD（液晶ディスプレイ）である。

【0036】

さらなるロウアドレス時間 $t_L = 1$ の後、第 3 の行が第 1 の行と同様に駆動される。最後に、第 4 の行が、さらなるロウアドレス時間 $t_L = 1$ の間アクティブになる。しかし、この行は完全に暗い、つまり第 4 の行が選択された段階（第 4 の行のロウアドレス時間）の間、第 1 ～ 第 4 の列のいずれにおいても、画素 i, j に動作電圧が印加されない。

10

【0037】

合計時間 $T_{Frame} = 4 * t_L$ の後、イメージマトリクス D の全ての画素 i, j は一度駆動されたことになる。ヒトの目は、連続的に照明された画素 i, j を、1 つの全体的な画像に統合する。

【0038】

この従来のシングルラインアドレッシングを用いたマトリクスディスプレイ D を駆動する方法を、図 1 b) に示すように本発明によって、各行 i に対するロウアドレス時間 t_i が、全ての列 j と当該行 i との交点における全画素の最高輝度 $D_{max}^{i,j}$ の関数として規定されるように改変する。この方法は、以下の説明において、「改良シングルラインアドレッシング (ISLA)」とも呼ぶ。ロウアドレス時間 t_i は、この場合、4 つの行全てに亘るロウアドレス時間 t_i の合計 T_{Sum} が合計時間 $T_{Frame} = 4 * t_L$ に対応するように設定される。

20

【0039】

ロウアドレス時間 t_i を設定する場合、以下のような処理を行い得る。全列の最高輝度 $D_{max}^{i,j}$ は、初めの 3 つの行ではそれぞれ「2」であるので、これらの行に対するロウアドレス時間 t_i は互いに等しくする必要がある。第 4 の行において、最高輝度は「0」であるので、この行は全く駆動する必要が無く、 $t_i = 0$ が選択され得る。したがって、合計時間 $T_{Frame} = 4 * t_L$ は、3 つのロウアドレス時間 t_i に分割できるので、第 1 ～ 第 3 の行に対して、一定のロウアドレス時間 t_L よりも $1/3$ 長い t_i 、すなわち、

【数 4】

30

$$t_i = \frac{4}{3} \cdot t_L$$

が選択され得る。したがって、初めの 3 つの行はそれぞれ、図 1 a) の駆動方法と比べて $1/3$ 長くアクティブにすることができる。OLED ディスプレイにおける光強度は、印加された動作電流とロウアドレス時間との積によって得られる、OLED に印加される電荷に応じて変化する。したがって、同じ統合輝度値 D_{ij} を得るためには、動作電流は $1/4$ だけ減少させることができ、

【数 5】

40

$$I_1 = \frac{3}{4} \cdot I_0$$

となる。 t_L と I_0 との積は、 t_i と I_1 との積に等しい。このことは、図 2 a) と図 2 b) とを比較することによっても理解され得る。図 2 は、図 1 の駆動方法において、第 1 ～ 第 4 の行に亘って第 3 の列に印加される動作電流と、それに比例する動作電圧とを図示している。印加される電流（又はそれに対応して印加される電圧）は、ロウアドレス時間の間プロットしている。図 2 a) で理解され得るように、図示した空欄 1 つの幅は、上述の例において標準化変数として用いた一定のロウアドレス時間 t_L に直接対応している。1 つの空欄は、1 つの行のアクティブ時間に対応している。4 つの空欄からなる合計幅は、マトリクスディスプレイの 1 面の画像が完全に構成される合計時間 T_{Frame} に対応

50

している。

【 0 0 4 0 】

図 2 a) において、公知のシングルラインアドレッシングに用いる電流波形を説明する。第 1 のラインにおいて、所望の輝度「 2 」に応じて電流は最大である。明瞭に説明するため、第 3 の列と第 1 のラインとの交点の画素について関連する駆動パルス（電流 × 時間）に斜線で網掛けした。このことは、図 2 b) 及び図 2 c) にもそれぞれ適用される。輝度値が「 1 」である第 2 の行において、電流は半分である。第 3 の行において、輝度値「 2 」を得るために電流は再び最大である。画素がオフに切り替えられた最後の行において、電流はオフに切り替えられる。このタイプの駆動は、振幅変調に対応している。

【 0 0 4 1 】

図 2 b) は、本発明による改良型シングルラインアドレッシングに用いる電流波形を示す。上述のように、ロウアドレス時間 t_{iL} は、 $1/3$ だけ延長されている。このことを波線で示している。第 4 の行は、全くアクティブ化されていない。画素 i, j の輝度は、時間に対して積分された電流（動作電流）によって決定される印加電荷量に比例する。図 2 b) において理解できるように、図 2 b) における電流曲線の下面積は、図 2 a) における電流曲線の下面積に等しい。それに対して、電流（及びそれぞれの印加電圧）はそれぞれ $1/4$ に低減され得る。このことは、O L E D の寿命にとって有利である。

【 0 0 4 2 】

本発明のさらなる実施形態を、図 1 c) を参照して説明する。この駆動方法では、複数の行が同時に駆動される（マルチラインアドレッシング）。この例では、第 1、第 3 の行にそれぞれ、第 3 の列に輝度「 2 」である画素を生じる必要がある（図 1 a ）参照）。2 つの行が組み合わされているので、ロウアドレス時間が 2 倍になり得る。動作電流（及びそれぞれの対応する電圧）は、それに対応して、各画素について $1/2$ にされる（1 つの画素については図 2 c ）参照）。

【 0 0 4 3 】

図 1 d) に示すように、図 1 c) を参照して説明したマルチラインアドレッシング法を、図 1 b) の改良型シングルラインアドレッシングと組み合わせるのが特に有利である。マルチラインアドレッシングでは全てのアクティブ化された行が同一の様態で駆動されるので、マルチラインアドレッシングで任意の画像を生成することができる。残りの差分及び / 又は残りの行は、改良型シングルラインアドレッシング（M I S L A ）によって均一にされ得る。

【 0 0 4 4 】

図 1 d) において、図 1 a) における第 2 の行は、第 2 のマトリクス分離駆動によって生成される。このことは、マトリクスディスプレイ D を、それぞれ独立して駆動されるが一体となってマトリクスディスプレイ D の所望の画像を生成する複数のマトリクスに、分解することに対応している。駆動は、ヒトの目が各行及び / 又はマトリクスを順次駆動する処理を分離することができず、それらをまとめて 1 つの全体的な画像を形成するような、速い時間サイクルで行われる。したがって、複数のマトリクスを駆動に用いる場合、1 つの画像を完成するのに必要な合計時間 T_{Frame} が長くなってしまう。全てのマトリクスにおいて駆動しようとする全ての行をアクティブ化する合計時間 T_{Frame} を一定に維持し、それに応じた各ロウアドレス時間 t_{iL} を採用するのが有利な手順である。この場合、1 つの行に対するロウアドレス時間 t_{iL} は、各行における列の最高輝度に応じて、別の行のそれとは著しく異なり得る。しかし、このことは、ここで説明している例においては起こらない。

【 0 0 4 5 】

図 1 c) 及び図 1 d) によるマトリクスの組み合わせについて、以下の方法が得られる。駆動のためには、正確な 1 期間のロウアドレス時間が、マトリクス毎に必要である。得ようとする最高輝度 D_{ij} はそれぞれ等しい。このことは、合計時間 $T_{Frame} = 4 * t_L$ を得るために、2 つの等しいロウアドレス時間 $t_{iL} = 2 * t_L$ が必要であることを意味する。図 1 c) のシングルラインアドレッシングに対してロウアドレス時間が 2 倍になる

10

20

30

40

50

のに応じて、各々の画素 i, j に対する動作電流又は電圧は半分になり得る。2ラインアドレッシングの場合、複数の行の列毎の駆動の回路設計が並列回路に対応し、したがって、印加動作電流が全てのアクティブ化された行の画素に均等に分配されるということを考慮する必要がある。マトリクスにおける2ラインアドレッシングの場合、各画素において同じ動作電流が利用可能となるように、印加動作電流を2倍にする必要がある。

【0046】

図1c)及び図1d)による組み合わせ駆動のための電流分配は、図2c)において理解され得る。ここでは、マトリクスディスプレイDの輝度を低下させることなく、最大動作電流がさらに低減されている。

【0047】

10

図1及び図2を用いて説明する駆動方法は、実際のアプリケーションと比べてはるかに単純化された構成を示すが、基礎となるアイデアを説明するのには十分である。本発明によると、この方法は、従来する方法又は公知の方法の要素、例えばプリチャージ技術及び放電技術などと組み合わせるのが有利であり得る。

【0048】

マトリクスディスプレイ駆動のより複雑な例を以下に説明するが、以下に説明する特徴の全てが本発明の主題を形成し且つ本発明の一部をなすものである。

【0049】

まず、図3に示すマトリクスディスプレイDの特性から説明を始める。マトリクスディスプレイの輝度 D_{ij} は、デジタル値で与えられ得る。値「0」はオフに切り替えられた画素を意味している。マトリクスにおける最高輝度は D_{max} である（例えば、8ビットの場合は値「255」）。対応する動作電流は I_0 である。 I_0 のレベルは、アプリケーションによって予め規定されているか又は調節される。それは、ディスプレイの所望の輝度を示す。

20

【0050】

従来技術に対応する前述のSLA（シングルラインアドレッシング）法によると、フレーム期間（合計時間 T_{Frame} ）内の各行は、均等な、固定された、又は一定のロウアドレス時間 t_L を割り当てられる。この期間内に最高輝度 D_{max} が生成され得る。正確な輝度1ビットに対して、それに対応する時間サイクル t_0 は、

【数6】

30

$$t_0 = \frac{t_L}{D_{max}} = \frac{T_{Frame}}{n \cdot D_{max}}$$

となる。

【0051】

特定の輝度が、輝度制御の間に、パルス幅変調（PWM）によって時間サイクル t_0 の数に変換される。最高輝度について、ロウアドレス時間 $t_i = D_{max} \cdot t_0$ に対して動作電流 I_0 が流れる。

【0052】

本発明において、ある行に必要な選択期間、つまり、この行について選択されたロウアドレス時間 t_i は、選択された行 i の全ての画素 i, j の最高輝度 D_{ij} によって決定される。この行における最高輝度が D_{max} 未満の場合、次の行がより早くアクティブ化され得る。つまり、選択されたロウアドレス時間 t_i を t_L よりも短くし得る。したがって、1つの画像を形成するのに必要な合計時間は、

40

【数7】

$$T_{Sum} = D_{Sum} \cdot t_0 \leq T_{Frame}$$

となる。この式中、

【数 8】

$$D_{Sum} = \sum_{i=1}^n \max(D_{i1}, D_{i2}, \dots, D_{im}) \leq n \cdot D_{max}$$

は、1つの行の最高輝度 $D_{i \max}$ の、全ての行に亘る合計である。したがって、 $D_{i \max}$ は、行 i における全ての列の最高輝度である。

【0053】

この時間 T_{Sum} は、合計時間 T_{Frame} 以下であり、動作電流 I_0 を動作電流 I_1 に低減することにより T_{Frame} に延長することができる。所望の輝度に適合される動作電流 I_1 は、以下の式によって与えられる。

10

【数 9】

$$I_1 = \frac{T_{Sum}}{T_{Frame}} \cdot I_0 = \frac{D_{Sum}}{n \cdot D_{max}} \cdot I_0$$

すなわち、低減された動作電流 I_1 は、ある行のアクティブな又は選択された段階（ロウアドレス時間 t_i ）が t_L に拘束されない、ということ得られている。その代わり、各行 i は、この行における輝度 $D_{i \max}$ を有する最も明るい画素 ij がそれを要求する限りにおいて、アクティブな状態を維持する。最も明るい画素について要求される時間に達すると、処理は直ちに次の行へと切り替わる。

【0054】

20

本発明によると、この時間最適化された制御方法を用いた場合、動作電流 I_1 及びロウアドレス時間 t_i に対する時間サイクルが可変である。動作電流は I_1 に低減され、正確な輝度 1 ビット（LSB；最下位ビット）に対する時間サイクルは、 t_0 から t_1 へと増加する：

【数 10】

$$t_1 = \frac{T_{Frame}}{D_{Sum}}$$

【0055】

これの簡単な例を図 3 に示す。図 3 a) のマトリクスディスプレイの画像を、個々の画素位置 ij において輝度値 D_{ij} を含むマトリクス D を示す図 1 に対応付けて説明する。

30

【0056】

マトリクス D は、3 本の明ストライプとその間にそれぞれ存在する暗ストライプとを示している。単純に示すために、3 ビットまでのグレイスケール（最高輝度 $D_{max} = 7$ ）を仮定している。したがって、マトリクスディスプレイ D は、全体で 5 つの行及び 3 つの列を含む。

【0057】

図 3 b) 及び図 3 c) に、第 2 の列において印加される（動作）電流の遷移波形を示す。図 3 b) は、従来のシングルラインアドレッシング（SLA）における電流波形を示す。それと比較する形で、本発明による改良型シングルラインアドレッシングの遷移波形を図 3 c) に示す。

40

【0058】

シングルラインアドレッシング（図 3 b)）の場合、電流振幅は例えば $70 \mu A$ で一定であり、各行は一定のロウアドレス時間 $t_L = 2.8 \text{ msec}$ の間アクティブであるが、改良されたシングルラインアドレッシング（図 3 c)）の場合、電流振幅は $40 \mu A$ である。第 1、第 3 及び第 5 の行はそれぞれ、 4.2 msec の期間（ロウアドレス時間 t_i ）の間アクティブであり、第 2 の行及び第 4 の行は、 0.7 msec の期間（ロウアドレス時間 t_i ）の間アクティブである。

【0059】

マトリクス D 全体を駆動するために同じ様態で用いる動作電流 I_1 及び正確な輝度 1 ビ

50

ットに対する時間サイクル t_1 は、表示しようとする画像に応じてそれぞれ変化する。パッシブマトリクス O L E D の場合、ダイオード電流は多重モード(multiplex mode)のために非常に高いので、単位電流あたりの量子効率又は光強度は比較的低い。量子効率は、動作電流の減少に応じて向上する。この結果、動作電流はさらに低減される。

【数 1 1】

$$I_1 = \frac{D_{Sum}}{n \cdot D_{max}} \cdot I_0 \cdot \frac{\eta(I_0)}{\eta(I_1)}$$

(I) は電流 I に対する量子効率であり、単位 C d / A で示している。量子効率のプロフィールは、ガンマテーブルに格納されており、上記方法を実施する本発明の駆動電子機器によって上記計算のために使用し得る。

10

【 0 0 6 0 】

公知の駆動方法と比べて動作電流 I_1 が低減されるので、O L E D ダイオードのフロー電圧(flow voltage)も低下する。消費エネルギーはフレーム期間における電流と電圧の積の積分に等しいので、単位 L m / W の効率も向上する。より高い効率が達成されたということは、ディスプレイの自己加熱が低下したということであり、この結果ディスプレイの寿命が延びる、ということを意味する。

【 0 0 6 1 】

この方法の実施コストは低い。なぜなら、ディスプレイの動作電流 I_1 は 1 度だけ設定すればよく、時間サイクル t_1 は設定が容易だからである。

20

【 0 0 6 2 】

上で説明した駆動法の変形例において、行の最大輝度 $D_{i \text{ max}}$ の合計 $D_{s u m}$ は、予め規定された不変の量である。マトリクスにおいて複数の行を組み合わせると同時に駆動する場合、 $D_{s u m}$ を最小化するか又はさらに低減する可能性がある。ロウアドレス時間 t_i の間、複数の行を同時に選択して、画像マトリクス全体を駆動するのに必要な時間が全体として低減することができる。これにより、動作電流もさらに低減することができる。

【 0 0 6 3 】

図 4 は、どのようにして 2 つの行 R_i, R_{i+1} を同時にアドレッシングするかを示す回路図である。ここで、印加されたカラム電流は $2 * I_1$ であり、各行 R_i, R_{i+1} の 2 つのダイオードに均等に分配される。残りの行のダイオードはパッシブであり、寄生容量 C_p のみを示している。同時にアドレッシングされる行におけるある列の各ダイオードは、それぞれ同じ電流が印加されるので、光強度が等しい。したがって、シングルラインアドレッシングとは異なり、駆動される画素において同じ輝度を得るために、2 つの行に対して 1 つのロウアドレス時間 t_i だけでよい。

30

【 0 0 6 4 】

このアプローチは、2 を越える行数の行が同時にアドレッシングされる際にもあてはまる。組み合わせられる行数が増えるにしたがい、より多くの時間が節約される。これを、マルチラインアドレッシングと呼ぶ。

【 0 0 6 5 】

しかし、ここでは、複数の行におけるある列の複数の画素が均等に駆動されるので、複数の行の組み合わせは容易に可能ではない。したがって、輝度については、これらの画素の間に差はなく、よって、差情報が失われるか、又は、解像度が低下する。

40

【 0 0 6 6 】

この問題は、所望のマトリクスディスプレイ D を複数のマトリクスに分解することによって、マルチラインアドレッシング (M L A) を上記のように最適化された改良型シングルラインアドレッシング (I S L A) と組み合わせることによって解決する。すなわち、異なるマトリクス S , M におけるある行が単独で且つ他の行と一緒にアドレッシングされる。マルチラインアドレッシングでは一緒に駆動される、異なる行におけるある列の画素間の光強度の差は、マトリクス S を用いて改良型シングルラインアドレッシングによって実現される。マルチラインアドレッシングは、必要な合計時間 $T_{s u m}$ を最小化する。マトリクスディ

50

スプレイ D のシングルラインマトリクス S 及びマルチラインマトリクス M への変換は、数学的には以下のように示される：

【数 1 2】

$$D = S + M2$$

式中、M 2 は 2 ラインアドレッシングのためのマトリクスである。マトリクス S は、残差シングルラインマトリクスとも呼ぶ。マトリクスの基本構造は、図 5 において理解できる。

【0 0 6 7】

マトリクスディスプレイ D の個々の画素輝度 D_{ij} についてのソースデータ（このデータが集められて所望の画像を形成する）は、2 つのマトリクス S, M 2 に分解される。S は、改良型シングルラインアドレッシングによって駆動されるシングルラインマトリクスである。M 2 は、駆動のために、2 つの行がそれぞれ組み合わせられて一緒にアドレッシング又はアクティブ化される、マルチラインマトリクスである。n - 1 個のマトリクスによる M 2 の表現（n はマトリクスディスプレイ D の行数）は、これらのマトリクス M の各々について 2 つの行が組み合わせられている（これら 2 つの行における要素が同一なので）ことを示している。2 つの行の組み合わせは、好適には、連続する 2 つの行について行われる。なぜなら、画像において連続する行は類似性が最も高く、実際のディスプレイでは、動作電流が最も同質に分配されるのは連続する行の 2 つの画素だからである。さらに、この制約条件により、数学的分解は、2 つの任意の行が組み合わせられる場合よりも単純になる。そして、このアルゴリズムは低コストで実施できる。以下に、本発明によるその実施態様をより詳細に説明する。

【0 0 6 8】

当然、アプリケーションに応じて、隣接していない行を組み合わせてもよい。例えば、チェスボードパターン（市松模様）は、マルチラインアドレッシングを用いて、間に 1 行挟んで離れた 2 つの行を組み合わせることにより非常に良く生成され得る。

【0 0 6 9】

各行ペアがアクティブ化のために与えられるロウアドレス時間 t_i は、上述の実施態様と同様に、この行ペアにおける画素の最大輝度 M_{ij} に応じて変化する。シングルラインアドレッシングの場合について上で説明した時間最適化された駆動方法を、ここでも用いる。したがって、ロウアドレス時間の合計は、以下のように計算される：

【数 1 3】

$$T_{Sum} = \sum_{i=1}^n \max(S_{i1}, S_{i2}, \dots, S_{im}) + \sum_{i=1}^{n-1} \max(M2_{i1}, M2_{i2}, \dots, M2_{im}) = D_{Sum}$$

ここで、 $\max(S_{i1}, \dots, S_{im})$ 及び $\max(M2_{i1}, \dots, M2_{im})$ はそれぞれ、行の最大輝度を与えるものであり、それぞれのロウアドレス時間 t_i に比例している。

【0 0 7 0】

複数のマトリクスに分解する目的は、動作電流 I_1 をさらに低減すること、つまり、 D_{sum} を最小化することである。このことは、シングルラインマトリクスにおける 2 つの要素すなわち S_{ij} 及び $S_{i+1, j}$ を、オリジナルデータ D_{ij} 及び $D_{i+1, j}$ からマルチラインマトリクス M 2 の各輝度 $M2_{ij}$ だけ低減して得ることによって、達成される。しかしこのために、1 つのロウアドレス時間 t_i 、つまり、 $M2_{ij}$ をアドレッシングする時間が必要である。それに応じて、複数の行について影響が大きくなる。

【0 0 7 1】

複数のマルチラインマトリクスにおけるソースデータ（マトリクスディスプレイ D）の変換は、同様に、次のように規定される：

【数 1 4】

$$D = S + M2 + M3 + \dots$$

式中、M 3 は、3 つの行を同時に駆動することを意味する（図 5 参照）。同様に、さらに

多くの行を同時にアドレッシングすることが行われる。

【 0 0 7 2 】

例えば次の定義にしたがって、いくつかのマルチラインマトリクスを省略することも可能である：

【 数 1 5 】

$$D = S + M2 + M4$$

式中、マトリクスM3はゼロ(0)に設定されている。また、シングルラインアドレッシングは、マルチラインマトリクスMxの全要素がゼロ(0)に設定されていると解釈できる。

10

【 0 0 7 3 】

画像又は画像マトリクスDを駆動がより簡単な複数の画像又は画像マトリクスS, Mに分割するというアイデアは、LCD及びプラズマディスプレイを含む全てのタイプのマトリクスディスプレイに用い得る。マルチラインマトリクスは、単純で効率の良い駆動の好例である。

【 0 0 7 4 】

以下に、シングルラインアドレッシングを含む完全なマルチラインアドレッシングについて、具体的な例を用いて説明する。実行される変換の目的は、 D_{sum} の最小化である。その結果、動作電流は、もはや I_0 ではなく、 I_0 よりもかなり小さな値(画像に応じた値)になっている：

20

【 数 1 6 】

$$I_1 = \frac{D_{sum}}{n \cdot D_{max}} \cdot I_0$$

【 0 0 7 5 】

図6に示す例において、 4×9 のマトリクスDは、2つのマトリクスM2, Sに分解される。このマトリクスDにおける行の数は、 $n = 9$ である。 D_{max} は、輝度値「15」(4ビット)を有する。

【 0 0 7 6 】

図6における第1のマトリクスは、マトリクスディスプレイDの所望の輝度 D_{ij} を与える。第2のマトリクスは2ラインマトリクスM2であり、第3のマトリクスは残差シングルラインマトリクスSである。M2は、また別途図示されており、そこでは加算表現によって、同時アドレッシングにおいてどのように輝度が2つの隣接する行に分配されるかが理解できるようになっている。 D_{sum} つまり同時にアクティブ化される行の最大輝度の合計は、2ラインマトリクスを用いた場合、 $D_{sum} = 72$ である。改良型シングルラインアドレッシングのみを用いた場合、 $D_{sum} = 107$ である。したがって、 $n * D_{max} = 9 * 15 = 135$ と比較して、必要な動作電流は、2ラインマトリクスを用いることにより、従来の駆動方法の53%に低減される。

30

【 0 0 7 7 】

図7による3ラインマトリクスアドレッシングM3を用いた場合、 D_{sum} はさらに低減され得る。図7による第1のマトリクスは、図6のソースマトリクスと同じであり、マトリクスディスプレイDの所望の輝度 D_{ij} を再生する。第2のマトリクスは3ラインマトリクスM3であり、第3のマトリクスは2ラインマトリクスM2であり、第4のマトリクスは残差シングルラインマトリクスSである。この場合、 D_{sum} は、58までさらに低減される。したがって、 $n * D_{max} = 135$ と比べて、動作電流振幅の57%の減少が達成される。

40

【 0 0 7 8 】

図8は、図6に示す2ラインアドレッシングの場合の、第8の行の電圧波形、第2の列の電流及び電圧波形、並びにダイオード($D_{8,2}$)における電圧を示す。

【 0 0 7 9 】

50

図示の例において、従来のシングルラインアドレッシングの場合の動作電流 I_0 は $100 \mu A$ である。したがって、53%にまで低下するのに応じて、1つの行の駆動の間の動作電流は $I_1 = 53 \mu A$ となる。53 μA の場合のOLEDのフロー電圧は6Vである。OLEDの閾値電圧は3Vである。フレーム期間、すなわち合計時間 T_{Frame} は13.5 msecである。従来のシングルラインアドレッシングにおいて、一定のロウアドレス時間は、 $t_0 = 0.1 msec$ である。図6のマルチラインアドレッシングにおいて、 $t_1 = 0.1875 msec$ である。ここで、1フレームは、 $72(D_{Sum})t_1$ サイクルである。

【0080】

Sマトリクス及びM2マトリクスは交互にアクティブ化される。例えば、はじめに、Sマトリクスの第1の行がアドレッシングされ、次に、M2マトリクスの第1の行ペア（つまり第1及び第2の行）がアドレッシングされ、その次に、Sマトリクスの第2の行がアドレッシングされ、その次に、M2マトリクスの第2の行ペア（つまり第2及び第3の行）がアドレッシングされる。

【0081】

図8aは、第8の行の電圧波形を示す。この行がアドレッシングされると対応する行のスイッチ（図4参照）が閉じ、電流が流れる。その後、電圧はゼロ（0）になる。さもなければ、行のスイッチはオープンである。カラム電圧は常時流れているので、少なくとも6Vのカラム電圧が存在する。3Vのロウ電圧は、OLEDの場合、6Vのカラム電圧から例えば3Vの閾値電圧を引いた差分によって与えられる。第8の行は、2.625 msec（9.375 msec ~ 12 msec）の間アドレッシングされる。

【0082】

図8bは、第2の列における動作電流を示す。電流波形は3つのレベルを示している。すなわち、画素ダイオードのいずれもアクティブでない場合はゼロ（0）、画素ダイオードが1つだけアクティブである場合は53 μA 、（2ラインアドレッシングの場合に）2つの画素ダイオードがアクティブである場合は106 μA 。2ラインアドレッシングの場合、各ダイオードにおける電流振幅も53 μA である。なぜなら、合計電流が、同時に駆動される画素ダイオードの両方に均等に分配されるからである。

【0083】

第8の行がアクティブ化されている期間（ロウアドレス時間 t_i ）は、3つの段階からなる。はじめの4サイクルの間（9.375 msec ~ 10.125 msec）、第7の行及び第8の行が一緒にアドレッシングされる。したがって、電流は $2 * 53 \mu A$ である。これは、M2₇₂の行アドレッシングに対応している。

【0084】

次の5サイクルにおいて、S₈₂の第8の行がアドレッシングされる。5サイクル分のロウアドレス時間 t_i の合計は、マトリクスSの第8の行の輝度 S_{ij} の最大値「5」（第1の列、第8の行を参照）に由来する。53 μA の電流が、0.1875 msec（1サイクル）の間流れる。その後、電流は4サイクルに亘ってゼロ（0）になる。なぜならば、Sマトリクス（S₈₁）の第8の行の最大値が5であり、パルス幅変調によって輝度制御がなされるからである。

【0085】

最後の段階は5サイクルに亘って続く。この間、マトリクスM2の第8及び第9の行がアドレッシングされる。電流は、再び106 μA になる。しかし、M2₈₂は4なので、電流は4サイクルの間だけ流れる。電流は、1サイクルの間ゼロ（0）に下降する。第3の列における最大輝度はM2₈₃ = 5なので、最後のサイクル（図示せず）においても、依然として第3の列に電流が流れている。動作電流が画素 $ij = 82$ に印加される合計時間（アクティブ時間）は9サイクルであり、これはD₈₂に対応している。

【0086】

第2の列の電圧の遷移波形を図8cに示す。動作電流が流れている場合、その動作電流が53 μA か106 μA かにかかわらず、6Vである。というのは、106 μA において

10

20

30

40

50

、動作電流は2つのダイオードによって分割されるからである。電流が流れていない場合、電圧は3 Vに下降する。これは、それ未満の場合にダイオード電流が流れない閾値電圧に対応している。

【0087】

図8 dは、画素 $i, j = 82$ におけるダイオードの電圧の遷移波形を示す。53 μ Aの動作電流がこのダイオードを流れる場合、電圧は6 Vである。第8の行のアドレス時間の間、4サイクルに亘って電流が流れない。この時間の間、画素の電圧は3 V（閾値電圧）である。第2の列に電流が流れていない場合、行スイッチ及び列スイッチの電圧は3 Vであり、したがって、この画素における電圧はゼロ（0）である。第2の列に電流が流れている場合、列電圧は6 Vであり、このアドレッシングされていない第8の行の電位を3 V（6 V - 閾値電圧）に遷移させる。

10

【0088】

本発明によるマトリクスディスプレイの駆動方法の技術的な実施は、従来のシングルラインアドレッシング法と同程度に簡単である。各行にスイッチを設け、各列に電流源を設ける。電流源は、従来のシングルラインアドレッシング法の場合には2つの電流レベル（例えば0及び1）のみであるのに対して、2ラインアドレッシングの場合には3つの電流レベル（例えば0、1及び2）を有する。これは、複数の行が同時にアドレッシングされる場合に、それに対応して電流を増加させる必要があるからである。一般に、 n 個の行が同時にアドレッシングされる場合には $n + 1$ 段階に亘る階調（段階的变化）が必要になる。しかし、これを低コストで実施する必要がある。輝度を制御するために振幅・パルス幅混合変調のための具体的な回路を、以下により詳細に説明する。

20

【0089】

上述の例において、動作電流のパルス幅変調を用いた。S及びM2マトリクスは、当然ながら、動作電流の振幅変調によって生成され得る。振幅変調において、この行又は複数の行における最大値に達するまで、各行又は各複数の行がアドレッシングされる。これは、パルス幅変調においても同じである。唯一の違いは、ロウアドレス時間 t_i の間、動作電流は常に流れ、その振幅レベルが調整される点である。

【0090】

ソースマトリクス（マトリクスディスプレイD）からマルチラインマトリクスM及びシングルラインマトリクスSへの最適化された効率的な変換は、動作電流を最小化するための決定的な要素である。「最適化された」とは、最大輝度 D_{sum} の合計を最小化することを意味し、「効率的」とは、迅速にかつ低コストのハードウェアで変換を行えることを意味する。

30

【0091】

マトリクスM及びSは、原則的に、線形計画法などの公知の方法と標準ソフトウェアを用いて得られるか又は決定され得る。しかし、乗算及び除算などの複雑な算術演算を用いる必要があり、その結果、この方法は非常に遅く且つ計算集約的(calculation-intensive)である。さらに、複雑さは、画像マトリクスのサイズに応じて二次的に増大する。

【0092】

したがって、「Max Flow / Min Cut」原理として公知のものに基づく、本発明による組み合わせ法が提案される。最適度の質は、基本的に、2つの連続する行がどのように異なるかということに依存するので、副次的条件 $D = S + M2 + M3 + \dots$ は、解空間を変更することなく2つの連続する等式の間に差を生じさせることによって再整理される。マトリクス d' 、 S' 及び $M2'$ 、 $M3'$ は、図9に示すように生成される。マトリクス S' は、マトリクス d' と類似の様態で形成される。マトリクスの各列の合計はゼロ（0）である。

40

【0093】

再整理された副次的条件は、図10に示すグラフによって視覚化され得る。

【0094】

ここで、図中に白丸で示す（頂点集合Vの）各頂点は、再整理されたマトリクス d' 内

50

の要素を示す。白丸内の d'_{ij} は、図 9 に示すマトリクス d' の対応する要素を示す。したがって、この頂点の値は、マトリクスの要素 d'_{ij} の値に等しい。マトリクス要素 d'_{ij} 間の弧は、ある頂点（白丸）から別の頂点（白丸）への矢印である。これらの弧の各々は、矢印で示し且つ数が割り当てられた方向を有する。この（弧の組 A の）弧の割り当て（数）は、ソースデータマトリクスディスプレイの分解において対応する変数が有する値を反映している。ある 1 つの行から次の行へと延びた弧はマトリクス S に属する。1 行とばしている弧（つまり長さ「2」を有する弧）は、マトリクス M_2 に割り当てられる。長さ「3」を有する弧は、同様にマトリクス M_3 に割り当てられている。マトリクス M_4 、 M_5 などについても、類似の様態で割り当てが行われる。弧にはインデックスとして ij が与えられ、「 i 」は開始頂点（白丸）についての行番号であり、「 j 」は列の番号である。

10

【0095】

このことについて、図 6 及び図 7 で既に取り上げた例を用いて以下に説明する。図 6 の 4×9 マトリクス D を、図 11 に示す 4×10 のフローマトリクス d' に変換する。このマトリクス d' を、平衡にすべきフローとして図 12 に示す。

【0096】

d' マトリクスの各要素は、対応する位置の頂点に対応している。全ての弧にゼロ（0）が割り当てられている。というのは、これは、マトリクス分解の最初だからである。各頂点（白丸）について、出る弧（白丸から延びた矢印）の割り当て（数）の合計から入る弧（弧に到達した矢印）の割り当て（数）の合計を引いた差分が、その頂点の値（デマンド）に等しい場合、有効な分解が正確に達成される。全ての弧の割り当ては負にならない。

20

【0097】

図 13 は、平衡になったフローの結果を示す。マトリクス M_3 、 M_2 、 S の全ての要素が、弧の割り当てから得られる。

【0098】

図 13 に示す平衡になったフローを生成するのに用いる数学的方法について、以下に詳細に説明する。

【0099】

図 13 において、始めと終わりの頂点がそれぞれ同じ行内にある 2 つの弧（矢印）は、同じタイプである必要がある。目的は、ある弧タイプの最大弧の合計が最小化されるような弧の有効な割り当てを見つけることである。このことは、以下のように数学的に説明することができる。弧集合 A がタイプに応じて、

30

【数 17】

$$A = A_1 \cup A_2 \cup \dots \cup A_p.$$

に分割された有向グラフ $G = (V, A)$ が与えられる。 p は、マルチラインマトリクス M 及び残差シングルラインマトリクス S の行数である。さらに、各頂点にそのデマンドを割り当てる関数

【数 18】

$$b: V \rightarrow Z$$

40

が存在する。 Z は全体の数（整数）である。関数

【数 19】

$$f: A \rightarrow Z_{\geq 0}$$

は、各頂点 $v \in V$ について、次式

【数 2 0】

$$\sum_{\substack{a \in A \\ v \text{ ist Startknoten von } a}} f(a) - \sum_{\substack{a \in A \\ v \text{ ist Endknoten von } a}} f(a) = b(v)$$

が適用され、且つ、

【数 2 1】

$$D_{Sum} = \sum_{k=1}^p \max \{f(a) : a \in A_k\}$$

10

が最小になるように定義される。上側の等式は、「フロー保存(flow conservation)」とも呼ばれ、キルヒホッフの電流則に対応している。 $b(v)$ は、この頂点のデマンドであり、グラウンドからこの頂点への電流の流れ（負のデマンドの場合、電流は頂点からグラウンドに流れる）とみなし得る。 D_{Sum} は最小化される。

【0 1 0 0】

上記目的は、（容量として知られている）負でない数を、各弧のタイプ

【数 2 2】

$$A_k, k=1, \dots, p$$

に、これらの容量の合計が最小になり且つ容量を越えない有効な弧の割り当てが存在するように、割り当てる問題に等しい。

20

【0 1 0 1】

この新規な方法の特別な特徴は、所与の行の規定された長さを有する全ての弧について容量が有効である点である。これらの弧の各々へのフローは、この容量以下である。容量自体は可変であり、所定の様態で最適化のためのコスト又は費用を示している。全ての容量の合計を最小化する必要がある。この場合、所与の容量の場合にフローが最大化される公知のMax Flow / Min Cut法とは異なり、所与のフローの場合に容量が最小化される。

【0 1 0 2】

容量は関数

30

【数 2 3】

$$u: \{1, \dots, p\} \rightarrow \mathbb{Z}_{\geq 0}$$

であり、全ての

【数 2 4】

$$k \in \{1, \dots, p\}$$

及び

40

【数 2 5】

$$a \in A_k$$

について、次の不等式

【数 2 6】

$$f(a) \leq u(k)$$

が適用される。

【0 1 0 3】

上で説明した最小化は、原則的には線形計画法としてモデル化され解かれるが、上述の

50

ように、非常に計算集約的(calculation-intensive)である。以下に説明するように、本発明による上述の方法は、少ないコストで数学的に実施され得る。

【 0 1 0 4 】

この目的のために、容量は連続的に、つまり段階的に、ゼロ (0) から上方へと、有効な分解が可能になるまで増加する。このことはまた、容量がゼロ (0) 以上であることを確実にする。各反復において、割り当てが容量に等しく、したがって有効な解を妨げるボトルネックを構成する弧集合が決定される。この弧集合 (最小カットとも呼ぶ) は、負のデマンドを有する頂点から正のデマンドを有する頂点を分離する。弧の容量は、その後、最小カットから増加する。しかし、このことは、好適には、弧の大部分がボトルネックから離れることを可能にする容量についてのみ起こる。ここでは、割り当ては、有効な解が見つかるか又は新たなボトルネックが起こるまで増大し、その後、上記工程が繰り返される。

10

【 0 1 0 5 】

この方法のシーケンスの数学的定式化は、図 1 4 において理解され得る。プログラムモジュール「MaxFlow」及び「MinCut」は、文献から公知である標準的な方法である。プログラムモジュール「Initialise」は、u についての開始値を規定する。例えば、 $u(k) = 0$ が全ての

【数 2 7】

$$k \in \{1, \dots, p\}$$

20

について適用される。しかし、好適には、データの前処理によって得られる下限値が用いられる。集合 H は、計算された MinCut の履歴を記載している。現在の MinCut の出る弧を、

【数 2 8】

$$C \subset A$$

とし、反復 i の MinCut の出る弧を、

【数 2 9】

$$C_i \subset A$$

30

とする。パラメータ u は、個々の容量が増加するステップサイズを決定する。好適には、数個の容量のみが、反復毎に増加する (例えば、k についてののみか、

【数 3 0】

$$|A_k \cap C|$$

についてか、若しくは、重み付けした合計

【数 3 1】

$$\sum_{C_i \in H} w_i \cdot |A_k \cap C_i|$$

40

が最大である。なお、ステップが前であればあるほど、重みは小さくなる。w は履歴の重み付けを示す。ステップのサイズの選択により、方法の質 (小さな u 値、例えば u = 1) と所要時間 (より大きな u 値) との間の妥協を動的に適合させることもできる。

【 0 1 0 6 】

本発明の方法は、当然、画像マトリクスの一部の領域について用いることも可能である。このようにして、画像を複数の部分に分割し、分割された各部分を個々に最適化することが可能である。これは、局所最適化に対応している。

【 0 1 0 7 】

規定されたサイズの部分領域を行毎に又は複数の行毎にずらすことにより、全体・局所

50

混合型の最適化を同様に行うことができる。サブマトリクスは、規定された行数分の行から形成される。それは、まず、ソースマトリクスの上側の行から形成される。各最適化により、最上位の行又は上から数行分の行について、マトリクスの要素（ S 、 M_2 、 M_3 など）が得られる。したがって、次のサブマトリクスは、1行又は複数行だけ下方にずらされる。この新しいサブマトリクスに対する先に得られたマルチラインマトリクスの行の影響を減算する必要がある。1つまたは複数の行が、 S 、 M_2 、 M_3 などから再度得られる。サブマトリクスは、ソースマトリクスの最後まで進み、その後、完全に分解される。このようにして、 S 、 M_2 、 M_3 などの全てのエントリが得られる。

【0108】

比較的小さなマトリクスの分解に必要なメモリサイズは小さく、反復の数も少ない。マトリクスが概して大きいときに全体最適化を行う場合、マトリクス分解の結果を、SRAM等のバッファメモリに保存する必要がある。情報は、アクティブ化されると直ちに、出力ドライバ用のレジスタ内に行毎に読み込まれる。分割/局所型又は混合型の最適化の場合、容量は、まずサブマトリクス分解によって、そしてそれらの合計すなわち t_1 及び I_1 によって、得ることができる。急速分解のおかげで、行の結果が連続して再び計算され、出力ドライバ用のレジスタに直接転送される。それにより、大きなバッファメモリを省略することができる。ハードウェアのコストは、分割/局所型又は混合型の最適化によって低減され得る。但し、この場合、最適化の質はいくぶん低下し得る。

【0109】

対応する輝度を有する個々の画素 i, j を備えたマトリクス M 、 S が定められた場合、それに対応してダイオードを駆動する必要がある。個々のロウアドレス時間 t_1 は、行毎に異なり得、その行の最大輝度値に応じてそれぞれ変化し得る。輝度は、電流のパルス幅変調又は振幅変調によって制御され得る。

【0110】

パルス幅変調の場合、最大輝度を有する画素 i, j のみがロウアドレス時間全体に亘ってスイッチオンされる。つまり、当該画素を動作電流が流れる。残りの画素 i, j は、一時的に点灯されるのみであり、それぞれの点灯時間はそれぞれの輝度値 $S_{i,j}$ 、 $M_{i,j}$ との相関関係を有する。

【0111】

或いは、振幅変調を用いて輝度を制御することもできる。すなわち、アクティブ段階にある全ての画素 i, j がそれぞれロウアドレス時間 t_1 の間スイッチオンされ、輝度の低い画素 i, j については動作電流がそれに応じて低減される。しかし、振幅変調は、ハードウェア面で実施するのがより難しい。このことは、特に、色深度が高い場合又は階調数が多い場合に於てはまる。これに対してパルス幅変調は、ハードウェアに要するコストが高くなく、比較的単純且つ正確に実施できる。

【0112】

輝度の低い画素 i, j における動作電流の低減には、パルス幅変調を振幅変調と組み合わせるのが特に有利である。この、本発明による混合型の、つまり組合せ型の振幅・パルス幅変調について、図15～図18を参照しつつ以下に説明する。

【0113】

本発明による上記マルチラインアドレッシングについて、シングルライン、2ライン及びマルチラインアドレッシングのための電流を列内に供給して、それに応じて電流のレベルを調節するために、動作電流を定量化する、つまり、複数の異なるレベルに分割する必要がある。例えば、マルチラインアドレッシング M_4 において同時に駆動される4つの行について、動作電流の4倍の電流（ $4 * I_1$ ）を印加する必要がある。

【0114】

この目的のために、電流源を、図15に示すように2つのシングルトランジスタセルと1つの2トランジスタセルとからなる3つのトランジスタで実現し得る。4つの行に対して動作電流 $I = 4 * I_1$ が必要な場合、これら3つのトランジスタは、同じ制御電圧をゲートに受け取る。動作電圧 $I = 3 * I_1$ が必要な場合、一方のシングルトランジスタセル

10

20

30

40

50

には制御電圧が印加されず、2トランジスタセル及び他方のシングルトランジスタセルのそれぞれのゲートに制御電圧が印加される。動作電流 $I = 2 * I_1$ の場合、2トランジスタセルがアクティブであり且つ2つのシングルトランジスタセルがパッシブであるか、若しくはその逆である。動作電流 $I = I_1$ の場合、1つのシングルトランジスタセルのみがアクティブである。

【0115】

輝度値が M_{ij} 、 S_{ij} が最大ではないマトリクスエントリの場合に、定量化された動作電流を用いて動作電流を再度低減することも可能である。輝度値 M_{ij} について図18に示すアルゴリズムは、例えば、この目的のために用い得る。結果は、輝度制御のための混合型パルス幅・振幅変調に対応している。

10

【0116】

組合せ型輝度制御の結果を、輝度制御のための純粋なパルス幅変調(図16)と比較する形で図17に示す。純粋なパルス幅変調において、電流振幅は、例えば一定の $100 \mu A$ である。第1のパルスのパルス幅は、この行のアクティブ時間を10単位(10単位のロウアドレス時間)とした場合、10単位中6単位($6/10$)である。6単位は10単位の半分よりも大きく且つ10単位の $3/4$ よりも小さいので、第1のパルスのパルス幅は、混合型振幅/パルス幅変調を用いて、元の値の $4/3$ に拡大される。同時に、振幅が元の振幅の $3/4$ (この例では $75 \mu A$) に低減される。このことは、図16と比較して図17を参照することにより理解できる。第2のパルスのパルス幅が2倍にされ、その一方で、振幅が類似の様態で $1/2$ にされる。第3及び第5のパルス拡大することはできない。なぜなら、それらのパルス幅はそれぞれの行のアクティブ期間(ロウアドレス時間)に近いからである。対照的に、第4のパルスの幅は4倍にされ得る。

20

【0117】

輝度制御のための混合(組合せ)型振幅・パルス幅変調において、動作電流の平均振幅が低減されることが、図17から明らかに理解し得る。

【0118】

当然ながら、図18に示す上記アルゴリズムの一部のみを用いることが可能である。これらのアルゴリズムはまた、シングルラインマトリクスにも適用される。異なる行数のマルチラインアドレッシングにおいて、その行数に対応する様態でアルゴリズムが定められる。アルゴリズムは、電流源の定量化に応じて変化する。

30

【0119】

本発明によるマトリクスディスプレイの駆動方法及び本発明が関係する上記方法を実行するように設定されたディスプレイ制御システムを用いると、マトリクスディスプレイの最適化された駆動が達成できる。これは、性能を向上するため(例えばフレームレートを高めるため)及び/又は個々の画素を駆動するのに必要な動作電流を低減するために用い得る。本質的な特徴は、各行のロウアドレス時間が、この行の画素が得るべき最大輝度に応じて変化すること、及び/又は、マトリクスディスプレイを複数の独立したマトリクスに分解し、そのいくつかが多ライン駆動を表すことである。

【0120】

本発明はまた、上記方法を実行する制御システムに関する。この目的のために、例えばディスプレイコントローラ及びディスプレイドライバが1つのチップに集約される場合、請求の範囲に記載の方法が、特定用途向けIC(ASIC)において実施され得る。 t_1 及び I_1 はドライバ内で生成される。マトリクスの分解は、単純且つ高速の組み合わせ論理を用いて実現される。

40

【0121】

画像、ひいては得られたマトリクスは、常にデータ集約的(data intensive)であるので、メモリも必要である。この要件は、現代の半導体プロセスを用いた場合、又は、上述のように局所又は混合型の最適化を用いた場合に緩和され得る。本発明の方法は、当然ながら、複数のチップ間で分割することもできる。

【図面の簡単な説明】

50

【 0 1 2 2 】

【図 1】具体的にシングルラインアドレッシング及びマルチラインアドレッシングを説明するために、本発明によるマトリクスディスプレイを駆動するさまざまな実施形態を模式的に示す図である。

【図 2】図 1 に示すマトリクスディスプレイの或る列の画素を駆動するための動作電流（又は関連する電圧）を時間軸上に模式的に示す図である。

【図 3】3 列 × 5 行からなるマトリクスディスプレイ D 及び 1 つの列を駆動するのに必要な電流を示す図である。

【図 4】 m 列（ C_m ）× n 行（ R_n ）のマトリクスディスプレイの等価回路を示す図である。

10

【図 5】シングルラインマトリクス及びマルチラインマトリクスの定義を示す図である。

【図 6】本発明による、マトリクスディスプレイ D を 2 ラインマトリクス及びシングルラインマトリクスに分解する例を示す図である。

【図 7】本発明による、図 6 に示すマトリクスディスプレイ D を 3 ラインマトリクス、2 ラインマトリクス及びシングルラインマトリクスに分解する例を示す図である。

【図 8 a】図 6 によるマトリクスの選択されたラインについての電圧波形及び電流波形を示す図である。

【図 8 b】図 6 によるマトリクスの選択されたラインについての電圧波形及び電流波形を示す図である。

【図 8 c】図 6 によるマトリクスの選択されたラインについての電圧波形及び電流波形を示す図である。

20

【図 8 d】図 6 によるマトリクスの選択されたラインについての電圧波形及び電流波形を示す図である。

【図 9】マトリクスディスプレイ D をフローマトリクス d' に分解する例を示す図である。

【図 10】図 9 によるフローマトリクス d' のフロー図である。

【図 11】図 6 によるマトリクス D をフローマトリクス d' に変換した具体例を示す図である。

【図 12】図 11 によるフローマトリクス d' の第 1 の最適化ステップにおけるフロー図である。

30

【図 13】図 11 によるフローマトリクス d' の最適化ステップ後のフロー図である。

【図 14】フローマトリクス d' を形成するための数学的流れ図及び最適化されたフロー図を示す図である。

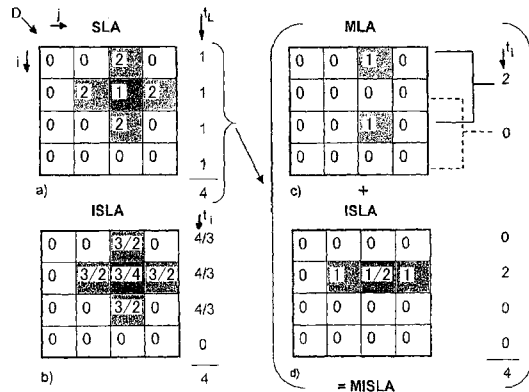
【図 15】本発明による、動作電流を生成する実施形態を示す図である。

【図 16】パルス幅変調を用いた輝度制御を示す図である。

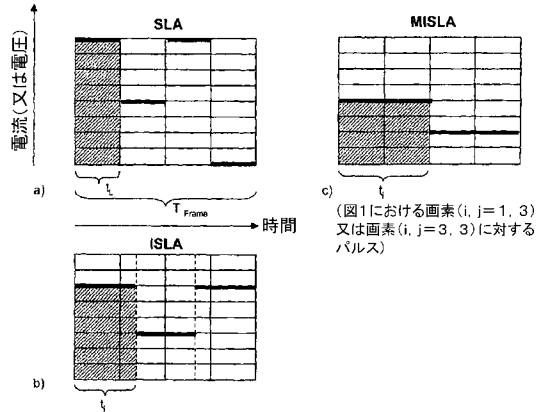
【図 17】混合型振幅・パルス幅変調を用いた輝度制御を示す図である。

【図 18】図 17 による輝度制御を実行するためのアルゴリズムを示す図である。

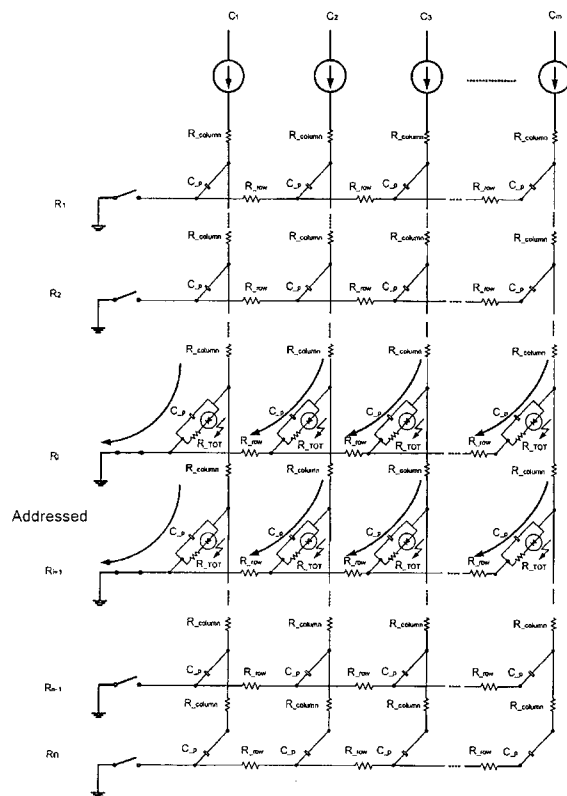
【図 1】



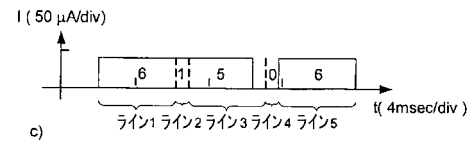
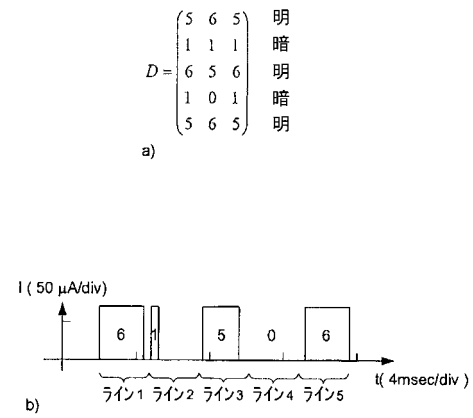
【図 2】



【図 4】



【図 3】



【図 5】

$$S = \begin{pmatrix} S_{11} & S_{12} & \dots & S_{1m} \\ S_{21} & S_{22} & \dots & S_{2m} \\ \vdots & \vdots & \ddots & \vdots \\ S_{n1} & S_{n2} & \dots & S_{nm} \end{pmatrix}$$

$$M2 = \begin{pmatrix} M2_{11} & M2_{12} & \dots & M2_{1m} \\ M2_{21} & M2_{22} & \dots & M2_{2m} \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{pmatrix} + \begin{pmatrix} 0 & 0 & 0 & 0 \\ M2_{21} & M2_{22} & \dots & M2_{2m} \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{pmatrix} + \dots + \begin{pmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ M2_{n-1,1} & M2_{n-1,2} & \dots & M2_{n-1,m} \end{pmatrix}$$

$$= \begin{pmatrix} M2_{11} & M2_{12} & \dots & M2_{1m} \\ M2_{11} + M2_{21} & M2_{12} + M2_{22} & \dots & M2_{1m} + M2_{2m} \\ \vdots & \vdots & \ddots & \vdots \\ M2_{n-2,1} + M2_{n-1,1} & M2_{n-2,2} + M2_{n-1,2} & \dots & M2_{n-2,m} + M2_{n-1,m} \\ M2_{n-1,1} & M2_{n-1,2} & \dots & M2_{n-1,m} \end{pmatrix}$$

$$M3 = \begin{pmatrix} M3_{11} & M3_{12} & \dots & M3_{1m} \\ M3_{21} & M3_{22} & \dots & M3_{2m} \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{pmatrix} + \begin{pmatrix} 0 & 0 & 0 & 0 \\ M3_{21} & M3_{22} & \dots & M3_{2m} \\ M3_{31} & M3_{32} & \dots & M3_{3m} \\ 0 & 0 & 0 & 0 \end{pmatrix} + \dots + \begin{pmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ M3_{n-2,1} & M3_{n-2,2} & \dots & M3_{n-2,m} \\ M3_{n-1,1} & M3_{n-1,2} & \dots & M3_{n-1,m} \end{pmatrix}$$

【図 6】

$$D = M2 + S$$

$$D = \begin{pmatrix} 7 & 13 & 5 & 9 \\ 11 & 11 & 9 & 6 \\ 7 & 5 & 13 & 5 \\ 3 & 0 & 11 & 2 \\ 3 & 3 & 9 & 3 \\ 5 & 7 & 15 & 4 \\ 9 & 11 & 11 & 7 \\ 11 & 9 & 7 & 8 \\ 2 & 7 & 6 & 13 \end{pmatrix} = \begin{pmatrix} 7 & 8 & 5 & 5 \\ 11 & 11 & 9 & 6 \\ 6 & 3 & 10 & 2 \\ 3 & 0 & 11 & 2 \\ 1 & 0 & 9 & 1 \\ 5 & 6 & 14 & 3 \\ 9 & 10 & 10 & 6 \\ 6 & 8 & 5 & 8 \\ 2 & 4 & 5 & 5 \end{pmatrix} + \begin{pmatrix} 0 & 5 & 0 & 4 \\ 0 & 0 & 0 & 0 \\ 1 & 2 & 3 & 3 \\ 0 & 0 & 0 & 0 \\ 2 & 3 & 0 & 2 \\ 0 & 1 & 1 & 1 \\ 0 & 1 & 1 & 1 \\ 5 & 1 & 2 & 0 \\ 0 & 3 & 1 & 8 \end{pmatrix}$$

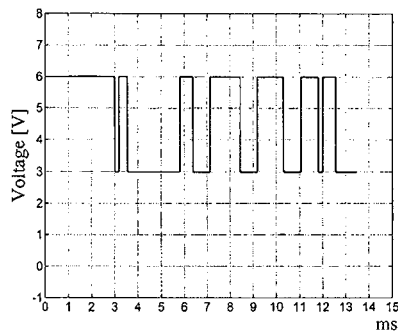
$$M2 = \begin{pmatrix} 7 & 8 & 5 & 5 \\ 11 & 11 & 9 & 6 \\ 6 & 3 & 10 & 2 \\ 3 & 0 & 11 & 2 \\ 1 & 0 & 9 & 1 \\ 5 & 6 & 14 & 3 \\ 9 & 10 & 10 & 6 \\ 6 & 8 & 5 & 8 \\ 2 & 4 & 5 & 5 \end{pmatrix} = \begin{pmatrix} 7 & 8 & 5 & 5 \\ 7+4 & 8+3 & 5+4 & 5+1 \\ 4+2 & 3+0 & 4+6 & 1+1 \\ 2+1 & 0+0 & 6+5 & 1+1 \\ 1+0 & 0+0 & 5+4 & 1+0 \\ 0+5 & 0+6 & 4+10 & 0+3 \\ 5+4 & 6+4 & 10+0 & 3+3 \\ 4+2 & 4+4 & 0+5 & 3+5 \\ 2 & 4 & 5 & 5 \end{pmatrix}$$

【図 7】

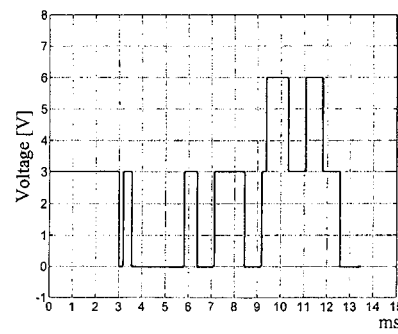
$$D = M3 + M2 + S$$

$$D = \begin{pmatrix} 7 & 13 & 5 & 9 \\ 11 & 11 & 9 & 6 \\ 7 & 5 & 13 & 5 \\ 3 & 0 & 11 & 2 \\ 3 & 3 & 9 & 3 \\ 5 & 7 & 15 & 4 \\ 9 & 11 & 11 & 7 \\ 11 & 9 & 7 & 8 \\ 2 & 7 & 6 & 13 \end{pmatrix} = \begin{pmatrix} 4 & 4 & 5 & 5 \\ 6 & 4 & 8 & 5 \\ 6 & 4 & 9 & 5 \\ 2 & 0 & 8 & 2 \\ 0 & 1 & 7 & 3 \\ 5 & 5 & 11 & 3 \\ 7 & 8 & 8 & 6 \\ 7 & 7 & 6 & 5 \\ 2 & 3 & 1 & 5 \end{pmatrix} + \begin{pmatrix} 3 & 5 & 0 & 1 \\ 4 & 6 & 1 & 1 \\ 1 & 1 & 3 & 0 \\ 1 & 0 & 3 & 0 \\ 1 & 0 & 1 & 0 \\ 0 & 1 & 3 & 1 \\ 2 & 3 & 3 & 1 \\ 2 & 2 & 1 & 3 \\ 0 & 0 & 1 & 3 \end{pmatrix} + \begin{pmatrix} 0 & 4 & 0 & 3 \\ 1 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 \\ 2 & 2 & 1 & 0 \\ 0 & 1 & 1 & 0 \\ 0 & 0 & 0 & 0 \\ 2 & 0 & 0 & 0 \\ 0 & 4 & 4 & 5 \end{pmatrix}$$

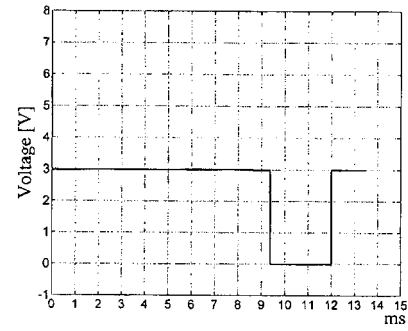
【図 8 c】



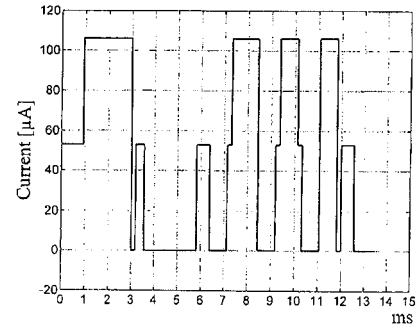
【図 8 d】



【図 8 a】



【図 8 b】



【図 9】

$$d' = \begin{pmatrix} D_{11} & D_{12} & \dots & D_{1m} \\ D_{21} - D_{11} & D_{22} - D_{12} & \dots & D_{2m} - D_{1m} \\ \vdots & \vdots & \ddots & \vdots \\ D_{n1} - D_{n-1,1} & D_{n2} - D_{n-1,2} & \dots & D_{nm} - D_{n-1,m} \\ -D_{n1} & -D_{n2} & \dots & -D_{nm} \end{pmatrix}$$

$$M2' = \begin{pmatrix} M2_{11} & M2_{12} & \dots & M2_{1m} \\ 0 & 0 & 0 & 0 \\ -M2_{11} & -M2_{12} & \dots & -M2_{1m} \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{pmatrix} + \begin{pmatrix} 0 & 0 & 0 & 0 \\ M2_{21} & M2_{22} & \dots & M2_{2m} \\ 0 & 0 & 0 & 0 \\ -M2_{21} & -M2_{22} & \dots & -M2_{2m} \\ 0 & 0 & 0 & 0 \end{pmatrix} + \dots + \begin{pmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ M2_{n-1,1} & M2_{n-1,2} & \dots & M2_{n-1,m} \\ 0 & 0 & 0 & 0 \\ -M2_{n-1,1} & -M2_{n-1,2} & \dots & -M2_{n-1,m} \end{pmatrix}$$

$$M3' = \begin{pmatrix} M3_{11} & M3_{12} & \dots & M3_{1m} \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ -M3_{11} & -M3_{12} & \dots & -M3_{1m} \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{pmatrix} + \begin{pmatrix} M3_{21} & M3_{22} & \dots & M3_{2m} \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ -M3_{21} & -M3_{22} & \dots & -M3_{2m} \\ 0 & 0 & 0 & 0 \end{pmatrix} + \dots + \begin{pmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ M3_{n-2,1} & M3_{n-2,2} & \dots & M3_{n-2,m} \\ 0 & 0 & 0 & 0 \\ -M3_{n-2,1} & -M3_{n-2,2} & \dots & -M3_{n-2,m} \end{pmatrix}$$

フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/133 (2006.01)
 G 0 9 G 3/20 6 2 3 U
 G 0 9 G 3/20 6 3 2 Z
 G 0 9 G 3/20 6 4 1 A
 G 0 9 G 3/20 6 4 1 C
 G 0 9 G 3/20 6 4 1 K
 H 0 5 B 33/14 A
 H 0 5 B 33/12 B
 G 0 2 F 1/133 5 5 0

(73)特許権者 506011249

マックス ブランク ゲゼルシャフト・ツア・フェルデルンク・デア・ヴィッセンシャフテン・ア
 イングトラーゲナー・フェライン
 ドイツ連邦共和国, 8 0 5 3 9 ミュンヘン, ホーフガルテンシュトラッセ 8

(74)代理人 110001427

特許業務法人前田特許事務所

(74)代理人 100077931

弁理士 前田 弘

(74)代理人 100110939

弁理士 竹内 宏

(74)代理人 100110940

弁理士 嶋田 高久

(74)代理人 100113262

弁理士 竹内 祐二

(74)代理人 100115059

弁理士 今江 克実

(74)代理人 100115691

弁理士 藤田 篤史

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 シュ チーハウ

ドイツ国 6 6 1 2 3 ザールブリュッケン, コールヴェク 3 0

(72)発明者 ユルゲン ヴァール

ドイツ国 6 5 8 1 2 バート ゾーデン, クロントラーシュトラッセ 3 6

(72)発明者 フリードリッヒ アイゼンブラント

ドイツ国 6 6 5 5 7 ウヒテルファンゲン, シャルロットシュトラッセ 8

(72)発明者 アンドレアス カレンパウアー

ドイツ国 6 6 1 1 7 ザールブリュッケン, ホーエンツォレルンシュトラッセ 8 9

(72)発明者 ソー カイミン

ドイツ国 6 6 1 3 2 ザールブリュッケン, アム ブンゲルト 1 5

(72)発明者 クリストフ ヒッツェルベルガー
ドイツ国 6 6 7 4 0 ザールロイス, アルトフォルヴァイラー シュトラーセ 3 1

審査官 森口 忠紀

(56)参考文献 特開2003-280579(JP, A)
特開昭63-266488(JP, A)
特開平06-123870(JP, A)
特開2003-228317(JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 9 G 5 / 0 0 - 5 / 4 2
G 0 2 F 1 / 1 3 3