



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

229 786

(11)

(B1)

(61)

(23) Výstavní priorita

(22) Přihlášeno 31 12 82

(21) PV 10142-82

(51) Int. Cl.³ G 11 C 7/00

(40) Zveřejněno 26 08 83

(45) Vydáno 01 05 86

(75)

Autor vynálezu BARTUŠEK IVAN ing., PRAHA,
NAVRÁTIL MILAN ing.,
KRYŠKA JAN ing., BRANDÝS NAD LABEM

(54) Zapojení pro zápis dat do reprogramovatelné pevné paměti

Vynález se týká řídicí a mikropočítačové techniky. Zapojení pracuje v režimu čtení obsahu paměti a v režimu zápisu dat. Při zápisu dat se data přivádějí na paměťové místo v pevné paměti a současně se připojuje zápisový napěťový puls z napěťového bloku. Při čtení obsahu paměti se paměťový obvod uvolní a umožní přečtení dat. Vynálezu se využije u reprogramovatelných pevných pamětí v mikroprocesorové a mikropočítačové technice.

Vynález se týká zapojení pro zápis dat do reprogramovatelné pevné paměti, které lze po vymazání původního obsahu naplnit jiným obsahem a používat několikanásobně. Zapojení je určeno pro kapacitu paměti 1 kbyte, případně 512 byte.

Jsou známy různé druhy a typy reprogramovatelných pevných pamětí, které se od sebe liší především způsobem zápisu dat. Proto existuje mnoho rozdílných zapojení pro zápis dat do určité paměti podle toho, jakého je typu. Jsou to jednak přídavná jednoúčelová zařízení k počítačům a jednak samostatná zařízení, která umožňují zápis dat do reprogramovatelných pevných pamětí. Přídavná jednoúčelová zařízení k počítačům jsou velmi jednoduchá, ale vytvoření obslužných programů, případně zabudování programů do stávajících systémových programů je u těchto zařízení poměrně náročné. Přídavná zařízení též zatěžují strojní čas vlastního počítače, případně řídicího zařízení, ke kterému byly navrženy a obvykle není možné připojit je k jiným řídicím systémům. Jednoúčelová zařízení samostatná jsou většinou s ruční obsluhou, která je velmi pracná a navíc zvyšuje pravděpodobnost chybné manipulace. Může dojít k zápisu nežádoucích dat, nebo i ke zničení paměťového obvodu. Jednoduchá zařízení většinou neumožňují automatickou kontrolu zapsaných dat.

Tyto nedostatky odstraňuje zapojení pro zápis dat do reprogramovatelné pevné paměti podle vynálezu. Podstata vynálezu spočívá v tom, že hromadný výstup řídicího bloku je spojen s hromadným vstupem vstupního bloku. Ovládací vstup vstupního bloku je spojen s ovládacím výstupem zadávacího bloku, jehož blokovací výstup je spojen s blokovacím vstupem napěťového bloku. Silový výstup napěťového bloku je spojen se silovým vstupem výkonového bloku, jehož hromadný vstup je spojen s hromadným výstupem vstupního bloku. Skupinový adresní výstup vstupního bloku je spojen se skupinovým adresním vstupem objímkového bloku. Hromadný vstup-výstup objímkového bloku je spojen s hromadným vstupem-výstupem výkonového

vého bloku, jehož skupinový datový výstup je spojen se skupinovým datovým vstupem oddělovacího bloku. Skupinový datový výstup oddělovacího bloku je spojen se skupinovým datovým vstupem řídicího bloku, jehož skupinový stavový vstup je spojen se skupinovým stavovým výstupem stavového bloku. Stavový vstup stavového bloku je spojen se stavovým výstupem napěťového bloku, jehož skupinový ovládací vstup je spojen se skupinovým ovládacím výstupem řídicího bloku. Silový výstup řídicího bloku je spojen se silovým vstupem napěťového bloku. Hromadný vstup-výstup řídicího bloku je spojen s hromadným vstupem výstupem zadávacího bloku.

Výhodou zapojení podle vynálezu je, že umožňuje zápis do reprogramovatelných pevných pamětí, které mají shodnou kapacitu 1 kbyte, případně 512 byte, shodné uspořádání vstupních, výstupních, programovacích a napájecích vývodů a které mají shodný zápisový předpis. Zapojení vykonává zápis dat přesně podle požadavků výrobce těchto reprogramovatelných pamětí. Umožňuje kdykoli číst obsah kteréhokoli paměťového místa programované paměti. Umožňuje kontrolu naplnění celé paměti žádanými daty. Obsahuje části, ve kterých je záznam zápisového postupu určité paměti. Umožňuje kontrolu, zda paměťový obvod obsahuje před prvním programováním nebo po vymazání původního obsahu prvotní obsah na všech paměťových místech. Zapojení je zabezpečeno proti nežádoucímu zápisu nevhodnou manipulací obaluky, a tím i proti případnému znehodnocení programované paměti. Je poměrně jednoduchá, čímž roste spolehlivost. Obsahuje obvody, které umožňují testování sama sebe.

Příklad zapojení podle vynálezu je v blokovém schématu znázorněn na připojeném výkrese.

Jednotlivé bloky zapojení je možno charakterizovat takto. Řídicí blok 1 je mikropečítač vytvořený na základě osmibitového procesorového integrovaného obvodu a je to hlavní řídicí část zapojení. Slouží ke generování řídicích a ovládacích signálů, k distribuci dat, v zapojení a současně přiřazuje těmto datům význam a směr šíření. Vstupní blok 2 je vytvořen z oddělovacích obvodů a z obvodů, které směrují tok dat. Slouží k příjmu dat určených k zápisu do reprogramovatelné paměti a zajišťuje adresování této paměti. Odděluje adresní vstupy programované paměti od ostatních obvodů, a tím je chrání před účinky zápisových napětí. Výkonový blok 3 je vytvořen ze spínacích tranzistorů a odporů. Slouží k připojování dat určených k zápisu do pevné paměti, na programovanou paměť a zároveň odděluje ostatní obvody od zápisových na-

pěťových pulsů, které jsou větší, než na které jsou dimenzovány logické obvody. Objímkový blok⁴ je vytvořen z objímek s nulovou zasouvací silou. Jsou to dva vzájemně propojené sokly různých rozměrů. Slouží k zakládání paměťových obvodů, které se mají naplnit daty. Oddělovací blok 5 je vytvořen z tranzistorů, diod a odporů a dále z obvodů pro směřování dat. Zajišťuje čtení programované paměti, případně paměti umístěné v objímce objímkového bloku. Oddělovací blok 5 chrání ostatní obvody před účinky vyšších napěťových úrovní při zápisu dat do pevné paměti. Stavový blok 6 je vytvořen z odporů, tranzistorů a diod. Slouží k diagnostikování celého zapojení během provozu na požadavek obsluhy a při zapnutí zapojení automaticky. Napěťový blok 7 je vytvořen z integrovaného stabilizátoru napětí, z logických integrovaných obvodů a z diskretních součástek jako jsou tranzistory, diody, odpory a kondenzátory. Generuje požadované zápisové pulsy o stanovené napěťové úrovni, strmosti náběhu a doběhu pulsu vzhledem ke klidové úrovni a reguluje proudové omezení zápisového pulsu. Zadávací blok 8 je vytvořen z logických obvodů a z diskretních součástek. Umožňuje volbu typu programované paměti pomocí tlačítek a obsahuje záznam správného zápisového postupu, adresní dekodéry a signalizaci volby typu paměti. Název hromadný vstup-výstup představuje obousměrné spojení určitého bloku s ostatními bloky zapojení a jde o přenos více než jednoho signálu. Signály mohou být různých charakterů, například data nebo řízení či adresování. Hromadný vstup a hromadný výstup představuje jednosměrné spojení bloků, po kterém se přenáší více signálů různého charakteru, například data a řízení. Skupinový vstup a skupinový výstup představuje jednosměrné spojení bloků a skutečnost že jde o více než jeden signál téhož charakteru, který je další částí názvu, například skupinový adresní výstup. Zapojení jednotlivých bloků je provedeno takto. Hromadný výstup 10 řídicího bloku 1 je spojen s hromadným vstupem 21 vstupního bloku 2, jehož ovládací vstup 22 je spojen s ovládacím výstupem 80 zadávacího bloku 8. Blokovací výstup 81 zadávacího bloku 8 je spojen s blokovacím vstupem 74 napěťového bloku 7, jehož silový výstup 73 je spojen se silovým vstupem 33 výkonového bloku 3. Hromadný vstup 32 výkonového bloku 3 je spojen s hromadným výstupem 20 vstupního bloku 2, jehož skupinový adresní výstup 23 je spojen se skupinovým adresním vstupem 41 objímkového bloku 4. Hromadný vstup-výstup 40 objímkového bloku 4 je spojen s hromadným vstupem-výstupem 31 výkonového bloku 3, jehož skupinový datový výstup 30 je spojen se skupinovým datovým vstupem

51 oddělovacího bloku 5. Skupinový datový výstup 50 oddělovacího bloku 5 je spojen se skupinovým datovým vstupem 13 řídicího bloku 1, jehož skupinový stavový vstup 14 je spojen se skupinovým stavovým vstupem 60 stavového bloku 6. Stavový vstup 60 stavového bloku 6 je spojen se stavovým výstupem 72 napěťového bloku 7, jehož skupinový ovládací vstup 71 je spojen se skupinovým ovládacím výstupem 12 řídicího bloku 1. Silový výstup 11 řídicího bloku 1 je spojen se silovým vstupem 70 napěťového bloku 7. Hromadný vstup-výstup 15 řídicího bloku 1 je spojen s hromadným vstupem-výstupem 82 zadávacího bloku 8.

Zapojení pro zápis dat do reprogramovatelné pevné paměti pracuje ve dvou režimech. První režim je vlastní zápis dat do paměti a druhý režim je čtení obsahu paměti. V prvním režimu vysílá řídicí blok 1 data pro adresování a pro zápis ze svého hromadného výstupu 10 na hromadný vstup 21 vstupního bloku 2. Ovládací výstup 80 zadávacího bloku 8 vysílá řídicí signály na ovládací vstup 22 vstupního bloku 2. Podle stavu tohoto signálu, uvolňuje vstupní blok 2 data ze svého hromadného výstupu 20 na hromadný vstup 32 výkonového bloku 3. Adresování programované paměti se vysílá ze skupinového adresního výstupu 23 vstupního bloku 2 na skupinový adresní vstup 41 objímkového bloku 4. Zadávací blok 8 vysílá data představující popis zápisu dat do daného typu paměti z hromadného vstupu výstupu 82 na hromadný vstup-výstup 15 řídicího bloku 1. Řídicí blok 1 přijímá potřebné informace o programované navolebné paměti prostřednictvím signálů z hromadného vstupu-výstupu 15. Tyto signály přicházejí z hromadného vstupu-výstupu 82 vstupního bloku 8. Generování zápisového pulsu zajišťuje napěťový blok 7, který se ovládá kombinací dat vysílaných ze skupinového ovládacího výstupu 12 řídicího bloku 1 na skupinový ovládací vstup 71 napěťového bloku 7. Zápisový puls je dále podmíněn stavem signálu vysílaného z blokovacího výstupu 81 zadávacího bloku 8 na blokovací vstup 74 napěťového bloku 7. Hlavní podmínkou generování zápisového pulsu je napěťová úroveň ze silového výstupu 11 řídicího bloku 1 vysílaná na silový vstup 70 napěťového bloku 7. Napěťový puls se vysílá ze silového výstupu 73 napěťového bloku 7 na silový vstup 33 výkonového bloku 3, z jehož hromadného vstupu-výstupu 31 se společně s daty vysílá na hromadný vstup-výstup 40 objímkového bloku 4. Logická úroveň signálu vysílaného ze stavového výstupu 72 napěťového bloku 7 na stavový vstup 61 stavového bloku 6 udává schopnost napěťového bloku 7 generovat zápisové pulsy. Stav celého zapojení se charakterizuje kombinací dat vysílaných ze sku-

pinového stavového výstupu 60 stavového bloku 6 na skupinový stavový vstup 14 řídicího bloku 1. Podle této kombinace testuje řídicí blok 1 zapojení a podle dat ze zadávacího bloku 8 provádí řídicí blok 1 všechny činnosti, jimiž se ovládá celé zapojení. Ve druhém režimu činnosti se čte obsah zvoleného typu pevné paměti. Paměť je stále v uvolněném stavu a data se vysílají z hromadného vstupu-výstupu 40 objímkového bloku 4 na hromadný vstup-výstup 31 výkonového bloku 3 a z jeho skupinového datového výstupu 30 na skupinový datový vstup 51 oddělovacího bloku 5 a z jeho skupinového datového výstupu 50 na skupinový datový vstup 13 řídicího bloku 1. V režimu čtení dat se napěťový blok 7 uvede do klidového stavu, to znamená, že se negeneruje žádný zápisový puls a čtená pevná paměť se napájí standardním napájením.

Vynálezu se využije v oblasti mikroprocesorové a mikropočítačové techniky při zápisu dat do reprogramovatelných pevných pamětí.

PŘEDMĚT VYNÁLEZU

229 786

Zapojení pro zápis dat do reprogramovatelné pevné paměti, vyznačující se tím, že hromadný výstup(10) řídicího bloku (1) je spojen s hromadným vstupem (21) vstupního bloku (2), jehož ovládací vstup (22) je spojen s ovládacím výstupem (80) zadávacího bloku (8), jehož blokovací výstup (81) je spojen s blokovacím vstupem (74) napěťového bloku (7), jehož silový výstup (73) je spojen se silovým vstupem (33) výkonového bloku (3), jehož hromadný vstup (32) je spojen s hromadným výstupem (20) vstupního bloku (2), jehož skupinový adresní výstup (23) je spojen se skupinovým adresním vstupem (41) objímkového bloku (4), jehož hromadný vstup-výstup (40) je spojen s hromadným vstupem-výstupem (31) výkonového bloku (3), jehož skupinový datový výstup (30) je spojen se skupinovým datovým vstupem (51) oddělovacího bloku (5), jehož skupinový datový výstup (50) je spojen se skupinovým datovým vstupem (13) řídicího bloku (1), jehož skupinový stavový vstup(14) je spojen se skupinovým výstupem (60) stavového bloku (6), jehož stavový vstup (61) je spojen se stavovým výstupem (72) napěťového bloku (7), jehož skupinový ovládací vstup (71) je spojen se skupinovým ovládacím výstupem (12) řídicího bloku (1), jehož silový výstup(11) je spojen se silovým vstupem (70) napěťového bloku (7) a hromadný vstup-výstup (15) řídicího bloku (1) je spojen s hromadným vstupem-výstupem (82) zadávacího bloku (8).

1 výkres

