



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0041664
(43) 공개일자 2020년04월22일

(51) 국제특허분류(Int. Cl.)
H03L 7/089 (2006.01) H03L 7/093 (2006.01)
H03L 7/099 (2006.01)
(52) CPC특허분류
H03L 7/089 (2013.01)
H03L 7/093 (2013.01)
(21) 출원번호 10-2018-0122043
(22) 출원일자 2018년10월12일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
신성균
경기도 수원시 영통구 영통로200번길 156, 1001동 601호(망포동, 방죽마을영통뜨란채)
범진욱
서울특별시 강남구 도곡로78길 22, 103동 1205호 (대치동, 대치삼성아파트)
(뒷면에 계속)
(74) 대리인
리엔목특허법인

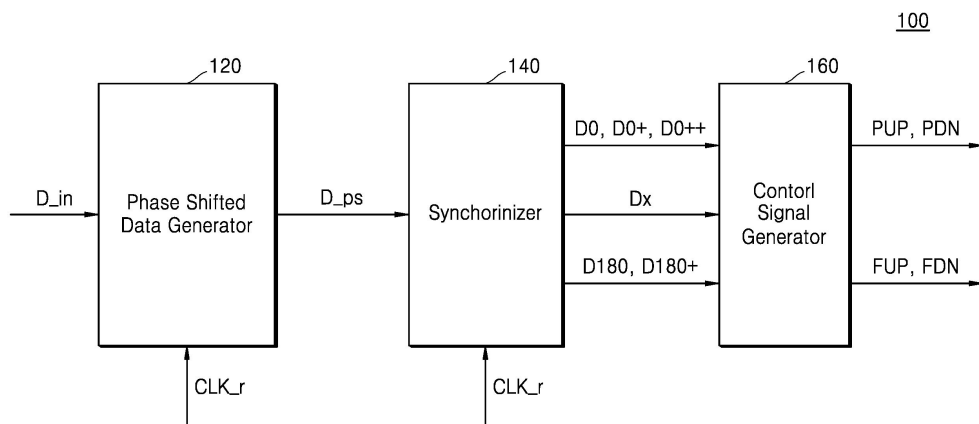
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 클락 신호의 주파수 및 위상을 감지하는 집적 회로 및 이를 포함하는 클락 및 데이터 복원 회로

(57) 요약

본 개시에 따르면, 집적 회로는, 적어도 하나의 위상 천이 클락 신호를 기초로, 입력 데이터 신호로부터 복수의 위상 천이 데이터 신호들을 생성하도록 구성되는 위상 천이 데이터 신호 생성 회로, 위상 천이 데이터 신호 생성 회로로부터 제공된 복수의 위상 천이 데이터 신호들에 적어도 하나의 위상 천이 클락 신호를 적용함으로써 복수의 동기화 데이터 신호들을 생성하도록 구성되는 동기화 회로, 및 복수의 동기화 데이터 신호들에 논리 연산을 수행함으로써, 적어도 하나의 위상 천이 클락 신호의 위상을 제어하기 위한 위상 제어 신호 및 적어도 하나의 위상 천이 클락 신호의 주파수를 제어하기 위한 주파수 제어 신호를 생성하도록 구성되는 제어 신호 생성 회로를 포함할 수 있다.

대표도



(52) CPC특허분류

H03L 7/099 (2013.01)

(72) 발명자

여장치

서울특별시 마포구 백범로 35, R관 815호(신수동,
서강대학교)

이대웅

서울특별시 양천구 목동중앙본로20길 69, 202호(목
동)

곽명보

서울특별시 서초구 효령로72길 57, A동 1606호(서
초동, 서초트라팰리스)

신종신

경기도 용인시 수지구 신봉2로 26, 121동 602호(신
봉동, 신봉마을엘지자이1차아파트)

최정명

경기도 용인시 수지구 현암로 100-6, 101동 1002
호(죽전동, 우미이노스빌)

명세서

청구범위

청구항 1

집적 회로에 있어서,

적어도 하나의 위상 천이 클락 신호를 기초로, 입력 데이터 신호로부터 복수의 위상 천이 데이터(phase shifted data) 신호들을 생성하도록 구성되는 위상 천이 데이터 신호 생성 회로;

상기 위상 천이 데이터 신호 생성 회로로부터 제공된 상기 복수의 위상 천이 데이터 신호들에 상기 적어도 하나의 위상 천이 클락 신호를 적용함으로써 복수의 동기화 데이터 신호들을 생성하도록 구성되는 동기화 회로; 및

상기 복수의 동기화 데이터 신호들에 논리 연산을 수행함으로써, 상기 적어도 하나의 위상 천이 클락 신호의 위상을 제어하기 위한 위상 제어 신호 및 상기 적어도 하나의 위상 천이 클락 신호의 주파수를 제어하기 위한 주파수 제어 신호를 생성하도록 구성되는 제어 신호 생성 회로를 포함하는 집적 회로.

청구항 2

제1항에 있어서,

상기 적어도 하나의 위상 천이 클락 신호는,

일정한 제1 간격의 위상 차를 갖도록 구성되는 복수의 균등 분할 클락 신호들; 및

상기 복수의 균등 분할 클락 신호들 중 하나의 클락 신호와 상기 제1 간격보다 작은 제2 간격의 위상 차를 갖도록 구성되는 적어도 하나의 비균등 분할 클락 신호를 포함하는 것을 특징으로 하는 집적 회로.

청구항 3

제2항에 있어서,

상기 동기화 회로는,

상기 복수의 균등 분할 클락 신호들의 위상에 동기화 된 복수의 균등 분할 동기화 데이터 신호들 및 상기 적어도 하나의 비균등 분할 클락 신호의 위상에 동기화 된 적어도 하나의 비균등 분할 동기화 데이터 신호를 상기 복수의 동기화 데이터 신호들로서 생성하고, 상기 복수의 동기화 데이터 신호들을 상기 제어 신호 생성 회로에 제공하는 것을 특징으로 하는 집적 회로.

청구항 4

제3항에 있어서,

상기 제어 신호 생성 회로는,

상기 복수의 균등 분할 동기화 데이터 신호들을 기초로 상기 위상 제어 신호를 생성하고, 상기 복수의 균등 분할 동기화 데이터 신호들 및 적어도 하나의 비균등 분할 동기화 데이터 신호를 기초로 상기 주파수 제어 신호를 생성하는 것을 특징으로 하는 집적 회로.

청구항 5

제2항에 있어서,

상기 복수의 균등 분할 클락 신호들은,

기준 클락 신호; 및

상기 기준 클락 신호와 180도의 위상 차를 갖는 반전 클락 신호를 포함하고,

상기 적어도 하나의 비균등 분할 클락 신호는,

상기 기준 클락 신호와 90도의 위상 차를 갖는 클락 신호 및 상기 반전 클락 신호와 90도의 위상 차를 갖는 클락 신호 중 적어도 하나를 포함하는 것을 특징으로 하는 집적 회로.

청구항 6

제2항에 있어서,

상기 복수의 균등 분할 클락 신호들은,

기준 클락 신호; 및

상기 기준 클락 신호와 180도의 위상 차를 갖는 반전 클락 신호를 포함하고,

상기 적어도 하나의 비균등 분할 클락 신호는,

상기 기준 클락 신호와 P도(P는 90 이하의 양의 실수(real number))의 위상 차를 갖는 클락 신호 및 상기 반전 클락 신호와 Q도(Q는 90 이하의 양의 실수)의 위상 차를 갖는 클락 신호 중 적어도 하나를 포함하는 것을 특징으로 하는 집적 회로.

청구항 7

제2항에 있어서,

상기 복수의 균등 분할 클락 신호들은,

기준 클락 신호; 및

상기 기준 클락 신호와 90도의 자연수 배수의 위상 차를 갖는 복수의 쿼터 클락 신호들을 포함하고,

상기 적어도 하나의 비균등 분할 클락 신호는,

상기 기준 클락 신호와 45도의 위상 차를 갖는 클락 신호 및 상기 복수의 쿼터 클락 신호들로부터 45도의 위상 차를 갖는 클락 신호들 중 적어도 하나를 포함하는 것을 특징으로 하는 집적 회로.

청구항 8

제2항에 있어서,

상기 복수의 균등 분할 클락 신호들은,

기준 클락 신호; 및

상기 기준 클락 신호와 90도의 자연수 배수의 위상 차를 갖는 복수의 쿼터 클락 신호들을 포함하고,

상기 적어도 하나의 비균등 분할 클락 신호는,

상기 기준 클락 신호와 P도(P는 45 이하의 양의 실수(real number))의 위상 차를 갖는 클락 신호 및 상기 복수의 쿼터 클락 신호들과 Q도(Q는 45 이하의 양의 실수)의 위상 차를 갖는 클락 신호들 중 적어도 하나를 포함하는 것을 특징으로 하는 집적 회로.

청구항 9

클락 및 데이터 복원 회로에 있어서,

입력 데이터 신호 및 기준 클락 신호를 기초로, 상기 기준 클락 신호의 위상을 제어하기 위한 위상 제어 신호 및 상기 기준 클락 신호의 주파수를 제어하기 위한 주파수 제어 신호를 생성하는 위상 및 주파수 감지 회로;

상기 위상 및 주파수 감지 회로로부터 제공되는 상기 위상 제어 신호 및 상기 주파수 제어 신호를 기초로, 상기 기준 클락 신호의 주파수를 제어하기 위한 주파수 제어 워드(frequency control word)를 생성하는 루프 필터; 및

상기 루프 필터로부터 제공되는 주파수 제어 워드에 기초해 발진함으로써 상기 기준 클락 신호를 생성하도록 구성되는 발진기를 포함하는 클락 및 데이터 복원 회로.

청구항 10

제9항에 있어서,

상기 발진기는, 상기 기준 클락 신호를 포함하는 복수의 위상 천이 클락 신호들을 생성하고, 상기 복수의 위상 천이 클락 신호들을 상기 위상 및 주파수 감지 회로에 제공하고,

상기 위상 및 주파수 감지 회로는,

상기 복수의 위상 천이 클락 신호들을 기초로 상기 입력 데이터 신호를 포획(capture) 함으로써, 상기 위상 제어 신호 및 상기 주파수 제어 신호를 생성하는 것을 특징으로 하는 클락 및 데이터 복원 회로.

발명의 설명

기술 분야

[0001] 본 개시의 기술적 사상은 집적 회로, 및 클락 및 데이터 복원 회로에 관한 것으로서, 자세하게는 입력 데이터 신호와 클락 신호 간의 위상 및 주파수 에러를 간편하게 동시에 추적함으로써 빠른 시간 내에 목표 주파수를 찾을 수 있도록 하는 집적 회로 및 클락 및 데이터 복원 회로에 관한 것이다.

배경 기술

[0002] 종래의 CDR(clock and data recovery) 기술은 입력 데이터를 분주하여 고정적인 기준 클락 신호를 생성할 수 있고, 이를 이용해 주파수 잠금 루프를 동작시킴으로써 목표 주파수를 찾아갈 수 있다. 지금까지의 CDR에서는 주파수 검출은 불가능하고, 위상검출만 가능한 위상 검출기(phase detector)를 사용하여 왔기에, 별도의 기준 주파수 발생기(reference frequency clock generator)를 이용하여 주파수를 조정하는 회로가 필요해 왔다. 최근에는 기준 주파수 발생기가 필요 없는 referenceless CDR 기술이 개발되고 있다. Referenceless CDR 기술에는 입력 데이터에서 일정한 확률로 정해진 0에서 1 혹은 1에서 0으로의 변환 확률을 정하여, 오랜 시간 동안 변환수를 측정하여 대략적인 주파수를 예측하는 stochastic 방법이 적용되고 있다. 이러한 종래 기술은 입력 데이터로부터 분주되는 과정에서 부정확한 기준 클락 신호가 주파수 고정 루프를 통해 최종적인 고정 주파수로 설정될 수 있고, 분주 방식의 특성상 기준 클락 신호가 느려져 주파수가 고정될 때까지 시간이 많이 소요되는 단점이 있었다.

발명의 내용

해결하려는 과제

[0003] 본 개시의 기술적 사상은 집적 회로 및 클락 및 데이터 복원 회로에 있어서, 입력 데이터 신호와 클락 신호 간의 위상 및 주파수 에러를 간편하게 동시에 추적함으로써 빠른 시간 내에 목표 주파수를 찾아갈 수 있도록 하는 집적 회로 및 클락 및 데이터 복원 회로를 제공한다.

과제의 해결 수단

[0004] 상기와 같은 목적을 달성하기 위하여, 본 개시의 기술적 사상의 일측면에 따른 집적 회로는, 적어도 하나의 위상 천이 클락 신호를 기초로, 입력 데이터 신호로부터 복수의 위상 천이 데이터 신호들을 생성하도록 구성되는 위상 천이 데이터 신호 생성 회로, 위상 천이 데이터 신호 생성 회로로부터 제공된 복수의 위상 천이 데이터 신호들에 적어도 하나의 위상 천이 클락 신호를 적용함으로써 복수의 동기화 데이터 신호들을 생성하도록 구성되는 동기화 회로, 및 복수의 동기화 데이터 신호들에 논리 연산을 수행함으로써, 적어도 하나의 위상 천이 클락 신호의 위상을 제어하기 위한 위상 제어 신호 및 적어도 하나의 위상 천이 클락 신호의 주파수를 제어하기 위한 주파수 제어 신호를 생성하도록 구성되는 제어 신호 생성 회로를 포함할 수 있다.

[0005] 본 개시의 기술적 사상의 일측면에 따른 클락 및 데이터 복원 회로는, 입력 데이터 신호 및 기준 클락 신호를 기초로, 기준 클락 신호의 위상을 제어하기 위한 위상 제어 신호 및 기준 클락 신호의 주파수를 제어하기 위한 주파수 제어 신호를 생성하는 위상 및 주파수 감지 회로, 위상 및 주파수 감지회로로부터 제공되는 위상 제어 신호 및 주파수 제어 신호를 기초로, 기준 클락 신호의 주파수를 제어하기 위한 주파수 제어 위드를 생성하는 루프 필터, 및 루프 필터로부터 제공되는 주파수 제어 위드에 기초해 발진함으로써 기준 클락 신호를 생성하도록 구성되는 발진기를 포함할 수 있다.

[0006] 본 개시의 기술적 사상의 일측면에 따른 위상 및 주파수를 동시에 감지하는 집적 회로는, 기준 클락 신호를 기

초로, 복수의 플립플롭들을 통해 입력 데이터 신호를 복수의 위상 천이 데이터 신호로 변환하도록 구성되는 위상 천이 데이터 생성 회로, 복수의 위상 천이 데이터 신호들을 기초로, 기준 클럭 신호를 기초로 사전 결정된 복수의 위상들에 대응되는 복수의 동기화 데이터 신호를 생성하도록 구성되는 동기화 회로, 및 동기화 회로로부터 제공되는 복수의 동기화 데이터 신호를 기초로, 기준 클럭 신호의 위상을 지연시키거나 당기도록 제어하기 위한 위상 제어 신호 및 기준 클럭 신호의 주파수를 증가시키거나 감소시키도록 제어하기 위한 주파수 제어 신호를 생성하도록 구성되는 제어 신호 생성 회로를 포함할 수 있다.

발명의 효과

- [0007] 본 개시의 예시적 실시 예에 따른 집적 회로 또는 클럭 및 데이터 복원 회로에 의하면, 입력 데이터 신호와 클럭 신호 간의 위상 및 주파수 에러를 간편하게 동시 추적함으로써 빠른 시간 내에 목표 주파수를 찾아갈 수 있다.
- [0008] 뿐만 아니라, 본 개시의 예시적 실시 예에 다른 집적 회로 또는 클럭 및 데이터 복원 회로에 의하면, 별도의 주파수 고정 루프 없이도 주파수 에러를 추적할 수 있으며, 빠르게 목표 주파수를 찾을 수 있기 때문에 전체 시스템 구조를 간소화할 수 있다.
- [0009] 상기 효과들이 개시되었지만, 특정 실시 예가 상기 효과를 전부 포함해야 한다거나 사익 효과 만을 포함해야 한다는 의미는 아니므로, 개시된 기술의 권리 범위는 이에 제한되는 것으로 이해되어서는 아니 될 것이다.

도면의 간단한 설명

- [0010] 도 1은 본 개시의 예시적 실시 예에 따른 클럭 및 데이터 복원 회로를 나타낸다.
- 도 2는 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기를 나타낸다.
- 도 3은 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기를 나타낸다.
- 도 4는 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기를 나타낸다.
- 도 5는 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기가 풀-레이트로 동작하는 경우 입력 데이터 신호 및 기준 클럭 신호를 나타낸다.
- 도 6a 내지 도 6c는 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기가 풀-레이트로 동작하는 경우 위상 제어 신호의 생성을 설명하기 위한 타이밍 도를 나타낸다.
- 도 7a 및 도 7b는 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기가 풀-레이트로 동작하고, 균등 분할 클럭 신호들 만을 이용해 입력 데이터 신호를 포획한 경우의 타이밍 도를 나타낸다.
- 도 7c는 위상 및 주파수 검출기가 풀-레이트로 동작하고, 균등 분할 클럭 신호들 만을 이용하는 경우, 발생할 수 있는 문제점을 설명하기 위한 타이밍 도를 나타낸다.
- 도 8a 내지 도 8d는 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기가 풀-레이트로 동작하고, 균등 분할 클럭 신호들 뿐 아니라 비균등 분할 클럭 신호를 이용해 입력 데이터 신호를 포획하는 경우의 타이밍 도를 나타낸다.
- 도 9는 본 개시의 예시적 실시 예에 따른 제어 신호 생성기를 나타낸다.
- 도 10은 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기를 나타낸다.
- 도 11은 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기가 하프-레이트로 동작하는 경우 입력 데이터 신호 기준 클럭 신호를 나타낸다.
- 도 12a 내지 도 12d는 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기가 하프-레이트로 동작하고, 균등 분할 클럭 신호들 뿐 아니라 비균등 분할 클럭 신호를 이용해 입력 데이터 신호를 포획하는 경우의 타이밍 도를 나타낸다.
- 도 13은 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기를 나타낸다.
- 도 14는 본 개시의 예시적 실시 예에 따른 루프 필터를 나타낸다.
- 도 15는 본 개시의 예시적 실시 예에 따른 루프 필터를 나타낸다.

도 16은 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기의 동작 주파수 대역과 주파수 에러 발생 횟수 간의 트랜스퍼 커브를 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명한다.
- [0012] 도 1은 본 개시의 예시적 실시 예에 따른 클락 및 데이터 복원 회로(10)를 나타낸다. 클락 및 데이터 복원 회로(10)는 위상 및 주파수 검출기(100), 디시리얼라이저(200), 루프 필터(300) 및 발진기(400)를 포함할 수 있다. 클락 및 데이터 복원 회로(10)는 입력 데이터 신호(D_in)의 신호 특성을 개선하는 이퀄라이저를 더 포함할 수 있다. 예를 들어, 클락 및 데이터 복원 회로(10)는 수신된 입력 데이터 신호(D_in)의 지터(jitter) 특성을 향상시키는 CTLE(Continuous-time equalizer)를 더 포함할 수 있다. 클락 및 데이터 복원 회로(10)는 입력 데이터 신호(D_in)를 수신할 수 있고, 클락 및 데이터를 복원할 수 있다. 일 실시 예에서, 클락 및 데이터 복원 회로(10)는 단일 루프의 레퍼런스 리스(reference-less) CDR(clock and data recovery) 회로로 구현될 수 있다.
- [0013] 위상 및 주파수 검출기(100)는 위상 및 주파수를 검출할 수 있다. 위상 및 주파수 검출기(100)는, 입력 데이터 신호(D_in) 및 기준 클락 신호(CLK_r)를 기초로, 기준 클락 신호(CLK_r)의 위상을 제어하기 위한 위상 제어 신호 및 기준 클락 신호(CLK_r)의 주파수를 제어하기 위한 주파수 제어 신호를 생성할 수 있다. 일 실시 예에서, 위상 제어 신호는 위상 당김 신호(PUP) 및 위상 지연 신호(PDN)를 포함할 수 있고, 주파수 제어 신호는 주파수 증가 신호(FUP) 및 주파수 감소 신호(FDN)를 포함할 수 있다. 일 실시 예에서, 위상 및 주파수 검출기(100)는 발진기(400)로부터 기준 클락 신호(CLK_r)를 포함하는 복수의 위상 천이 클락 신호들을 제공받을 수 있고, 복수의 위상 천이 클락 신호들과 입력 데이터 신호(D_in) 사이의 위상 및 주파수 차이를 검출함으로써 상기 위상 제어 신호 및 상기 주파수 제어 신호를 생성할 수 있다. 위상 및 주파수 검출기(100)는 복수의 위상 천이 클락 신호들 중 하나를 통해 입력 데이터 신호를 확인함으로써 복원 데이터를 출력할 수 있다. 위상 및 주파수 검출기(100)는 위상 및 주파수 검출 회로로서 지칭될 수 있다.
- [0014] 디시리얼라이저(deserializer; 200)는 위상 및 주파수 검출기(100)에 의해 생성된 위상 제어 신호 및 주파수 제어 신호를 각각 병렬 위상 제어 신호 및 병렬 주파수 제어 신호로 병렬화 할 수 있다. 병렬 위상 제어 신호는 병렬화 된 위상 당김 신호(dPUP) 및 병렬화 된 위상 지연 신호(dPDN)를 포함할 수 있으며, 병렬 주파수 제어 신호는 병렬화 된 주파수 증가 신호(dFUP) 및 병렬화 된 주파수 감소 신호(dFDN)를 포함할 수 있다. 디시리얼라이저(200)는 다-멀티플렉서로 구현될 수 있으며, 위상 제어 신호 및 주파수 제어 신호를 특정 비트수로 표현되는 신호로 역다중화(de-multiplexing) 할 수 있다. 디시리얼라이저(200)는 병렬 위상 제어 신호 및 병렬 주파수 제어 신호를 루프 필터(300)에 제공할 수 있다.
- [0015] 루프 필터(300)는 병렬 위상 제어 신호 및 병렬 주파수 제어 신호를 필터링 할 수 있고, 필터링 된 신호들을 기초로 기준 클락 신호(CLK_r)의 주파수를 제어하기 위한 주파수 제어 워드(frequency control word; FCW)를 생성할 수 있다. 루프 필터(300)는 생성된 주파수 제어 워드(FCW)를 발진기(400)에 제공할 수 있다.
- [0016] 일 실시 예에서, 주파수 제어 신호가 주파수의 증가를 나타내는 경우, 루프 필터(300)는 발진기(400)가 기준 클락 신호(CLK_r)의 주파수를 상승시키도록 주파수 제어 워드(FCW)를 생성할 수 있다. 예를 들어, 주파수 증가 신호(FUP)가 제1 논리 값(예를 들어, '1')을 나타내는 경우, 루프 필터(300)는 발진기(400)가 기준 클락 신호(CLK_r)의 주파수를 상승시키도록 주파수 제어 워드(FCW)를 생성할 수 있다. 마찬가지로, 일 실시 예에서, 주파수 제어 신호가 주파수의 감소를 나타내는 경우, 루프 필터(300)는 발진기(400)가 기준 클락 신호(CLK_r)의 주파수를 감소시키도록 주파수 제어 워드(FCW)를 생성할 수 있다. 예를 들어, 주파수 감소 신호(FDN)가 제1 논리 레벨(예를 들어, '1')을 나타내는 경우, 루프 필터(300)는 발진기(400)가 기준 클락 신호(CLK_r)를 감소시키도록 주파수 제어 워드(FCW)를 생성할 수 있다.
- [0017] 또한, 일 실시 예에서, 루프 필터(300)는 입력 데이터 신호(D_in)와 기준 클락 신호(CLK_r)의 주파수가 매칭되면 주파수 고정을 결정할 수 있고, 주파수 고정을 결정한 뒤 위상 제어 신호를 기초로 주파수 제어 워드(FCW)를 생성할 수 있다.
- [0018] 발진기(400)는, 루프 필터(300)로부터 제공되는 주파수 제어 워드(FCW)에 기초해 발진함으로써 기준 클락 신호(CLK_r)를 생성할 수 있다. 일 실시 예에서, 발진기(400)는 기준 클락 신호(CLK_r)를 포함하는 복수의 위상 천이 클락 신호들을 생성할 수 있고, 복수의 위상 천이 클락 신호들을 위상 및 주파수 검출기(100)에 제공할 수 있다. 일 실시 예에서, 발진기(400)는 복수의 위상 천이 클락 신호들을 입력 데이터 신호(D_in)와의 관계에서 풀-레이트(full-rate), 하프-레이트(half-rate), 쿼터-레이트(quarter-rate) 및 그 이상의 레이트로 생성할 수

있다. 발진기(400)가 복수의 위상 천이 클락 신호들을 폴-레이트로 생성하는 실시 예는 도 3 내지 도 9를 참조해 보다 자세히 설명될 것이며, 발진기(400)가 복수의 위상 천이 클락 신호들을 하프-레이트로 생성하는 실시 예는 도 10 내지 도 12d를 참조해 보다 자세히 설명될 것이다. 쿼터-레이트 또는 그 이상의 레이트에 대응되는 실시 예는 폴-레이트 및 하프-레이트와 동일한 방식에 의해 동작할 수 있는 것으로 충분히 이해될 수 있을 것이다. 일 실시 예에서, 발진기(400)는 디지털 제어 발진기(digital controlled oscillator; DCO)로 구현될 수 있다.

[0019] 일 실시 예에서, 복수의 위상 천이 클락 신호들은, 일정한 제1 위상 간격의 위상 차를 갖는 복수의 균등 분할 클락 신호들을 포함할 수 있다. 기준 클락 신호(CLK_r)는 복수의 균등 분할 클락 신호들에 포함될 수 있다. 또한, 복수의 위상 천이 클락 신호들은, 복수의 균등 분할 클락 신호들 중 하나의 클락 신호와 제2 위상 간격의 위상 차를 갖도록 구성되는 적어도 하나의 비균등 분할 클락 신호를 더 포함할 수 있다. 복수의 위상 천이 클락 신호들에 대해서는, 이하의 도면들을 통해 더욱 자세히 설명된다.

[0020] 도 2는 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기(100)를 나타낸다. 위상 및 주파수 검출기(100)에 관한 도 1과 중복되는 설명은 생략한다. 도 2의 위상 및 주파수 검출기(100)는 집적 회로(integrated circuit)로 구현될 수 있으며, 도 1과 같은 CDR(clock and data recovery circuit)에 사용되거나, PLL(Phase Locked Loop)에 사용될 수 있다.

[0021] 위상 및 주파수 검출기(100)는 위상 천이 데이터 생성기(120), 동기화 장치(synchronizer; 140) 및 제어 신호 생성기(160)를 포함할 수 있다.

[0022] 위상 천이 데이터 생성기(120)는 입력 데이터 신호(D_{in}) 및 기준 클락 신호(CLK_r)를 수신할 수 있다. 일 실시 예에서, 위상 천이 데이터 생성기(120)는 기준 클락 신호(CLK_r)를 포함하는 적어도 하나의 위상 천이 클락 신호를 수신할 수 있다. 위상 천이 데이터 생성기(120)는 적어도 하나의 위상 천이 클락 신호를 기초로, 입력 데이터 신호(D_{in})로부터 복수의 위상 천이 데이터 신호들(phase shifted data; D_{ps})을 생성할 수 있다. 일 실시 예에서, 위상 천이 데이터 생성기(120)는, 적어도 하나의 위상 천이 클락 신호의 상승 엣지 및/또는 하강 엣지에서 입력 데이터 신호(D_{in})를 포획(capture)함으로써 복수의 위상 천이 데이터 신호들(D_{ps})을 생성할 수 있다. 이를 위해, 위상 천이 데이터 생성기(120)는 복수의 플립플롭들을 포함할 수 있다. 위상 천이 데이터 생성기(120)는 위상 천이 데이터 생성 회로로 지칭될 수 있다.

[0023] 동기화 장치(140)는 위상 천이 데이터 생성기(120)로부터 제공된 복수의 위상 천이 데이터 신호들(D_{ps})에 적어도 하나의 위상 천이 클락 신호를 적용함으로써 복수의 동기화 데이터 신호들을 생성할 수 있다. 일 실시 예에서, 복수의 동기화 데이터 신호들은, 기준 클락 신호(CLK_r)의 위상을 기초로 생성되는 데이터(D0), 데이터(D0+), 데이터(D0++) 및 반전된 기준 클락 신호의 위상을 기초로 생성되는 데이터(D180), 데이터(D180+)를 포함할 수 있다. 복수의 동기화 데이터 신호들에 대해서는 이하의 도면들을 통해 보다 자세히 설명된다. 동기화 장치(140)는 동기화 회로로 지칭될 수 있다.

[0024] 제어 신호 생성기(160)는 복수의 동기화 데이터 신호들에 논리 연산을 수행함으로써, 적어도 하나의 위상 천이 클락 신호의 위상을 제어하기 위한 위상 제어 신호 및 적어도 하나의 위상 천이 클락 신호의 주파수를 제어하기 위한 주파수 제어 신호를 생성할 수 있다. 예를 들어, 제어 신호 생성기(160)는 복수의 동기화 데이터 신호들 중 적어도 일부에 논리합(OR), 논리곱(AND), 논리부정(NOT), 부정 논리합(NOR), 부정 논리곱(NAND), 배타적 논리합(XOR) 및 배타적 부정 논리합(XNOR) 중 적어도 일부를 이용하여 논리 연산을 수행할 수 있다. 제어 신호 생성기(160)는 논리 연산을 통해 입력 데이터 신호(D_{in})와 기준 클락 신호(CLK_r) 사이의 위상 및 주파수 차이를 검출할 수 있다. 제어 신호 생성기(160)는 제어 신호 생성 회로로 지칭될 수 있다.

[0025] 일 실시 예에서, 위상 제어 신호는 위상 당김 신호(PUP 또는 phase up) 및 위상 지연 신호(PDN 또는 phase down)를 포함할 수 있다. 제어 신호 생성기(160)의 논리 연산에 따라 기준 클락 신호(CLK_r)의 위상이 입력 데이터 신호(D_{in})의 위상보다 느린 경우, 제어 신호 생성기(160)는 제1 논리 레벨(예를 들어, '1')의 위상 당김 신호(PUP)를 생성할 수 있다. 마찬가지로, 제어 신호 생성기(160)의 논리 연산에 따라 기준 클락 신호(CLK_r)의 위상이 입력 데이터 신호(D_{in})의 위상보다 빠른 경우, 제어 신호 생성기(160)는 제1 논리 레벨(예를 들어, '1')의 위상 지연 신호(PDN)를 생성할 수 있다.

[0026] 일 실시 예에서, 주파수 제어 신호는 주파수 증가 신호(FUP 또는 frequency up) 및 주파수 감수 신호(FDN 또는 frequency down)를 포함할 수 있다. 제어 신호 생성기(160)의 논리 연산에 따라 기준 클락 신호(CLK_r)의 주파수가 작은 경우, 제어 신호 생성기(160)는 제1 논리 레벨(예를 들어, '1')의 주파수 증가 신호(FUP)를 생성할

수 있다. 마찬가지로, 제어 신호 생성기(160)의 논리 연산에 따를 때 기준 클락 신호(CLK_r)의 주파수가 큰 경우, 제어 신호 생성기(160)는 제1 논리 레벨(예를 들어, '1')의 주파수 감소 신호(FDN)를 생성할 수 있다.

[0027] 도 3은 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기(100)를 나타낸다. 위상 및 주파수 검출기(100)에 대한 도 1 및 도 2와 중복되는 설명은 생략한다. 도 3은 특히, 위상 및 주파수 검출기(100)가 폴-레이트로 동작하는 실시 예를 나타내는 것일 수 있다.

[0028] 위상 천이 데이터 생성기(120)는 복수의 플립플롭들을 포함할 수 있다. 예를 들어, 위상 천이 데이터 생성기(120)는 제1 플립플롭(121), 제2 플립플롭(122), 제3 플립플롭(123) 및 제4 플립플롭(124)을 포함할 수 있다. 일 실시 예에서, 제1 플립플롭(121)은 기준 클락 신호(CLK_r)를 이용하여 입력 데이터 신호(D_{in})로부터 제1 데이터 신호(D1)를 생성할 수 있다. 일 실시 예에서, 제2 플립플롭(122)은 클락 신호(CLK_x)를 이용하여 입력 데이터 신호(D_{in})로부터 제2 데이터 신호(D2)를 생성할 수 있다. 일 실시 예에서, 제3 플립플롭(123)은 반전된 기준 클락 신호(CLK_{rinv})를 이용하여 입력 데이터 신호(D_{in})로부터 반전된 제1 데이터 신호(D1_{inv})를 생성할 수 있다. 일 실시 예에서, 제4 플립플롭(124)은 클락 신호(CLK_{xinv})를 이용하여 입력 데이터 신호(D_{in})로부터 반전된 제2 데이터 신호(D2_{inv})를 생성할 수 있다. 여기서, 반전된 기준 클락 신호(CLK_{rinv})는 기준 클락 신호(CLK_r)와 180도(π)의 위상 차를 갖는 클락 신호일 수 있다. 기준 클락 신호(CLK_r)와 반전된 기준 클락 신호(CLK_{rinv})를 통틀어 균등 분할 클락 신호들이라 칭할 수 있다. 다시 말해, 균등 분할 클락 신호들은 일정한 제1 위상 간격의 위상 차를 갖도록 구성될 수 있는데, 제1 위상 간격이 180도(π)일 수 있다. 클락 신호(CLK_x)는 균등 분할 클락 신호들 중 하나의 클락 신호와 제2 위상 간격의 위상 차를 가질 수 있다. 제2 위상 간격은 제1 위상 간격인 180도(π)보다 작은 값을 가질 수 있다. 이 때, 클락 신호(CLK_x)는 비균등 분할 클락 신호라 지칭될 수 있다. 비제한적인 예시로서, 클락 신호(CLK_x)는 기준 클락 신호(CLK_r)와 90도($\pi/2$)의 위상 차를 가질 수 있으며, 또는 반전된 기준 클락 신호(CLK_{rinv})와 90도($\pi/2$)의 위상 차를 가질 수 있다.

[0029] 도 4는 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기(100)를 나타낸다. 위상 및 주파수 검출기(100)에 대한 도 1 내지 도 3과 중복되는 설명은 생략한다. 도 4는 특히, 위상 및 주파수 검출기(100)가 폴-레이트로 동작하는 실시 예를 나타내는 것일 수 있다.

[0030] 설명의 편의를 위해, 도 4는 제2 플립플롭(122)이 기준 클락 신호(CLK_r)와 90도의 위상 차를 갖는 쿼터 클락 신호(CLK_q)를 기초로 동작하고, 제4 플립플롭(124)은 반전된 쿼터 클락 신호(CLK_{qinv})를 기초로 동작하는 실시 예를 도시한다.

[0031] 동기화 장치(140)는 복수의 플립플롭들을 포함할 수 있다. 예를 들어, 제1 플립플롭(121)으로부터 출력되는 제1 데이터 신호(D1)는 세 개의 플립플롭들을 통해 출력될 수 있다. 제1 데이터 신호(D1)가 통과하는 세 개의 플립플롭들은 모두 기준 클락 신호(CLK_r)를 기초로 동작할 수 있다. 특정 시간을 기준으로 설명하면, 제1 데이터 신호(D1)는 플립플롭들을 통과함에 따라 위상이 변화할 수 있다. 예를 들어, 제1 데이터 신호(D1)는 플립플롭들을 통과함에 따라 순차적으로 데이터(D0++), 데이터(D0+) 및 데이터(D0)으로 나타날 수 있다.

[0032] 설명의 편의를 위해, 기호에 대해 설명한다. 데이터(D0)는 기준이 되는 위상이 0인 데이터를 의미한다. 데이터(D0+)는 데이터(D0)와 360도(2π)의 위상 차를 갖는 데이터를 의미하며, 데이터(D0++)는 데이터(D0+)와 360도(2π)의 위상 차를 갖는 데이터를 의미한다. 다시 말해, 데이터(D0++)는 데이터(D0)와 720도(4π)의 위상 차를 갖는 데이터를 의미한다. 또한 마찬가지로, 데이터(D90)는 데이터(D0)와 90도($\pi/2$)의 위상 차를 갖는 데이터를 의미하며, 데이터(D90+)는 데이터(D90)와 360도(2π)의 위상 차를 갖는 데이터를 의미한다. 다시 말해, 데이터(D90+)는 데이터(D0)와 450도($5\pi/2$)의 위상 차를 갖는 데이터를 의미한다. 다른 데이터 표기에 대해서도 마찬가지로의 방식을 통해 이해될 수 있을 것이다.

[0033] 마찬가지로, 제3 플립플롭(123)으로부터 출력되는 반전된 제1 데이터 신호(D1_{inv})는 세 개의 플립플롭들을 통해 출력될 수 있다. 반전된 제1 데이터 신호(D1_{inv})가 통과하는 세 개의 플립플롭들 각각은 반전된 기준 클락 신호(CLK_{rinv}), 기준 클락 신호(CLK_r) 및 기준 클락 신호(CLK_r)를 기초로 동작할 수 있다. 특정 시간을 기준으로 설명하면, 반전된 제1 데이터 신호(D1_{inv})는 플립플롭들을 통과함에 따라 위상이 변화할 수 있다. 예를 들어, 반전된 제1 데이터 신호(D1_{inv})는 플립플롭들을 통과함에 따라 순차적으로 데이터(D180++), 데이터(D180+) 및 데이터(D180)으로 나타날 수 있다.

[0034] 제2 플립플롭(122) 및 제4 플립플롭(124)으로부터 출력된 데이터들 또한 마찬가지로의 방식에 의해 동기화 될 수 있다.

[0035] 결과적으로, 동기화 장치(140)는 균등 분할 클락 신호들에 동기화 된 데이터들(D0, D0+, D0++, D180, D180++)을

출력할 수 있고, 비균등 분할 클락 신호에 의해 동기화 된 데이터들(D90+, D270+) 중 적어도 하나를 출력할 수 있다. 이하의 도면들을 통해 위상 및 주파수 검출기(100)의 동작에 대해 설명한다.

- [0036] 도 5는 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기(100)가 폴-레이트로 동작하는 경우 입력 데이터 신호(D_in) 및 기준 클락 신호(CLK_r)를 나타낸다. 도 5는 도 1 내지 도 4를 함께 참조하여 설명된다.
- [0037] 위상 및 주파수 검출기(100)가 도 5와 같이 폴-레이트로 동작하는 경우, 정상적인 상황이라면, 입력 데이터 신호(D_in)의 주파수와 기준 클락 신호(CLK_r)의 주파수는 동일하다. 다시 말해, 기준 클락 신호(CLK_r)의 상승 엣지는 입력 데이터 신호(D_in)의 동일한 위상에 정렬됨으로써, 위상 및 주파수 검출기(100)는 일정한 시간 마다 입력 데이터 신호(D_in)를 포획(capture)할 수 있다.
- [0038] 도 6a 내지 도 6c는 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기(100)가 폴-레이트로 동작하는 경우 위상 제어 신호의 생성을 설명하기 위한 타이밍 도를 나타낸다. 특히, 도 6a는 기준 클락 신호(CLK_r)의 위상이 입력 데이터 신호(D_in)의 위상과 동일한 경우를 나타내고, 도 6b는 기준 클락 신호(CLK_r)의 위상이 입력 데이터 신호의 위상보다 느린 경우를 나타내고, 도 6c는 기준 클락 신호(CLK_r)의 위상이 입력 데이터 신호의 위상보다 빠른 경우를 나타낸다. 도 6a 내지 도 6c는 도 1 내지 도 4를 함께 참조하여 설명된다.
- [0039] 도 6a를 참조하면, 동기화 장치(140)에 의해 포획되는 데이터는 데이터들(D0, D180, D0+, D180+, D0++)일 수 있다. 입력 데이터 신호(D_in)가 '010' 또는 '101'을 나타내는 경우, 특히 '010'을 나타내는 경우를 가정한다. 동기화 장치(140)에 의해 포획된 데이터들 중 데이터(D0), 데이터(D0+) 및 데이터(D0++)는 입력 데이터 신호(D_in)의 데이터 윈도우 중앙에 정렬될 수 있다. 또한, 동기화 장치(140)에 의해 포획된 데이터들 중 데이터(D180) 및 데이터(D180+)는 입력 데이터 신호(D_in)의 엣지에 정렬될 수 있다.
- [0040] 반면 도 6b를 참조하면, 동기화 장치(140)에 의해 포획되는 데이터는 데이터들(D0, D180, D0+, D180+, D0++)일 수 있다. 기준 클락 신호(CLK_r)의 위상이 입력 데이터 신호(D_in)의 위상보다 느리기 때문에, 동기화 장치(140)에 의해 포획되는 데이터들 또한 입력 데이터 신호(D_in)에 비해 위상이 느릴 수 있다. 이 때, 도 6a와 달리, 도 6b의 데이터(D180+)는 '0'의 값을 나타낼 수 있다. 다시 말해, 데이터 입력 신호(D_in)가 '010'을 나타내는 경우, 데이터(D0+) 및 데이터(D180+) 각각은 '1' 및 '0'을 나타내기 때문에, 제어 신호 생성기(160)는 데이터(D0+) 및 데이터(D180+)를 기초로 제1 논리 레벨(예를 들어, '1')의 위상 당김 신호(PUP)를 출력할 수 있다. 비제한적인 예시로서, 제어 신호 생성기(160)는 데이터(D0+) 및 데이터(D180+)에 XOR 연산을 수행함으로써 제1 논리 레벨의 위상 당김 신호(PUP)를 출력할 수 있다. 다른 예시로서, 데이터 입력 신호(D_in)가 '101'을 나타내는 경우에도, 데이터(D0+) 및 데이터(D180+) 각각은 '0' 및 '1'을 나타낼 것이기 때문에, 제어 신호 생성기(160)는 이에 기초해 위상 당김 신호(PUP)를 출력할 수 있다. 이와 같이, 기준 클락 신호(CLK_r)의 위상이 입력 데이터 신호(D_in)의 위상보다 느린 경우, 위상 및 주파수 검출기(100)가 제1 논리 레벨의 위상 당김 신호(PUP)를 출력함으로써 클락 및 데이터 복원 회로(10)는 기준 클락 신호(CLK_r)의 위상을 앞당김으로써 시스템의 동작을 정상화 할 수 있다.
- [0041] 마찬가지로 도 6c를 참조하면, 동기화 장치(140)에 의해 포획되는 데이터는 데이터들(D0, D180, D0+, D180+, D0++)일 수 있다. 기준 클락 신호(CLK_r)의 위상이 입력 데이터 신호(D_in)의 위상보다 빠르기 때문에, 동기화 장치(140)에 의해 포획되는 데이터들 또한 입력 데이터 신호(D_in)에 비해 위상이 빠를 수 있다. 이 때, 도 6a와 달리, 도 6b의 데이터(D180)는 '1'의 값을 나타낼 수 있다. 다시 말해, 데이터 입력 신호(D_in)가 '010'을 나타내는 경우, 데이터(D180) 및 데이터(D0+) 각각은 '0' 및 '1'을 나타내기 때문에, 제어 신호 생성기(160)는 데이터(D180) 및 데이터(D0+)를 기초로 제1 논리 레벨(예를 들어, '1')의 위상 지연 신호(PDN)를 출력할 수 있다. 비제한적인 예시로서, 제어 신호 생성기(160)는 데이터(D180) 및 데이터(D0+)에 XOR 연산을 수행함으로써 제1 논리 레벨의 위상 지연 신호(PDN)를 출력할 수 있다. 다른 예시로서, 데이터 입력 신호(D_in)가 '101'을 나타내는 경우에도, 데이터(D180) 및 데이터(D0+) 각각은 '1' 및 '0'을 나타낼 것이기 때문에, 제어 신호 생성기(160)는 이에 기초해 위상 지연 신호(PDN)를 출력할 수 있다. 이와 같이, 기준 클락 신호(CLK_r)의 위상이 입력 데이터 신호(D_in)의 위상보다 빠른 경우, 위상 및 주파수 검출기(100)가 제1 논리 레벨의 위상 지연 신호(PDN)를 출력함으로써 클락 및 데이터 복원 회로(10)는 기준 클락 신호(CLK_r)의 위상을 지연시킴으로써 시스템의 동작을 정상화 할 수 있다.
- [0042] 도 7a 및 도 7b는 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기(100)가 폴-레이트로 동작하고, 균등 분할 클락 신호들 만을 이용해 입력 데이터 신호(D_in)를 포획한 경우의 타이밍 도를 나타낸다. 특히, 도 7a는 기준 클락 신호(CLK_r)의 주파수가 입력 데이터 신호(D_in)의 주파수보다 작은 경우를 나타내고, 도 7b는 기준 클락 신호(CLK_r)의 주파수가 입력 데이터 신호의 주파수보다 큰 경우를 나타낸다. 도 7a 및 도 7b는 도 1 내지

도 4를 함께 참조하여 설명된다.

- [0043] 도 7a를 참조하면, 동기화 장치(140)에 의해 포획되는 데이터는 데이터들(D0, D180, D0+, D180+, D0++)일 수 있다. 기준 클럭 신호(CLK_r)의 주파수가 입력 데이터 신호(D_in)의 주파수보다 작기 때문에, 동기화 장치(140)에 의해 포획되는 데이터들 또한 입력 데이터 신호(D_in)에 비해 주파수가 작을 수 있다. 이 때, 도 6a와 달리, 도 7a의 데이터(D180) 및 데이터(D180+)는 '0'의 값을 나타낼 수 있다. 다시 말해, 데이터 입력 신호(D_in)가 '010'을 나타내는 경우, 포획되는 데이터들(D0, D180, D0+, D180+, D0++)은 (0, 0, 1, 0, 0)의 값을 나타내기 때문에, 제어 신호 생성기(160)는 포획된 데이터들의 값을 기초로 제1 논리 레벨(예를 들어, '1')의 주파수 증가 신호(FUP)를 출력할 수 있다.
- [0044] 도 7b를 참조하면, 동기화 장치(140)에 의해 포획되는 데이터는 데이터들(D0, D180, D0+, D180+, D0++)일 수 있다. 기준 클럭 신호(CLK_r)의 주파수가 입력 데이터 신호(D_in)의 주파수보다 크기 때문에, 동기화 장치(140)에 의해 포획되는 데이터들 또한 입력 데이터 신호(D_in)에 비해 주파수가 클 수 있다. 이 때, 도 6a와 달리, 도 7b의 데이터(D180) 및 데이터(D180+)는 '1'의 값을 나타낼 수 있다. 다시 말해, 데이터 입력 신호(D_in)가 '010'을 나타내는 경우, 포획되는 데이터들(D0, D180, D0+, D180+, D0++)은 (0, 1, 1, 1, 0)의 값을 나타내기 때문에, 제어 신호 생성기(160)는 포획된 데이터들의 값을 기초로 제1 논리 레벨(예를 들어, '1')의 주파수 감소 신호(FDN)를 출력할 수 있다.
- [0045] 도 7c는 위상 및 주파수 검출기(100)가 폴-레이트로 동작하고, 균등 분할 클럭 신호들만을 이용하는 경우, 발생할 수 있는 문제점을 설명하기 위한 타이밍도를 나타낸다. 특히, 도 7c는 기준 클럭 신호(CLK_r)의 주파수가 입력 데이터 신호(D_in)의 주파수보다 작은 경우를 나타낸다. 또한, 도 7c는 입력 데이터 신호(D_in)가 '0110'을 나타내는 경우를 가정한다. 도 7c는 도 1 내지 도 4를 함께 참조하여 설명된다.
- [0046] 동기화 장치(140)에 의해 포획되는 데이터는 데이터들(D0, D180, D0+, D180+, D0++)일 수 있다. 기준 클럭 신호(CLK_r)의 주파수가 입력 데이터 신호(D_in)의 주파수보다 작기 때문에, 동기화 장치(140)에 의해 포획되는 데이터들 또한 입력 데이터 신호(D_in)에 비해 주파수가 작을 수 있다. 이 때, 도 7a와 달리, 입력 데이터 신호(D_in)가 '0110'을 나타내기 때문에, 도 7c의 데이터(D180) 및 데이터(D180+)는 '1'의 값을 나타낼 수 있다. 다시 말해, 입력 데이터 신호(D_in)가 '0110'을 나타내는 경우, 포획되는 데이터들(D0, D180, D0+, D180+, D0++)은 (0, 1, 1, 1, 0)의 값을 나타내기 때문에, 도 7b와 같이 제어 신호 생성기(160)는 포획된 데이터들의 값을 기초로 제1 논리 레벨(예를 들어, '1')의 주파수 감소 신호(FDN)를 출력할 것이다. 하지만, 도 7c는 기준 클럭 신호(CLK_r)의 주파수가 입력 데이터 신호(D_in) 작은 경우이기 때문에 이는 검출 오류에 해당하게 된다. 이와 같이, 균등 분할 클럭 신호들만을 이용해 입력 데이터 신호(D_in)를 포획하는 경우 검출 오류가 발생할 수 있다. 위와 같은 검출 오류의 문제를 줄이기 위해, 이하의 도면들을 통한 방법을 사용할 수 있다.
- [0047] 도 8a 내지 8d는 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기(100)가 폴-레이트로 동작하고, 균등 분할 클럭 신호들 뿐 아니라 비균등 분할 클럭 신호를 이용해 입력 데이터 신호(D_in)를 포획하는 경우의 타이밍도를 나타낸다. 도 8a 내지 도 8d는 도 1 내지 도 4를 함께 참조하여 설명된다.
- [0048] 도 8a를 참조하면, 위상 및 주파수 검출기(100)는 제1 위상 간격(180도)의 위상 차를 갖는 균등 분할 클럭 신호들을 기초로 포획된 데이터들(D0, D180, D0+, D180+, D0++) 뿐 아니라 기준 클럭 신호(CLK_r)와 제2 위상 간격(90도)의 위상 차를 갖는 비균등 분할 클럭 신호를 기초로 추가적으로 포획된 데이터(D90+)를 이용해 주파수 제어 신호를 생성할 수 있다.
- [0049] 도 8b를 참조하면, 위상 및 주파수 검출기(100)는 제1 위상 간격(180도)의 위상 차를 갖는 균등 분할 클럭 신호들을 기초로 포획된 데이터들(D0, D180, D0+, D180+, D0++) 뿐 아니라 반전된 기준 클럭 신호(CLK_rinv)와 제2 위상 간격(90도)의 위상 차를 갖는 비균등 분할 클럭 신호를 기초로 추가적으로 포획된 데이터(D270+)를 이용해 주파수 제어 신호를 생성할 수 있다.
- [0050] 도 8c를 참조하면, 위상 및 주파수 검출기(100)는 제1 위상 간격(180도)의 위상 차를 갖는 균등 분할 클럭 신호들을 기초로 포획된 데이터들(D0, D180, D0+, D180+, D0++) 뿐 아니라 기준 클럭 신호(CLK_r)와 제2 위상 간격(90도)의 위상 차를 갖는 비균등 분할 클럭 신호를 기초로 포획된 데이터(D90+) 및 반전된 기준 클럭 신호(CLK_rinv)와 제2 위상 간격(90도)의 위상 차를 갖는 비균등 분할 클럭 신호를 기초로 추가적으로 포획된 데이터(D270+)를 이용해 주파수 제어 신호를 생성할 수 있다.
- [0051] 도 8d를 참조하면, 위상 및 주파수 검출기(100)는 제1 위상 간격(180도)의 위상 차를 갖는 균등 분할 클럭 신호들을 기초로 포획된 데이터들(D0, D180, D0+, D180+, D0++) 뿐 아니라 반전된 기준 클럭 신호(CLK_rinv)와 제2

위상 간격(60도)의 위상 차를 갖는 비균등 분할 클락 신호를 기초로 추가적으로 포획된 데이터(D270+)를 이용해 주파수 제어 신호를 생성할 수 있다.

- [0052] 도 8a 내지 도 8c는, 위상 및 주파수 검출기(100)가 균등 분할 클락 신호들 사이를 다시 균등하게 분할한 비균등 분할 클락 신호를 이용하는 실시 예를 나타내고, 도 8d는 위상 및 주파수 검출기(100)가 균등 분할 클락 신호들 사이를 비균등하게 분할한 비균등 분할 클락 신호를 이용하는 실시 예를 나타낸다. 도 8d에 개시된 60도로서의 제2 위상 간격은 예시적인 숫자에 불과하며, 제2 위상 간격은 0 이상 90도 이하의 다른 실수 값을 가질 수 있다. 일 실시 예에서, 비균등 분할 클락 신호는 발진기(400)에 의해 제공될 수도 있지만 이에 제한되지는 않는다. 예를 들어, 비균등 분할 클락 신호는 발진기(400)에 의해 제공되는 기준 클락 신호(CLK_r)를 위상 지연기에 통과시킴으로써 생성될 수도 있다.
- [0053] 도 8a 내지 도 8d를 참조한 것과 같이, 적어도 하나의 비균등 분할 클락 신호에 의해 포획된 입력 데이터 신호들을 추가적으로 이용하는 경우, 위상 및 주파수 검출기(100)는 도 7c에서 발생하는 검출 오류의 문제점을 감소시킬 수 있다.
- [0054] 도 9는 본 개시의 예시적 실시 예에 따른 제어 신호 생성기(160)를 나타낸다. 제어 신호 생성기(160)에 대한 도 2 내지 도 4와 중복되는 설명은 생략한다. 도 9는 특히, 위상 및 주파수 검출기(100)가 폴-레이트로 동작하는 실시 예를 나타내는 것일 수 있다.
- [0055] 제어 신호 생성기(160)는 복수의 논리 연산기들을 포함할 수 있다. 예를 들어, 제어 신호 생성기(160)는 적어도 하나의 OR 연산기, 적어도 하나의 NOR 연산기 및 적어도 하나의 AND 연산기를 포함할 수 있다. 제어 신호 생성기(160)는 복수의 논리 연산기들을 통해 위상 제어 신호 및 주파수 제어 신호를 생성할 수 있다. 위상 제어 신호는 위상 당김 신호(PUP) 및 위상 지연 신호(PDN)를 포함할 수 있다. 주파수 제어 신호는 주파수 증가 신호(FUP1, FUP2) 및 주파수 감소 신호(FDN1, FDN2)를 포함할 수 있다.
- [0056] 도 10은 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기(100)를 나타낸다. 위상 및 주파수 검출기(100)에 대한 도 1 및 도 2와 중복되는 설명은 생략한다. 도 10은 특히, 위상 및 주파수 검출기(100)가 하프-레이트(half-rate; 클락 주파수가 데이터율(data rate)의 절반)로 동작하는 실시 예를 나타내는 것일 수 있다. 하프-레이트로 동작하는 경우 기존의 샘플링 위상이 1/2이 되어, 폴-레이트일 때 D0, D180, D0+, D180+, D++가 하프-레이트에서는 D0, D90, D180, D270, D0+로 표시될 수 있다.
- [0057] 위상 천이 데이터 생성기(120)는 복수의 플립플롭들을 포함할 수 있다. 예를 들어, 위상 천이 데이터 생성기(120)는 제1 플립플롭(121), 제2 플립플롭(122), 제3 플립플롭(123), 제4 플립플롭(124), 제5 플립플롭(125), 제6 플립플롭(126), 제7 플립플롭(127) 및 제8 플립플롭(128)을 포함할 수 있다. 일 실시 예에서, 제1 플립플롭(121) 내지 제8 플립플롭(128)은 클락 신호들(CLK0~CLK315)을 이용하여 입력 데이터 신호(D_{in})로부터 데이터 신호들을 생성할 수 있다. 위상 천이 데이터 생성기(120)는 기준 클락 신호(CLK_r)와 위상이 같은 클락 신호(CLK0)를 이용할 수 있으며, 기준 클락 신호(CLK_r)와 위상 차가 각각 45도, 90도, 135도, 180도, 225도, 270도, 315도 나는 클락 신호들(CLK45, CLK90, CLK135, CLK180, CLK225, CLK270, CLK315)을 이용할 수 있다. 도 10의 위상 및 주파수 검출기(100)의 동작에 대해서는 이하의 도면들을 통해 보다 자세히 설명된다.
- [0058] 도 11은 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기(100)가 하프-레이트로 동작하는 경우 입력 데이터 신호(D_{in}) 기준 클락 신호를 나타낸다. 기준 클락 신호는 제1 클락 신호(CLK1) 및 제2 클락 신호(CLK2)를 포함할 수 있다. 도 11은 도 10을 함께 참조하여 설명된다.
- [0059] 위상 및 주파수 검출기(100)가 도 11과 같이 하프-레이트로 동작하는 경우, 정상적인 상황이라면, 기준 클락 신호의 주파수는 입력 데이터 신호(D_{in})의 주파수의 절반과 동일하다. 다시 말해, 기준 클락 신호 중 제1 클락 신호(CLK1) 및 제2 클락 신호(CLK2)의 상승 엣지는 번갈아가면서 입력 데이터 신호(D_{in})의 동일한 위상에 정렬됨으로써, 위상 및 주파수 검출기(100)는 일정한 시간 마다 입력 데이터 신호(D_{in})를 포획(capture)할 수 있다. 따라서, 이하의 도 12a 내지 도 12d에서 설명하듯이, 균등 분할 클락 신호들은 90도의 제1 위상 간격의 위상 차를 가질 수 있다.
- [0060] 도 12a 내지 도 12d는 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기(100)가 하프-레이트로 동작하고, 균등 분할 클락 신호들 뿐 아니라 비균등 분할 클락 신호를 이용해 입력 데이터 신호(D_{in})를 포획하는 경우의 타이밍 도를 나타낸다. 도 12a 내지 도 12d는 도 1 및 도 10을 함께 참조하여 설명된다.
- [0061] 도 12a를 참조하면, 위상 및 주파수 검출기(100)는 제1 위상 간격(90도)의 위상 차를 갖는 균등 분할 클락 신호들을 기초로 포획된 데이터들(D180, D270, D0+, D90+, D180+) 뿐 아니라 기준 클락 신호(CLK_r)와 제2 위상 간

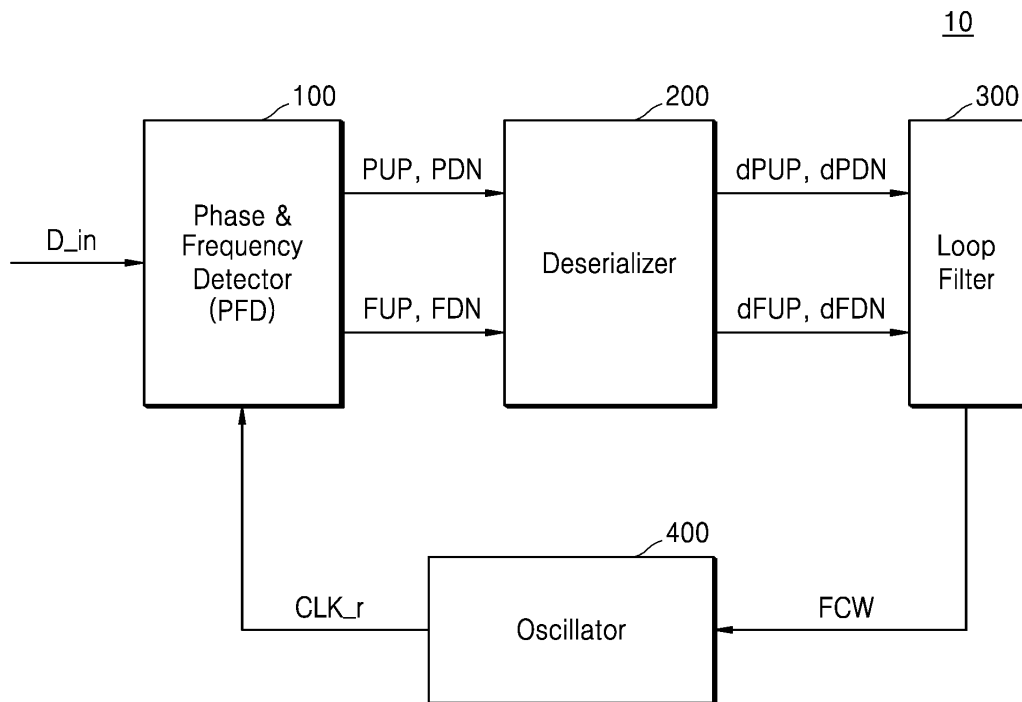
격(45도)의 위상 차를 갖는 비균등 분할 클락 신호를 기초로 추가적으로 포획된 데이터(D45+)를 이용해 주파수 제어 신호를 생성할 수 있다.

- [0062] 도 12b를 참조하면, 위상 및 주파수 검출기(100)는 제1 위상 간격(90도)의 위상 차를 갖는 균등 분할 클락 신호들을 기초로 포획된 데이터들(D180, D270, D0+, D90+, D180+) 뿐 아니라 쿼터 기준 클락 신호와 제2 위상 간격(45도)의 위상 차를 갖는 비균등 분할 클락 신호를 기초로 추가적으로 포획된 데이터(D135+)를 이용해 주파수 제어 신호를 생성할 수 있다.
- [0063] 도 12c를 참조하면, 위상 및 주파수 검출기(100)는 제1 위상 간격(90도)의 위상 차를 갖는 균등 분할 클락 신호들을 기초로 포획된 데이터들(D180, D270, D0+, D90+, D180+) 뿐 아니라 반전된 기준 클락 신호와 제2 위상 간격(45도)의 위상 차를 갖는 비균등 분할 클락 신호를 기초로 포획된 데이터(D225+)를 이용해 주파수 제어 신호를 생성할 수 있다.
- [0064] 도 12d를 참조하면, 위상 및 주파수 검출기(100)는 제1 위상 간격(90도)의 위상 차를 갖는 균등 분할 클락 신호들을 기초로 포획된 데이터들(D180, D270, D0+, D90+, D180+) 뿐 아니라 기준 클락 신호와 제2 위상 간격(45도)의 위상 차를 갖는 비균등 분할 클락 신호를 기초로 포획된 데이터(D315)를 이용해 주파수 제어 신호를 생성할 수 있다.
- [0065] 하프-레이트에 관한 실시 예는 도 12a 내지 도 12d에 한정되지 않는다. 예를 들어, 위상 및 주파수 검출기(100)는, 데이터(D45+), 데이터(D135+), 데이터(D225+) 및 데이터(D315) 중 한 개 이상의 조합의 데이터를 포획하여 제어에 이용할 수 있다. 또한 마찬가지로, 설명의 편의상 도 12a 내지 도 12d는 제2 위상 간격이 45도 인 경우를 도시하지만, 제2 위상 간격은 0 초과 90도 미만의 다른 실수 값을 가질 수 있다.
- [0066] 도 13은 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기(100)를 나타낸다. 위상 및 주파수 검출기(100)에 대한 도 1 및 도 2와 중복되는 설명은 생략한다. 도 13은 특히, 위상 및 주파수 검출기(100)가 폴-레이트로 동작하는 실시 예를 나타내는 것일 수 있다.
- [0067] 도 13은 도 4와 달리, 위상 천이 데이터 생성기(120)가 다섯 개의 플립플롭들을 포함할 수 있으며, 동기화 장치(140)는 각 단계 별로 두 개의 플립플롭들을 포함할 수 있다. 플립플롭의 개수가 다르다는 점을 제외하고, 도 13의 위상 및 주파수 검출기(100)는, 도 5 내지 도 8d를 참조해 설명된 방식과 동일한 방식에 의해 동작할 수 있다.
- [0068] 도 14는 본 개시의 예시적 실시 예에 따른 루프 필터(300)를 나타낸다. 루프 필터(300)에 대한 도 1과 중복되는 설명은 생략한다.
- [0069] 루프 필터(300)는 제1 버퍼(310), 제2 버퍼(320), 제3 버퍼(330), 제1 덧셈기(340), 적분기(350) 및 제2 덧셈기(360)를 포함할 수 있다.
- [0070] 제1 버퍼(310)는 위상 제어 신호(PUP, PDN)를 제2 덧셈기(360)에 전달할 수 있고, 제2 버퍼(320)는 위상 제어 신호(PUP, PDN)를 제1 덧셈기(340)에 전달할 수 있으며, 제3 버퍼(330)는 주파수 제어 신호(FUP, FDN)를 제1 덧셈기(340)에 전달할 수 있다.
- [0071] 제1 덧셈기(340)는 위상 제어 신호(PUP, PDN)와 주파수 제어 신호(FUP, FDN)에 덧셈 연산을 수행할 수 있다. 제1 덧셈기(340)는 덧셈 연산의 결과를 적분기(350)에 제공할 수 있다.
- [0072] 제2 덧셈기(360)는 위상 제어 신호(PUP, PDN) 및 적분기(350)의 출력을 기초로 덧셈 연산을 수행함으로써 주파수 제어 워드(frequency control word; FCW)를 생성할 수 있다.
- [0073] 도 15는 본 개시의 예시적 실시 예에 따른 루프 필터(300)를 나타낸다. 루프 필터(300)에 대한 도 1 및 도 14와 중복되는 설명은 생략한다.
- [0074] 루프 필터(300)는 기준 클락 신호의 주파수가 사전 결정된 주파수로 고정되었음을 감지하는 주파수 고정 검출기(370) 및 스위칭 수단(305)을 더 포함할 수 있다.
- [0075] 먼저, 루프 필터(300)는, 스위칭 수단(305)이 턴-오프 된 상태에서, 주파수 제어 신호(FUP, FDN)를 기초로 주파수 제어 워드(FCW)를 생성할 수 있다. 이를 통해 주파수가 고정이 될 수 있다.
- [0076] 주파수가 고정된 경우, 주파수 고정 검출기(370)는 이를 감지할 수 있으며, 이를 감지함에 기초해 주파수 고정 검출 신호(FL_DET)를 스위칭 수단(305)에 제공함으로써 스위칭 수단(305)을 턴-온 시킬 수 있다.

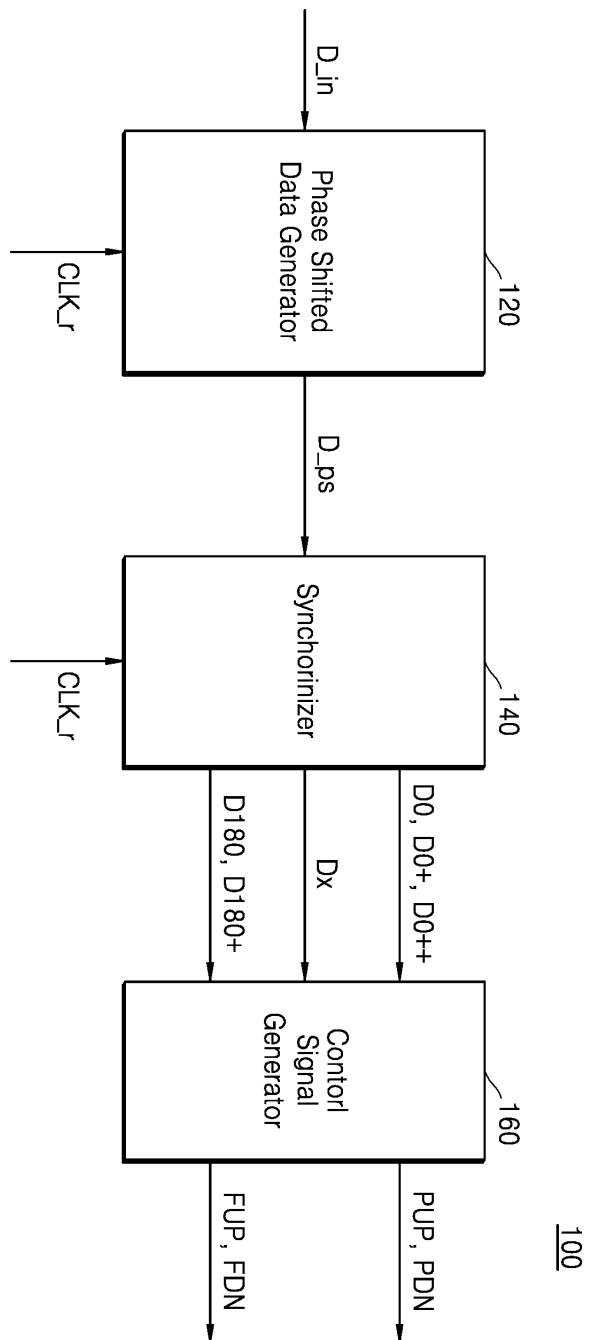
- [0077] 이후, 루프 필터(300)는, 위상 제어 신호(PUP, PDN)를 기초로 주파수 제어 워드(FCW)를 생성할 수 있다.
- [0078] 다시 말해, 루프 필터(300)는, 주파수 고정 검출기(370)를 포함함으로써, 먼저 주파수를 고정시킨 뒤 위상을 조정할 수 있다.
- [0079] 적분기(350)는 제3 덧셈기(352), 정방향 적분기(356) 및 피드백 적분기(354)를 더 포함할 수 있다.
- [0080] 도 16은 본 개시의 예시적 실시 예에 따른 위상 및 주파수 검출기의 동작 주파수 대역과 주파수 에러 발생 횟수 간의 트랜스퍼 커브(transfer curve)를 나타낸다. 도 16은 도 1 및 도 2를 함께 참조하여 설명된다.
- [0081] 보다 구체적으로, 도 16에서 상부 실선은 동기화 데이터 신호 (D0, D90, D180)이 판단 에러 구간(예를 들어, (0, 1, 0)으로 검출되어 ‘에러’로 판단)에 해당하는 것으로 확인되었을 때의 동작 주파수 대역 별 주파수 에러 발생 횟수에 관한 경향성을 나타내고, 하부 실선은 동기화 데이터 신호 (D0, D90, D180, D270, D315, D360)이 판단 에러 구간(예를 들어, (0, 1, 1, 1, 0, 0)으로 검출되어 ‘에러’로 판단)에 해당하는 것으로 확인되었을 때의 동작 주파수 대역 별 주파수 에러 발생 횟수에 관한 경향성을 나타낸다.
- [0082] 도 16에서, 제어 신호 생성기(160)는 동작 주파수 대역이 기준 주파수 미만의 저주파 대역이고 복수의 동기화 데이터 신호들 모두를 이용한 제1 논리 연산과 일부를 이용한 제2 논리 연산의 결과가 제1 조건을 만족하면 주파수 상향 제어 신호를 출력할 수 있다. 예를 들어, 제어 신호 생성기(160)는 0.5GHz ~ 4.5GHz 사이의 주파수 대역에서 복수의 동기화 데이터 신호들 (D0, D90, D180, D270, D315, D360)이 판단 에러 구간에 해당하는 (0, 1, 1, 1, 0, 0)으로 확인되고, 또한, 복수의 동기화 데이터 신호들 중 일부인 (D0, D90, D180)이 판단 에러 구간에 해당하는 (0, 1, 0)으로 확인되면, 위의 두 연산 결과가 모두 판단 에러 구간에 해당되었음에도 해당 트랜스퍼 커브 특성을 반영하여 클록 주파수가 데이터 입력 신호 대비 느린 것으로 결정하고 주파수 상향 제어 신호를 ‘high’로 출력할 수 있다.
- [0083] 마찬가지로, 제어 신호 생성기(160)는 동작 주파수 대역이 기준 주파수 미만의 고주파 대역이고 복수의 동기화 데이터 신호들 모두를 이용한 제1 논리 연산과 일부를 이용한 제2 논리 연산의 결과가 제2 조건을 만족하면 복수의 위상 천이 클록들의 주파수 하향을 위한 주파수 하향 제어 신호를 출력할 수 있다. 이에 따라, 제어 신호 생성기(160)는 주파수 에러 여부를 판단하기 어려운 판단 에러 구간에서도 높은 정확도로 주파수 빠르기 여부를 판단할 수 있다.
- [0084] 이상에서와 같이 도면과 명세서에서 예시적인 실시예들이 개시되었다. 본 명세서에서 특정한 용어를 사용하여 실시예들을 설명되었으나, 이는 단지 본 개시의 기술적 사상을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 개시의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 개시의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면

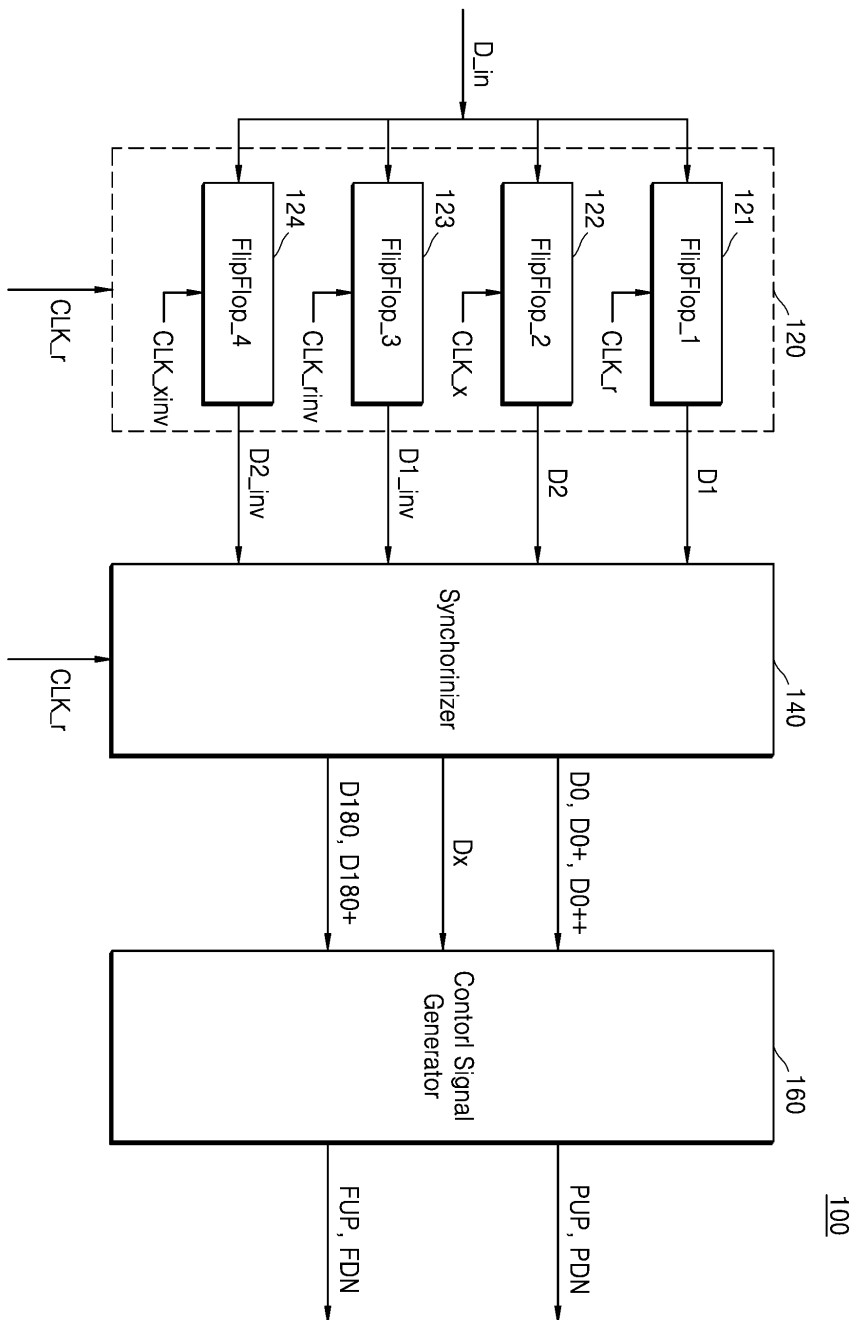
도면1



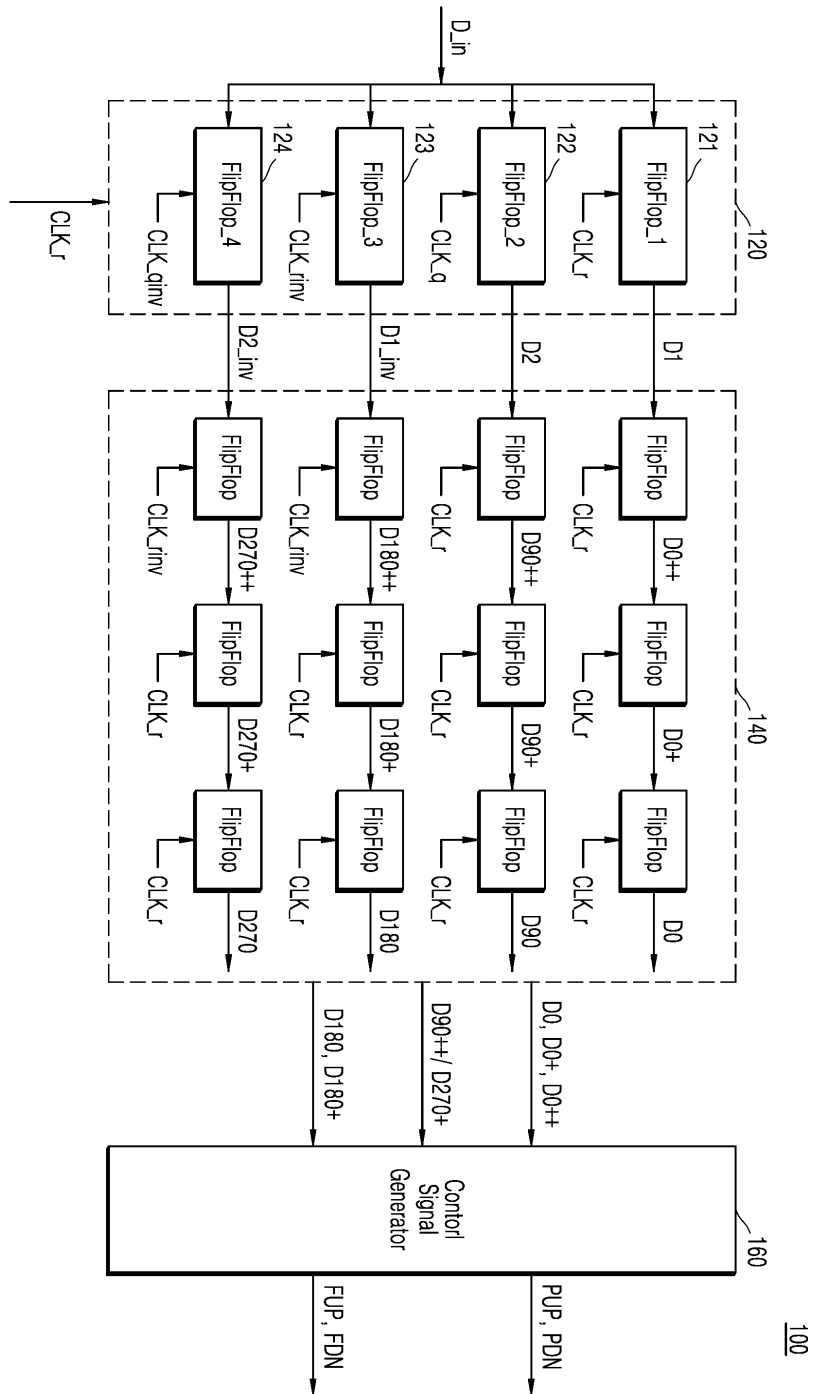
도면2



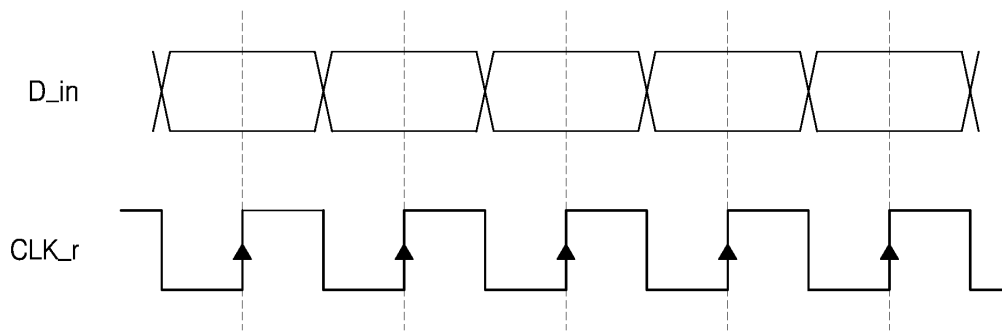
도면3



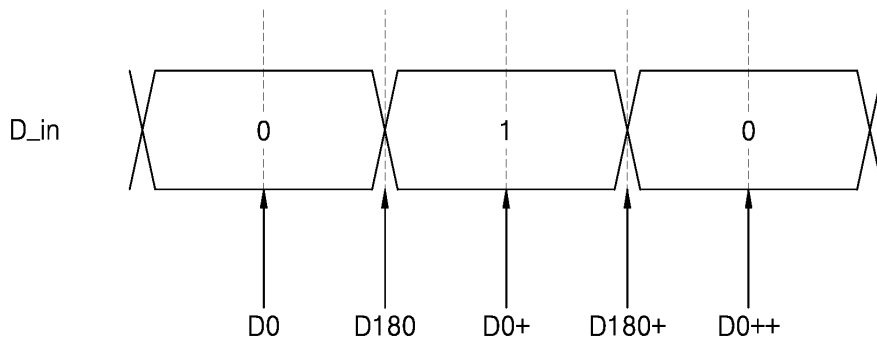
도면4



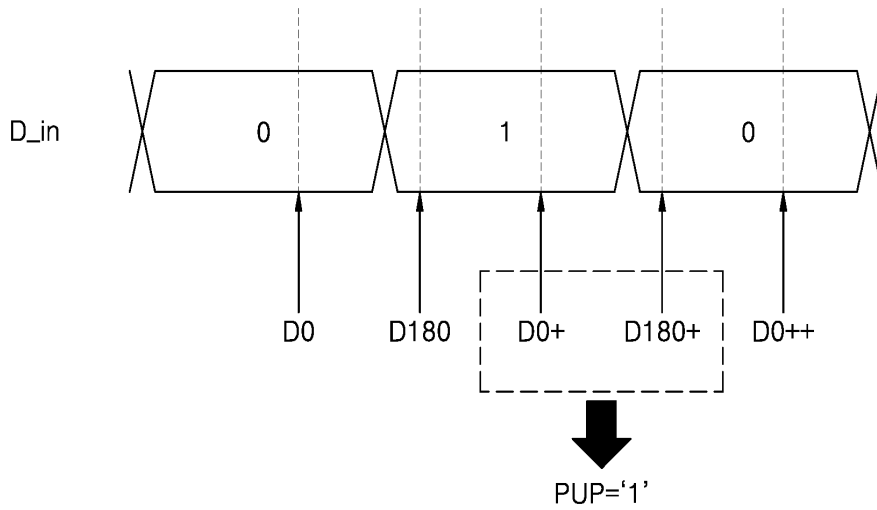
도면5



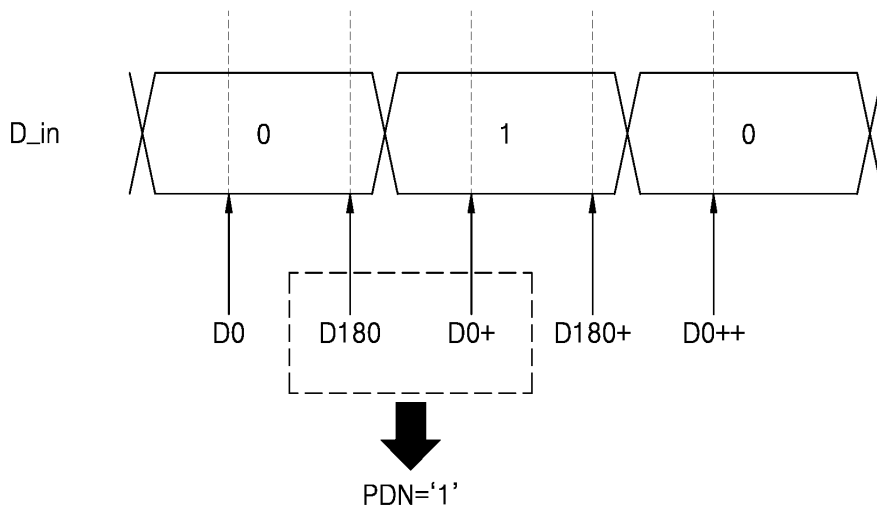
도면6a



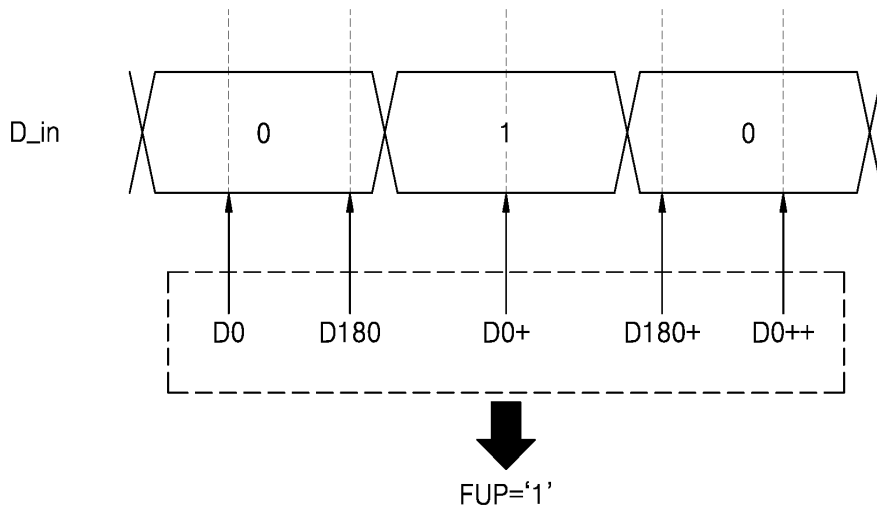
도면6b



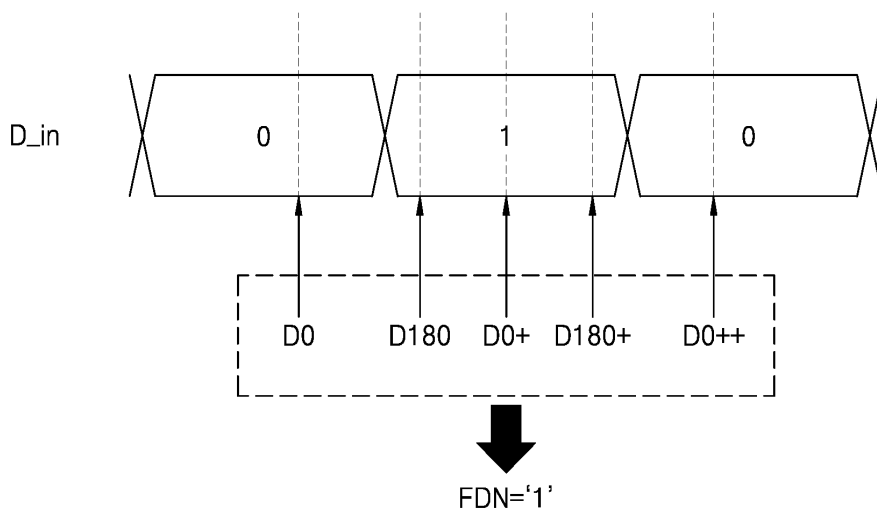
도면6c



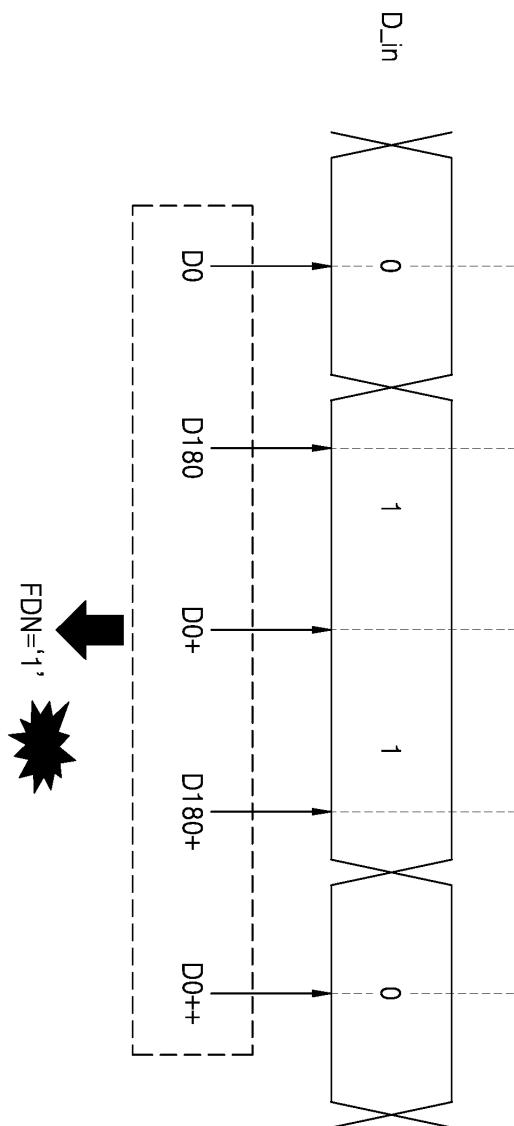
도면7a



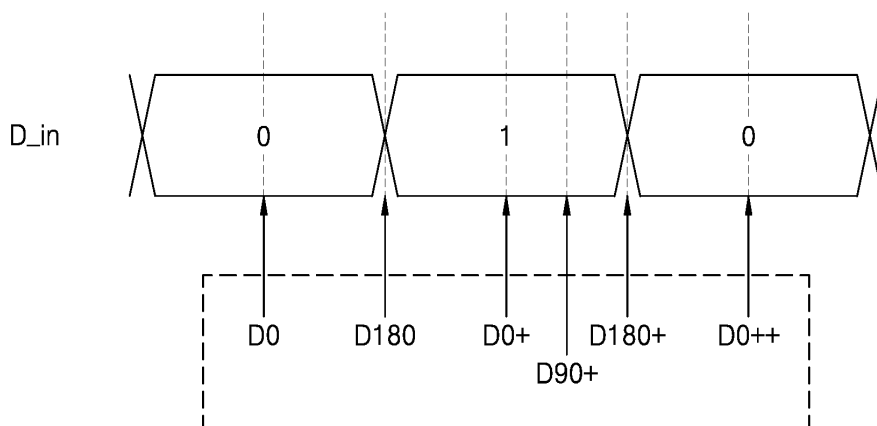
도면7b



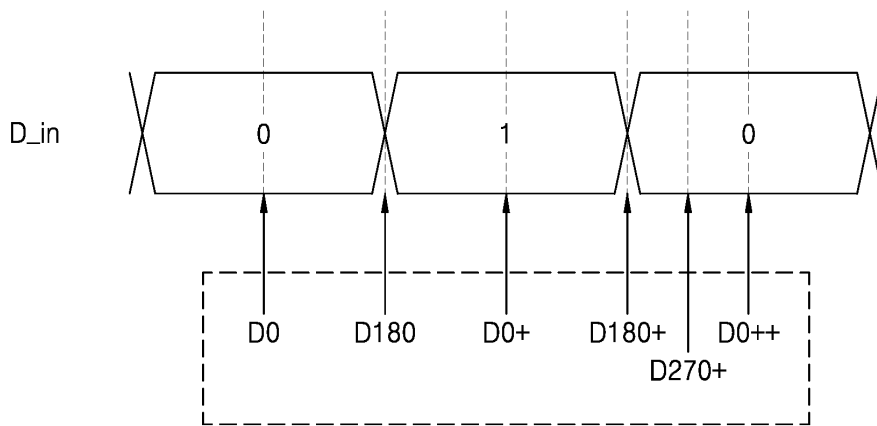
도면7c



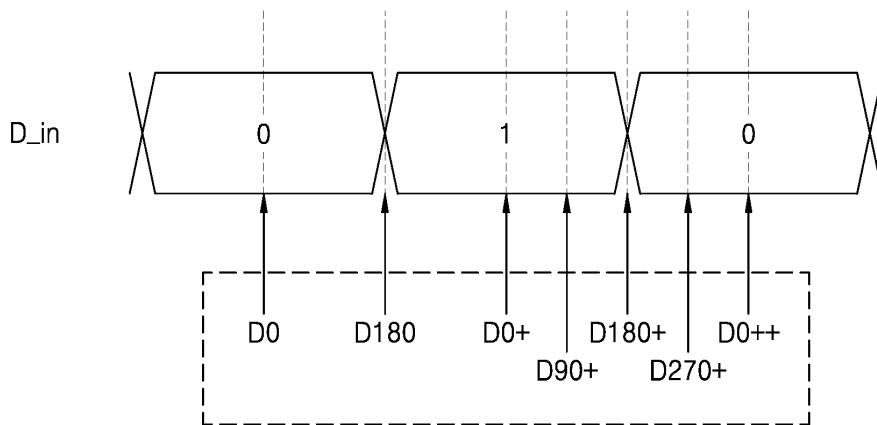
도면8a



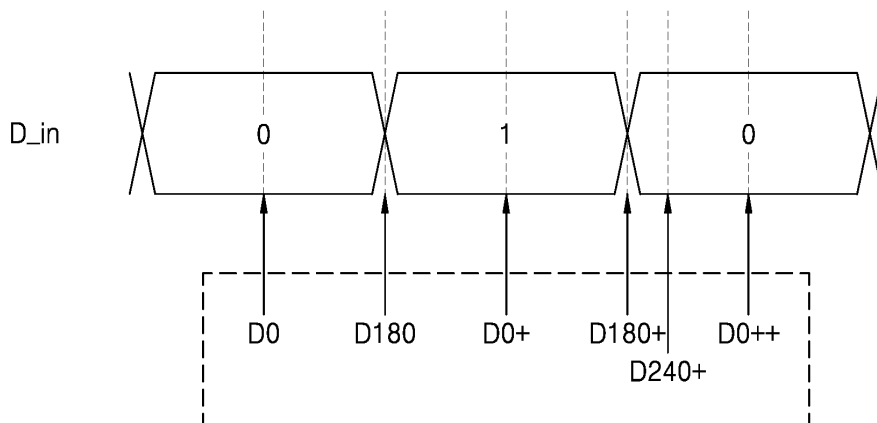
도면8b



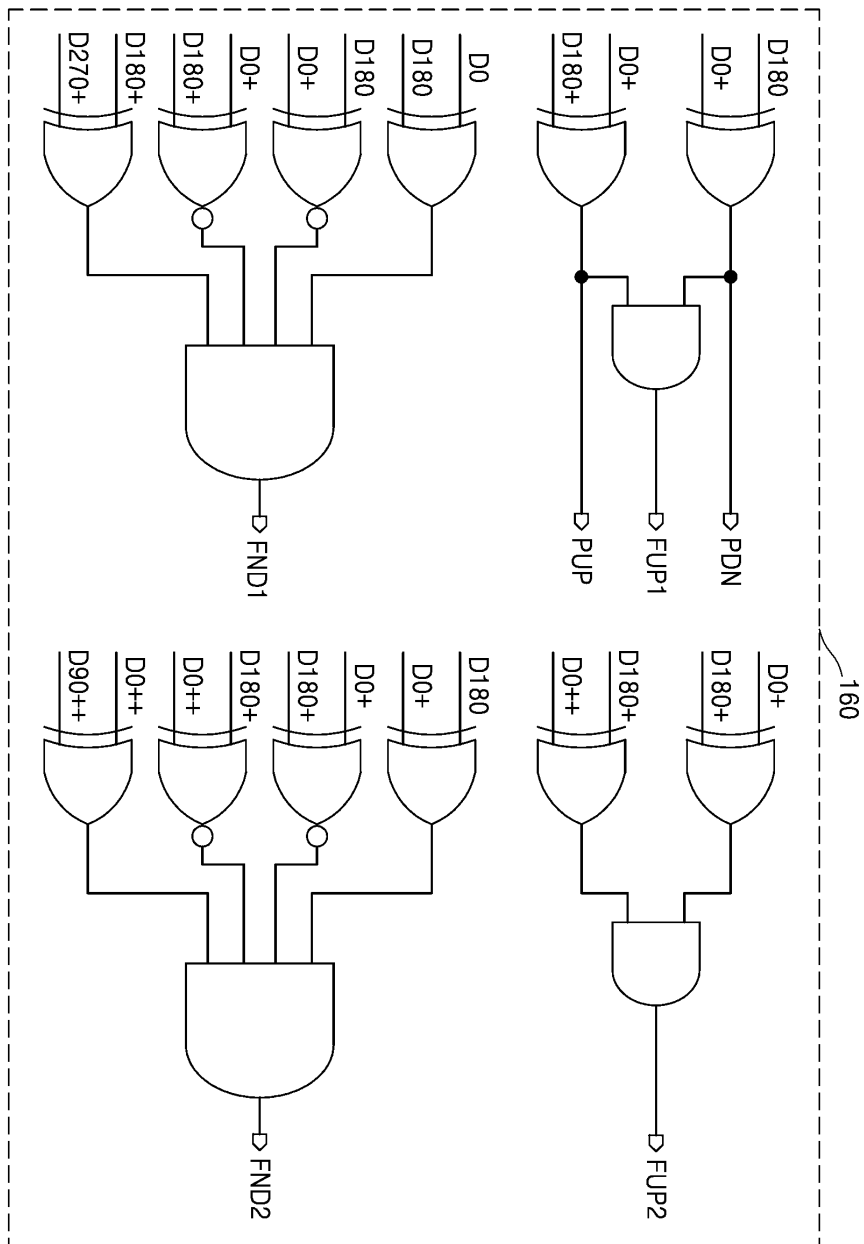
도면8c



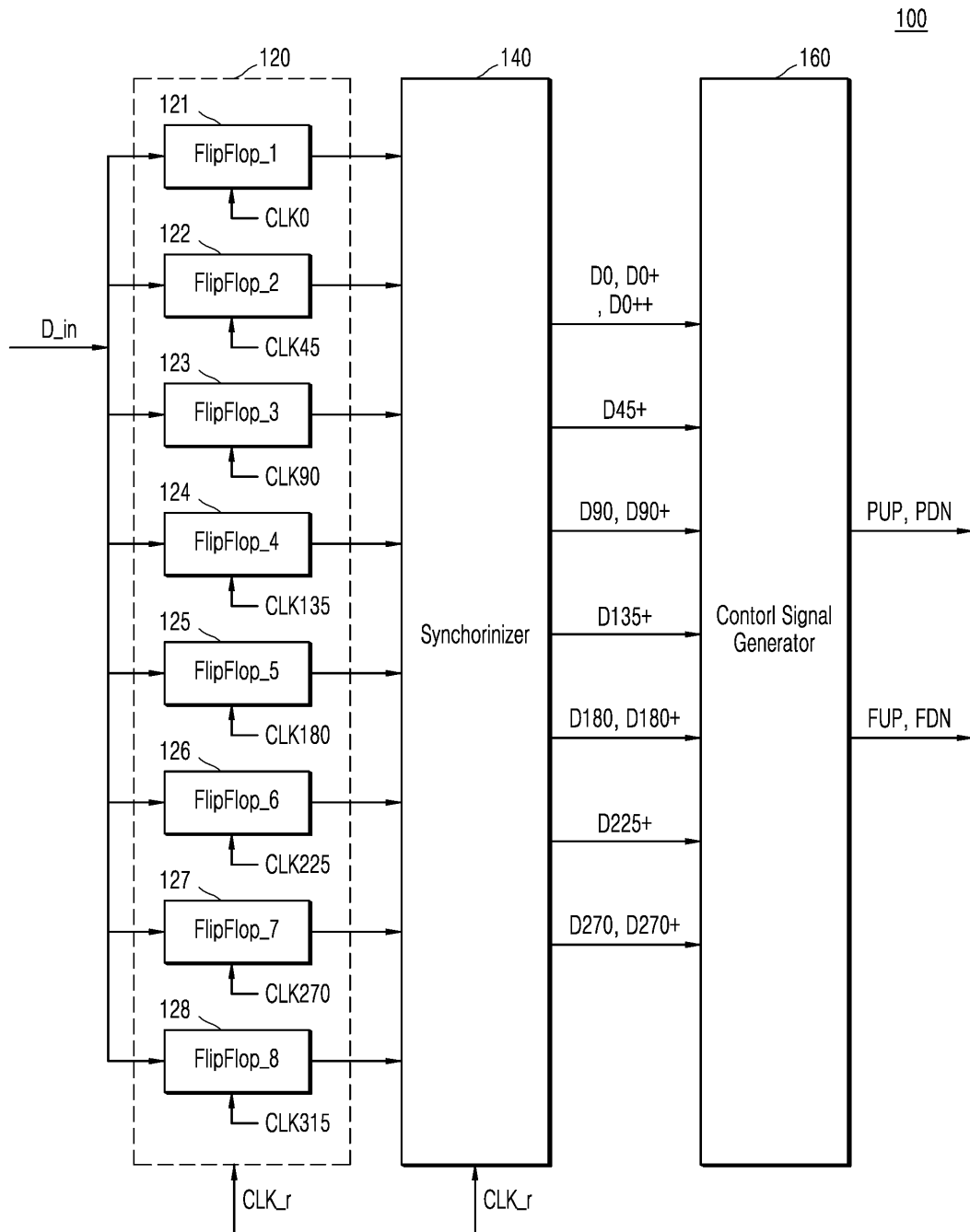
도면8d



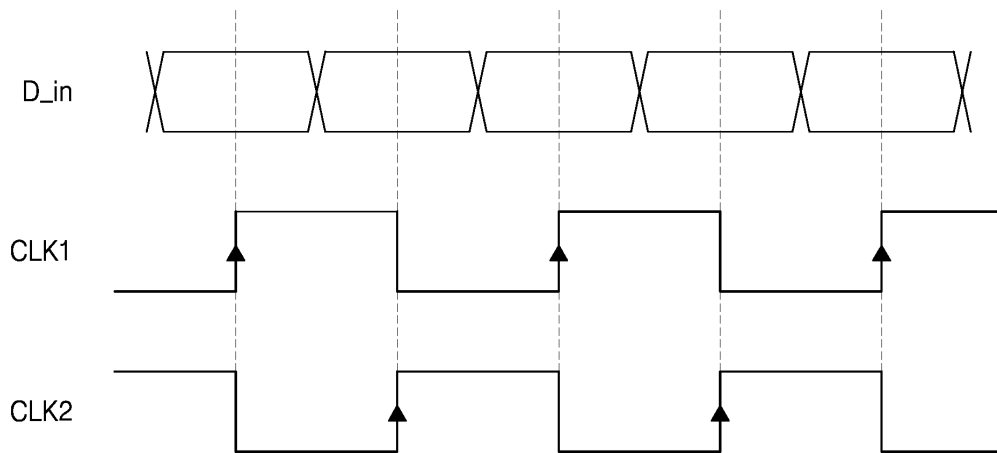
도면9



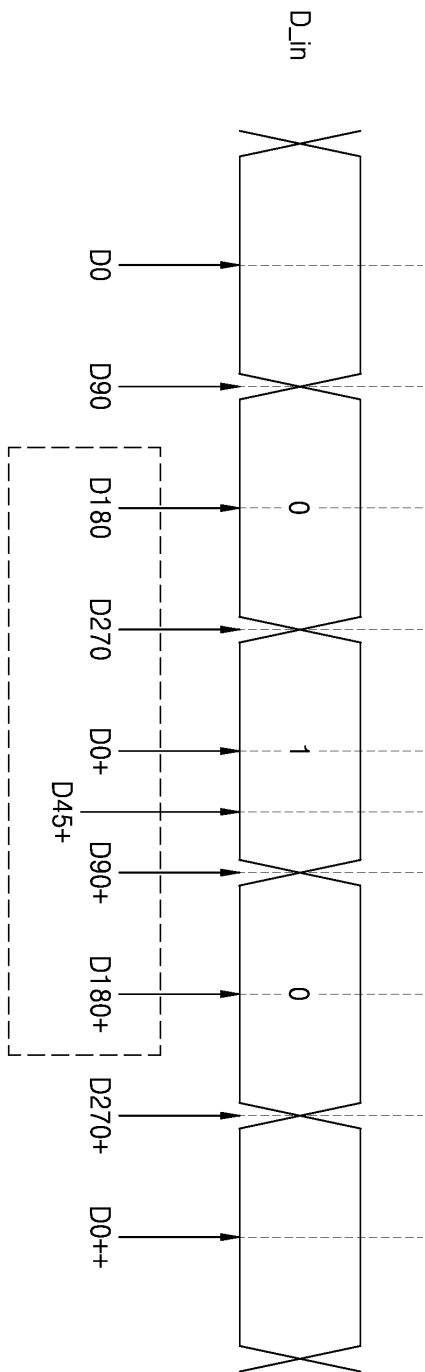
도면10



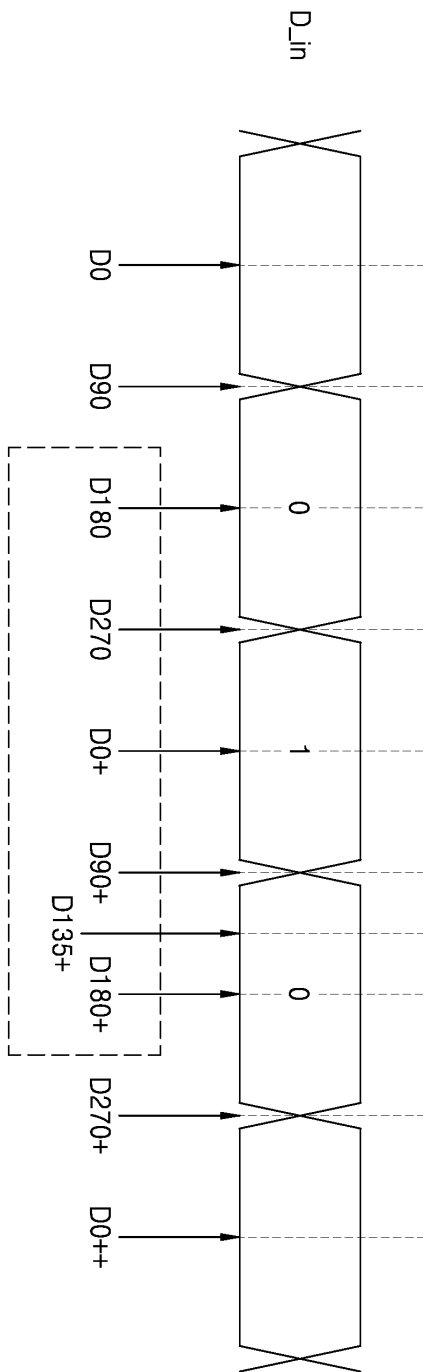
도면11



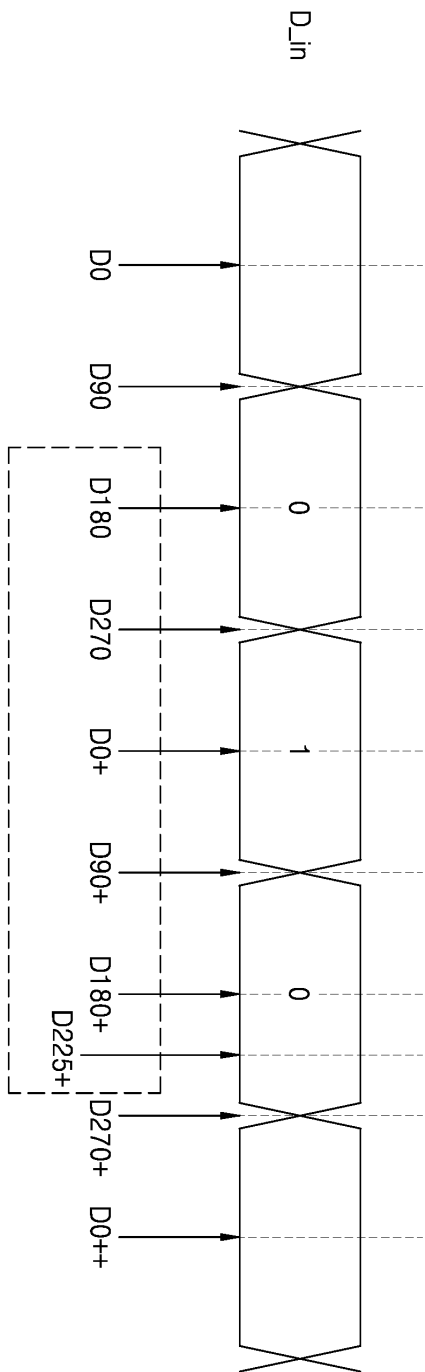
도면12a



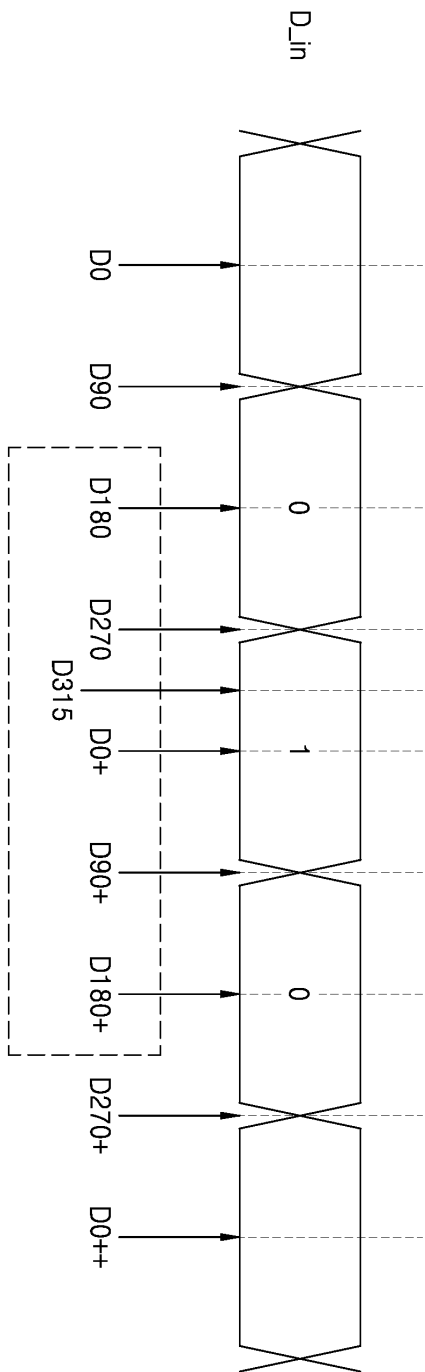
도면12b



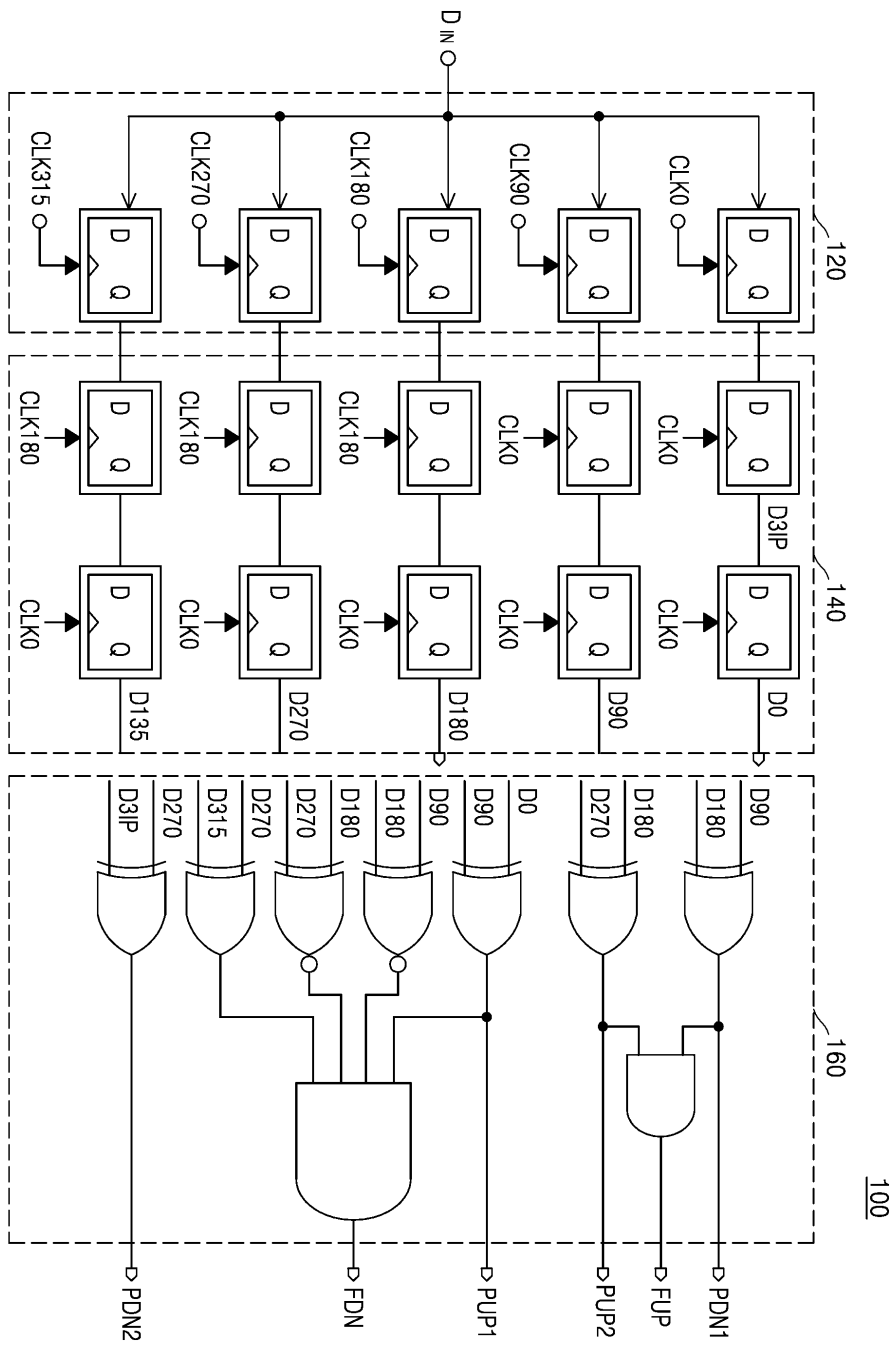
도면12c



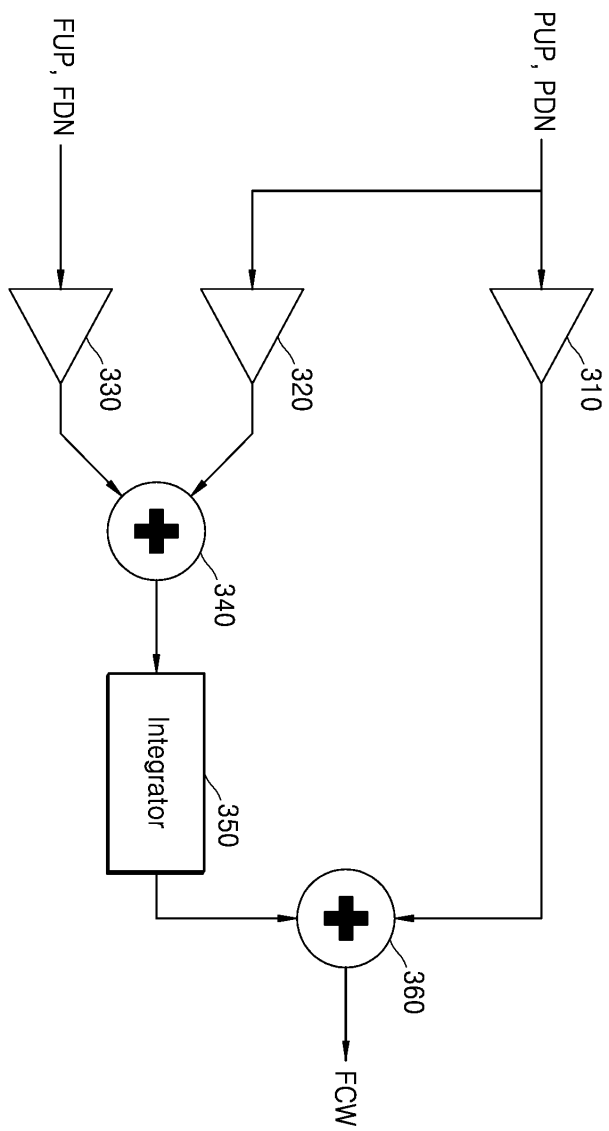
도면12d



도면13

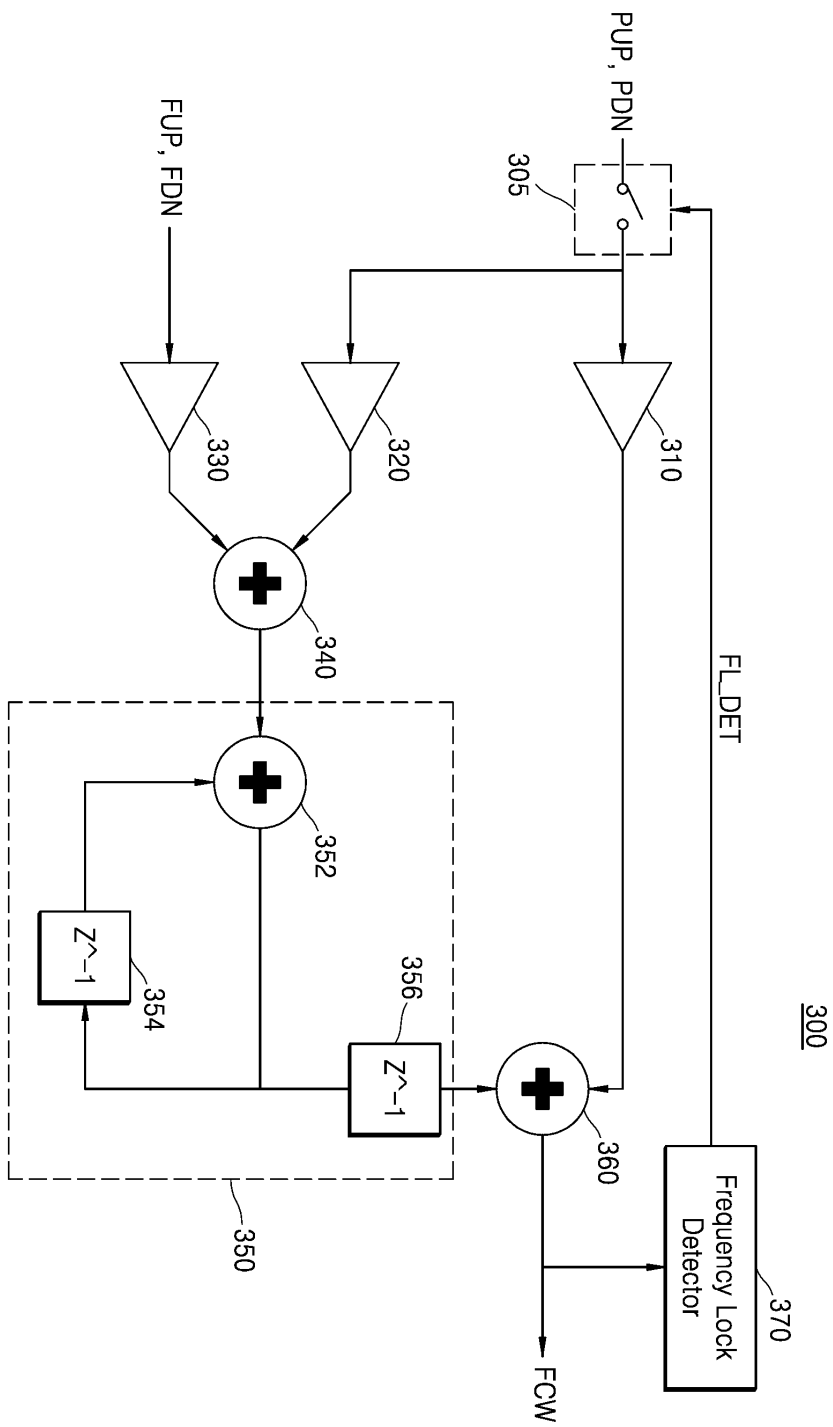


도면14



300

도면15



도면16

