



## (12) 发明专利

(10) 授权公告号 CN 109961819 B

(45) 授权公告日 2024.07.19

(21) 申请号 201811248198.X

(51) Int.CI.

(22) 申请日 2018.10.25

G11C 16/08 (2006.01)

(65) 同一申请的已公布的文献号

G11C 16/16 (2006.01)

申请公布号 CN 109961819 A

G11C 16/34 (2006.01)

(43) 申请公布日 2019.07.02

(56) 对比文件

(30) 优先权数据

US 2015135025 A1, 2015.05.14

10-2017-0177848 2017.12.22 KR

US 2013028022 A1, 2013.01.31

(73) 专利权人 三星电子株式会社

US 2006002190 A1, 2006.01.05

地址 韩国京畿道水原市

US 2014372678 A1, 2014.12.18

(72) 发明人 金承范

审查员 钟容

(74) 专利代理机构 北京铭硕知识产权代理有限公司 11286

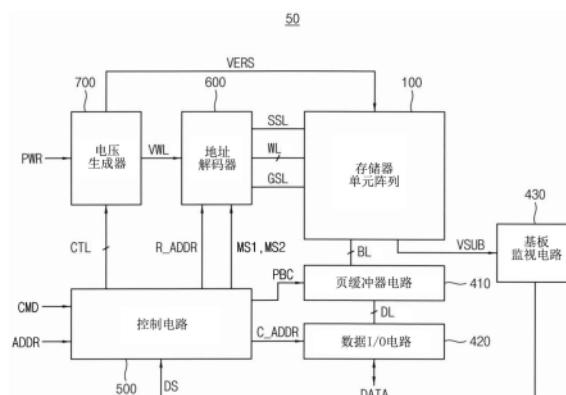
权利要求书4页 说明书17页 附图26页

## (54) 发明名称

非易失性存储器装置及其操作方法以及包括其的存储装置

## (57) 摘要

提供非易失性存储器装置及其操作方法以及包括其的存储装置。非易失性存储器装置包括：存储器单元阵列和控制电路。存储器单元阵列包括多个存储器块，所述多个存储器块包括分别连接到多条字线的多个存储器单元，所述多条字线垂直堆叠在基板上，所述多个存储器单元中的一些存储器单元由小于一个存储器块的子块单元选择。控制电路基于第一存储器块的多个子块中的每个子块的错误发生频率，将所述多个子块划分为至少一个坏子块和至少一个正常子块，并基于从非易失性存储器装置的外部提供的命令和地址，将不同的编程/擦除周期应用于所述至少一个坏子块和所述至少一个正常子块。所述至少一个坏子块与所述至少一个正常子块彼此相邻。



1.一种非易失性存储器装置,包括:

存储器单元阵列,包括多个存储器块,所述多个存储器块中的每个存储器块包括分别连接到多条字线的多个存储器单元,所述多条字线垂直堆叠在基板上,所述多个存储器单元中的一些存储器单元由小于所述多个存储器块中的一个存储器块的子块单元选择;

控制电路,被配置为基于所述多个存储器块中的第一存储器块的多个子块中的每个子块的错误发生频率,将第一存储器块的所述多个子块划分为至少一个坏子块和至少一个正常子块,并且被配置为基于从非易失性存储器装置的外部提供的命令和地址,将不同的编程/擦除周期应用于所述至少一个坏子块和所述至少一个正常子块,

其中,所述至少一个坏子块与所述至少一个正常子块相邻,

其中,控制电路还被配置为:

当地址指定所述至少一个正常子块时将第一编程/擦除周期应用于所述至少一个正常子块,当地址指定所述至少一个坏子块时将第二编程/擦除周期应用于所述至少一个坏子块直到第一参考周期值为止,并在第一参考周期值之后将第三编程/擦除周期应用于所述至少一个坏子块;

其中,第二编程/擦除周期在小于第一编程/擦除周期的第一时间间隔的第二时间间隔内运行,

其中,第三编程/擦除周期在小于第二编程/擦除周期的第二时间间隔的第三时间间隔内运行。

2.根据权利要求1所述的非易失性存储器装置,还包括:

电压生成器,被配置为基于控制信号生成字线电压;

地址解码器,被配置为响应于地址的行地址将字线电压传送到所述至少一个坏子块和所述至少一个正常子块,

其中,控制电路还被配置为:响应于命令和地址来控制电压生成器和地址解码器。

3.根据权利要求2所述的非易失性存储器装置,其中,控制电路包括:

坏子块信息寄存器,被配置为存储包括在所述至少一个坏子块中的多条字线的多个坏行地址;

命令解码器,被配置为对命令进行解码以提供解码的命令;

地址比较器,被配置为将行地址与所述多个坏行地址中的每个坏行地址进行比较,以输出指示比较的结果的匹配信号;

编程/擦除周期信息寄存器,被配置为存储与应用于所述至少一个正常子块的第一编程/擦除周期以及应用于所述至少一个坏子块的第二编程/擦除周期相关联的编程/擦除周期信息;

控制信号生成器,被配置为响应于解码的命令和匹配信号并基于编程/擦除周期信息寄存器,来生成控制信号以及控制地址解码器的第一模式信号和第二模式信号。

4.根据权利要求2所述的非易失性存储器装置,其中,控制电路包括:

坏子块信息寄存器,被配置为存储包括在所述至少一个坏子块中的多条字线的多个坏行地址;

命令解码器,被配置为对命令进行解码以提供解码的命令;

地址比较器,被配置为将行地址与所述多个坏行地址中的每个坏行地址进行比较,以

输出指示比较的结果的匹配信号；

编程/擦除周期计数器,被配置为响应于解码的命令和匹配信号,对关于所述至少一个坏子块的编程/擦除周期的数量进行计数以输出计数值；

比较器,被配置为将计数值与参考计数值进行比较以生成比较信号；

编程/擦除周期信息寄存器,被配置为存储与应用于所述至少一个正常子块的第一编程/擦除周期以及应用于所述至少一个坏子块的第二编程/擦除周期相关联的编程/擦除周期信息；

控制信号生成器,被配置为响应于解码的命令和匹配信号并基于编程/擦除周期信息寄存器,来生成控制信号以及控制地址解码器的第一模式信号和第二模式信号。

5.根据权利要求2所述的非易失性存储器装置,其中,当命令是对第一存储器块的擦除命令时,

控制电路还被配置为:

控制电压生成器和地址解码器,使得在对第一存储器块的擦除操作期间,擦除偏置条件基于所述至少一个坏子块是否被编程而不同。

6.根据权利要求5所述的非易失性存储器装置,其中,当所述至少一个坏子块未被编程时,控制电路还被配置为:

控制地址解码器将擦除电压施加到基板,将第一字线擦除电压施加到与所述至少一个正常子块相关联的多条字线,并将第二字线擦除电压施加到与所述至少一个坏子块相关联的多条字线,

其中,第二字线擦除电压的电平高于第一字线擦除电压的电平。

7.根据权利要求5所述的非易失性存储器装置,其中,当所述至少一个坏子块被编程时,控制电路还被配置为:

控制地址解码器在第一时间间隔期间将施加到基板的擦除电压的电平保持在第一电平,并且在第一时间间隔之后的第二时间间隔期间将所述擦除电压的电平保持在高于第一电平的第二电平,使得所述至少一个坏子块在所述至少一个正常子块之前被擦除。

8.根据权利要求2所述的非易失性存储器装置,其中,当命令是对所述至少一个正常子块的读取命令时,所述控制电路还被配置为:

控制电压生成器和地址解码器,使得在对所述至少一个正常子块的读取操作期间,读取偏置条件基于所述至少一个坏子块是否被编程而不同。

9.根据权利要求2所述的非易失性存储器装置,

其中,所述多个存储器单元中的每个存储器单元被配置为存储M位,M是大于1的整数,并且

其中,所述多个存储器单元中的连接到所述至少一个正常子块的多条字线中的边界字线的存储器单元被配置为存储N位,边界字线与所述至少一个坏子块相邻,N是小于M的自然数。

10.根据权利要求1所述的非易失性存储器装置,其中,包括在所述至少一个坏子块中的字线的数量根据第一存储器块在存储器单元阵列中形成的位置而变化。

11.一种操作非易失性存储器装置的方法,其中,所述非易失性存储器装置包括:包括多个存储器块的存储器单元阵列,所述多个存储器块中的每个存储器块包括分别连接到多

条字线的多个存储器单元,所述多条字线垂直堆叠在基板上,所述多个存储器单元中的一些存储器单元由小于一个存储器块的子块单元选择,所述方法包括:

基于所述多个存储器块中的第一存储器块的多个子块中的每个子块的错误发生频率,将第一存储器块的所述多个子块划分为至少一个坏子块和至少一个正常子块,所述至少一个坏子块和所述至少一个正常子块彼此相邻;

基于从非易失性存储器装置外部提供的命令和地址,将不同的编程/擦除周期应用于所述至少一个坏子块和所述至少一个正常子块,

其中,应用不同的编程/擦除周期的步骤包括:

确定地址是否指定所述至少一个坏子块;

当地址指定所述至少一个正常子块时,将第一编程/擦除周期应用于所述至少一个正常子块;

当地址指定所述至少一个坏子块时,将第二编程/擦除周期应用于所述至少一个坏子块直到第一参考周期值为止,并在第一参考周期值之后将第三编程/擦除周期应用于所述至少一个坏子块;

其中,第二编程/擦除周期在小于第一编程/擦除周期的第一时间间隔的第二时间间隔内运行,

其中,第三编程/擦除周期在小于第二编程/擦除周期的第二时间间隔的第三时间间隔内运行。

12.根据权利要求11所述的方法,还包括:

在对第一存储器块的存储器操作期间,基于所述至少一个坏子块是否被编程来调节施加到第一存储器块的偏置条件;

根据偏置条件的调节来对第一存储器块执行存储器操作。

13.根据权利要求12所述的方法,其中,存储器操作是对所述至少一个正常子块的读取操作,其中,调节偏置条件的步骤包括:

当所述至少一个坏子块未被编程时,将第一读取通过电压施加到所述至少一个正常子块中的未选择的字线;

当所述至少一个坏子块被编程时,将第二读取通过电压施加到所述至少一个正常子块中的未选择的字线,

其中,第二读取通过电压的电平高于第一读取通过电压的电平。

14.根据权利要求12所述的方法,其中,存储器操作是当所述至少一个坏子块未被编程时对第一存储器块的擦除操作,其中,调节偏置条件的步骤包括:

将擦除电压施加到基板;

将第一字线擦除电压施加到所述至少一个正常子块的多条字线;

将第二字线擦除电压施加到所述至少一个坏子块的多条字线,

其中,第二字线擦除电压的电平高于第一字线擦除电压的电平。

15.根据权利要求12所述的方法,其中,存储器操作是当所述至少一个坏子块被编程时对第一存储器块的擦除操作,其中,调节偏置条件的步骤包括:

在第一时间间隔期间,将施加到基板的擦除电压保持在第一电平;

在第一时间间隔之后的第二时间间隔期间,将施加到基板的擦除电压保持在第二电

平，

其中，第二电平高于第一电平。

16. 一种存储装置，包括：

至少一个非易失性存储器装置；

存储器控制器，被配置为控制所述至少一个非易失性存储器装置，

其中，所述至少一个非易失性存储器装置包括：

存储器单元阵列，包括多个存储器块，所述多个存储器块中的每个存储器块包括分别连接到多条字线的多个存储器单元，所述多条字线垂直堆叠在基板上，所述多个存储器单元中的一些存储器单元由小于所述多个存储器块中的一个存储器块的子块单元选择；

控制电路，被配置为基于从存储器控制器提供的命令和地址来控制对存储器单元阵列的访问，

其中，存储器控制器被配置为将与包括在所述多个存储器块中的每个存储器块中的坏子块相关联的坏子块信息发送到所述至少一个非易失性存储器装置，

其中，控制电路被配置为基于所述多个存储器块中的第一存储器块的多个子块中的每个子块的错误发生频率，将第一存储器块的所述多个子块划分为至少一个坏子块和至少一个正常子块，并被配置为在对第一存储器块的存储器操作期间，将不同的偏置条件应用于所述至少一个坏子块和所述至少一个正常子块，

其中，所述至少一个坏子块和所述至少一个正常子块彼此相邻，

其中，控制电路还被配置为：

当地址指定所述至少一个正常子块时将第一编程/擦除周期应用于所述至少一个正常子块，当地址指定所述至少一个坏子块时将第二编程/擦除周期应用于所述至少一个坏子块直到第一参考周期值为止，并在第一参考周期值之后将第三编程/擦除周期应用于所述至少一个坏子块；

其中，第二编程/擦除周期在小于第一编程/擦除周期的第一时间间隔的第二时间间隔内运行，

其中，第三编程/擦除周期在小于第二编程/擦除周期的第二时间间隔的第三时间间隔内运行。

17. 根据权利要求16所述的存储装置，其中，存储器控制器包括：纠错码ECC引擎，被配置为对从所述至少一个非易失性存储器装置读取的数据执行错误检测和校正，并被配置为生成坏子块信息。

## 非易失性存储器装置及其操作方法以及包括其的存储装置

[0001] 本申请要求于2017年12月22日提交到韩国知识产权局的第10-2017-0177848号韩国专利申请的优先权,所述韩国专利申请的公开通过引用全部包含于此。

### 技术领域

[0002] 一些实施例总体涉及存储器装置,更具体地讲,涉及非易失性存储器装置、操作非易失性存储器装置的方法和包括非易失性存储器装置的存储装置。

### 背景技术

[0003] 半导体存储器装置可以是易失性的或非易失性的。闪存装置通常是非易失性半导体存储器装置。闪存装置可用作用于信息设备(诸如,计算机、蜂窝电话、PDA、数码相机、手持PC等)的语音和图像数据存储介质。

[0004] 已经研究了具有以三维堆叠的存储器单元的非易失性存储器装置,以提高非易失性存储器装置的完整性。然而,存储容量的增加可导致与现有的存储器管理策略不匹配的各种问题。

### 发明内容

[0005] 根据一些实施例,一种非易失性存储器装置包括:存储器单元阵列和控制电路。存储器单元阵列包括多个存储器块,所述多个存储器块中的每个存储器块包括分别连接到多条字线的多个存储器单元,所述多条字线垂直堆叠在基板上,所述多个存储器单元中的一些存储器单元由小于一个存储器块的子块单元选择。控制电路基于所述多个存储器块中的第一存储器块的多个子块中的每个子块的错误发生频率,将第一存储器块的所述多个子块划分为至少一个坏子块和至少一个正常子块,并基于从非易失性存储器装置的外部提供的命令和地址,将不同的编程/擦除周期应用于所述至少一个坏子块和所述至少一个正常子块。所述至少一个坏子块与所述至少一个正常子块相邻。

[0006] 根据一些实施例,一种非易失性存储器装置包括:存储器单元阵列,包括多个存储器块,所述多个存储器块中的每个存储器块包括分别连接到多条字线的多个存储器单元,所述多条字线垂直堆叠在基板上,所述多个存储器单元中的一些存储器单元由小于一个存储器块的子块单元选择。一种操作非易失性存储器装置的方法中,基于所述多个存储器块中的第一存储器块的多个子块中的每个子块的错误发生频率,将第一存储器块的所述多个子块划分为至少一个坏子块和至少一个正常子块,所述至少一个坏子块和所述至少一个正常子块彼此相邻。基于从外部提供的命令和地址,不同的编程/擦除周期被应用于所述至少一个坏子块和所述至少一个正常子块。

[0007] 根据一些实施例,一种存储装置,包括:至少一个非易失性存储器装置;存储器控制器,控制所述至少一个非易失性存储器装置。所述至少一个非易失性存储器装置包括存储器单元阵列和控制电路。存储器单元阵列包括多个存储器块,所述多个存储器块中的每个存储器块包括分别连接到多条字线的多个存储器单元,所述多条字线垂直堆叠在基板

上,所述多个存储器单元中的一些存储器单元由小于一个存储器块的子块单元选择。控制电路基于从存储器控制器提供的命令和地址来控制对存储器单元阵列的访问。存储器控制器向所述至少一个非易失性存储器装置发送与包括在所述多个存储器块中的每个存储器块中的坏子块相关联的坏子块信息。控制电路基于所述多个存储器块中的第一存储器块的多个子块中的每个子块的错误发生频率,将第一存储器块的所述多个子块划分为至少一个坏子块和至少一个正常子块,并在对第一存储器块的存储器操作期间,将不同的编程/擦除周期应用于所述至少一个坏子块和所述至少一个正常子块。所述至少一个坏子块和所述至少一个正常子块相邻。

[0008] 因此,非易失性存储器装置可基于第一存储器的多个子块中的每个子块的错误发生频率将所述多个子块划分为至少一个坏子块和至少一个正常子块,或者可基于由于所述多个子块的位置而引起的耐久性特性,将不同的编程/擦除周期应用于至少一个坏子块和至少一个正常子块,并且可在第一存储器块的存储器操作期间将调节偏置条件应用于第一存储器块。因此,非易失性存储器装置可增强性能并防止非易失性存储器装置的寿命的缩短。

## 附图说明

- [0009] 通过下面结合附图进行的详细描述,说明性的非限制性示例实施例将被更清楚地理解。
- [0010] 图1是示出根据本发明构思的示例实施例的电子装置的框图。
- [0011] 图2是示出根据本发明构思的示例实施例的图1中的存储装置的框图。
- [0012] 图3是示出根据本发明构思的示例实施例的图2的存储装置中的存储器控制器的框图。
- [0013] 图4是示出根据本发明构思的示例实施例的图2的存储装置中的非易失性存储器装置的框图。
- [0014] 图5是示出根据本发明构思的示例实施例的图4中的存储器单元阵列的框图。
- [0015] 图6是示出根据本发明构思的示例实施例的图5的多个存储器块中的一个存储器块的立体图。
- [0016] 图7是示出根据本发明构思的示例实施例的图6的存储器块的等效电路图。
- [0017] 图8示出根据本发明构思的示例实施例的形成图4的存储器单元阵列的单元区域。
- [0018] 图9A和图9B分别示出根据本发明构思的示例实施例的图8的存储器块的串的横截面。
- [0019] 图10是示出根据本发明构思的示例实施例对图8中的存储器块执行编程操作和擦除操作的结果的曲线图。
- [0020] 图11示出根据本发明构思的示例实施例的图8中的垂直结构的示例。
- [0021] 图12是示出根据本发明构思的示例实施例的图4的非易失性存储器装置中的控制电路的示例的框图。
- [0022] 图13是示出根据本发明构思的示例实施例的图4的非易失性存储器装置中的控制电路的另一示例的框图。
- [0023] 图14是示出根据本发明构思的示例实施例的图4的非易失性存储器中的电压生成

器的框图。

[0024] 图15是示出根据本发明构思的示例实施例的图4的非易失性存储器装置中的地址解码器的框图。

[0025] 图16是示出根据本发明构思的示例实施例的操作非易失性存储器装置的方法的流程图。

[0026] 图17是详细示出根据本发明构思的示例实施例的在图16中应用不同的编程/擦除周期的操作的流程图。

[0027] 图18是详细示出根据本发明构思的示例实施例的在图17中应用至少一个第二编程/擦除周期的操作的流程图。

[0028] 图19A和图19B分别示出根据本发明构思的示例实施例的应用于正常子块和坏子块的编程/擦除周期。

[0029] 图20是示出根据本发明构思的示例实施例的操作非易失性存储器装置的方法的流程图。

[0030] 图21A至图26B分别示出根据本发明构思的示例实施例的应用于第一存储器块中的子块的偏置条件。

[0031] 图27是示出根据本发明构思的示例实施例的移动装置的框图。

## 具体实施方式

[0032] 应注意,尽管没有相关的具体描述,但是针对一个实施例描述的本发明构思的方面可被包含在不同的实施例中。也就是说,所有的实施例和/或任何实施例的特征可以以任何方式和/或组合进行组合。在下面阐述的说明书中详细解释本发明构思的这些和其他目的和/或方面。

[0033] 在下文中,将参照示出了一些实施例的附图更全面地描述不同的一些实施例。

[0034] 在附图中根据功能块、单元和/或模块描述并示出实施例。这些块、单元和/或模块可通过可使用半导体制造技术和/或其他制造技术以单个集成电路(例如,作为单个半导体芯片)或者作为单独的集成电路和/或分立组件(例如,在印刷电路板上线连接在一起的几个半导体芯片)一起形成的电子(或光学)电路(诸如,逻辑电路、分立组件、微处理器、硬连线电路、存储器元件、接线连接等)来物理地实现。这些块、单元和/或模块可由使用用于执行在此讨论的各种功能的软件(例如,微代码)编程的一个处理器(例如,微处理器、控制器、CPU、GPU)或多个处理器来实现。每个块、单元和/或模块可由专用硬件实现,或者可被实现为用于执行一些功能的专用硬件和用于执行其他功能的处理器的组合。此外,实施例的每个块、单元和/或模块可通过物理上分离的电路来实现,并且不需要形成为单个集成电路。如在此所使用的,术语“和/或”包括一个或多个相关所列项的任何和所有组合。当诸如“……中的至少一个”的表述在一列元素之后时,修饰整列元素,而不是修饰列中的单个元素。

[0035] 图1是示出根据一些实施例的电子装置的框图。

[0036] 参照图1,电子装置10可包括主机20和存储装置(或存储器系统)30。存储装置30可包括存储器控制器40和至少一个非易失性存储器装置(NVM)50。主机20可控制存储装置30的整体操作。

[0037] 存储器控制器40可与主机20交换信号,诸如命令、地址、数据等。存储器控制器40可根据来自主机20的命令在非易失性存储器装置50中写入数据,并从非易失性存储器装置50读取数据。

[0038] 图2是示出根据一些实施例的图1中的存储装置的框图。

[0039] 参照图2,存储装置30可包括存储器控制器40和至少一个非易失性存储器装置50。

[0040] 在一些实施例中,存储器控制器40和非易失性存储器装置50中的每个可以以芯片、封装件或模块的形式设置。在一些实施例中,存储器控制器40和非易失性存储器装置50可被安装在各种封装件上以被设置为存储装置(诸如,存储卡)。

[0041] 非易失性存储器装置50可在存储器控制器40的控制下执行读取操作、擦除操作、编程操作或写入操作。非易失性存储器装置50通过输入/输出线从存储器控制器40接收命令CMD、地址ADDR和数据DATA以执行这样的操作。此外,非易失性存储器装置50通过控制线从存储器控制器40接收控制信号CTRL。此外,非易失性存储器装置50通过电力线从存储器控制器40接收电力PWR。

[0042] 非易失性存储器装置50的存储器单元可具有阈值电压分布由于诸如程序运行时间(program elapsed time)、温度改变或读取、编程干扰、读取干扰等原因而变化的物理特性。例如,由于上述原因,存储在非易失性存储器装置50中的数据会变得有错误。存储器控制器40可利用各种纠错技术来校正这样的错误。例如,存储器控制器40可包括纠错码(ECC)引擎42。

[0043] 存储器控制器40可通过子块单元对非易失性存储器装置50执行擦除操作,并且子块小于非易失性存储器装置50的一个存储器块。作为示例,一个存储器块可包括多个子块。存储器控制器40可包括用于管理通过子块单元的擦除操作的擦除管理模块43a。

[0044] 在子块擦除操作之后,擦除管理模块43a可检查擦除的子块和/或与擦除的子块相邻的子块的擦除状态。例如,擦除管理模块43a可感测擦除的子块的存储器单元以确定特定参数是否超过参考周期值。擦除管理模块43a可读取与擦除的子块相邻的子块的数据,以检测擦除抑制效率。例如,擦除管理模块43a可基于从擦除的子块读取的数据来检测误码率(BER)。擦除管理模块43a可获取并监视关于擦除的子块的损耗平衡信息(例如,擦除计数)。此外,擦除管理模块43a可读取擦除的子块的数据,以监视选择的存储器单元的阈值电压的变化和/或误码率(BER)的变化。擦除管理模块43a还可读取未选择的子块的数据以检测阈值电压的变化。存储器控制器40可基于由擦除管理模块43a检测到的擦除状态信息来执行用于补偿选择的子块的不充分擦除的各种步骤。

[0045] 通常,存储器块可以是可被同时擦除的最大大小的存储器单元。在字线沿与基板交叉(例如,垂直)的方向堆叠的三维非易失性存储器装置中,存储器块可被定义为共享堆叠的字线的一组单元串。子块可对应于通过按字线单元或选择线单元划分存储器块(或物理块)而定义的子存储器单元。例如,每个子块可由共享存储器块的一部分字线的存储器单元形成。

[0046] 在对非易失性存储器装置50的读取操作期间,存储器控制器40可使用默认读取电压组(set)来读取存储在非易失性存储器装置50的第一页的数据。默认读取电压组可包括预定的读取电压。ECC引擎42可检测并校正包括在从非易失性存储器装置50读取的数据中的错误。ECC引擎42可通过检测并校正错误来执行ECC操作。在一些实施例中,ECC引擎42可

以以硬件的形式实现。ECC引擎42可以以子块为单位确定从非易失性存储器装置50读取的数据中的错误发生频率,并且可将在预定的时间期间错误发生频率大于参考周期值的子块指定为坏子块。

[0047] 存储器控制器40可包括存储多个子块中的至少一个坏子块的信息的坏子块信息寄存器(BSIR)49并且可向非易失性存储器装置50提供包括坏子块的坏子块地址的坏子块信息(BSI)。

[0048] 图3是示出根据一些实施例的图2的存储装置中的存储器控制器的框图。

[0049] 参照图2和图3,存储器控制器40可包括经由总线48连接的处理器41、ECC引擎42、缓冲器43、可与缓冲器43相关联的擦除管理模块43a、随机化器44、主机接口45、只读存储器(ROM)46以及非易失性存储器接口47。参照图2描述了ECC引擎42和擦除管理模块43a,因此,它们的描述被省略。

[0050] 处理器41控制存储器控制器40的整体操作。在一些实施例中,擦除管理模块43a可以以软件实现并被存储在缓冲器43中。存储在缓冲器43中的擦除管理模块43a可由处理器41驱动。ROM 46可以以固件存储存储器控制器40进行操作所需的各种信息。缓冲器43可存储从非易失性存储器装置50提供的数据,并且可包括擦除管理模块43a。

[0051] 随机化器44可使将被存储在非易失性存储器装置50中的数据随机化。例如,随机化器44可以以字线为单位使将被存储在非易失性存储器装置50中的数据随机化。

[0052] 数据随机化可被执行以处理数据,使得连接到字线的存储器单元的编程状态具有相同的比率。例如,如果连接到一条字线的存储器单元是均存储2位数据的多级单元(MLC),则多个存储器单元中的每个存储器单元具有擦除状态和第一编程状态至第三编程状态中的一个。在这种情况下,随机化器44使数据随机化,使得在连接到一条字线的存储器单元中,具有擦除状态的存储器单元的数量、具有第一编程状态的存储器单元的数量、具有第二编程状态的存储器单元的数量以及具有第三编程状态的存储器单元的数量彼此基本相同。例如,存储随机化的数据的存储器单元具有数量彼此相等的编程状态。随机化器44使从非易失性存储器装置50读取的数据去随机化。将理解,尽管在此可使用“第一”、“第二”、“第三”等术语来描述各种元件,但是这些元件不应受这些术语的限制,相反,这些术语仅用于将一个元件与另一元件区分开来。因此,在不脱离本发明构思的范围的情况下,下面讨论的第一元件可被称为第二元件。

[0053] 随机化器44可使页数据随机化。为了易于理解,描述随机化器44的理想操作。然而,本发明构思不限于此。例如,随机化器44使数据随机化,使得在连接到一条字线的存储器单元中,具有擦除状态的存储器单元的数量、具有第一编程状态的存储器单元的数量、具有第二编程状态的存储器单元的数量以及具有第三编程状态的存储器单元的数量近似地为相同的值。例如,存储随机化的数据的存储器单元具有数量彼此相似的编程状态。

[0054] 存储器控制器40通过主机接口45与主机20通信。例如,主机接口45可包括通用串行总线(USB)、多媒体卡(MMC)、嵌入式MMC、外围组件互连(PCI)、PCI-express、高级技术附件(ATA)、串行ATA、并行ATA、小型计算机小型接口(SCSI)、增强型小型磁盘接口(ESDI)、集成驱动电路(IDE)、移动行业处理器接口(MIPI)、非易失性存储器接口规范(NVMe)、通用闪存(UFS)等。存储器控制器40通过非易失性存储器接口47与非易失性存储器装置50通信。

[0055] 图4是示出根据一些实施例的图2的存储装置中的非易失性存储器装置的框图。

[0056] 参照图4,非易失性存储器装置50包括存储器单元阵列100、地址解码器600、页缓冲器电路410、数据输入/输出(I/O)电路420、基板监视电路430、控制电路500和电压生成器700。

[0057] 存储器单元阵列100可通过串选择线SSL、多条字线WL和/或地选择线GSL连接到地址解码器600。此外,存储器单元阵列100可通多条位线BL连接到页缓冲器电路410。存储器单元阵列100可包括连接到多条字线WL和多条位线BL的多个存储器单元。

[0058] 地址解码器600可通过从电压生成器700接收各种字线电压VWL,来将电压传送到串选择线SSL、多条字线WL和/或地选择线GSL,用于操作存储器单元阵列100的多个存储器单元。电压生成器700可响应于从控制电路500接收到的控制信号CTL,向地址解码器600提供字线电压VWL,并向存储器单元阵列100提供擦除电压VERS。

[0059] 图5是示出根据一些实施例的图4中的存储器单元阵列的框图。

[0060] 参照图5,存储器单元阵列100可包括沿第一方向D1、第二方向D2至第三方向D3上延伸的多个存储器块BLK1至BLKz。在一个实施例中,由图4中的地址解码器600选择存储器块BLK1至存储器块BLKz。例如,地址解码器600可选择存储器块BLK1至存储器块BLKz之中的与块地址对应的存储器块BLK。地址解码器600可响应于行地址R\_ADDR选择一个存储器块中的至少一个子块。

[0061] 图6是示出根据一些实施例的图5的多个存储器块中的一个存储器块的立体图。

[0062] 参照图6,存储器块BLKi包括沿第一方向D1至第三方向D3延伸的结构。

[0063] 设置基板111。例如,基板111可具有第一类型(例如,第一导电类型)的阱(well)。例如,基板111可具有通过注入诸如硼(B)的第3族元素形成的p阱。例如,基板111可具有设置在n阱中的袋形p阱(pocket p-well)。在一个实施例中,基板111具有p型阱(或p型袋形阱)。然而,基板111的导电类型不限于p型。

[0064] 沿第一方向D1延伸的多个掺杂区311至314设置在基板111中/上。例如,多个掺杂区311至314可具有与基板111的第一类型不同的第二类型(例如,第二导电类型)。在一些实施例中,第一掺杂区311至第四掺杂区314具有n型。然而,第一掺杂区311至第四掺杂区314的导电类型不限于n型。

[0065] 沿第二方向D2延伸的多个绝缘材料112沿第三方向D3顺序地设置在第一掺杂区311与第二掺杂区312之间的基板111的区域上。例如,沿第三方向D3间隔特定距离设置多个绝缘材料112。例如,绝缘材料112可包括诸如氧化物层的绝缘材料。

[0066] 沿第三方向D3穿透绝缘材料的多个柱113沿第二方向D2顺序地布置在第一掺杂区311与第二掺杂区312之间的基板111的区域上。例如,多个柱113穿透绝缘材料112以接触基板111。

[0067] 例如,每个柱113可包括多种材料。例如,每个柱113的沟道层114可包括具有第一类型的硅材料。例如,每个柱113的沟道层114可包括与基板111具有相同类型的硅材料。在一些实施例中,每个柱113的沟道层114可包括p型硅。然而,每个柱113的沟道层114不限于p型硅。

[0068] 每个柱113的内部材料115包括绝缘材料。例如,每个柱113的内部材料115可包括诸如氧化硅的绝缘材料。例如,每个柱113的内部材料115可包括气隙。

[0069] 绝缘层116沿绝缘材料112、柱113和基板111的暴露的表面设置在第一掺杂区311

与第二掺杂区312之间的区域上。例如,设置在第三方向D3上的最后的绝缘材料112的暴露的表面上的绝缘层116可被去除。

[0070] 多个第一导电材料211至291设置在第一掺杂区311与第二掺杂区312之间的绝缘层116的暴露的表面上。例如,沿第二方向D2延伸的第一导电材料211设置在基板111和与基板111相邻的绝缘材料112之间。

[0071] 沿第二方向D2延伸的第一导电材料设置在多个绝缘材料112之中的特定绝缘材料的顶部的绝缘层116与多个绝缘材料112之中的特定绝缘材料的底部的绝缘层116之间。例如,沿第二方向D2延伸的多个第一导电材料221至291设置在绝缘材料112之间,并且可理解,绝缘层116设置在绝缘材料112与第一导电材料221至291之间。多个第一导电材料211至291可包括金属材料。多个第一导电材料211至291可包括诸如多晶硅的导电材料。

[0072] 可在第二掺杂区312和第三掺杂区313之间的区域中设置与第一掺杂区311和第二掺杂区312上的结构类似的结构。在第二掺杂区312与第三掺杂区313之间的区域中,设置:沿第二方向D2延伸的多个绝缘材料112,沿第二方向D2顺序地布置并沿第三方向D3穿透多个绝缘材料112的多个柱113,设置在多个绝缘材料112和多个柱113的暴露的表面上的绝缘层116,以及沿第二方向D2延伸的多个第三导电材料213至293。

[0073] 可在第三掺杂区313和第四掺杂区314之间的区域中设置与第一掺杂区311和第二掺杂区312上的结构类似的结构。在第三掺杂区313与第四掺杂区314之间的区域中,设置:沿第二方向D2延伸的多个绝缘材料112,沿第二方向D2顺序地布置并沿第三方向D3穿透多个绝缘材料112的多个柱113,设置在多个绝缘材料112和多个柱113的暴露的表面上的绝缘层116,以及沿第二方向D2延伸的多个第三导电材料213至293。

[0074] 漏极320分别设置在多个柱113上。在漏极上,设置沿第一方向D1延伸的第二导电材料331至第二导电材料333。沿第二方向D2间隔特定距离设置第二导电材料331至第二导电材料333。第二导电材料331至第二导电材料333分别连接到对应区域中的漏极320。漏极320和沿第一方向D1延伸的第二导电材料333可通过各个接触插塞(contact plug)连接。

[0075] 图7是示出根据一些实施例的图6的存储器块的等效电路图。

[0076] 图7的存储器块BLKi可以以三维结构(或垂直结构)形成在基板上。例如,包括在存储器块BLKi中的多个存储器单元串可形成在垂直于基板的方向上。

[0077] 参照图7,存储器块BLKi可包括连接在位线BL1、位线BL2和位线BL3与共源极线CSL之间的存储器单元串NS11至NS33。存储器单元串NS11至存储器单元串NS33中的每个可包括串选择晶体管SST、多个存储器单元MC1至MC12和地选择晶体管GST。在图7中,存储器单元串NS11至存储器单元串NS33中的每个被示出为包括十二个存储器单元MC1至MC12。然而,一些实施例不限于此。在一些实施例中,存储器单元串NS11至存储器单元串NS33中的每个可包括任何数量的存储器单元。

[0078] 串选择晶体管SST可连接到对应的串选择线SSL1至SSL3。多个存储器单元MC1至MC12可分别连接到对应的字线WL1至WL12。地选择晶体管GST可连接到对应的地选择线GSL1至GSL3。串选择晶体管SST可连接到对应的位线BL1、BL2和BL3,地选择晶体管GST可连接到共源极线CSL。

[0079] 在示例实施例中,连接到虚设字线(未示出)的虚设存储器单元可连接在串选择晶体管SST与存储器单元MC12之间和/或连接在地选择晶体管GST与存储器单元MC1之间。例

如,虚设存储器单元可使用相同工艺与普通存储器单元同时形成。虚设存储器单元可由虚设字线激活,但是可不具有存储的将从外部装置读取的任何“数据”。例如,存储在电连接到虚设字线的虚设存储器单元中的数据可不如同正常存储器单元的有时出现的情况那样通过由列解码器提供的选择信号而被发送到存储器单元阵列之外。例如,电连接到虚设字线的虚设存储器单元可不具有如同正常存储器单元那样在其间发送数据的到位线的连接。

[0080] 具有相同高度的字线(例如,WL1)可共同连接,地选择线GSL1至地选择线GSL3和串选择线SSL1至串选择线SSL3可分开。在图7中,存储器块BLKi被示出为连接到十二条字线WL1至WL12和三条位线BL1至BL3。然而,一些实施例不限于此。在一些实施例中,存储器单元阵列100可连接到任何数量的字线和位线。

[0081] 根据一些实施例,存储器块BLKi被划分为由代表性子块SB1、SB2和SB3指示的多个子块,每个子块的大小小于存储器块BLKi的大小。如图7中所示,可沿着字线方向划分子块SB1、子块SB2和子块SB3。在一些实施例中,可基于位线或串选择线来划分子块SB1、子块SB2和子块SB3。存储器块BLKi中的子块SB1、子块SB2和子块SB3可独立于用于将存储器块BLKi划分为子块的参考而被擦除。

[0082] 例如,在包括在存储器块BLKi中的多个存储器单元中,子块SB1包括连接到字线WL1、字线WL2、字线WL3和字线WL4的存储器单元,子块SB2包括连接到字线WL5、字线WL6、字线WL7和字线WL8的存储器单元,子块SB3包括连接到字线WL9、字线WL10、字线WL11和字线WL12的存储器单元。包括在子块SB1中的存储器单元可独立于剩余的子块SB2和SB3而被选择和擦除,反之亦然。子块SB1、子块SB2和子块SB3中的一个或多个可被同时或在不同时间选择并擦除。非易失性存储器装置50的地址解码器600(参照图4)可提供用于通过子块单元对存储器单元进行擦除的偏置。

[0083] 返回参照图4,控制电路500可从存储器控制器40接收命令(信号)CMD和地址(信号)ADDR,并基于命令信号CMD和地址信号ADDR控制非易失性存储器装置50的擦除操作、编程操作和读取操作。

[0084] 在示例实施例中,图4的控制电路500可基于命令信号CMD,生成用于控制电压生成器700的控制信号CTL,并可生成用于控制页缓冲器电路410的页缓冲器控制信号PBC,并且基于地址信号ADDR生成行地址R\_ADDR和列地址C\_ADDR。图4的控制电路500可向地址解码器600提供行地址R\_ADDR,并向数据输入/输出电路420提供列地址C\_ADDR。此外,控制电路500可响应于从基板监视电路430提供的检测信号DS,向地址解码器600提供第一模式信号MS1。第一模式信号MS1指示基板111的电压电平达到参考电平或指示在参考时间间隔期间基板111的电压电平保持在恒定电平。此外,控制电路500可向地址解码器600提供指示由命令CMD指定的操作的第二模式信号MS2。

[0085] 图4的地址解码器600可通过串选择线SSL、多条字线WL和地选择线GSL连接到存储器单元阵列100。电压生成器700可基于控制信号CTL生成非易失性存储器装置50的操作所需的字线电压VWL。电压生成器700可从存储器控制器40接收电力PWR。字线电压VWL可通过地址解码器600被施加到多条字线WL。

[0086] 例如,在子块擦除操作期间,电压生成器700可将擦除电压VERS施加到基板111或存储器块的阱,并且可将字线擦除电压(例如,接地电压)施加到选择的子块的多条字线。在擦除验证操作期间,电压生成器700可将擦除验证电压施加到选择的子块的全部字线,或者

基于字线将擦除验证电压顺序地施加到选择的子块的多条字线。

[0087] 例如,在编程操作期间,电压生成器700可将编程电压施加到选择的字线,并且可将编程通过电压施加到未选择的字线。此外,在编程验证操作期间,电压生成器700可将编程验证电压施加到选择的字线,并且可将验证通过电压施加到未选择的字线。此外,在读取操作期间,电压生成器700可将读取电压施加到选择的字线,并且可将读取通过电压施加到未选择的字线。

[0088] 页缓冲器电路410可通过多条位线BL连接到存储器单元阵列100。页缓冲器电路410可包括多个页缓冲器。在一些实施例中,一个页缓冲器可连接到一条位线。在一些实施例中,一个页缓冲器可连接到两条或更多条位线。

[0089] 页缓冲器电路410可临时存储将在选择的页中编程的数据或从存储器单元阵列100的选择的页读出的数据。页缓冲器电路410可包括多个页缓冲器。页缓冲器电路410可临时存储将在选择的页中编程的数据,并且可临时存储从选择的页读取的数据。

[0090] 数据输入/输出电路420可通过数据线DL连接到页缓冲器电路410。在编程操作期间,数据输入/输出电路420可从存储器控制器40接收编程数据DATA,并且基于从控制电路500接收到的列地址C\_ADDR,将编程数据DATA提供给页缓冲器电路410。在读取操作期间,数据输入/输出电路420可基于从控制电路500接收到的列地址C\_ADDR,将存储在页缓冲器电路410中的读取数据DATA提供给存储器控制器40。

[0091] 在擦除操作期间,基板监视电路430可响应于施加到基板的擦除电压VERS来监视基板电压V<sub>SUB</sub>的电压电平(或基板111的电压电平),并且可向控制电路500提供指示基板电压V<sub>SUB</sub>的电平达到参考电平和/或指示在参考时间间隔期间基板电压V<sub>SUB</sub>的电平保持在擦除电压VERS的电平的检测信号DS。

[0092] 图8示出根据一些实施例的形成图4的存储器单元阵列的单元区域。

[0093] 参照图8,单元区域CR包括多个沟道孔(channel hole)CH。

[0094] 沟道孔大小(例如,沟道孔直径)可根据单元区域CR内的位置而变化。例如,与第一边缘EDG1和第二边缘EDG2相邻的沟道孔CH具有低的外围密度,因此,可具有与其他沟道孔CH的直径不同的直径。存储器块BLKa可与第一边缘EDG1相邻,并且可与第一边缘EDG1间隔第一距离d<sub>1</sub>。存储器块BLKb可不与第一边缘EDG1和第二边缘EDG2相邻,可在单元区域CR的中心,并且可与第一边缘EDG1间隔第二距离d<sub>2</sub>。第二距离d<sub>2</sub>可大于第一距离d<sub>1</sub>。包括在存储器块BLKa中的第一沟道孔CHa的第一直径可小于包括在存储器块BLKb中的第二沟道孔CHb的第二直径。

[0095] 图9A和图9B分别示出图8的存储器块BLKa和BLKb的串的横截面。

[0096] 参照图9A,包括沟道层114和内层(内部材料)115的柱可形成在包括在存储器块BLKa中的第一沟道孔CHa中,电荷存储层CS可形成在第一沟道孔CHa周围,电荷存储层CS可具有(氧化物-氮化物-氧化物)ONO结构。

[0097] 参照图9B,包括沟道层114和内层115的柱可形成在包括在存储器块BLKb中的第二沟道孔CHb中,电荷存储层CS可形成在第二沟道孔CHb周围,电荷存储层CS可具有ONO结构。

[0098] 在示例实施例中,包括在存储器块BLKb中的电荷存储层CS的厚度可以与包括在存储器块BLKa中的电荷存储层CS的厚度不同。存储器单元的特性可由于沟道孔直径的不同而变化。例如,在具有栅电极围绕沟道孔的圆周设置的周围栅极结构(gate all around

structure)的3D存储器装置中,如果沟道孔直径减小,则形成在栅电极(例如,图6的栅电极211)与沟道层114之间的电场的大小增大。因此,具有如第一沟道孔Cha的相对小的沟道孔直径的存储器单元的编程和擦除速度可高于具有如第二沟道孔CHb的相对大的沟道孔直径的存储器单元的编程和擦除速度。

[0099] 返回参照图8,存储器块形成在单元区域CR中,以包括与第一方向D1上(即,字线方向上)的一页对应的所有存储器单元并且包括第二方向D2上(即,位线方向上)的一些串。因此,每个存储器块沿第一方向D1延伸,并且沟道孔大小(即,沟道孔直径)可以以存储器块为单位而不同。因此,包括在存储器块BLKa中的存储器单元的编程和擦除速度可高于包括在存储器块BLKb中的存储器单元的编程和擦除速度。

[0100] 图10是示出对图8中的存储器块执行编程操作和擦除操作的结果的曲线图。

[0101] 参照图10,横轴表示第二方向D2(即,位线方向)上的存储器块的位置,纵轴表示阈值电压。例如,实线71表示根据编程的存储器单元的存储器块位置的阈值电压的中心值,虚线72表示根据擦除的存储器单元的存储器块位置的阈值电压的中心值。

[0102] 如上所述,编程的存储器单元的阈值电压分布(如由实线71所示)可具有U形。如由U形曲线图所示,对在更靠近存储器装置的上边缘和/或下边缘的存储器块位置的存储器单元进行编程可需要更高的阈值电压。此外,擦除的存储器单元的阈值电压分布(如由虚线72所示)可具有倒U形。如由倒U形曲线图所示,对在更靠近存储器装置的上边缘和/或下边缘的存储器块位置的存储器单元进行擦除可需要更低的阈值电压。

[0103] 图11示出图8中的垂直结构的示例。

[0104] 参照图11,与包括在3D存储器装置中的串对应的沟道孔CH1被示出。如上所述,沟道孔CH1通过蚀刻堆叠在基板上的栅电极和绝缘层的部分而形成,因此,沟道孔CH1可以是沟道孔CH1的直径向下变得更小的锥形蚀刻轮廓。因此,沟道孔CH1的直径可朝着基板更小。

[0105] 在一些实施例中,沟道孔CH1可根据沟道孔直径划分成三个区。例如,沟道孔直径小于第一值的区可被称为第一区,沟道孔直径等于或大于第一值且小于第二值的区可被称为第二区,沟道孔直径等于或大于第二值且小于第三值的区可被称为第三区。第一区对应于子块SB1,第二区对应于子块SB2,第三区对应于子块SB3。因此,由于沟道孔的直径根据子块的位置而不同,因而一个沟道孔中的存储器单元可具有不同的特性。因此,如图10的曲线图中所示,包括在一个沟道孔中的存储器单元的编程和擦除速度可根据子块的位置而不同。

[0106] 图12是示出根据示例实施例的图4的非易失性存储器装置中的控制电路的示例的框图。

[0107] 参照图12,控制电路500a可包括命令解码器510、地址缓冲器520、控制信号生成器530a、地址比较器540、坏子块信息寄存器(BSIR)550和编程/擦除(P/E)周期信息寄存器(以下,也称为P/E周期寄存器)560。

[0108] 命令解码器510对命令CMD进行解码,并向控制信号生成器530a提供解码的命令D\_CMD。地址缓冲器520接收地址信号ADDR,将行地址R\_ADDR提供给地址解码器600和地址比较器540,并将列地址C\_ADDR提供给数据输入/输出电路420。

[0109] 坏子块信息寄存器550可存储坏子块信息BSI,坏子块信息BSI可包括初始坏子块地址ITSBA和运行时(run-time)坏块子地址RTSBA。初始坏块子地址ITSBA是在非易失性存

储器装置50出厂(ship)时指定的坏子块的地址。运行时坏块子地址RTSBA是在非易失性存储器装置50工作时指定的坏子块的地址。

[0110] 地址比较器540将行地址R\_ADDR与存储在坏子块信息寄存器550中的至少一个坏子块行地址BR\_ADDR进行比较,并向控制信号生成器530a提供指示行地址R\_ADDR与至少一个坏子块行地址BR\_ADDR进行比较的结果的匹配信号MTS。

[0111] 控制信号生成器530a接收解码的命令D\_CMD和匹配信号MTS,基于由解码的命令D\_CMD指示的操作是否与坏子块相关联来生成控制信号CTL,并且向电压生成器700提供控制信号CTL。此外,控制信号生成器530a接收检测信号DS,并基于检测信号DS向地址解码器600提供指示基板电压V<sub>SUB</sub>的电平达到参考电平或基板电压V<sub>SUB</sub>的电平保持在特定电平的第一模式信号MS1。此外,控制信号生成器530a向地址解码器600提供指示由解码的命令D\_CMD指定的操作的第二模式信号MS2。

[0112] 当匹配信号MTS指示行地址R\_ADDR访问正常子块时,控制信号生成器530a通过参照编程/擦除周期信息寄存器560生成控制信号CTL,使得第一编程/擦除周期被应用于普通子块。当匹配信号MTS指示行地址R\_ADDR访问坏子块时,控制信号生成器530a通过参照编程/擦除周期信息寄存器560生成控制信号CTL,使得第二编程/擦除周期被应用于坏子块。第一编程/擦除周期大于第二编程/擦除周期。因此,坏子块上的编程/擦除周期被减弱(slack),从而非易失性存储器装置50的耐久性(endurance)可被提高。

[0113] 图13是示出根据示例实施例的图4的非易失性存储器装置中的控制电路的另一示例的框图。

[0114] 参照图13,控制电路500b可包括命令解码器510、地址缓冲器520、控制信号生成器530b、地址比较器540、坏子块信息寄存器550、编程/擦除周期信息寄存器560、比较器575、寄存器580和编程/擦除(P/E)周期计数器585。

[0115] 图13的控制电路500b与图12的控制电路500a的不同之处在于:控制电路500b还包括比较器575、寄存器580和编程/擦除周期计数器585,并且地址比较器540还向编程/擦除周期计数器585提供匹配信号MTS。

[0116] 当行地址R\_ADDR访问坏子块并且解码的命令D\_CMD对应于编程命令或擦除命令时,编程/擦除周期计数器585基于匹配信号MTS和解码的命令D\_CMD增加计数值CV。比较器575将计数值CV与存储在寄存器580中的参考计数值CRV进行比较,并向控制信号生成器530b提供指示比较的结果的比较信号CS。控制信号生成器530b接收解码的命令D\_CMD、匹配信号MTS、比较信号CS和检测信号DS,并生成控制信号CTL、第一模式信号MS1和第二模式信号MS2,使得当计数值CV小于或等于参考计数值时第二编程/擦除周期被应用于坏子块,当计数值CV超过参考计数值CRV时,小于第二编程/擦除周期的第三编程/擦除周期被应用于坏子块。

[0117] 图14是示出根据一些实施例的图4的非易失性存储器装置中的电压生成器的框图。

[0118] 参照图14,电压生成器700可包括高电压(HV)生成器710和低电压(LV)生成器730。电压生成器700还可包括负电压(NV)生成器750。

[0119] 高电压生成器710可响应于控制信号CTL的第一控制信号CTL1,根据由命令CMD(或者,解码的命令D\_CMD)指示的操作生成编程电压V<sub>PGM</sub>、编程通过电压V<sub>PPASS</sub>、验证通过电压

VVPASS、读取通过电压VRPASS和擦除电压VERS。编程电压VPGM被施加到选择的字线，编程通过电压VPPASS、验证通过电压VVPASS、读取通过电压VRPASS可被施加到未选择的字线，擦除电压VERS可被施加到存储器块的阱或基板。第一控制信号CTL1可包括指示由命令CMD指示的操作的多个位。

[0120] 低电压生成器730可响应于控制信号CTL中的第二控制信号CTL2，根据由命令CMD指示的操作生成编程验证电压VPV、读取电压VRD、擦除验证电压VER和字线擦除电压Vwe。可根据非易失性存储器装置200的操作将编程验证电压VPV、读取电压VRD和擦除验证电压VEV施加到选择的字线。字线擦除电压Vwe可被施加到选择的子块的字线。第二控制信号CTL2可包括指示由命令CMD指示的操作的多个位。

[0121] 负电压生成器750可响应于控制信号CTL中的第三控制信号CTL3，根据由命令CMD指示的操作生成具有负电平的编程验证电压VPV'、读取电压VRD'和擦除验证电压VEV'。第三控制信号CTL3可包括指示由命令CMD指示的操作的多个位。

[0122] 图15是示出根据一些实施例的图4的非易失性存储器装置中的地址解码器的框图。

[0123] 参照图15，地址解码器600包括解码器610、第一开关电路620和第二开关电路630。

[0124] 解码器610接收地址ADDR(例如，行地址R\_ADDR)和模式信号MS(例如，第一模式信号MS1和第二模式信号MS2)，根据由地址ADDR指示的子块、由模式信号指示的基板电压V<sub>SUB</sub>的电平或基板电压V<sub>SUB</sub>的保持时间间隔，生成第一选择信号SS1和第二选择信号SS2，并将第一选择信号SS1和第二选择信号SS2分别提供给第一开关电路620和第二开关电路630。作为示例，第一选择信号SS1和第二选择信号SS2中的每个可具有用于选择存储器单元阵列100中的多个块之中的块的多个选择信号。

[0125] 第一开关电路620和第二开关电路630可连接到多条选择线S1，其中，多条选择线S1连接到电压生成器700。电压生成器700可将各种字线电压VWL提供给多条选择线S1。第一开关电路620通过至少一条串选择线SSL、多条字线WL<sub>1</sub>至WL<sub>n</sub>和至少一条地选择线GSL连接到存储器块BLK<sub>1</sub>。第二开关电路630通过至少一条串选择线SSL、多条字线WL<sub>1</sub>至WL<sub>n</sub>和至少一条地选择线GSL连接到存储器块BLK<sub>z</sub>。对于第一开关电路620和第二开关电路630中的每个，存储器块BLK<sub>1</sub>至BLK<sub>z</sub>的地选择线GSL可以是不同的(即，独立的)。

[0126] 第一开关电路620包括开关控制器621和连接到存储器块BLK<sub>1</sub>的串选择线SSL、字线WL<sub>1</sub>至字线WL<sub>n</sub>和地选择线GSL的多个传输晶体管PT<sub>11</sub>至PT<sub>14</sub>。开关控制器621可通过响应于第一选择信号SS1，将第一开关控制信号SCS1提供给传输晶体管PT<sub>11</sub>至传输晶体管PT<sub>14</sub>来控制传输晶体管PT<sub>11</sub>至传输晶体管PT<sub>14</sub>的导通和截止。作为示例，第一开关控制信号SCS1可具有用于响应于第一选择信号SS1来选择存储器块BLK<sub>1</sub>中的多个子块之中的子块的多个第一开关控制信号。作为示例，开关控制器621可通过响应于第一开关控制信号SCS1的多个第一开关控制信号，从多个不同的时间间隔中选择特定时间间隔来控制传输晶体管PT<sub>11</sub>至传输晶体管PT<sub>14</sub>的导通时序(例如，时间间隔)。

[0127] 第二开关电路630包括开关控制器631和连接到存储器块BLK<sub>z</sub>的串选择线SSL、字线WL<sub>1</sub>至字线WL<sub>n</sub>和地选择线GSL的多个传输晶体管PT<sub>21</sub>至PT<sub>24</sub>。开关控制器631可通过响应于第二选择信号SS2，将第二开关控制信号SCS2提供给传输晶体管PT<sub>21</sub>至传输晶体管PT<sub>24</sub>来控制传输晶体管PT<sub>21</sub>至传输晶体管PT<sub>24</sub>的导通和截止。作为示例，第二开关控制信号

SCS2可具有用于响应于第二选择信号SS2来选择存储器块BLKz之中的多个子块中的子块的多个第二开关控制信号。开关控制器631可通过响应于第二开关控制信号SCS2的多个第二开关控制信号,从多个不同的时间间隔中选择特定时间间隔来控制传输晶体管PT21至传输晶体管PT24的导通时序(例如,时间间隔)。

[0128] 图16是示出根据一些实施例的操作非易失性存储器装置的方法的流程图。

[0129] 在下文中,假设图7的存储器块BLKi中的子块SB1、SB2和SB3中的与基板相邻的第一子块SB1对应于至少一个坏子块,并且第二子块SB2和第三子块SB3对应于至少一个正常子块。

[0130] NAND闪存中的块可能遭受由编程故障或擦除故障引起的故障。在这种情况下,该块被视为运行时坏块并被先前保留的另一块替代。除了运行时坏块之外,可存在当NAND闪存从工厂出厂时已知为坏块的初始坏块。通常,当使用NAND闪存时,在很长一段时间内生成少量的运行时坏块。此外,当NAND闪存从工厂出厂时,通常存在少量初始坏块。然而,如果在短时间段内生成大量运行时坏块或者在初期存在大量初始坏块,则所有保留的块都可被耗尽(exhaust)。因此,非易失性存储器装置不能再使用。也出于这个原因,半导体存储装置的寿命受限制。

[0131] 由于第一子块SB1与基板相邻形成并且具有窄沟道宽度,因此,第一子块SB1中的存储器单元受到由于编程电压或擦除电压引起的应力的影响很大。因此,第一子块SB1中的错误发生的概率较高,第一子块SB1可被指定为坏子块。

[0132] 参照图2至图16,为了克服寿命的限制,根据一些实施例,控制电路500基于第一存储器块中的多个子块中的每个子块的错误发生频率,将多个存储器块中的第一存储器块的多个子块划分为至少一个坏子块(坏子块)和至少一个正常子块(正常子块)(S100)。关于坏子块的信息可被存储在图2的坏子块信息寄存器49和/或图12的坏子块信息寄存器550中。控制电路500可基于命令CMD和地址ADDR,将不同的编程/擦除周期应用于坏子块和正常子块(S200)。控制电路500可将减弱的(slack)编程/擦除周期应用于坏子块以增加非易失性存储器装置50的寿命。

[0133] 图17是详细示出在图16中应用不同编程/擦除周期的操作的流程图。

[0134] 图18是详细示出在图17中应用至少一个第二编程/擦除周期的操作的流程图。

[0135] 图19A和图19B分别示出应用于正常子块和坏子块的编程/擦除周期。

[0136] 参照图17至图19B,为了将不同的编程/擦除周期应用于正常子块和坏子块(S200),图4的控制电路500确定行地址R\_ADDR是否指定坏子块(S210)。当行地址R\_ADDR指定正常子块时(S210中的否),控制电路500通过参考编程/擦除周期信息寄存器560控制图14的电压生成器700和图15的地址解码器600,使得第一编程/擦除周期811或第一编程/擦除周期821被应用于正常子块(S220)。当行地址R\_ADDR指定坏子块时(S210中的是),控制电路500通过参考编程/擦除周期信息寄存器560来控制电压生成器700和地址解码器600,使得至少一个第二编程/擦除周期812或822被应用于坏子块(S230)。

[0137] 参照用于将至少一个第二编程/擦除周期应用于坏子块的图18(S230),控制电路500确定关于坏子块的编程/擦除周期的计数值CV是否超过参考计数值CRV(S240)。当关于坏子块的编程/擦除周期的计数值CV未超过参考计数值CRV时(S240中的否),控制电路500控制电压生成器700和地址解码器600,使得在时间点t0与时间点t11之间的间隔期间第二

编程/擦除周期822被应用于坏子块(S250)。当关于坏子块的编程/擦除周期的计数值CV超过参考计数值CRV时(S240中的是),控制电路500控制电压生成器700和地址解码器600,使得从关于坏子块的编程/擦除周期的计数值CV超过参考计数值CRV的时间点t11开始,第三编程/擦除周期823被应用于坏子块(S260)。

[0138] 在图19A中,第二编程/擦除周期812在比第一编程/擦除周期811更短的时间内运行,在图19B中,第二编程/擦除周期822在比第一编程/擦除周期821更短的时间(即,更小的时间间隔)内运行,并且第三编程/擦除周期823在比第二编程/擦除周期822更短的时间(即,更小的时间间隔)内运行。

[0139] 图20是示出根据一些实施例的操作非易失性存储器装置的方法的流程图。

[0140] 在下文中,假设图7的存储器块BLKi中的子块SB1、子块SB2和子块SB3中的与基板相邻的第一子块SB1对应于至少一个坏子块,并且第二子块SB2和第三子块SB3对应于至少一个正常子块。

[0141] 参照图2至图15和图20,控制电路500基于第一存储器块中的多个子块中的每个子块的错误发生频率,将多个存储器块的第一存储器块的多个子块划分为至少一个坏子块(坏子块)和至少一个正常子块(正常子块)(S300)。控制电路500根据坏子块是否被编程来调节在对第一存储器块的存储器操作期间施加到第一存储器块的偏置条件(S400)。控制电路500控制电压生成器700和地址解码器600,使得根据调节的偏置条件对第一存储器块执行存储器操作(S500)。存储器操作可以是对第一存储器块的擦除操作或编程操作。

[0142] 图21A至图26B分别示出应用于第一存储器块中的子块的偏置条件。

[0143] 在图21A至图26B中,将存在对连接到图7的存储器块BLKi中的位线BL1的子块SB1、子块SB2和子块SB3的描述。

[0144] 图21A和图21B示出图7的存储器块中的子块的编程状态。

[0145] 图21A示出第二子块SB2和第三子块SB3被编程为擦除状态E0和编程状态P1、编程状态P2和编程状态P3,图21B示出第一子块SB1、第二子块SB2至第三子块SB3被编程为擦除状态E0和编程状态P1、编程状态P2和编程状态P3。当对存储器块BLKi执行存储器操作时,第一子块SB1(坏子块)是否被编程影响第二子块SB2和第三子块SB3的阈值电压。因此,控制电路500可通过考虑影响基于坏子块是否被编程来调节施加到第一存储器块的偏置条件。相对于当坏子块不被编程时,当坏子块被编程时,子块SB更容易受坏子块的影响。

[0146] 如图21A中所示,当子块SB1、子块SB2、子块SB3中的每个的存储器单元可存储M位时,并且当在坏子块SB1未被编程的情况下对第一存储器块的存储器操作被完成时,可在连接到与坏子块SB1相邻的边界字线WL5的多个存储器单元中编程N位。这里,M是大于1的整数,N是小于M的自然数。由于在连接到边界字线WL5的多个存储器单元中编程N位,所以连接到边界字线WL5的多个存储器单元的多个编程状态之间的裕度(margin)可增加。此外,如图21B中所示,当在坏子块SB1被编程的情况下对第一存储器块的存储器操作被完成时,可在连接到边界字线WL5的多个存储器单元中编程M位。

[0147] 图22A示出在对第一存储器块的擦除操作期间当坏子块未被编程时的第一存储器块MB1的擦除偏置条件。

[0148] 参照图22A,控制电路500控制地址解码器600浮置单元串的位线BL、串选择线SSL和地选择线GSL,控制电压生成器700和地址解码器600将第一字线擦除电压Vwe1施加到第

二子块SB2和第三子块SB3的字线WL5至字线WL12,将第二字线擦除电压Vwe2施加到坏子块SB1的字线WL1至字线WL4,并将擦除电压VERS施加到基板。第一字线擦除电压Vwe1可具有地电压电平或与地电压电平基本相同的正电压电平,第二字线擦除电压Vwe2高于第一字线擦除电压Vwe1。因此,可防止坏子块BS1的过擦除。

[0149] 图22B示出在对第一存储器块的擦除操作期间当坏子块被编程时的第一存储器块MB1的擦除偏置条件。图23A示出当图22B的擦除偏置条件被采用时,坏子块的电压的变化和基板的电压的变化。图23B示出当图22B的擦除偏置条件被采用时图15中的第一开关电路。

[0150] 参照图22B和图23A,控制电路500控制地址解码器600浮置单元串的位线BL、串选择线SSL和地选择线GSL,控制电压生成器700和地址解码器600将第一字线擦除电压Vwe1应用于字线WL5至字线WL12。控制电路500控制电压生成器700和地址解码器600,在基板111的电压电平VSUB响应于施加到基板111的擦除电压VERS而以恒定斜率增加的第一时间间隔INT11期间,将第一字线擦除电压Vwe1施加到坏子块SB1的字线WL1至字线WL4。第一时间间隔INT11从擦除电压VERS施加到基板111的时间点t21开始,并在基板111的电压电平VSUB达到擦除电压VERS的电压电平的时间点t23结束。在第一字线擦除电压Vwe1被施加到坏子块SB1的字线WL1至字线WL4的同时,地址解码器600在第一时间间隔INT11中的时间点t22(以下,也称为T1)浮置坏子块SB1的字线WL1至字线WL4。

[0151] 当坏子块SB1的字线WL1至字线WL4在时间点t22被浮置时,坏子块SB1的字线WL1至字线WL4的每个电压电平跟随基板111的电压电平VSUB。时间点t22可以是电压电平VSUB响应于施加到基板111的擦除电压VERS而达到参考电平VREF的时间点。在第二时间间隔INT12期间,坏子块SB1的字线WL1至字线WL4中的每个的电压电平保持为一电平。第二时间间隔INT12从时间点t23开始并在时间点t24结束。

[0152] 参照图23B,坏子块SB1的字线WL1至字线WL4中的每个连接到传输晶体管PT31至传输晶体管PT34中的每个,开关控制信号SCS11至开关控制信号SCS114中的每个被施加到传输晶体管PT31至传输晶体管PT34的每个栅极。响应于第一选择信号SS1,开关控制器621启用开关控制信号SCS111至开关控制信号SCS114直到第一时间间隔INT11中的时间点t22为止,并且在时间点t22禁用开关控制信号SCS111至开关控制信号SCS114以浮置坏子块SB1的字线WL1至字线WL4。

[0153] 图24示出在对第一存储器块的擦除操作期间当坏子块被编程时的第一存储器块MB1的擦除偏置条件。图25示出当图24的擦除偏置条件被采用时基板的电压的变化。

[0154] 参照图24和图25,控制电路500控制地址解码器600浮置单元串的位线BL、串选择线SSL和地选择线GSL,并控制电压生成器700和地址解码器600将第一字线擦除电压Vwe1施加到第一子块SB1、第二子块SB2和第三子块SB3的字线WL1至字线WL12。控制电路500控制电压生成器700和地址解码器600从时间点t31将擦除电压VERS施加到基板111,并且当擦除电压VERS在时间点t32达到第一电平VERS1时,在从时间点t32到时间点t33的时间间隔期间将擦除电压VERS的电平保持在第一电平VERS1。在第一时间间隔INT21期间,坏子块SB1在第二子块SB2和第三子块SB3之前被擦除。第一时间间隔INT21在时间点t31开始并在时间点t33结束。控制电路500在时间点t33与时间点t34之间切断向基板111施加的擦除电压VERS。控制电路500控制电压生成器700和地址解码器600从时间点t34再次将擦除电压VERS施加到基板111,并且当擦除电压VERS在时间点t35达到第二电平VERS2时,在从时间点t35到时间

点t36的时间间隔期间将擦除电压VERS的电平保持在第二电平VERS2。在第二时间间隔INT22期间,正常子块SB2和正常子块SB3被擦除。第二时间间隔INT22在时间点t34开始并在时间点t36结束。由于坏子块SB1在第二子块SB2和第三子块SB3之前被擦除,因此,对坏子块SB1的擦除电压VERS的应力可减小。

[0155] 图26A示出在对第一存储器块的读取操作期间当坏子块未被编程时的第一存储器块的读取偏置条件。

[0156] 图26B示出在对第一存储器块的读取操作期间当坏子块被编程时的第一存储器块的读取偏置条件。

[0157] 在图26A和图26B中,假设对连接到第二子块SB2(正常子块)的字线WL6的存储器单元执行读取操作。

[0158] 参照图26A,控制电路500控制电压生成器700和地址解码器600将第一读取通过电压VRPASS11施加到单元串的位线BL、串选择线SSL、地选择线GSL以及字线WL5和字线WL7至字线WL12,将读取电压VRD施加到字线WL6,并将第二读取通过电压VRPASS12施加到坏子块SB1的字线WL1至字线WL4。第一读取通过电压VRPASS11的电平可高于第二读取通过电压VRPASS12的电平。由于坏子块SB1中的存储器单元被擦除,因此,坏子块SB1中的所有存储器单元可响应于第二读取通过电压VRPASS12而导通。

[0159] 参照图26B,控制电路500控制电压生成器700和地址解码器600将第一读取通过电压VRPASS21施加到单元串的位线BL、串选择线SSL、地选择线GSL以及字线WL5和字线WL7至字线WL12,将读取电压VRD施加到字线WL6,并将第二读取通过电压VRPASS22施加到坏子块SB1的字线WL1至字线WL4。第一读取通过电压VRPASS21的电平可等于或高于第二读取通过电压VRPASS22的电平。此外,第二读取通过电压VRPASS22的电平可高于第二读取通过电压VRPASS12,第一读取通过电压VRPASS21的电平可高于第一读取通过电压VRPASS11。由于坏子块SB1中的存储器单元被编程,所以第二读取通过电压VRPASS22可具有用于导通坏子块SB1中的所有存储器单元的电平。

[0160] 根据一些实施例,非易失性存储器装置可基于第一存储器块中的多个子块中的每个子块的错误发生频率将多个子块划分为至少一个坏子块和至少一个正常子块,或者可基于由于多个子块的位置而引起的耐久性特性将不同的编程/擦除周期应用于至少一个坏子块和至少一个正常子块,并且可在第一存储器块的存储器操作期间将调节偏置条件应用于第一存储器块。因此,非易失性存储器装置可增强性能并防止非易失性存储器装置的寿命的缩短。

[0161] 图27是示出根据示例实施例的移动装置的框图。

[0162] 参照图27,移动装置1000可包括应用处理器1100、通信模块1200、显示/触摸模块1300、存储装置1400和移动RAM 1500。

[0163] 应用处理器1100控制移动装置1000的操作。应用处理器1100可执行图16、图17和/或图20的流程图的操作中的任何操作。通信模块1200被实现为执行与外部装置的无线或有线通信。显示/触摸模块1300被实现为显示由应用处理器1100处理的数据或者通过触摸板接收数据。存储装置1400可被实现为存储用户数据。

[0164] 存储装置1400可以是eMMC、SSD、UFS装置等。存储装置1400可采用图2的存储装置30。存储装置1400可包括存储器控制器和至少一个非易失性存储器装置。至少一个非易失

性存储器装置可包括图4的非易失性存储器装置50。移动RAM 1500临时存储用于处理移动装置1000的操作的数据。

[0165] 根据一些实施例的非易失性存储器装置或存储装置可使用各种封装类型或封装配置来封装。

[0166] 本公开可被应用于包括非易失性存储器装置的各种电子装置。例如,本公开可被应用于多个系统,诸如,移动电话、智能电话、个人数字助理(PDA)、便携式多媒体播放器(PMP)、数码相机、便携式摄像机、个人计算机(PC)、服务器计算机、工作站、膝上型计算机、数字TV、机顶盒、便携式游戏机、导航系统等。

[0167] 前述内容是对一些实施例的说明,而不应被解释为对其进行限制。尽管已经描述了一些示例实施例,但是本领域技术人员将容易地理解,在没有实质上脱离本公开的新颖教导和优点的情况下,可在示例实施例中进行许多修改。因此,所有这样的修改意在包括在权利要求中所限定的本公开的范围内。

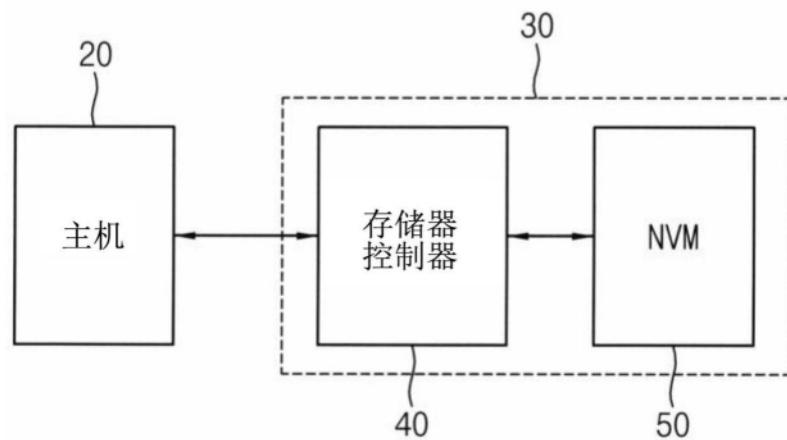
10

图1

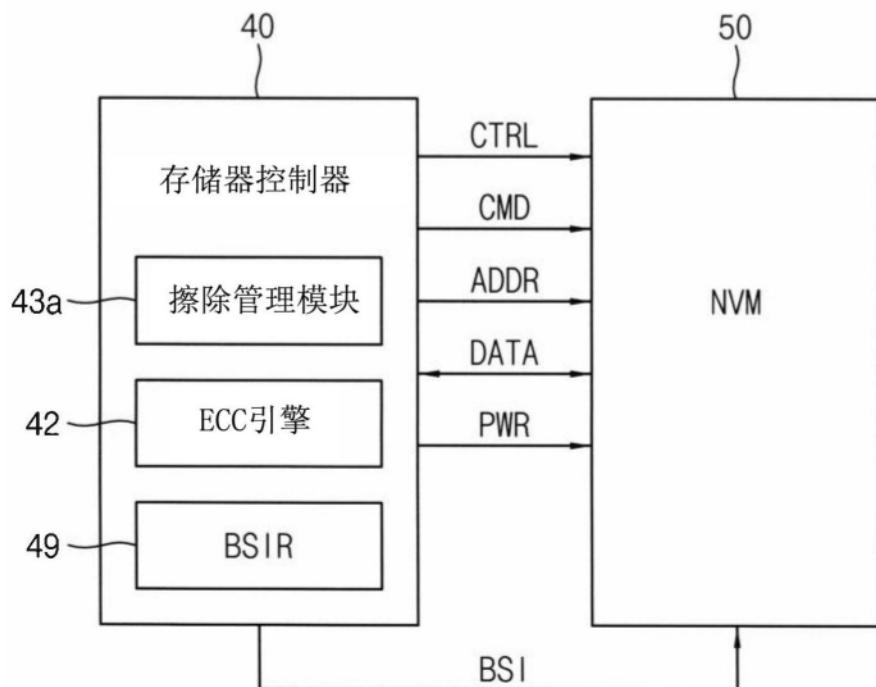
30

图2

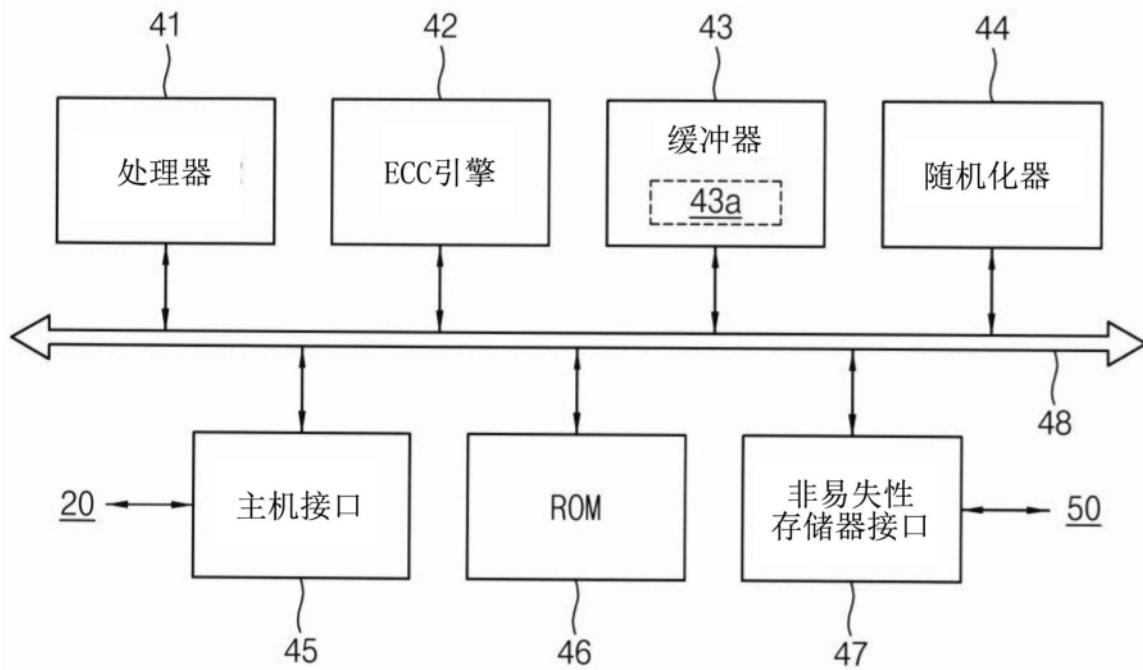
40

图3

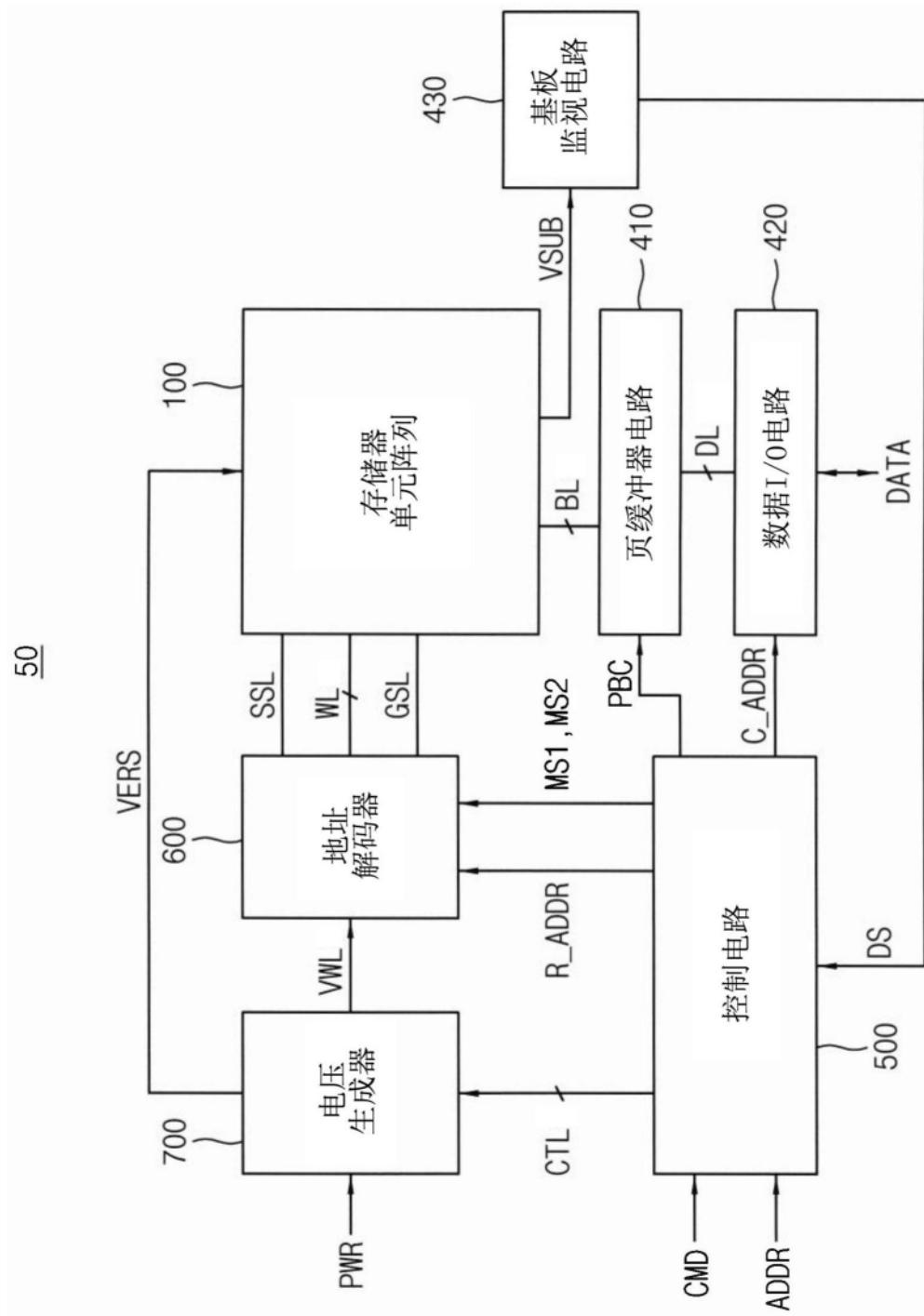


图4

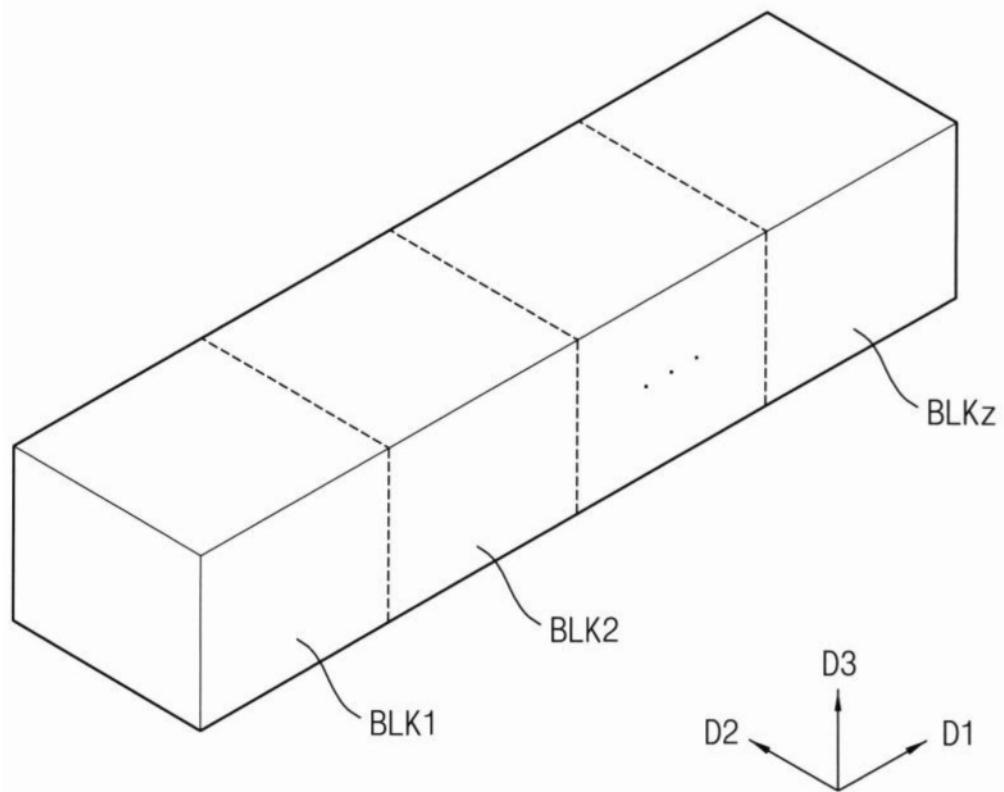
100

图5

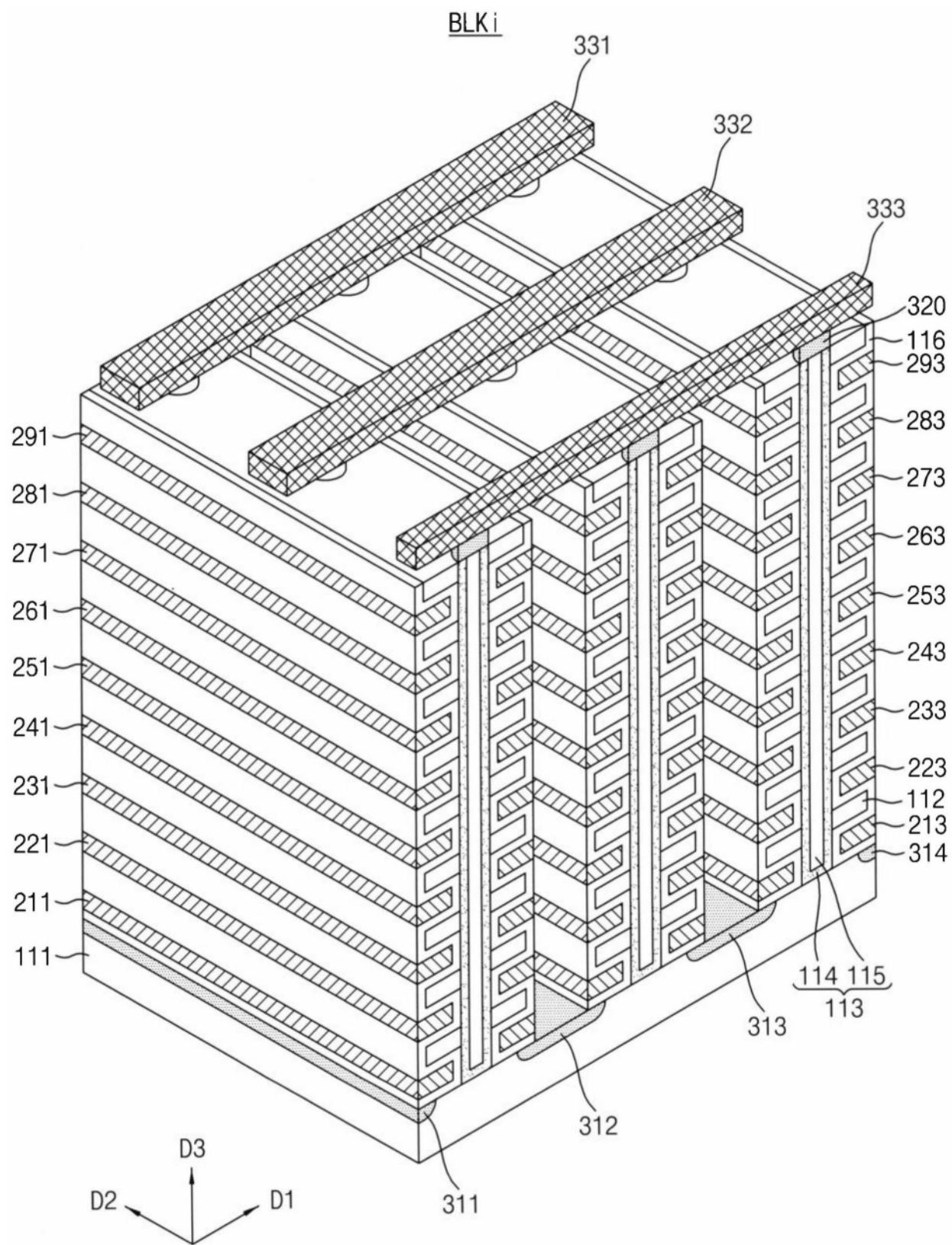


图6

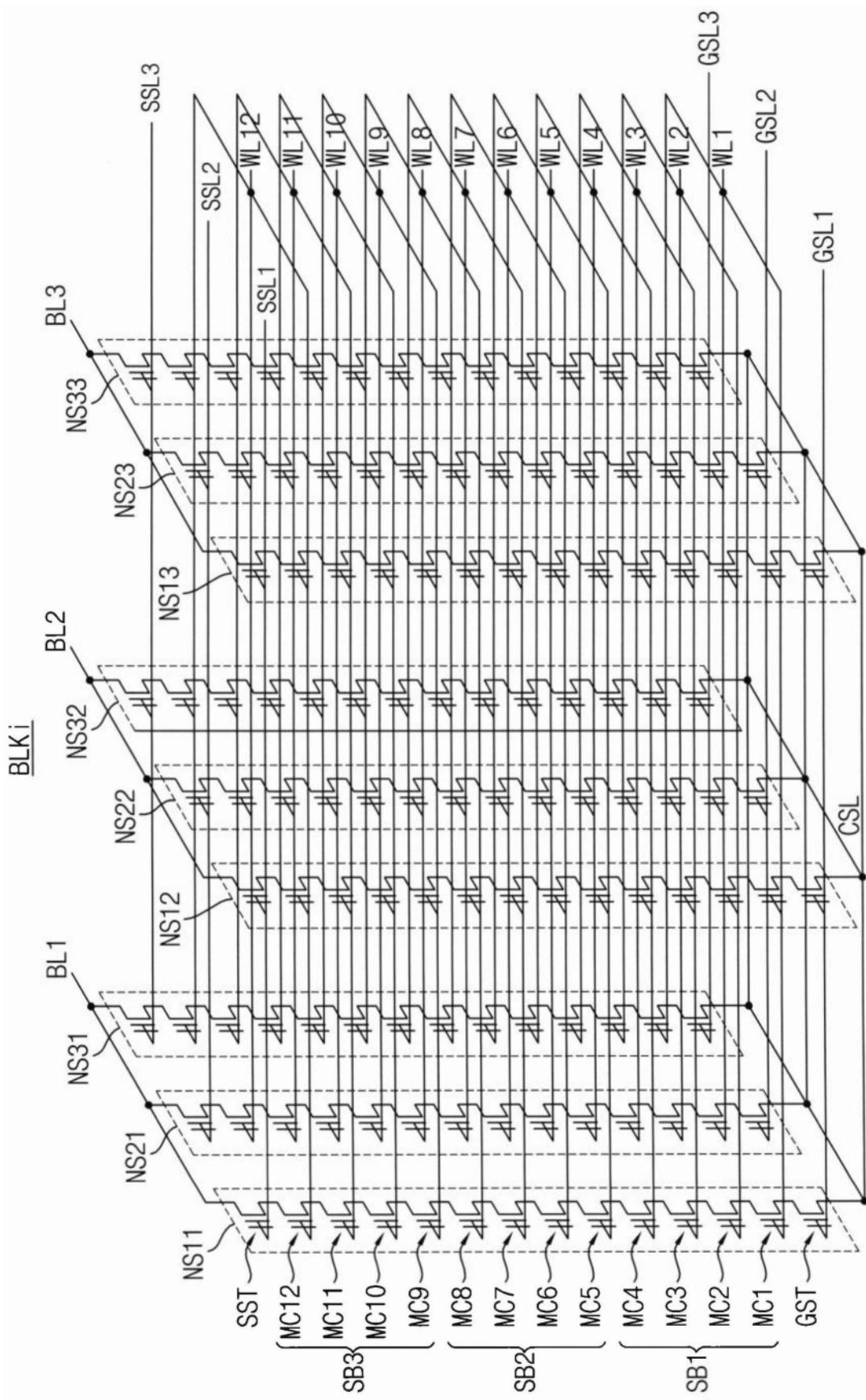


图7

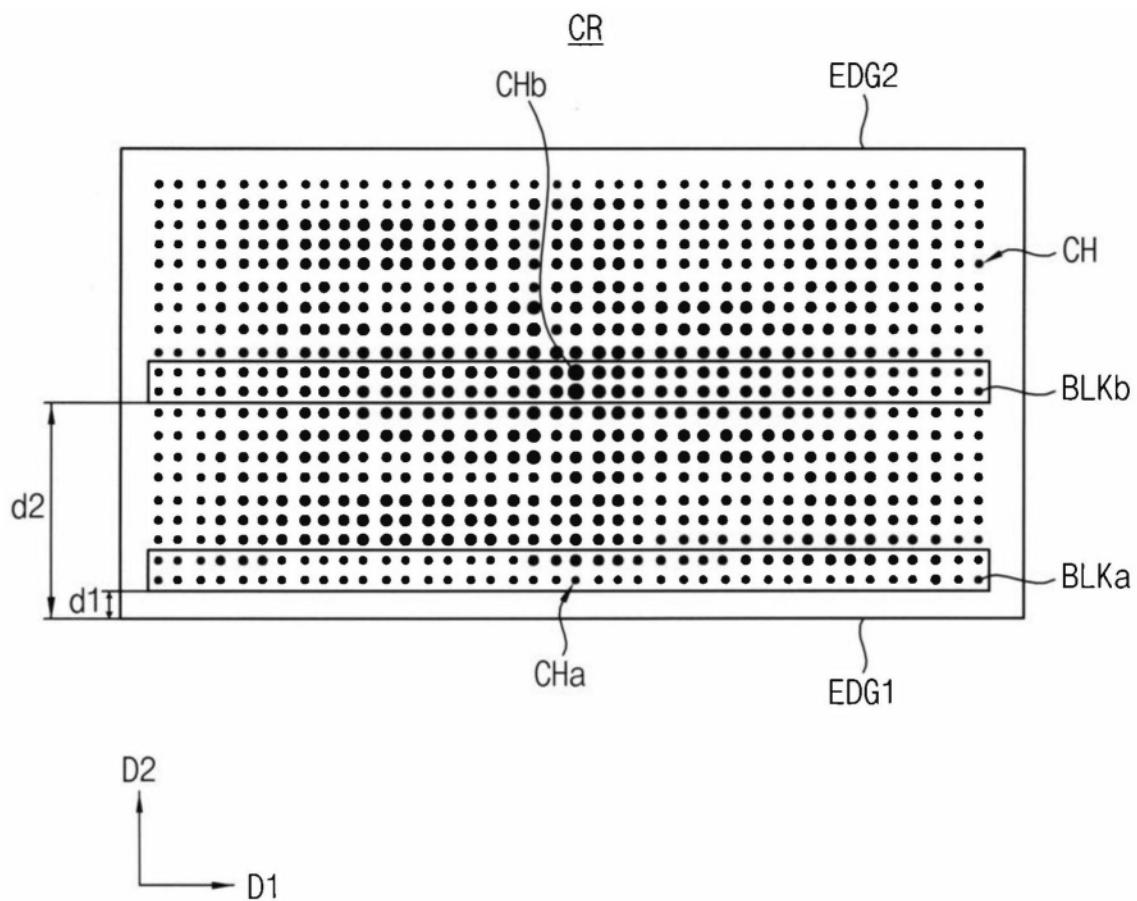


图8

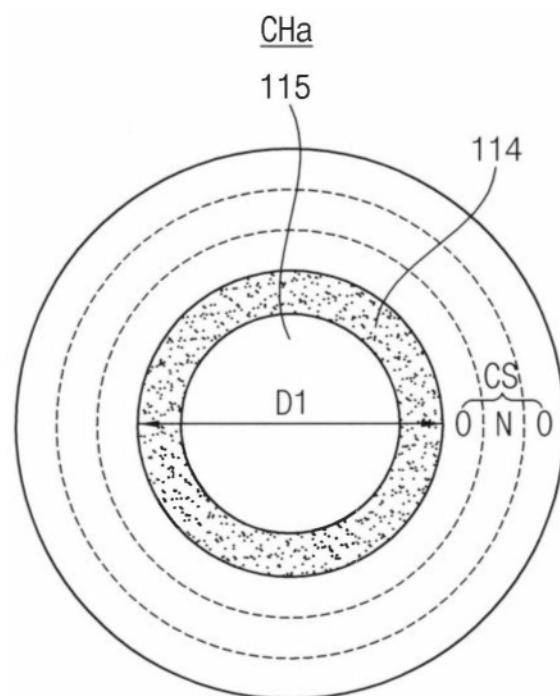


图9A

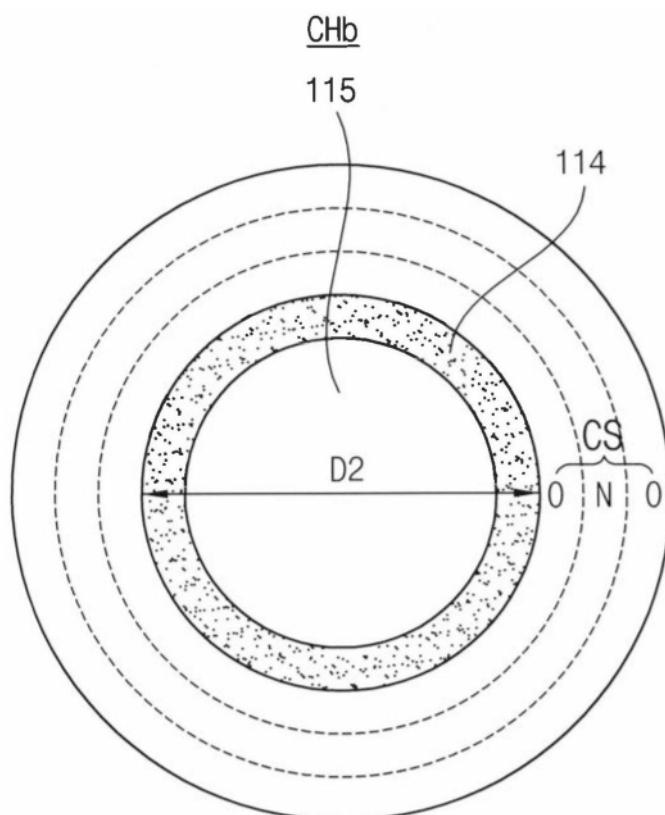


图9B

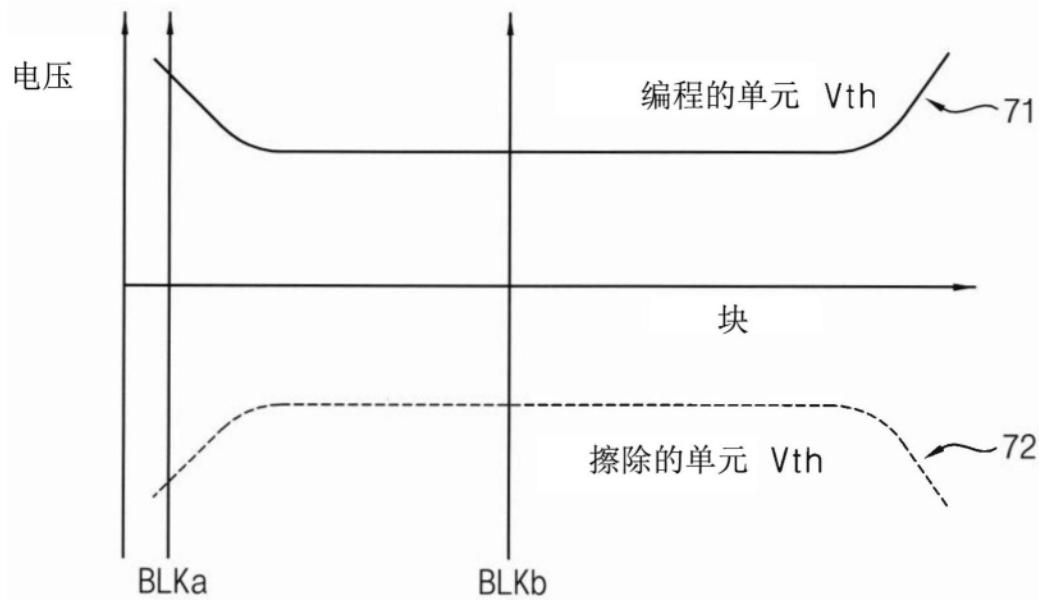


图10

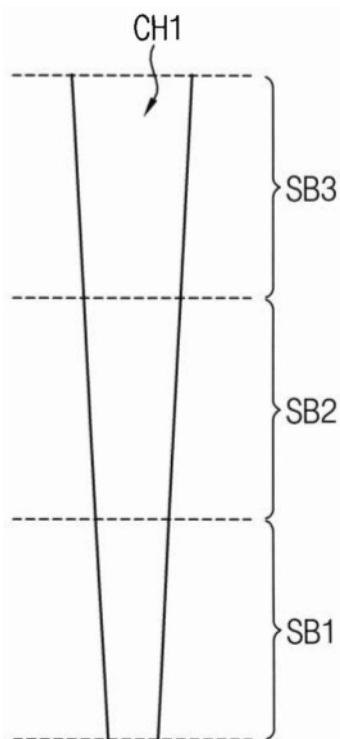


图11

500a

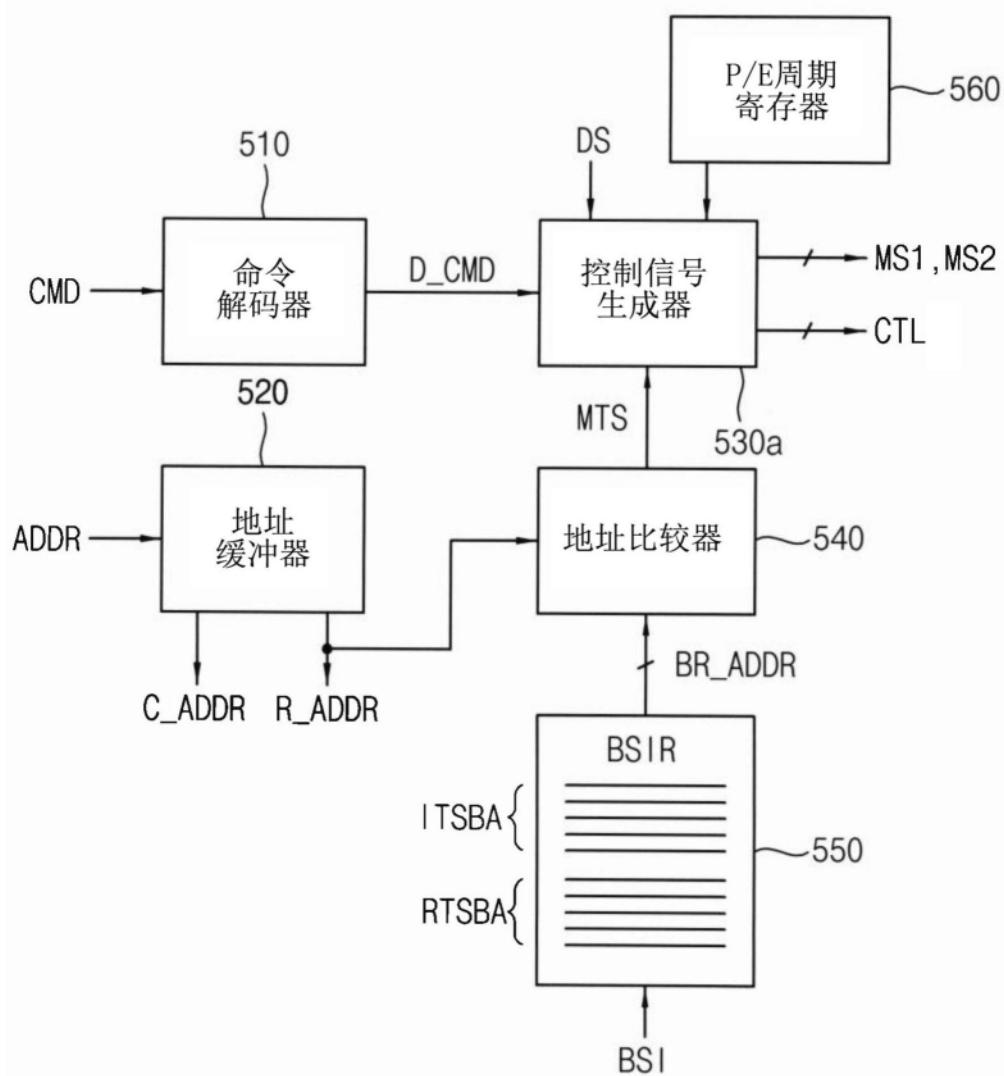


图12

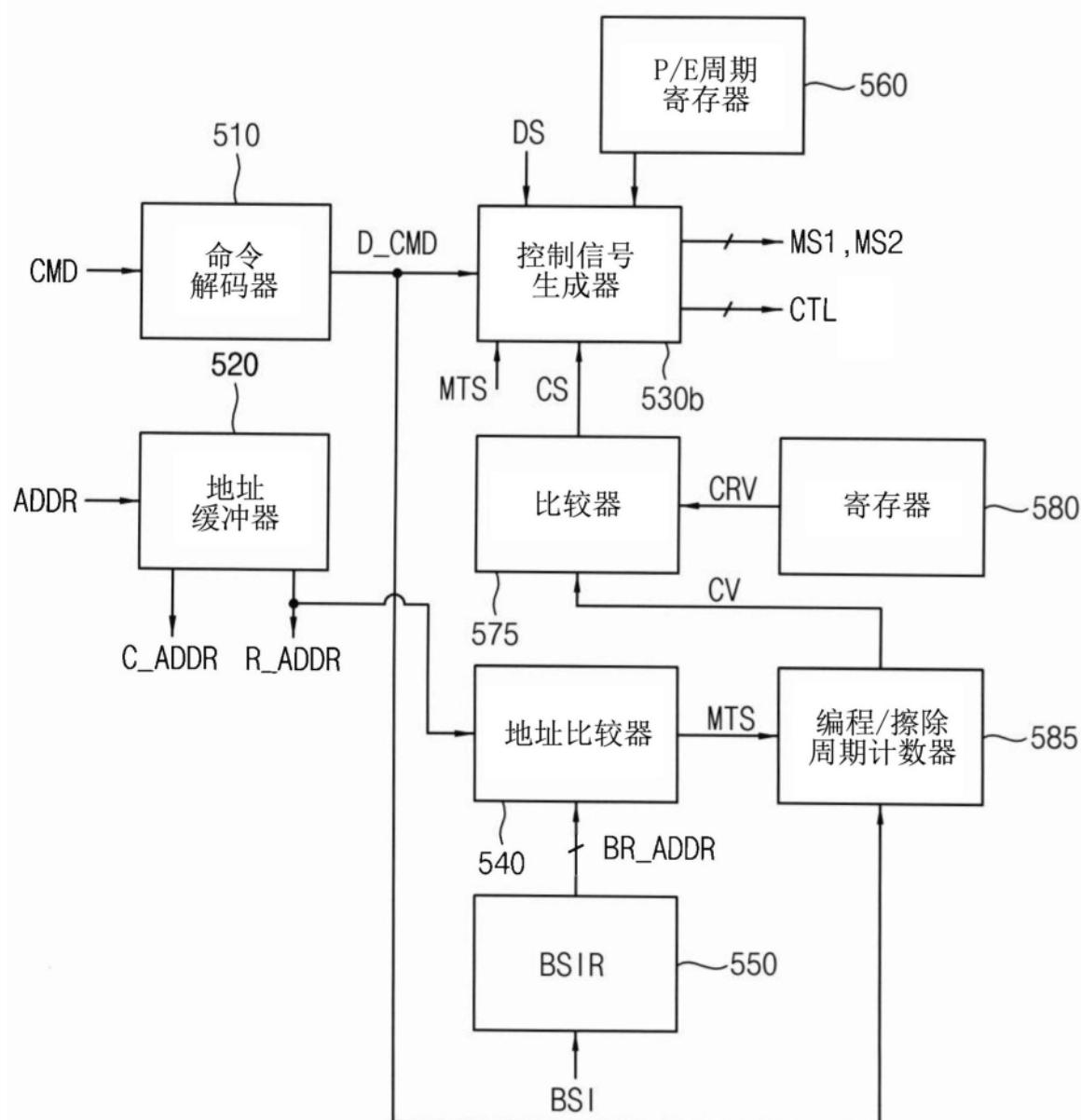
500b

图13

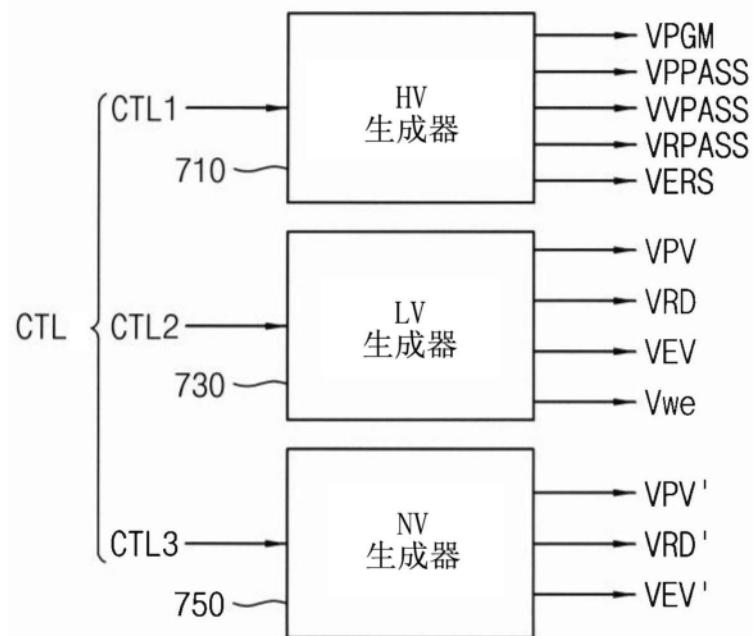
700

图14

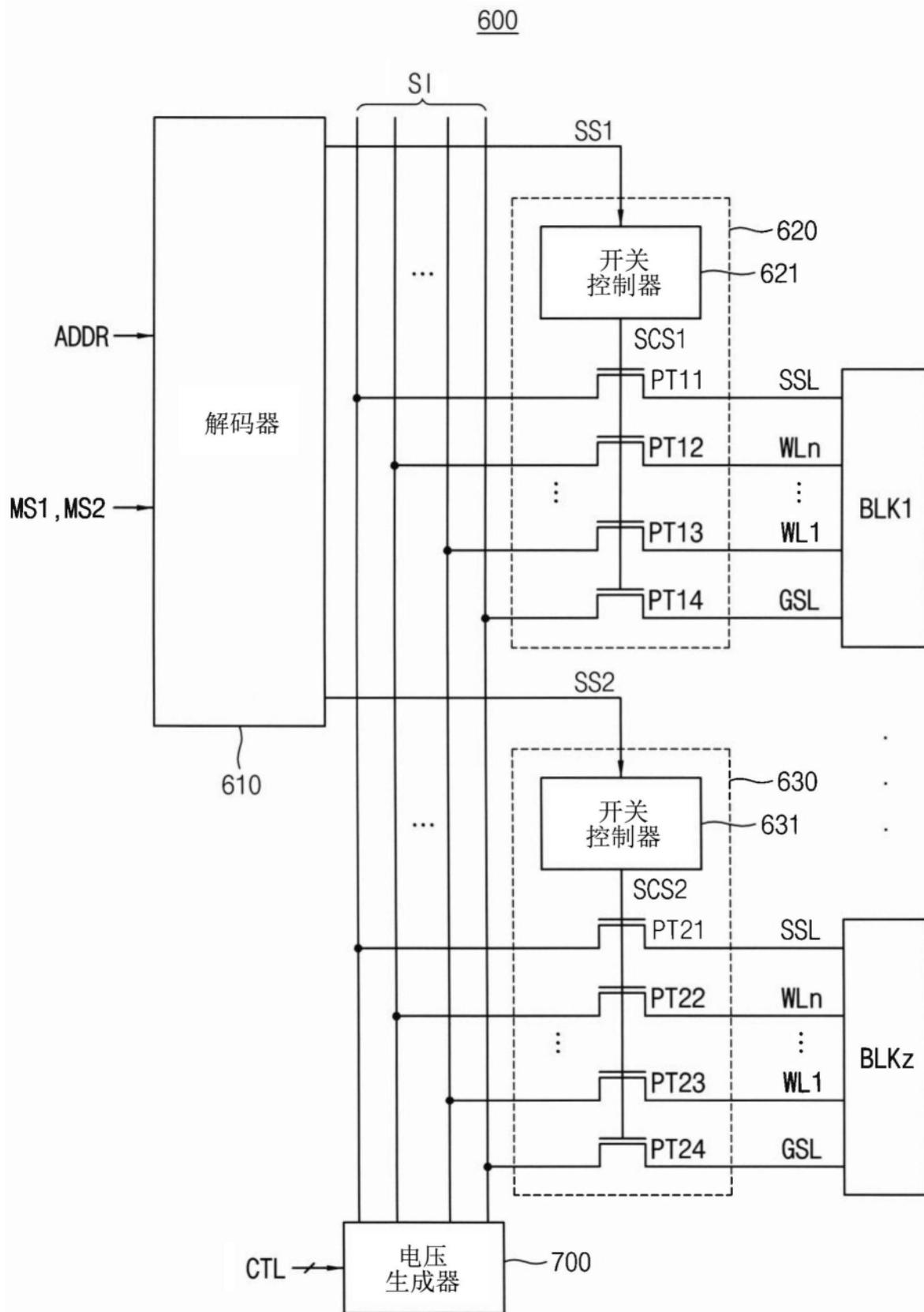


图15

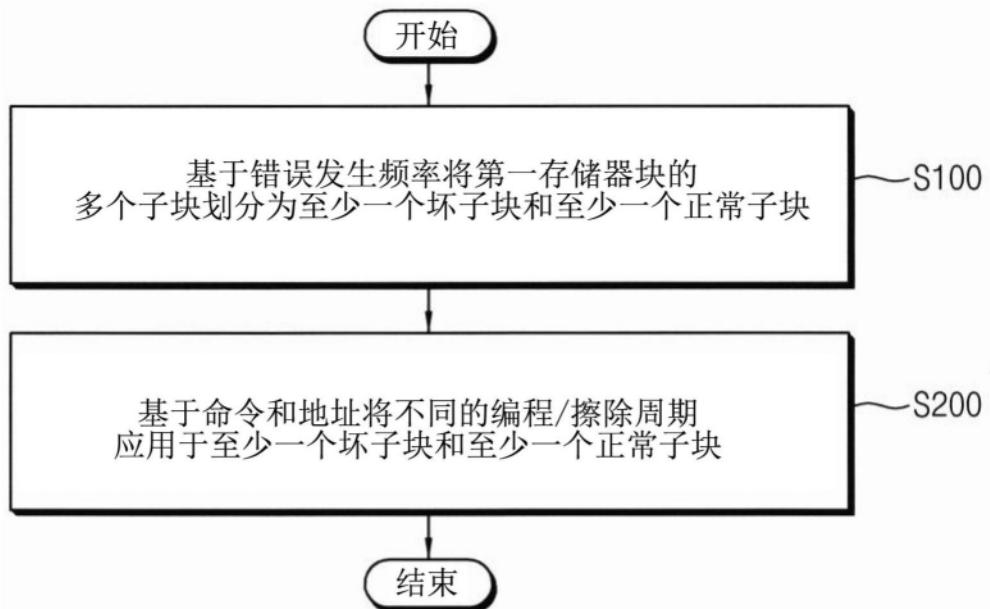


图16

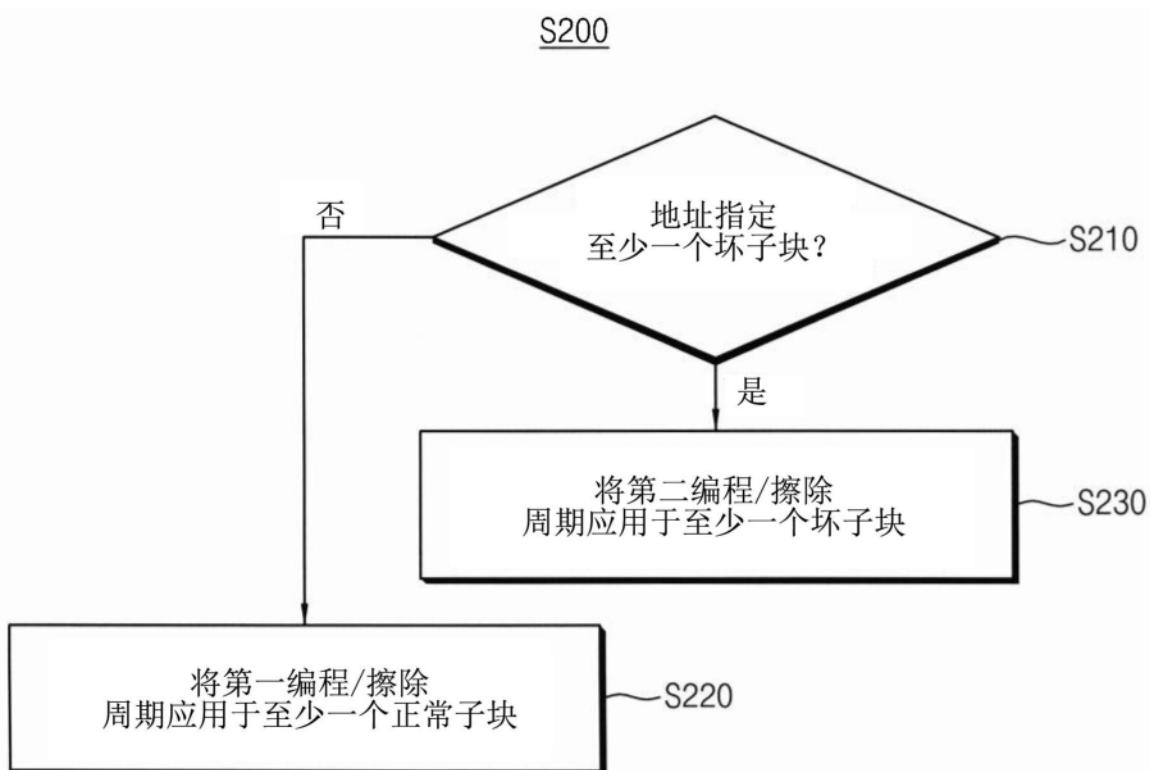


图17

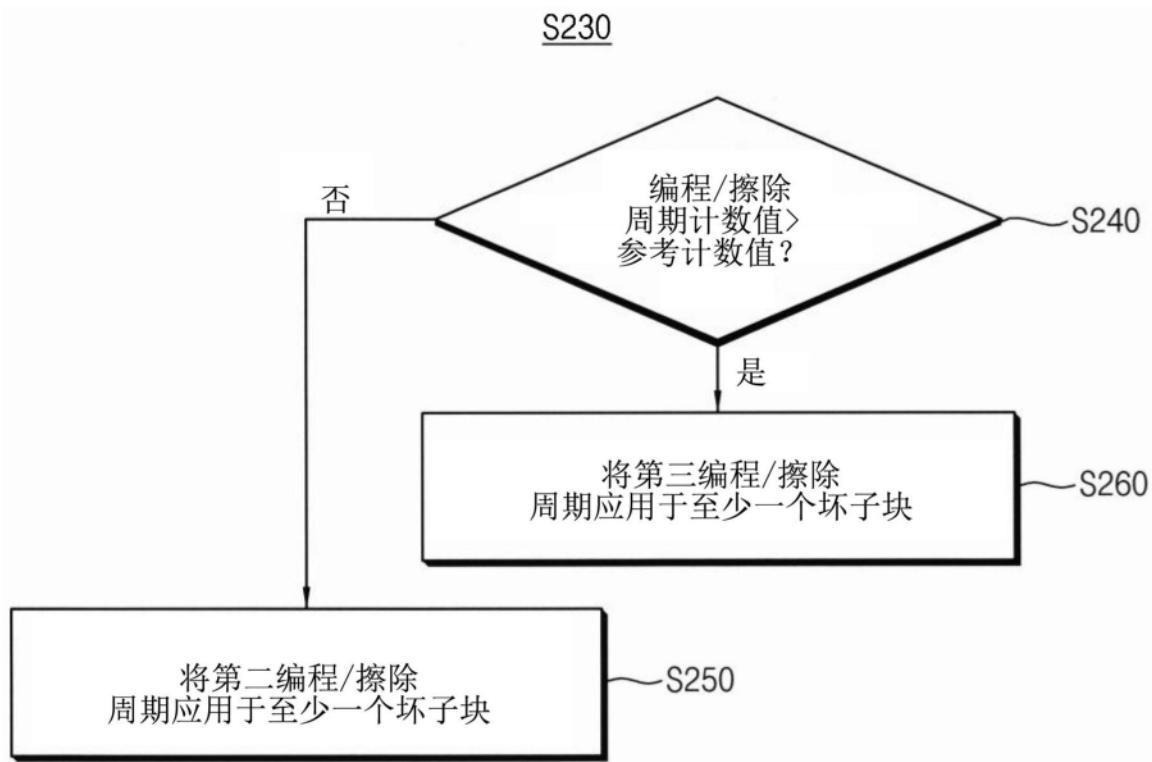


图18

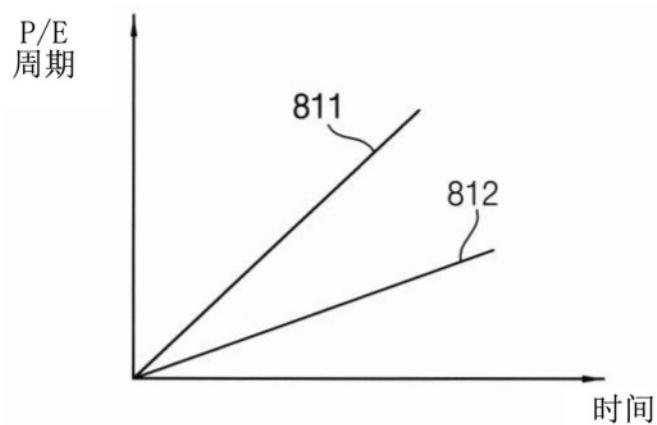


图19A

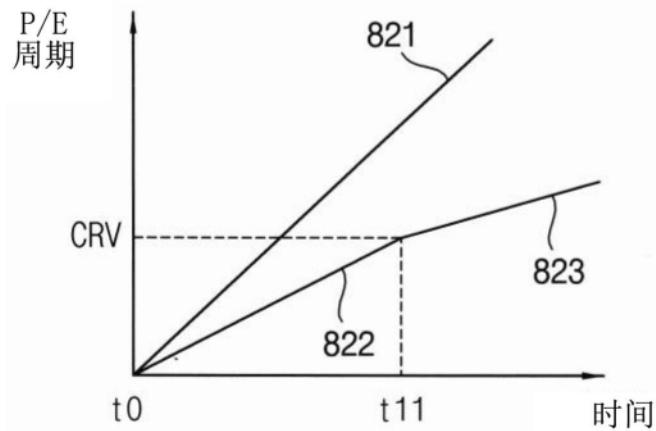


图19B

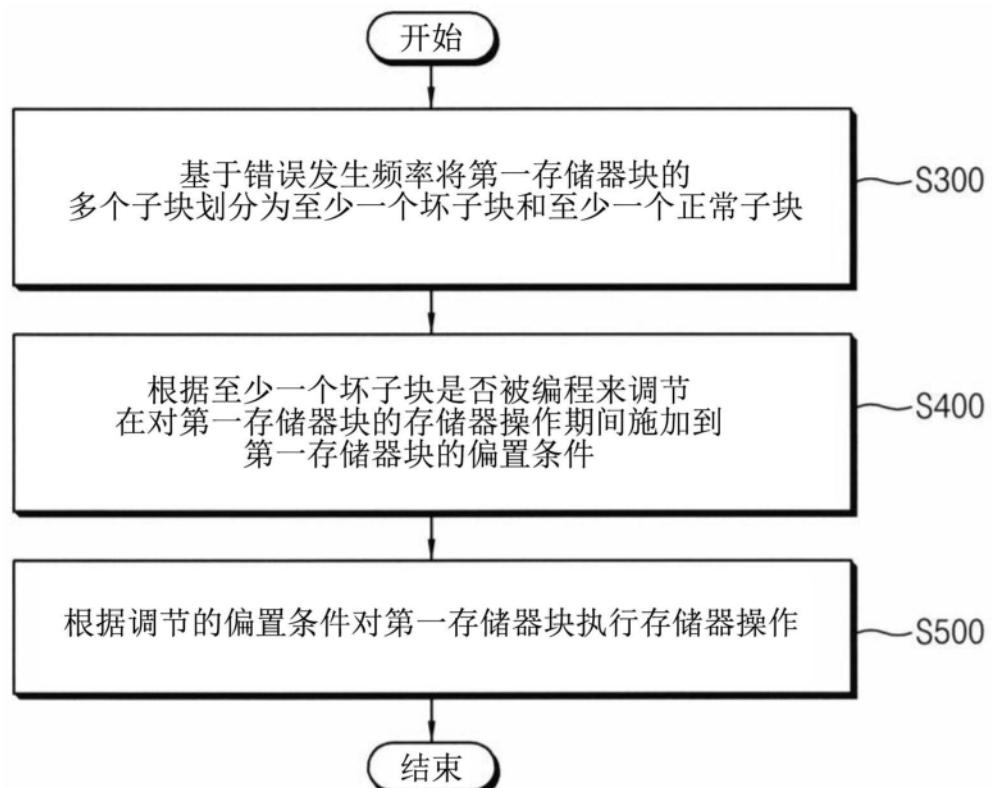


图20

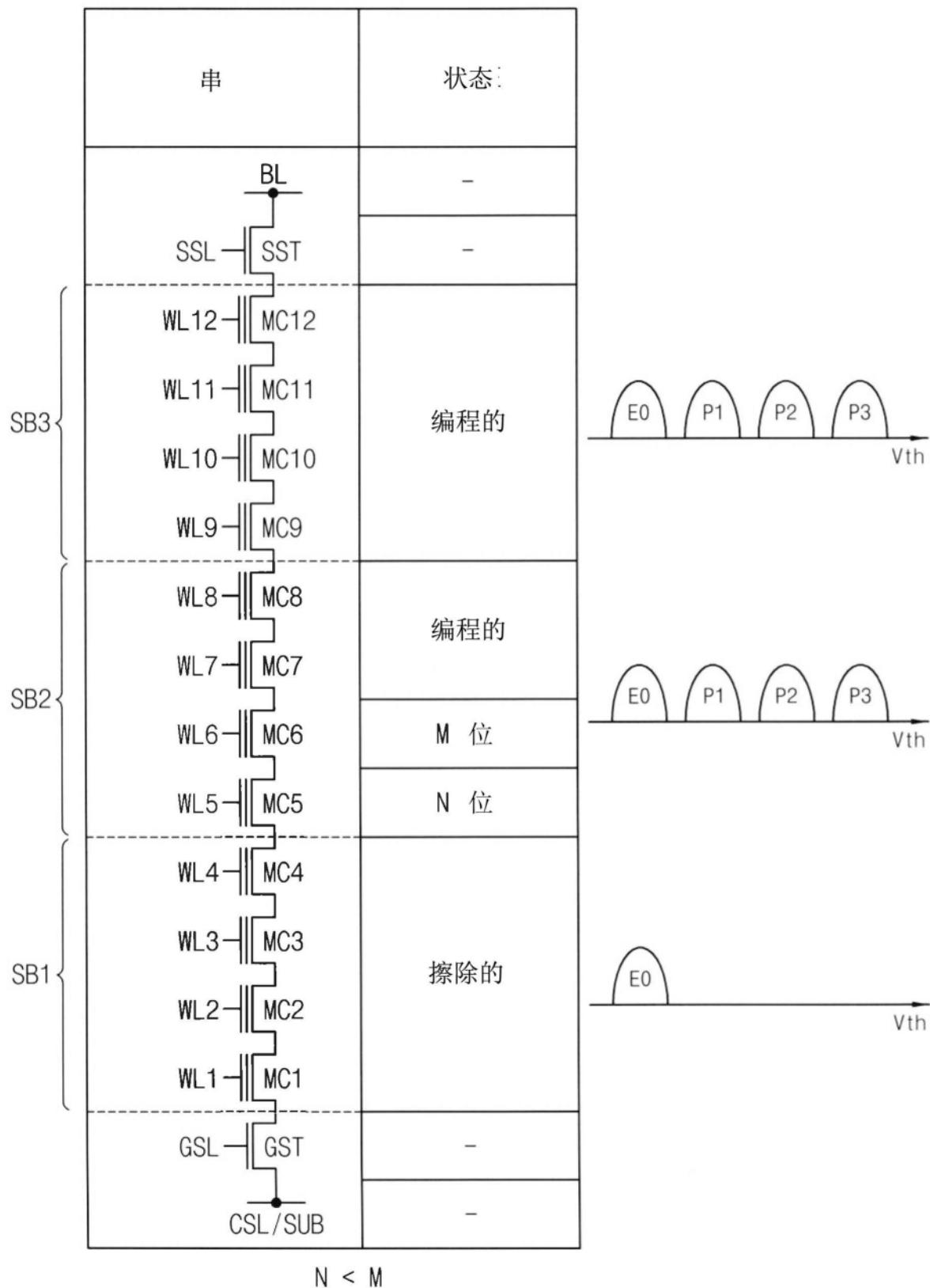


图21A

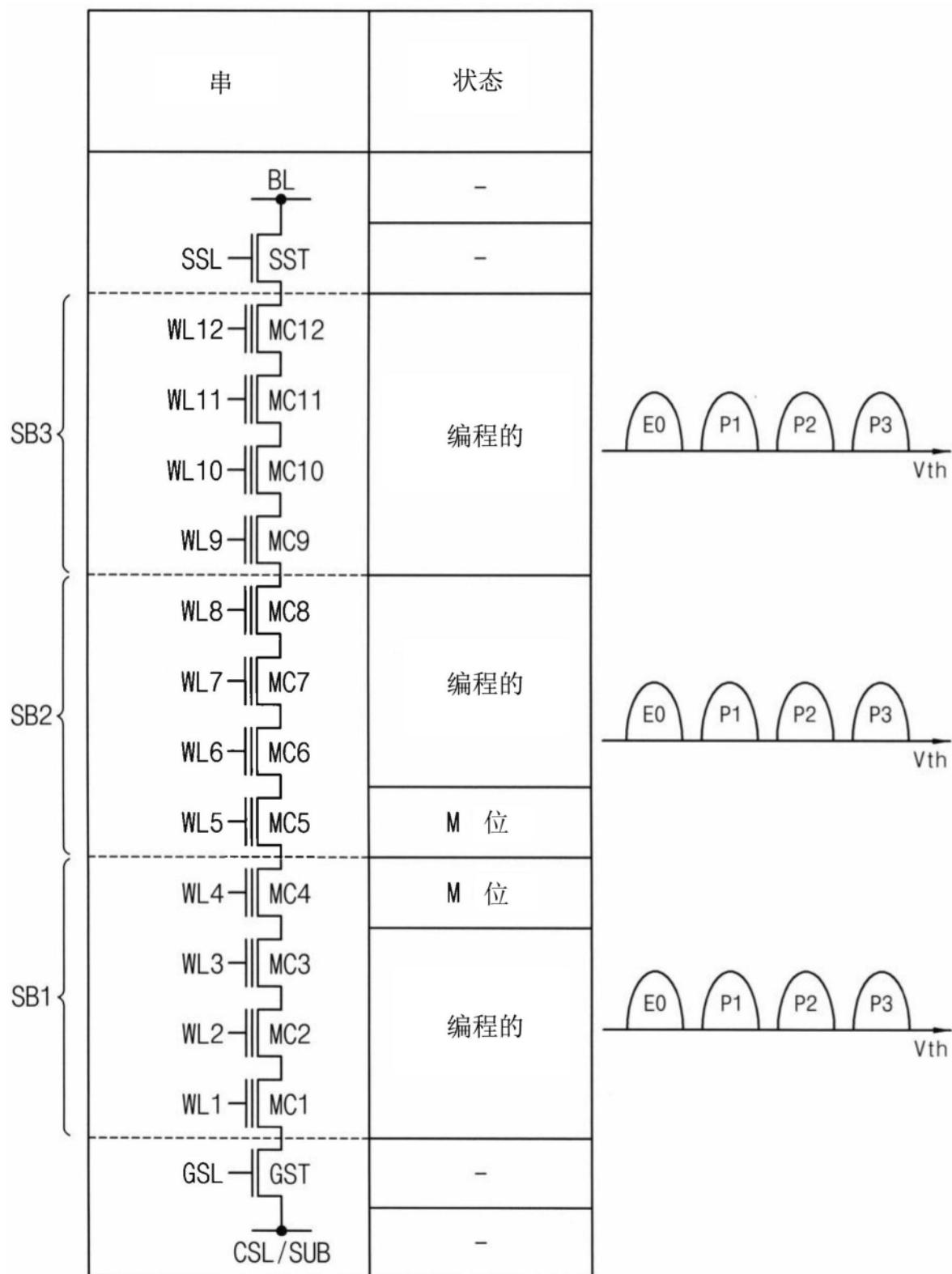
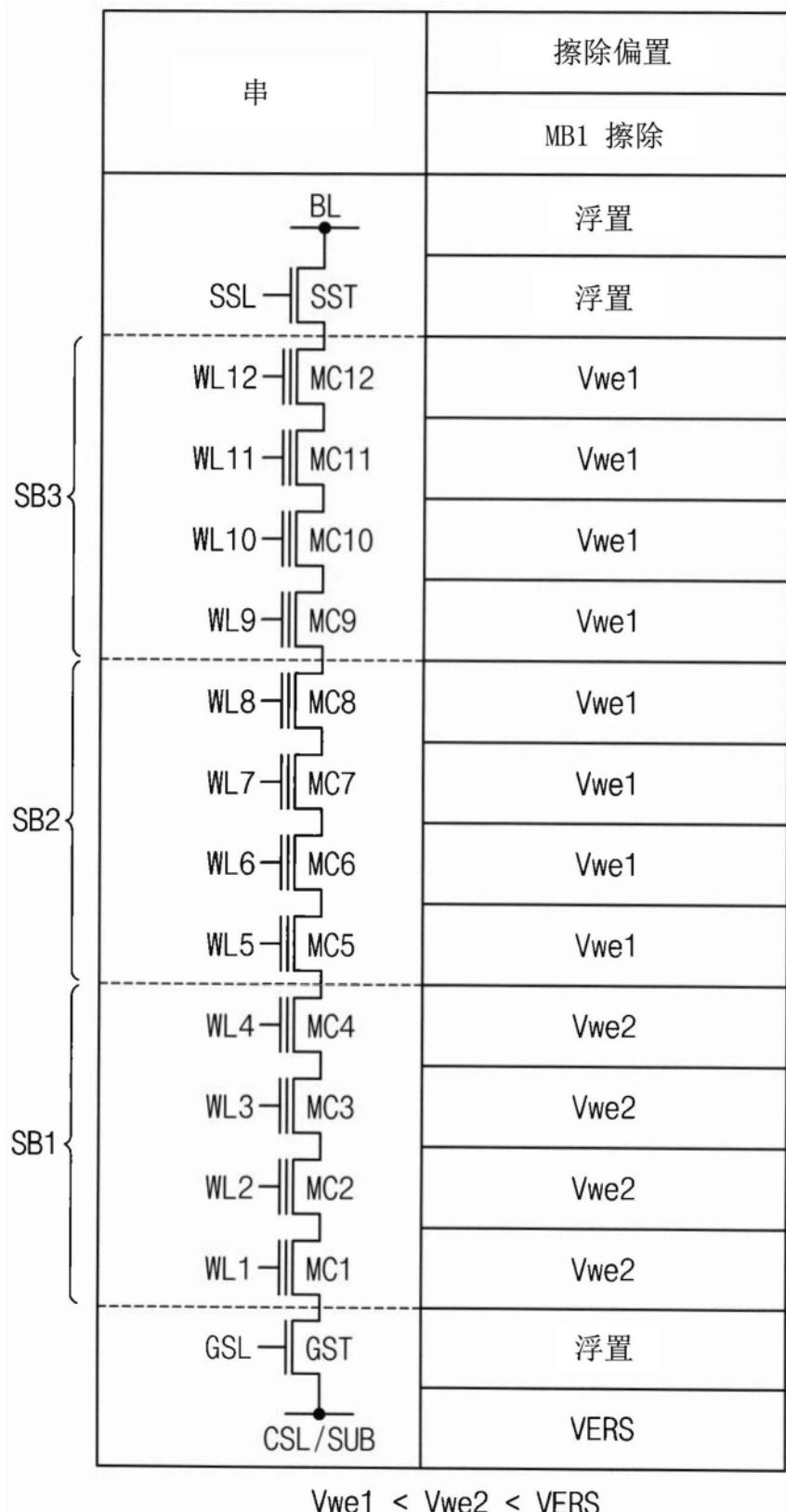
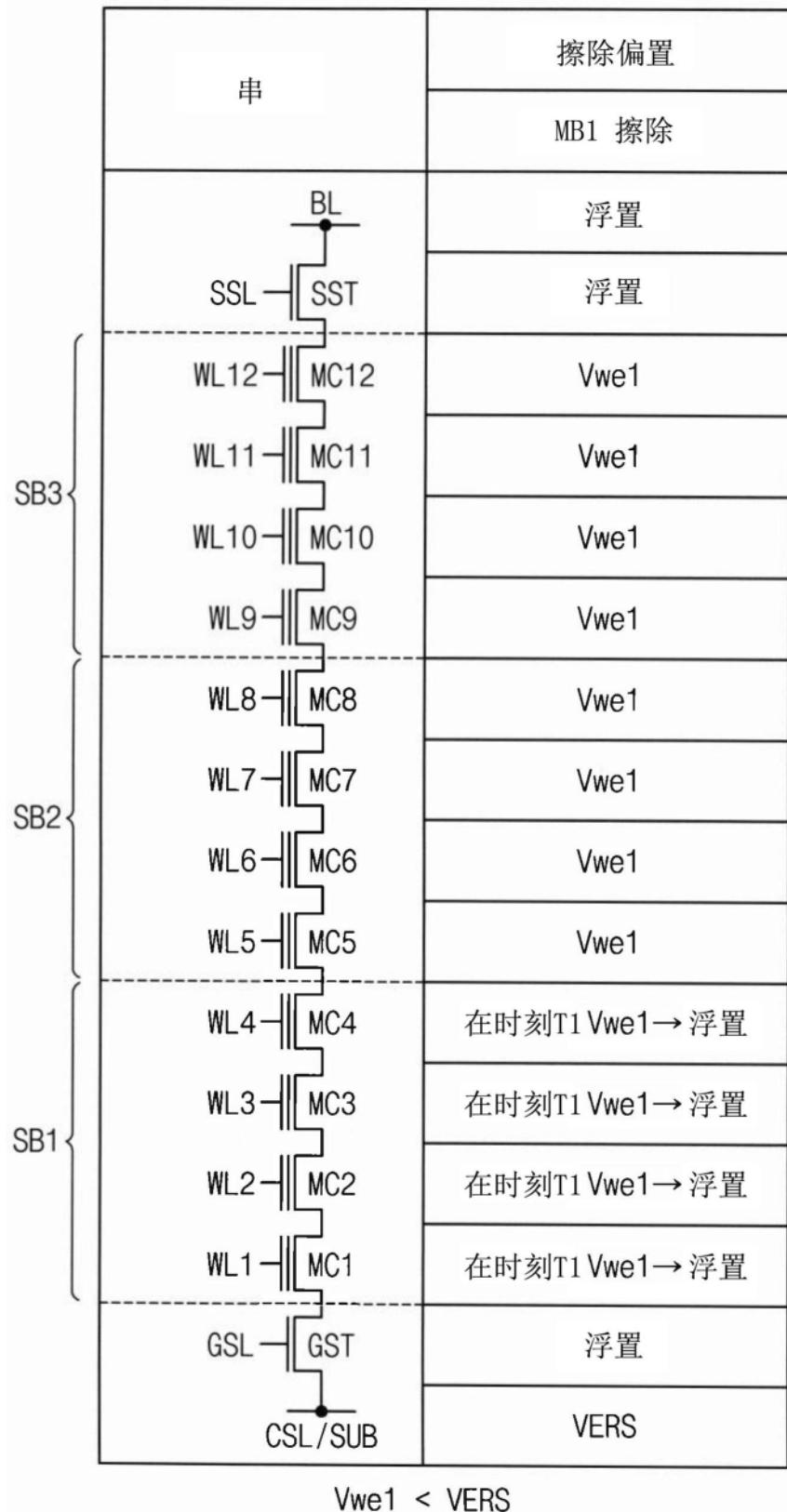


图21B



$Vwe1 < Vwe2 < VERS$

图22A



$Vwe1 < VERS$

图22B

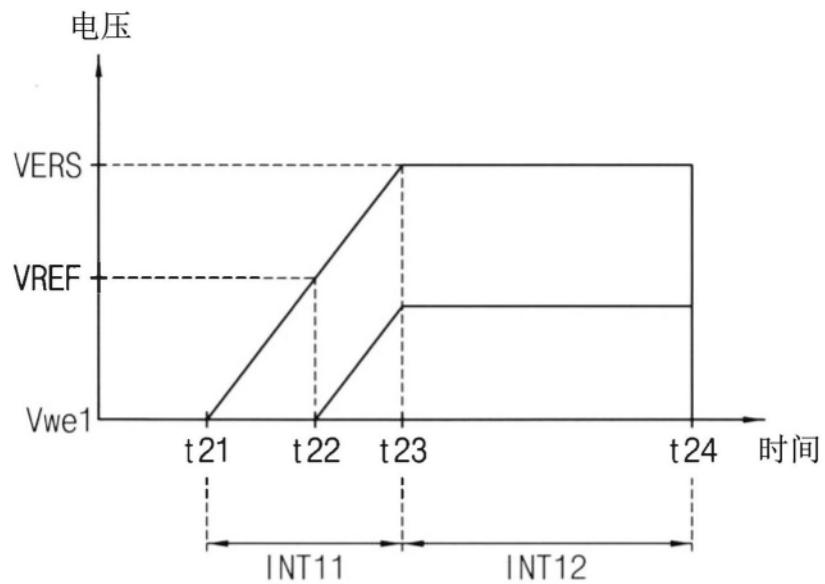


图23A

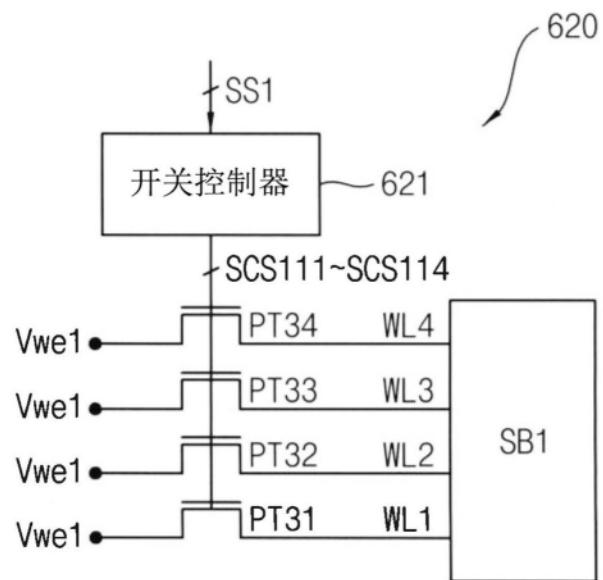
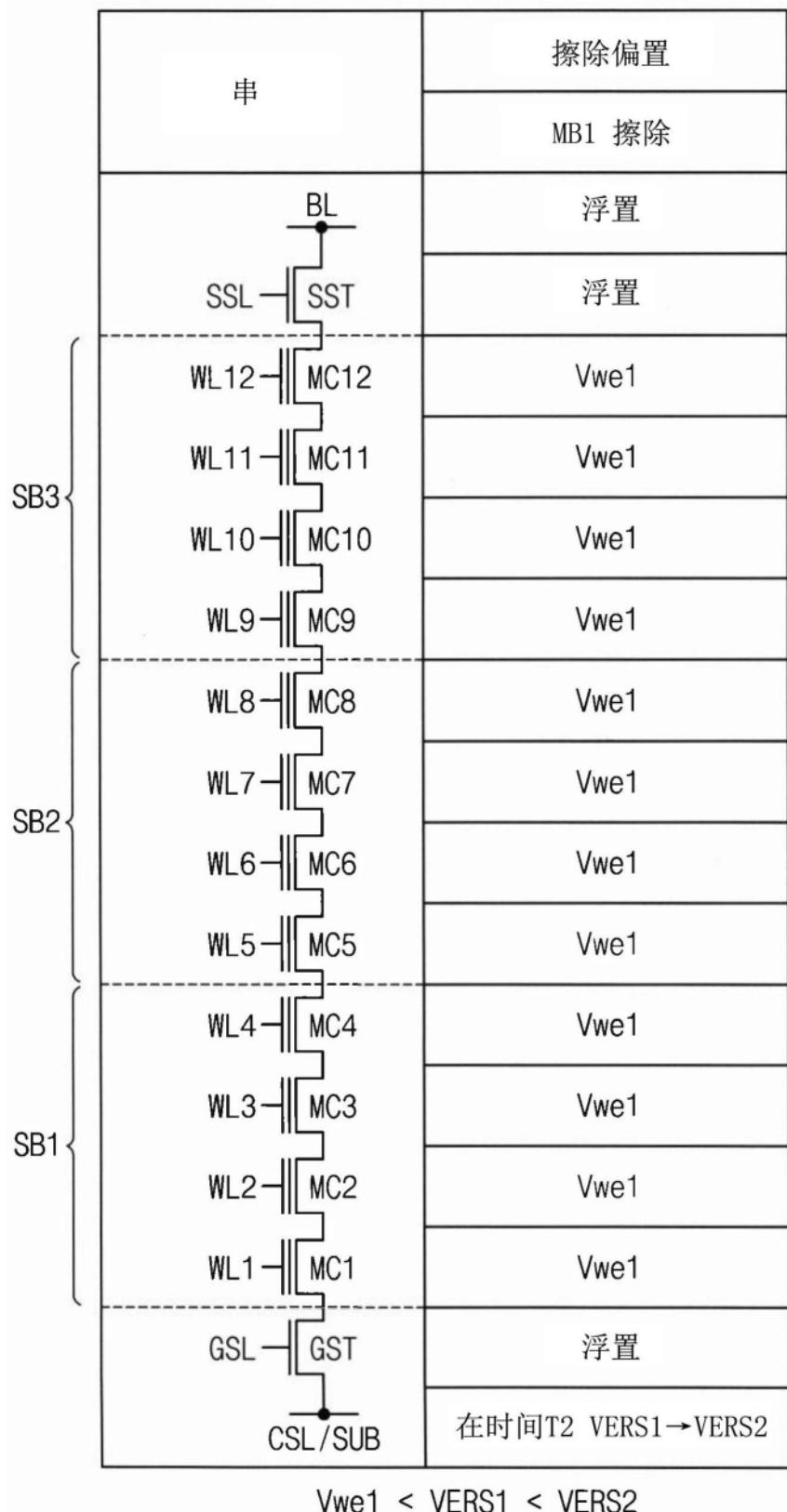
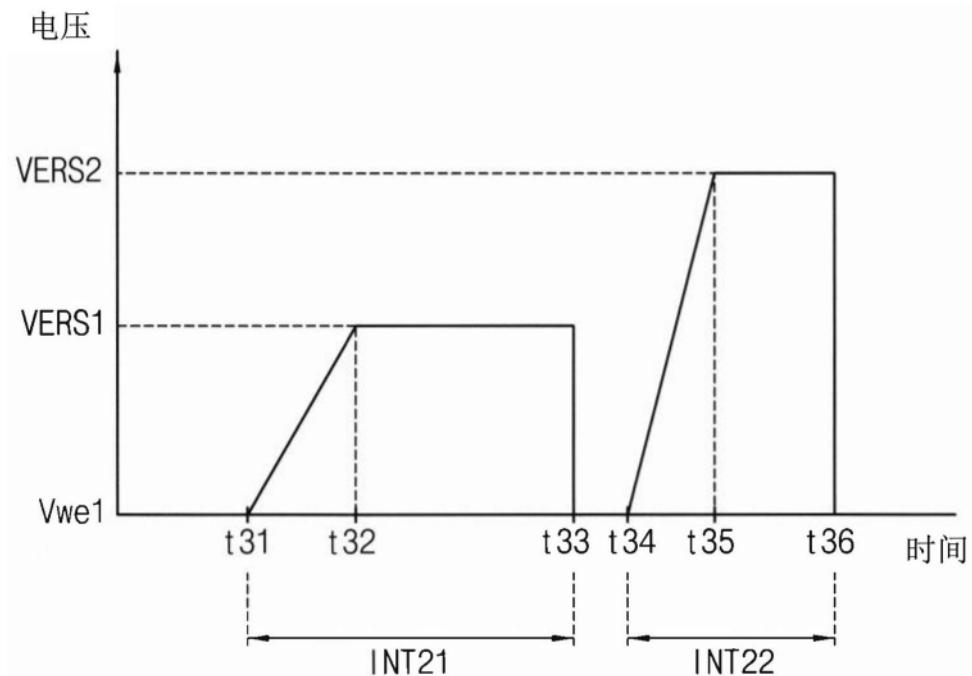


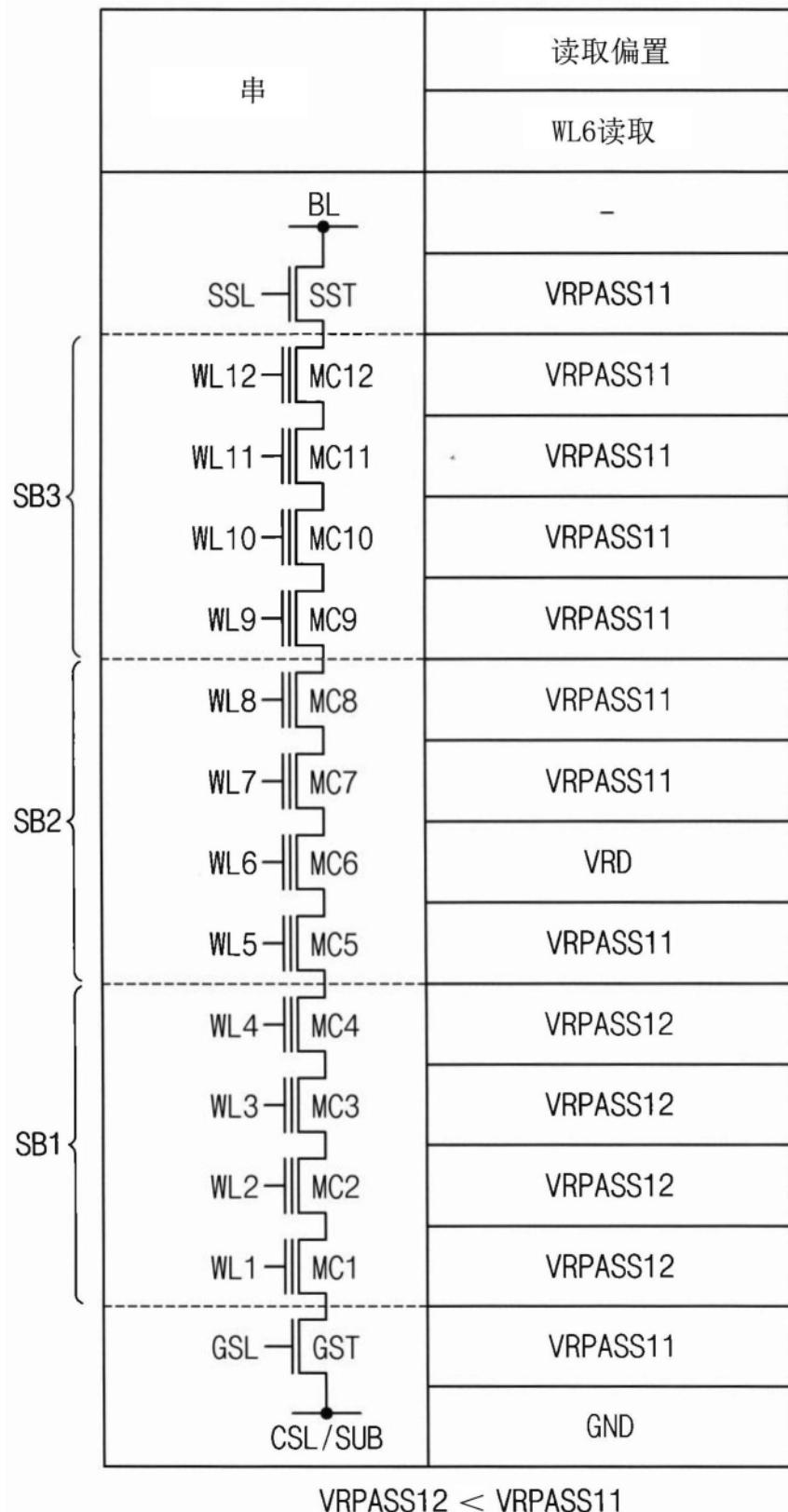
图23B



Vwe1 < VERS1 < VERS2

图24





VRPASS12 &lt; VRPASS11

图26A

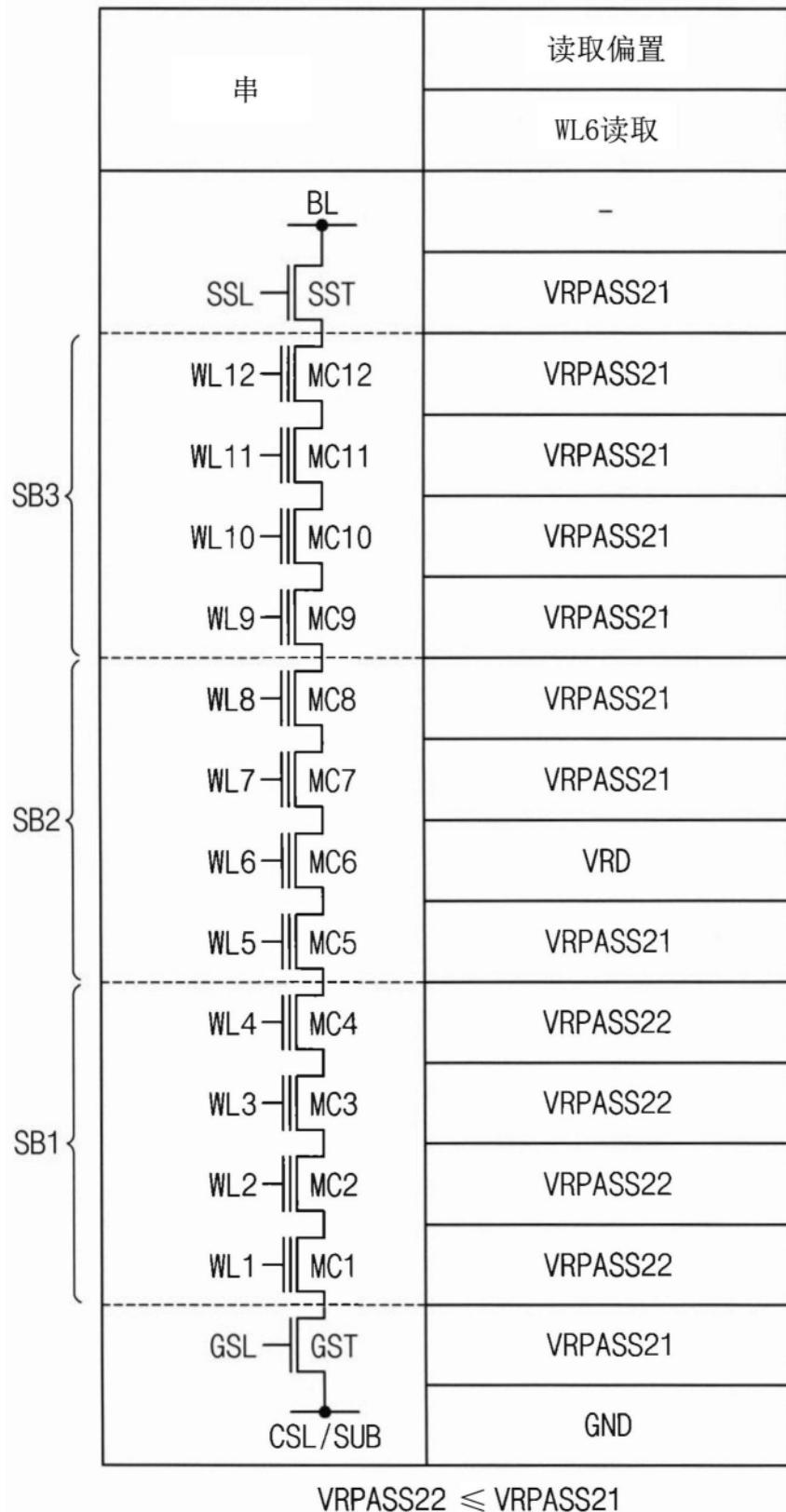
VRPASS22  $\leq$  VRPASS21

图26B

1000

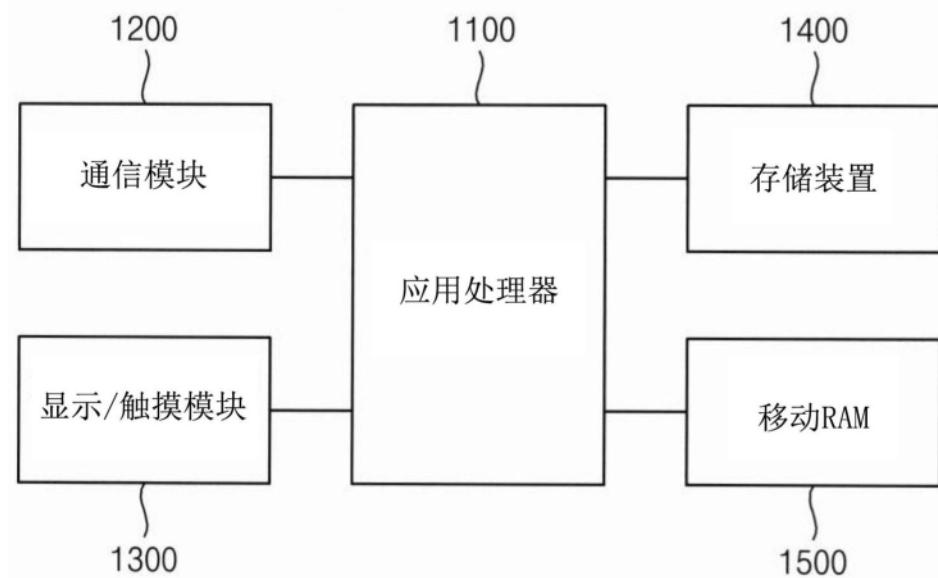


图27