

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6984183号
(P6984183)

(45) 発行日 令和3年12月17日(2021.12.17)

(24) 登録日 令和3年11月29日(2021.11.29)

(51) Int.Cl.		F I			
H01L	21/60	(2006.01)	H01L	21/60	311Q
H05K	1/18	(2006.01)	H05K	1/18	K
H05K	3/34	(2006.01)	H05K	3/34	506C

請求項の数 16 (全 13 頁)

(21) 出願番号	特願2017-111214 (P2017-111214)	(73) 特許権者	000005234
(22) 出願日	平成29年6月5日(2017.6.5)		富士電機株式会社
(65) 公開番号	特開2018-206977 (P2018-206977A)		神奈川県川崎市川崎区田辺新田1番1号
(43) 公開日	平成30年12月27日(2018.12.27)	(74) 代理人	110000877
審査請求日	令和2年5月14日(2020.5.14)		龍華国際特許業務法人
		(72) 発明者	島藤 貴行
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内
		審査官	西村 治郎

最終頁に続く

(54) 【発明の名称】 半導体パッケージ、半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体チップを含む半導体パッケージであって、
 パッケージ本体と、
 前記パッケージ本体の底面において露出した複数の電極と、
 前記パッケージ本体の底面から、前記複数の電極よりも突出した突起部と
 を備え、
 前記突起部は、前記複数の電極のうち、最も間隔の狭い2つの電極が配列された第1方向と異なる第2方向において、当該2つの電極と重ならないように配置され、
 前記複数の電極は、
 前記第2方向において前記突起部と重なる第1電極と、
 前記第1電極よりも露出面積が小さく、前記第2方向において前記突起部と重ならない
第2電極と
を有する

10

半導体パッケージ。

【請求項2】

半導体チップを含む半導体パッケージであって、
 パッケージ本体と、
 前記パッケージ本体の底面において露出した複数の電極と、
 前記パッケージ本体の底面から、前記複数の電極よりも突出した突起部と

20

を備え、

前記突起部は、前記複数の電極のうち、前記半導体パッケージの端部に設けられた最も間隔の狭い2つの電極が配列された第1方向と異なる第2方向において、当該2つの電極と重ならないように配置されている

半導体パッケージ。

【請求項3】

複数の前記突起部を備え、

複数の前記突起部は、前記第2方向において、前記2つの電極と重ならないように配置されている

請求項1又は2に記載の半導体パッケージ。

10

【請求項4】

前記複数の電極は、

前記第2方向において前記突起部と重なる第1電極と、

前記第1電極よりも露出面積が小さく、前記第2方向において前記突起部と重ならない第2電極と

を有する

請求項2に記載の半導体パッケージ。

【請求項5】

前記突起部は、

前記パッケージ本体の底面の角に配置された第1突起部と、

前記第1電極と前記第2電極との間に配置された第2突起部と

を有する

請求項4に記載の半導体パッケージ。

20

【請求項6】

前記第1方向に配列された複数の前記第2電極を備え、

前記第2突起部の前記第1方向における幅が、複数の前記第2電極の前記第1方向における間隔と同一である

請求項5に記載の半導体パッケージ。

【請求項7】

前記第2突起部の前記第1方向における幅が、前記第1突起部の前記第1方向における幅よりも大きい

請求項5又は6に記載の半導体パッケージ。

30

【請求項8】

前記第2突起部の前記第2方向における幅は、前記第2突起部の前記第1方向における幅よりも大きい

請求項5から7のいずれか一項に記載の半導体パッケージ。

【請求項9】

前記第2方向における前記第1電極と前記第2突起部との間の距離L1は、前記第2方向における前記第2電極と前記第2突起部との間の距離L2よりも小さい

請求項5から8のいずれか一項に記載の半導体パッケージ。

40

【請求項10】

前記第2方向における前記第1電極と前記第2突起部との間の距離L1は、前記第2方向における前記第2電極と前記第2突起部との間の距離L2よりも大きい

請求項5から8のいずれか一項に記載の半導体パッケージ。

【請求項11】

前記突起部の先端が丸みを有する

請求項1から10のいずれか一項に記載の半導体パッケージ。

【請求項12】

前記突起部の平面形状が丸みを有する

請求項1から11のいずれか一項に記載の半導体パッケージ。

50

【請求項 13】

請求項 1 から 12 のいずれか一項に記載の半導体パッケージと、
前記半導体パッケージが取り付けられた実装基板と、
前記実装基板と前記半導体パッケージとの間に設けられたはんだと
を備える半導体装置。

【請求項 14】

パッケージ本体と、前記パッケージ本体の底面において露出した複数の電極と、前記複数の電極のうち、最も間隔の狭い 2 つの電極が配列された第 1 方向と異なる第 2 方向において、当該 2 つの電極と重ならないように配置され、前記複数の電極よりも突出した突起部とを備える半導体パッケージを用意する段階と、

前記半導体パッケージと実装基板とを仮止めする段階と、
前記半導体パッケージと前記実装基板との間にはんだを流す段階と
を備え、

前記複数の電極は、

前記第 2 方向において前記突起部と重なる第 1 電極と、

前記第 1 電極よりも露出面積が小さく、前記第 2 方向において前記突起部と重ならない
第 2 電極と

を有する

半導体装置の製造方法。

【請求項 15】

パッケージ本体と、前記パッケージ本体の底面において露出した複数の電極と、前記複数の電極のうち、半導体パッケージの端部に設けられた最も間隔の狭い 2 つの電極が配列された第 1 方向と異なる第 2 方向において、当該 2 つの電極と重ならないように配置され、前記複数の電極よりも突出した突起部とを備える半導体パッケージを用意する段階と、

前記半導体パッケージと実装基板とを仮止めする段階と、

前記半導体パッケージと前記実装基板との間にはんだを流す段階と
を備える

半導体装置の製造方法。

【請求項 16】

前記はんだを流す段階において、前記半導体パッケージが前記第 2 方向に移動する

請求項 14 又は 15 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体パッケージ、半導体装置および半導体装置の製造方法に関する。

【背景技術】

【0002】

従来、半導体チップを有する半導体パッケージに突起部を設けた半導体装置が知られている（例えば、特許文献 1 - 3 参照）。

特許文献 1 特開平 7 - 249707 号公報

特許文献 2 特開 2006 - 210956 号公報

特許文献 3 特開平 3 - 147353 号公報

【発明の概要】

【発明が解決しようとする課題】

【0003】

しかしながら、従来の半導体装置では、フロー工程によって半導体パッケージを基板に表面実装する際、はんだが半導体パッケージと実装基板との間に上手く入らず、はんだ付け不良となる場合がある。

【課題を解決するための手段】

【0004】

10

20

30

40

50

本発明の第1の態様においては、半導体チップを含む半導体パッケージであって、パッケージ本体と、パッケージ本体の底面において露出した複数の電極と、パッケージ本体の底面から、複数の電極より突出した突起部とを備える半導体パッケージを提供する。突起部は、複数の電極のうち、最も間隔の狭い2つの電極が配列された第1方向と異なる第2方向において、当該2つの電極と重ならないように配置されてよい。

【0005】

半導体パッケージは、複数の突起部を備えてよい。複数の突起部は、第2方向において、2つの電極と重ならないように配置されてよい。

【0006】

複数の電極は、第2方向において突起部と重なる第1電極と、第1電極よりも露出面積が小さく、第2方向において突起部と重ならない第2電極とを有してよい。

10

【0007】

突起部は、パッケージ本体の底面の角に配置された第1突起部と、第1電極と第2電極との間に配置された第2突起部とを有してよい。

【0008】

半導体パッケージは、第1方向に配列された複数の第2電極を備えてよい。第2突起部の第1方向における幅が、複数の第2電極の第1方向における間隔と同一であってよい。

【0009】

第2突起部の第1方向における幅が、第1突起部の第1方向における幅よりも大きくてよい。

20

【0010】

第2突起部の第2方向における幅は、第2突起部の第1方向における幅よりも大きくてよい。

【0011】

第2方向における第1電極と第2突起部との間の距離L1は、第2方向における第2電極と第2突起部との間の距離L2よりも小さくてよい。

【0012】

第2方向における第1電極と第2突起部との間の距離L1は、第2方向における第2電極と第2突起部との間の距離L2よりも大きくてよい。

【0013】

突起部の先端が丸みを有してよい。

30

【0014】

突起部の平面形状が丸みを有してよい。

【0015】

本発明の第2の態様においては、半導体パッケージが取り付けられた実装基板と、実装基板と半導体パッケージとの間に設けられたはんだとを備える半導体装置を提供する。

【0016】

本発明の第3の態様においては、パッケージ本体と、パッケージ本体の底面において露出した複数の電極と、複数の電極のうち、最も間隔の狭い2つの電極が配列された第1方向と異なる第2方向において、当該2つの電極と重ならないように配置され、複数の電極より突出した突起部とを備える半導体パッケージを用意する段階と、半導体パッケージと実装基板とを仮止めする段階と、半導体パッケージと実装基板との間にはんだを流す段階とを備える半導体装置の製造方法を提供する。

40

【0017】

はんだを流す段階において、半導体パッケージが第2方向に移動してよい。

【0018】

なお、上記の発明の概要は、本発明の特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【図面の簡単な説明】

【0019】

50

【図1】実施例1に係る半導体装置100を説明するための図である。

【図2】実施例1に係る半導体装置100の断面図の一例である。

【図3】実施例2に係る半導体パッケージ10の構成の一例を示す。

【図4】実施例3に係る半導体パッケージ10の構成の一例を示す。

【図5】実施例4に係る半導体パッケージ10の構成の一例を示す。

【図6】実施例5に係る半導体パッケージ10の構成の一例を示す。

【図7】実施例6に係る半導体パッケージ10の構成の一例を示す。

【図8】半導体装置100の製造方法の一例を示すフローチャートである。

【図9】比較例1に係る半導体装置500を説明するための図である。

【発明を実施するための形態】

10

【0020】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0021】

[実施例1]

図1は、実施例1に係る半導体装置100を説明するための図である。半導体装置100は、半導体パッケージ10および実装基板20を備える。図1は、半導体パッケージ10と実装基板20とはんだ付けするためのフロー工程を示している。

【0022】

20

半導体パッケージ10は、MOSFETやIGBT等の半導体チップを含み、樹脂等でパッケージ化されている。一例において、半導体パッケージ10は、ノンリードタイプの表面実装パッケージである。半導体パッケージ10は、パッケージ本体15と、第1電極31と、第2電極32と、突起部40とを備える。半導体パッケージ10は、第1電極31および第2電極32をそれぞれ複数備えてもよい。また、パッケージ本体15は、底面に突起部40を有する。パッケージ本体15の底面とは、パッケージ本体15が実装基板20に実装される側の面を指す。本明細書では、Z軸方向の負側をパッケージ本体15の底面側とする。

【0023】

実装基板20は、半導体パッケージ10を実装するための基板である。実装基板20には、接着剤50で半導体パッケージ10が仮止めされた後、はんだ60で半導体パッケージ10が取り付けられる。例えば、第1電極31および第2電極32は、実装基板20の予め定められた位置に対向するように仮止めされ、はんだ60で実装基板20に接続される。

30

【0024】

第1電極31は、パッケージ本体15の底面に露出して設けられる。第1電極31は、半導体パッケージ10の底面から突出していてもよい。第1電極31は、半導体パッケージ10のY軸方向の正側の端部に形成されている。本例の第1電極31は、半導体パッケージ10に1つ設けられる。例えば、第1電極31は、ドレイン電極である。

【0025】

40

第2電極32は、パッケージ本体15の底面に露出して設けられる。第2電極32は、半導体パッケージ10の底面から突出していてもよい。第2電極32は、半導体パッケージ10のY軸方向の負側の端部に形成されている。本例の第2電極32は、半導体パッケージ10に複数設けられる。例えば、第2電極32は、ゲート電極およびソース電極である。

【0026】

突起部40は、パッケージ本体15の底面に設けられる。突起部40は、パッケージ本体15の底面から、第1電極31および第2電極32よりも突出して設けられる。突起部40は、半導体パッケージ10と実装基板20との間の空隙を確保する。これにより、半導体パッケージ10と実装基板20の間にはんだ60が流れ込みやすくなる。半導体パ

50

パッケージ10は、複数の突起部40を有することが好ましい。複数の突起部40は、半導体パッケージ10と実装基板20との間に均一な空隙が確保されるように配置される。なお、突起部40は、半導体パッケージ10の樹脂と同一の材料で形成されてよい。

【0027】

はんだ60は、フロー工程において、半導体パッケージ10と実装基板20との間に溶解した状態で流れ込む。例えば、半導体装置100がはんだ60の噴流の方向に移動することにより、はんだ60が半導体パッケージ10と実装基板20との間に流れ込む。本例の半導体装置100は、Y軸方向に移動する。即ち、半導体装置100のフロー方向はY軸方向となる。はんだ60は、半導体パッケージ10と実装基板20との間に、突起部40の厚みと同じ厚みに設けられてよい。はんだ60は、フロー工程によって第1電極31と第2電極32とに選択的に濡れ広がる。これにより、第1電極31および第2電極32は、実装基板20に設けられた回路と接続される。なお、半導体装置100は、Y軸方向の正側から負側にかけて移動してもよいし、Y軸方向の負側から正側にかけて移動してもよい。

10

【0028】

図2は、実施例1に係る半導体装置100の断面図の一例である。同図は、Y軸方向の正側から見ている点で図1と相違する。即ち、同図は、半導体装置100のフロー方向から見た断面図である。第1電極31は、半導体パッケージ10の中央に設けられている。

【0029】

突起部40は、フロー方向において、第1電極31と重ならないように設けられる。フロー方向において重ならないとは、各部材がX軸方向において異なる位置に設けられていることを指す。フロー方向において、第1電極31と突起部40とが重なる場合、半導体パッケージ10と実装基板20との間に隙間がない状態となり、はんだ60が上手く流れ込まない場合がある。

20

【0030】

また、突起部40は、フロー方向において、第2電極32とも重ならないように配置されることが好ましい。これにより、はんだ60が突起部40に邪魔されることなく、半導体パッケージ10と実装基板20との間に流れ込みやすくなる。

【0031】

以上の通り、半導体装置100は、半導体パッケージ10と実装基板20との間に突起部40を設けることにより、半導体パッケージ10と実装基板20との間の空隙を確保する。また、突起部40がフロー方向において、第1電極31および第2電極32と重ならない場合、はんだ60が更に第1電極31および第2電極32に濡れ広がりやすくなる。このように、半導体装置100は、はんだ付け不良率を低減し、コストを抑制できる。また、接着剤50の固定する位置を減らすことにより、コストが低減する。

30

【0032】

[実施例2]

図3は、実施例2に係る半導体パッケージ10の構成の一例を示す。本例の半導体パッケージ10は、第1電極31と、第2電極32と、第1突起部41とを備える。

【0033】

第1電極31は、半導体パッケージ10のY軸方向の正側に設けられている。第1電極31は、パッケージ本体15の底面において露出している。第1電極31の露出面積は、第2電極32a～第2電極32dのそれぞれの露出面積よりも大きい。本例の第1電極31は、矩形の平面形状を有するが、これに限られない。

40

【0034】

第2電極32は、第1電極31よりも半導体パッケージ10のY軸方向の負側に設けられている。本例の第2電極32は、4つの第2電極32a～32dを有する。4つの第2電極32a～32dは、半導体パッケージ10の端部において、X軸方向に配列されている。本例の第2電極32a～32dは、等間隔に配列されているが、互いに異なる間隔で配列されてもよい。電極同士の間隔は、第2電極32同士の間隔が最も狭くなるように配

50

置されている。即ち、第1電極31と第2電極32との間隔よりも、第2電極32同士の間隔の方が小さい。本例の第2電極32は、矩形の平面形状を有するが、これに限られない。

【0035】

第1突起部41は、4つの第1突起部41a～41dを有する。第1突起部41は、突起部40の一例である。第1突起部41a～41dは、パッケージ本体15の底面において四角形状に配置されている。本例の第1突起部41a～41dは、フロー方向において、いずれもが第1電極31および第2電極32a～32dと重ならないように設けられている。本例の第1突起部41a～41dは、フロー方向に長手を有する。これにより、第1突起部41a～41dからはんだ60の流れに与える影響が少ない。但し、第1突起部41a～41dは、第1電極31および第2電極32a～32dと重ならないければ、X軸方向に長手を有してもよい。

10

【0036】

ここで、第1突起部41は、第1電極31および第2電極32a～32dの複数の電極のうち、最も間隔の狭い2つの電極が配列された方向を第1方向（即ち、X軸方向）とする。そして、第1方向と異なる第2方向（即ち、Y軸方向）をフロー方向とする。このように、最も間隔の狭い2つの電極が配列された方向と異なる方向をフロー方向とすることが好ましい。そして、突起部40は、少なくとも当該2つの電極と重ならないように配置されることが好ましい。複数の第1突起部41は、フロー方向において、当該2つの電極と重ならないように配置されるのが好ましい。本例では、第1方向と第2方向とが直交するがこれに限られない。

20

【0037】

[実施例3]

図4は、実施例3に係る半導体パッケージ10の構成の一例を示す。本例の半導体パッケージ10は、第1電極31と、第2電極32と、第1突起部41と、第2突起部42とを備える。本例の半導体パッケージ10は、第1突起部41の個数が実施例2に係る半導体パッケージ10と相違する。また、本例の半導体パッケージ10は、第2突起部42を備える点で、実施例2に係る半導体パッケージ10と相違する。本例では、実施例2に係る半導体パッケージ10と相違する点について特に説明する。

【0038】

第1電極31は、フロー方向において、突起部と重なってよい。本例の第1電極31は、フロー方向において、第2突起部42a～42cと重なっている。但し、第1電極31の少なくとも一部は、フロー方向において、いずれの突起部とも重なっていないことが好ましい。これにより、第1電極31へのはんだ60の回り込みが容易となる。

30

【0039】

第2電極32は、4つの第2電極32a～32dを含む。第2電極32a～32dは、第1電極31よりも露出面積が小さい。本例の第2電極32a～32dは、フロー方向において、いずれの突起部とも重ならない。即ち、第2電極32a～32dは、第1突起部41a, 41bおよび第2突起部42a～42cと重なっていない。

【0040】

第1突起部41は、第1電極31および第2電極32とフロー方向において重ならない突起部の一例である。第1突起部41は、2つの第1突起部41aおよび第1突起部41bを含む。第1突起部41a, 41bは、半導体パッケージ10の角に配置される。本例の第1突起部41a, 41bは、半導体パッケージ10のY軸方向の正側の端部に設けられる。第1突起部41が半導体パッケージ10の角に設けられることで、半導体パッケージ10と実装基板20との間の空隙を確保しやすくなる。

40

【0041】

第2突起部42は、第1電極31とフロー方向において重なり、第2電極32とフロー方向において重ならない突起部の一例である。第2突起部42は、3つの第2突起部42a～42cを含む。第2突起部42は、突起部40の一例である。第2突起部42a～4

50

2cは、フロー方向において、第1電極31と第2電極32a~32dとの間に配置されている。本例の第2突起部42a~42cは、X軸方向に同一の幅を有する。例えば、第2突起部42a~42cのX軸方向の幅は、第2電極32a~32dのX軸方向における間隔と同一であってよい。これにより、第2突起部42a~42cは、第2電極32へのはんだ60の回り込みを確保しつつ、半導体パッケージ10と実装基板20との間の空隙を均一に確保できる。また、第2突起部42a~42cは、フロー方向において最も間隔の狭い2つの電極(第2電極32a~32d)の間と重なる。これにより、はんだ60が最も間隔の狭い2つの電極32の間に浸入し、意図せぬ導回路が形成されるのを防ぐことができる。

【0042】

10

[実施例4]

図5は、実施例4に係る半導体パッケージ10の構成の一例を示す。本例の半導体パッケージ10は、第1電極31と、4つの第2電極32a~32dと、2つの第1突起部41a, 41bと、1つの第2突起部42とを備える。本例の半導体パッケージ10は、第2突起部42を1つ備える点で、実施例3に係る半導体パッケージ10と相違する。本例では、実施例3に係る半導体パッケージ10と相違する点について特に説明する。

【0043】

第2突起部42は、第1電極31と第2電極32との間に1つ設けられる。本例の第2突起部42は、フロー方向において、第2電極32と重ならないように配置される。第2突起部42は、X軸方向に長手を有する。一方、第1突起部41は、Y軸方向に長手を有する。例えば、第2突起部42のX軸方向における幅は、第1突起部41のX軸方向における幅よりも大きい。このように、第2突起部42がX軸方向に長手を有する場合であっても、第2電極32とフロー方向において重ならないので、はんだ60の回り込みに与える影響が小さい。

20

【0044】

距離L1は、Y軸方向における第1電極31と第2突起部42との間の距離である。距離L2は、Y軸方向における第2電極32と第2突起部42との間の距離である。距離L1は、距離L2よりも小さくてよい。距離L1が距離L2よりも小さいことにより、はんだ60の第1電極31側への回り込みを改善できる。また、はんだ60が最も間隔の狭い2つの電極32の間に浸入し、意図せぬ導回路が形成されるのを防ぐことができる。また、距離L1が距離L2よりも小さくなる場合、第1突起部41a, 41bと第2突起部42との距離が大きくなるので、突起部による半導体パッケージ10の支持が安定する。

30

【0045】

また、距離L1は、距離L2よりも大きくてよい。距離L1を距離L2よりも大きくすることにより、Y軸方向の正側から負側に向けてはんだ60が流れる場合に、はんだ60の第2電極32側への回り込みを改善できる。

[0]

【0046】

なお、距離L1および距離L2の関係は、距離L1側、L2側のはんだ60の回り込みと、半導体パッケージ10の支持の安定性の観点から適宜調整されてよい。例えば、距離L1は、距離L2と同一の距離であってよい。

40

【0047】

第1突起部41の高さHは、第2電極32の底面から第1突起部41の先端までの長さを指す。第1突起部41は、少なくとも第2電極32の底面よりもZ軸方向の負側に突出している。第1突起部41は、半導体パッケージ10と実装基板20の間にはんだ60が回り込める程度の高さHを有する。例えば、第1突起部41の高さHは、5 μ m以上であってよく、10 μ m以上であることが好ましい。但し、第1突起部41の高さHが高すぎると、必要なはんだ60の量が多くなる。

【0048】

[実施例5]

50

図6は、実施例5に係る半導体パッケージ10の構成の一例を示す。本例の半導体パッケージ10は、第1電極31と、4つの第2電極32a~32dと、2つの第1突起部41a, 41bと、第2突起部42とを備える。本例の半導体パッケージ10は、第2突起部42の配置が実施例4に係る半導体パッケージ10と相違する。本例では、実施例4と相違する点について特に説明する。

【0049】

第2突起部42は、フロー方向に長手を有する。即ち、第2突起部42のY軸方向の幅は、第2突起部42のX軸方向の幅よりも大きい。本例の第2突起部42は、フロー方向に長手を有するので、はんだ60の流れを邪魔することなく、半導体パッケージ10と実装基板20との支持面積が大きくなる。これにより、半導体装置100は、半導体パッケージ10と実装基板20との間の空隙を確保できる。

10

【0050】

[実施例6]

図7は、実施例6に係る半導体パッケージ10の構成の一例を示す。本例の半導体パッケージ10は、第1電極31と、4つの第2電極32a~32dと、4つの第1突起部41a~41dとを備える。本例の半導体パッケージ10は、第2突起部42の配置および形状が実施例2に係る半導体パッケージ10と相違する。本例では、実施例2に係る半導体パッケージ10と相違する点について特に説明する。

【0051】

第1突起部41a~41dは、パッケージ本体15の底面の四隅に設けられる。本例の第1突起部41a~41dは、第1電極31の外側に設けられる。本例の第1突起部41a~41dは、先端が丸みを有する。これにより、第1突起部41が実装基板20等に接触しても、第1突起部41の先端が欠けにくくなる。また、本例の第1突起部41a~41dの平面形状が丸みを有する。本例の第1突起部41a~41dは、円形の平面形状を有するが、一部が丸みを有する構造であればよい。なお、先端または平面形状が面取りされた構造を有するものであってもよい。これにより、第1突起部41の周辺における、はんだ60の回り込みが改善する。

20

【0052】

以上の通り、複数の実施例において半導体パッケージ10の構成の一例を示したが、各構成は他の実施例と組み合わせ用いられてもよい。例えば、第1突起部41の先端又は平面形状を丸める実施例6の構成は、他の実施例に係る突起部40に適用してもよい。

30

【0053】

図8は、半導体装置100の製造方法の一例を示すフローチャートである。本例の半導体装置100は、ステップS100~ステップS104を用いて形成される。

【0054】

ステップS100において、半導体パッケージ10を用意する。半導体パッケージ10は、第1電極31および第2電極32と、当該複数の電極のうち、最も間隔の狭い2つの電極が配列された第1方向と異なる第2方向において、当該2つの電極と重ならないように配置され、複数の電極より突出した突起部40とを備える。

【0055】

40

ステップS102において、半導体パッケージ10と実装基板20とを仮止めする。例えば、半導体パッケージ10および実装基板20は、接着剤50により仮止めされる。半導体パッケージ10および実装基板20は、はんだ60の噴流に接触した時に、実装基板20に対する半導体パッケージ10の位置がずれない程度に固定される。接着剤50を設ける位置および個数は任意であるが、はんだ60の流れ込みを抑制しないように設けられる。一例において、接着剤50は、突起部40から離れた位置に設けられるのが好ましい。

【0056】

ステップS104において、半導体パッケージ10と実装基板20との間に溶融したはんだ60を流す。半導体パッケージ10および実装基板20は、はんだ60を流す段階に

50

において、フロー方向に移動する。そして、はんだ60は、半導体パッケージ10と実装基板20との間に流される。これにより、複数の電極にはんだ60が供給されやすくなる。

【0057】

図9は、比較例1に係る半導体装置500を説明するための図である。半導体装置500は、半導体パッケージ510および実装基板520を備える。半導体パッケージ510は、パッケージ本体515および電極530を有する。半導体パッケージ510および実装基板520は、接着剤550で仮止めされている。

【0058】

半導体パッケージ510は、突起部を有さないので、半導体パッケージ510と実装基板520とが傾いて仮止めされる場合がある。この場合、半導体パッケージ510と実装基板520との間の空隙が不均一になる。よって、はんだ560が半導体パッケージ510と実装基板520との間に流れ込みにくくなり、電極530にはんだ560が上手く回らず、実装不良となる場合がある。

10

【0059】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【0060】

特許請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。特許請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

20

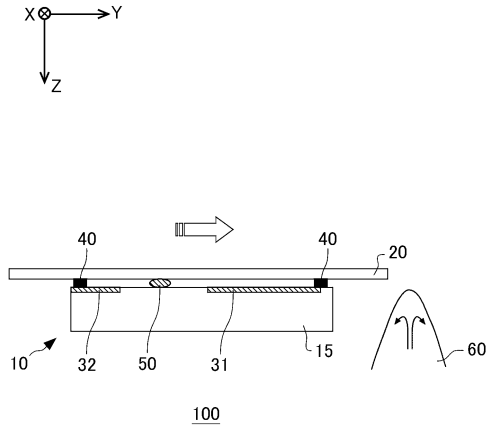
【符号の説明】

【0061】

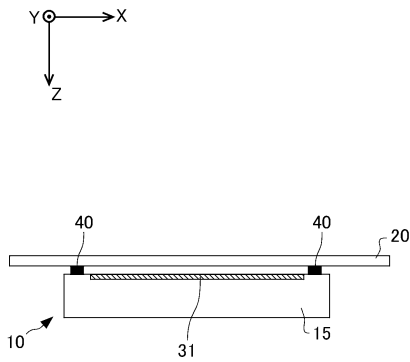
10・・・半導体パッケージ、15・・・パッケージ本体、20・・・実装基板、31・・・第1電極、32・・・第2電極、40・・・突起部、41・・・第1突起部、42・・・第2突起部、50・・・接着剤、60・・・はんだ、100・・・半導体装置、500・・・半導体装置、510・・・半導体パッケージ、515・・・パッケージ本体、520・・・実装基板、530・・・電極、550・・・接着剤、560・・・はんだ

30

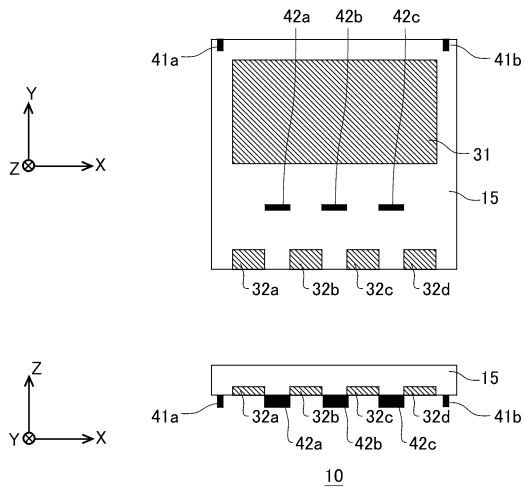
【 図 1 】



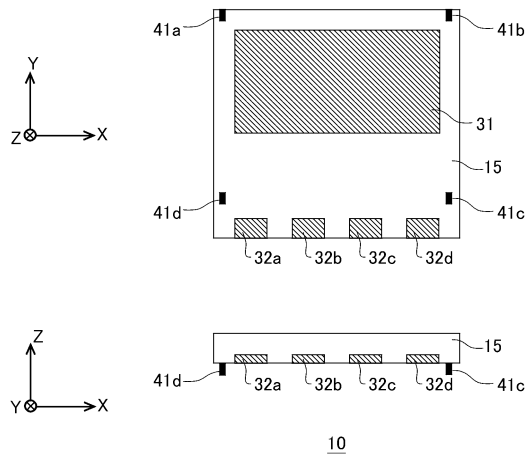
【 図 2 】



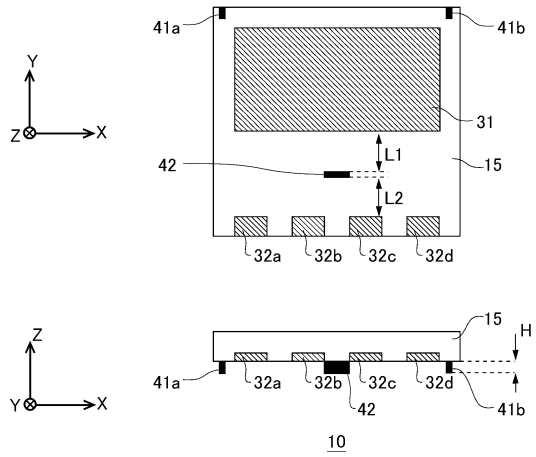
【 図 4 】



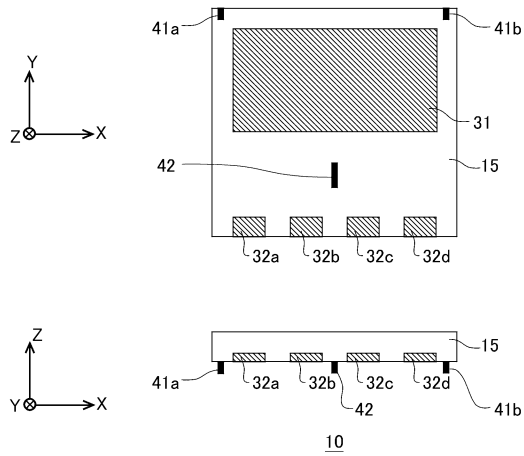
【 図 3 】



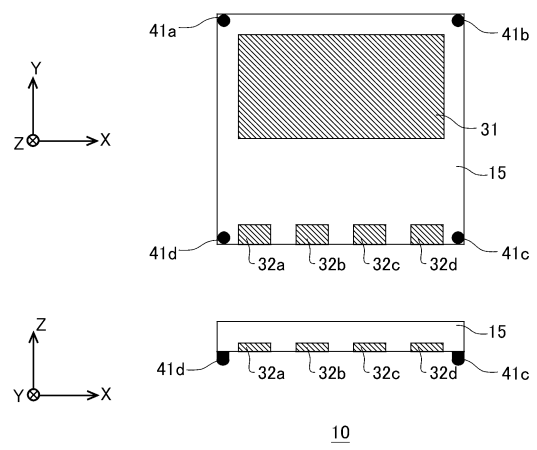
【 図 5 】



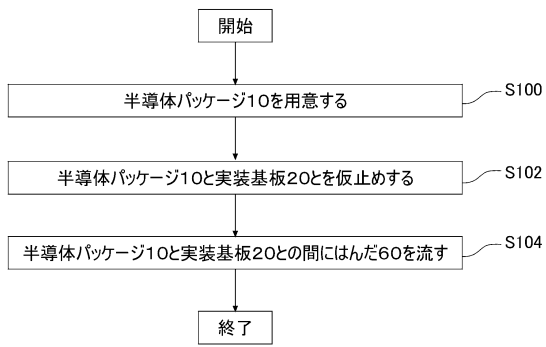
【図6】



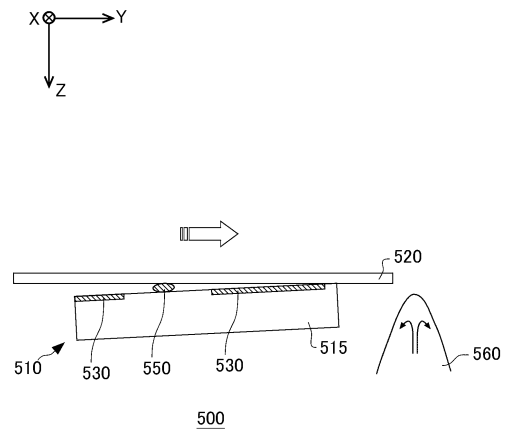
【図7】



【図8】



【図9】



フロントページの続き

- (56)参考文献 国際公開第2006/123554(WO, A1)
特開2007-281393(JP, A)
特開2003-258007(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/447 - 21/449、21/60
H01L 23/12、23/48
H05K 1/18
H05K 3/34